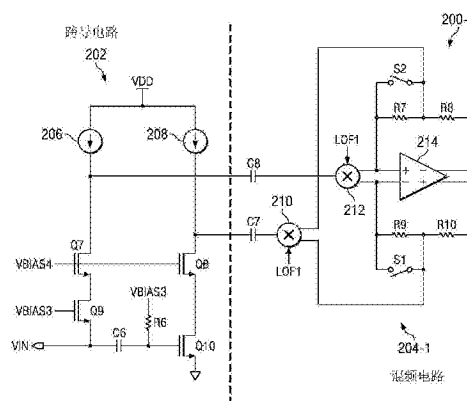




(45) 授权公告日 2016.03.30

权利要求书3页 说明书4页 附图4页



1. 一种电路装置,其包括:

跨导电路,其接收输入信号并产生第一放大信号和第二放大信号;以及

混频电路,其具有:

第一混频器,其耦合至所述跨导电路,以便接收所述第一放大信号,其中所述第一混频器将所述第一放大信号与混频信号混频,其中所述混频信号具有为本地振荡器的占空比的一部分的占空比;

第二混频器,其耦合至所述跨导电路,以便接收第二放大信号,其中所述第二混频器将第二放大信号与所述混频信号混频;

第一阻抗网络,其耦合至第一和第二混频器中的每个,其中所述第一阻抗网络适于具有反馈阻抗;

第二阻抗网络,其耦合至第一和第二混频器中的每个,其中所述第二阻抗网络适于具有所述反馈阻抗;以及

差动放大器,其耦合至每个阻抗网络,

其中所述混频电路进一步包括:第一电容器,其耦合在所述跨导电路和所述第一混频器之间;以及第二电容器,其耦合在所述跨导电路和所述第二混频器之间,

其中所述第一阻抗网络进一步包括:第一电阻器,其耦合至所述第一混频器;第二电阻器,其与所述第一电阻器串联耦合,其中所述第一和第二电阻器的总阻抗等于所述反馈阻抗,并且其中所述第二混频器耦合至所述第一和第二电阻器之间的节点;以及第一开关,其与所述第一电阻器并联耦合。

2. 根据权利要求1所述的装置,其中所述第一阻抗网络进一步包括:第三电阻器,其耦合至所述第一混频器;第四电阻器,其与所述第三电阻器串联耦合,其中所述第三和第四电阻器的总阻抗等于所述反馈阻抗,并且其中所述第二混频器耦合至所述第一和第二电阻器之间的节点;以及第二开关,其与所述第一电阻器并联耦合。

3. 根据权利要求1所述的装置,其中所述第一阻抗网络进一步包括具有所述反馈阻抗的第一电阻器,并且其中所述第二阻抗网络进一步包括具有所述反馈阻抗的第二电阻器。

4. 根据权利要求3所述的装置,其中所述混频电路进一步包括耦合至所述第二电容器的虚拟路径。

5. 根据权利要求4所述的装置,其中所述差动放大器进一步包括:第一差动放大器,并且其中所述虚拟路径进一步包括:

耦合至所述第二电容器的第三混频器;以及

耦合至所述第三混频器的第二差动放大器。

6. 根据权利要求5所述的装置,其中所述一部分进一步包括第一部分,并且其中所述混频信号进一步包括第一混频信号,并且其中所述第三混频器将所述第二放大信号与具有为本地振荡器的占空比的第二部分的占空比的第二混频信号进行混频。

7. 根据权利要求5所述的装置,其中来自第一和第二混频器中的每个的晶体管具有第一尺寸,并且其中来自第三混频器的晶体管具有第二尺寸。

8. 一种电路装置,其包括:

跨导电路,其产生第一放大信号和第二放大信号,其中所述跨导电路包括:

第一电流源,其具有第一电流;

第二电流源,其具有第二电流,其中所述第二电流是所述第一电流的 K 倍;
第一晶体管,其耦合至所述第一电流源并且接收第一偏置电压;
第二晶体管,其耦合至所述第一晶体管并且接收输入信号和第二偏置电压;
第三晶体管,其耦合至所述第二电流源并且接收第一偏置电压;以及
第四晶体管,其耦合至所述第三晶体管并且接收所述输入信号和所述第二偏置电压;
以及

混频电路,其具有:

第一混频器,其耦合至所述跨导电路,以便接收所述第一放大信号,其中所述第一混频器将所述第一放大信号与混频信号混频,其中所述混频信号具有为本地振荡器的占空比的一部分的占空比;

第二混频器,其耦合至所述跨导电路,以便接收第二放大信号,其中所述第二混频器将第二放大信号与所述混频信号混频;

第一阻抗网络,其耦合至第一和第二混频器中的每个,其中所述第一阻抗网络适于具有反馈阻抗;

第二阻抗网络,其耦合至第一和第二混频器中的每个,其中所述第二阻抗网络适于具有所述反馈阻抗;以及

差动放大器,其耦合至每个阻抗网络。

9. 根据权利要求 8 所述的装置,其中所述跨导电路进一步包括:电阻器,其耦合至所述第四晶体管并且接收所述第二偏置电压;以及电容器,其耦合至所述第四晶体管并且接收所述输入信号。

10. 根据权利要求 8 所述的装置,其中所述混频电路进一步包括:第一电容器,其耦合在所述跨导电路和所述第一混频器之间;以及第二电容器,其耦合在所述跨导电路和所述第二混频器之间。

11. 根据权利要求 10 所述的装置,其中所述第一阻抗网络进一步包括:

第一电阻器,其耦合至所述第一混频器;

第二电阻器,其与所述第一电阻器串联耦合,其中所述第一和第二电阻器的总阻抗等于所述反馈阻抗,并且其中所述第二混频器耦合至所述第一和第二电阻器之间的节点;以及

第一开关,其与所述第一电阻器并联耦合。

12. 根据权利要求 11 所述的装置,其中所述第一阻抗网络进一步包括:

第三电阻器,其耦合至所述第一混频器;

第四电阻器,其与所述第三电阻器串联耦合,其中所述第三和第四电阻器的总阻抗等于所述反馈阻抗,并且其中所述第二混频器耦合至所述第一和第二电阻器之间的节点;以及

第二开关,其与所述第一电阻器并联耦合。

13. 根据权利要求 10 所述的装置,其中所述第一阻抗网络进一步包括具有所述反馈阻抗的第一电阻器,并且其中所述第二阻抗网络进一步包括具有所述反馈阻抗的第二电阻器。

14. 根据权利要求 13 所述的装置,其中所述混频电路进一步包括耦合至第二电容器的

虚拟路径。

15. 根据权利要求 14 所述的装置,其中所述差动放大器进一步包括:第一差动放大器,并且其中所述虚拟路径进一步包括:

耦合至所述第二电容器的第三混频器;以及

耦合至所述第三混频器的第二差动放大器。

16. 根据权利要求 15 所述的装置,其中所述一部分进一步包括第一部分,并且其中所述混频信号进一步包括第一混频信号,并且其中所述第三混频器将所述第二放大信号与具有为本地振荡器的占空比的第二部分的占空比的第二混频信号进行混频。

17. 根据权利要求 15 所述的装置,其中来自第一和第二混频器中的每个的晶体管具有第一尺寸,并且其中来自第三混频器的晶体管具有第二尺寸,所述第二尺寸为第一尺寸的 $K-1$ 倍。

具有噪声消除的电流模式混合拓扑电路

技术领域

[0001] 本发明一般涉及射频(RF)电路,并且,更具体地,涉及一种混合拓扑电路(blixer 电路)。

背景技术

[0002] 图 1 示出传统混合拓扑电路(blixer 电路)100 的示例。blixer 电路(即,100)是结合换衡器、低噪放大器(LNA)和 I/Q 混频器的电路。如图所示,blixer 电路 100 一般包括耦合至开关四芯电路或开关核心电路(其一般包括 NMOS 晶体管 Q3 至 Q6 和电阻电容(RC)网络 102-1 和 102-2)的换衡器-LNA 核心电路(其一般包括 NMOS 晶体管 Q1 和 Q2、电感器 L、电容器 C1 和电阻器 R1)。在操作中,提供 RF 输入信号至换衡器-LNA 核心电路(其还接收偏置电压 VBIAS1 和 VBIAS2)。由于晶体管 Q2 是晶体管 Q1 的尺寸的 n 倍,晶体管 Q2 的跨导 g_{m2} 是晶体管 Q1 的跨导 g_{m1} 的 n 倍(或 $g_{m2}=n*g_{m1}$)。来自换衡器-LNA 核心电路的信号(其为 $g_{m1}*V_{IN}$ 和 $g_{m2}*V_{IN}$)施加到开关核心电路的低阻抗节点,以便与差动本地振荡信号 LOP 和 LOM 进行混频。为了实现所需中频信号 IFP 和 IFM,晶体管 Q4 和 Q5 是晶体管 Q3 和 Q6 侧(side)的 n 倍。此外,104-1 到 104-4 的每个 RC 网络具有阻抗 Z_2 ,其为每个 RC 网络 102-1 和 102-2 的阻抗 Z_1 的 1/n (或 $Z_2=Z_1/n$)。然而,所述 blixer 电路 100 是有噪声的,并且由于晶体管 Q1-Q6 的堆叠,可用于信号摆动的顶部空间的量会受到严重的限制,限制了可实现的增益。此外,由电源电压引起的这种顶部空间限制也限制了 blixer 电路 100 的线性度。因此,希望改善该 blixer 电路 100 的线性度并减少其噪声。

[0003] 传统 blixer 电路的示例在 Blaakmeer 等人,“The BLIXER, a wideband balun-LNA-I/Q-mixer topology,” IEEE J. Solid-State Circuits, vol. 43, No. 12, pp. 2706-2715, Dec. 2008 中描述。

发明内容

[0004] 本发明所公开的实施例提供了一种装置。该装置包括跨导电路,其接收输入信号并产生第一放大信号和第二放大信号;以及混频电路,其具有:第一混频器,其耦合至跨导电路,以便接收第一放大信号,其中第一混频器将第一放大信号与混频信号混频,其中混频信号具有为本地振荡器的占空比的一部分的占空比;第二混频器,其耦合至跨导电路,以便接收第二放大信号,其中第二混频器将第二放大信号与混频信号混频;第一阻抗网络,其耦合至第一和第二混频器中的每个,其中第一阻抗网络适于具有反馈阻抗;第二阻抗网络,其耦合至第一和第二混频器中的每个,其中第二阻抗网络适于具有反馈阻抗;以及差动放大器,其耦合至每个阻抗网络。

[0005] 在实施例中,混频电路进一步包括第一电容器,其耦合在跨导电路和第一混频器之间;以及第二电容器,其耦合在跨导电路和第二混频器之间。

[0006] 在实施例中,第一阻抗网络进一步包括:第一电阻器,其耦合至第一混频器;第二电阻器,其与第一电阻器串联耦合,其中第一和第二电阻器的总阻抗约等于反馈阻抗,并且

其中第二混频器耦合至第一和第二电阻器之间的节点 ; 以及第一开关, 其与第一电阻器并联耦合。

[0007] 在实施例中, 第一阻抗网络进一步包括 : 第三电阻器, 其耦合至第一混频器 ; 第四电阻器, 其与第三电阻器串联耦合, 其中第三和第四电阻器的总阻抗约等于反馈阻抗, 并且其中第二混频器耦合至第一和第二电阻器之间的节点 ; 以及第二开关, 其与第一电阻器并联耦合。

[0008] 在实施例中, 第一阻抗网络进一步包括具有反馈阻抗的第一电阻器, 并且其中第二阻抗网络进一步包括具有反馈阻抗的第二电阻器。

[0009] 在实施例中, 混频电路进一步包括耦合至第二电容器的虚拟路径。

[0010] 在实施例中, 差动放大器进一步包括第一差动放大器, 并且其中虚拟路径进一步包括 : 耦合至第二电容器的第三混频器 ; 以及耦合至第三混频器的第二差动放大器。

[0011] 在实施例中, 部分进一步包括第一部分, 并且其中混频信号进一步包括第一混频信号, 并且其中第三混频器将第二放大信号与具有为本地振荡器的占空比的第二部分的占空比的第二混频信号进行混频。

[0012] 在实施例中, 来自第一和第二混频器中每个的晶体管具有第一尺寸, 并且其中来自第三混频器的晶体管具有第二尺寸。

[0013] 在实施例中, 一种装置包括 : 产生第一放大信号和第二放大信号的跨导电路, 其中跨导电路包括 : 第一电流源, 其具有第一电流 ; 第二电流源, 其具有第二电流, 其中第二电流是第一电流的 K 倍 ; 第一晶体管, 其耦合至第一电流源并且接收第一偏置电压 ; 第二晶体管, 其耦合至第一晶体管并且接收输入信号和第二偏置电压 ; 第三晶体管, 其耦合至第二电流源并且接收第一偏置电压 ; 以及第四晶体管, 其耦合至第三晶体管并且接收输入信号和第二偏置电压 ; 以及混频电路, 其具有 : 第一混频器, 其耦合至跨导电路, 以便接收第一放大信号, 其中第一混频器将第一放大信号与混频信号混频, 其中混频信号具有为本地振荡器的占空比的一部分的占空比 ; 第二混频器, 其耦合至跨导电路, 以便接收第二放大信号, 其中第二混频器将第二放大信号与混频信号混频 ; 第一阻抗网络, 其耦合至第一和第二混频器中的每个, 其中第一阻抗网络适于具有反馈阻抗 ; 第二阻抗网络, 其耦合至第一和第二混频器中的每个, 其中第二阻抗网络适于具有反馈阻抗 ; 以及差动放大器, 其耦合至每个阻抗网络。

[0014] 在实施例中, 跨导电路进一步包括 : 电阻器, 其耦合至第四晶体管并且接收第二偏置电压 ; 以及电容器, 其耦合至第四晶体管并且接收输入信号。

附图说明

[0015] 示例性实施例参考附图来描述, 其中 :

[0016] 图 1 是传统 blixer 电路的电路图 ; 以及

[0017] 图 2 至 4 是在实施例中的 blixer 电路的示例的电路图。

具体实施方式

[0018] 图 2 示出本发明的示例 blixer 电路 200-1 的实施原理。blixer 电路 200-1 一般包括跨导器电路 202 和混频电路 204-1。在操作中, 跨导电路 202 一般接收输入信号 V_{IN} 并

从输入信号 VIN 产生放大信号。然后混频电路 204-1 可以将这些放大信号和具有占空比为本地振荡器信号的一部分(一般为 50% 或 25%)的混频信号 LOF1 进行混频,以致差动放大器 214 和阻抗网络(一般是电阻器 R7 和 R8 与开关 S2 或电阻器 R9 和 R10 以及开关 S1)一般可以执行噪声消除或降噪。混频一般由混频器 210 和 212 执行,其为典型的无源混频器(其可以是,例如,是 Gilbert 单元混频器)。

[0019] 为了产生放大信号,跨导器电路 202 一般使用两个支路,其中每个支路产生一个放大信号。输入信号 VIN 一般在 NMOS 晶体管 Q9 (其可以被偏置电压 VBIAS3 偏置并且一般具有跨导 g_{m3}) 的源极被接收,并且,结合电流源 206 (其可以产生电流 I_0) 和 NMOS 晶体管 Q7 (其可以被偏置电压 VBIAS4 偏置),晶体管 Q9 产生放大信号(其一般为 $VIN \cdot g_{m3}$)。此外, NMOS 晶体管 Q10 一般通过电容器 C6 接收输入电压 VIN (其也是通过电阻器 R6 被偏置电压 VBIAS3 偏置)。晶体管 Q10 一般具有 $K \cdot g_{m3}$ 的跨导,并且结合晶体管 Q8 (其一般被偏置电压 VBIAS4 偏置)和电流源 208 (其产生 $K \cdot I_0$ 的电流),晶体管 Q10 产生放大信号(其一般为 $VIN \cdot K \cdot g_{m3}$)。这些放大信号随后可以提供给交流耦合电容 C7 和 C8。

[0020] 为了提供噪声消除,开关 S1 和 S2 可以被驱动以改变阻抗网络的阻抗。通常情况下,电阻器 R8 和 R10 具有 $K \cdot RL$ 的电阻并且电阻器 R7 和 R9 通常具有 $(K-1)RL/K$ 的电阻。当开关 S1 和 S2 被驱动时,各个阻抗网络的总电阻(或所示电路的阻抗)是 RL 。因此,当开关 S1 和 S2 被驱动时,差动放大器 214 用于使用阻抗网络的总阻抗来执行降噪,然而在正常操作中(当开关 S1 和 S2 都打开时),使用 $K \cdot RL$ 的电阻。

[0021] 图 3 示出 blixer 电路 200-2 的另一个示例。在此配置中, blixer 电路 200-1 的阻抗网络已经被电阻器 R11 和 R12 (其一般有 RL 的电阻)取代并且已包括虚拟路径 216-1。虚拟路径 216-1 一般包括混频器 220-1 (这通常为具有晶体管的无源混频器,该晶体管与用于混频器 210 和 220 的晶体管具有大约相同的尺寸或纵横比(信道宽度比信道长度))、差动放大器 218,以及电阻器 R13 和 R14 (其中每个通常具有 RL 的电阻)。通常情况下,混频器 220-1 将来自电容器 C7 的放大输出信号与具有为本地振荡器的占空比的一部分或几倍(即, $K-2$ 倍)的占空比的混频信号 LOF2 进行混频。虚拟路径 216-1 一般从主要路径“抽取”额外的信号电流。此外,通过适当控制放大器 218 周围的滤波器的大小,虚拟路径 216-1 可用于 RF 滤波。

[0022] 在另一个替代方案中,如图 4 所示, blixer 电路 200-3 一般使用虚拟路径 216-2 而不是虚拟路径 216-1。虚拟路径 216-1 和 216-2 之间的差异在于混频器 220-1 和 220-2 之间的差异。也就是说,混频器 220-2 使用混频信号 LOF1,但是在混频器 220-2 中使用的晶体管是用于混频器 210 和 212 的晶体管尺寸的 $K-1$ 倍。这种用于 blixer 电路 200-3 的布置一般提供与用于 blixer 电路 200-2 的布置基本类似的功能,但可提供一种有利的布局。

[0023] 由于使用 blixer 电路 200-1、200-2 或 200-3,可以实现几个优势。即,由于在跨导电路 202 的输出的低信号摆动, blixer 电路 100 上的线性度改善了。由于可用的信号摆动,还有更大的中频增益。此外,由于混频电路 204-1、204-2 以及 204-3 的无源性质,一般很少或几乎没有闪烁噪声。为了显示改善的性能,表 1 提供如下,其将 blixer 电路 100 与 blixer 电路 200-1、200-2 和 200-3 作比较。

[0024]

	blixer 电路 100	blixer 电路 200-1、200-2 或 200-3
噪声	4.3dB	2.1dB
IP ₃	+10dBm	+14.5dBm
混频之后的信号摆动	+15dB	+5dB

[0025]

	(电压输出)	(电流输出)
直流电流	3+12+16mA	2+8mA

[0026] 本领域技术人员将会理解,可以对所描述的示例性实施例做出修改,并且在本发明要求的范围之内,很多其他实施例也是可能的。

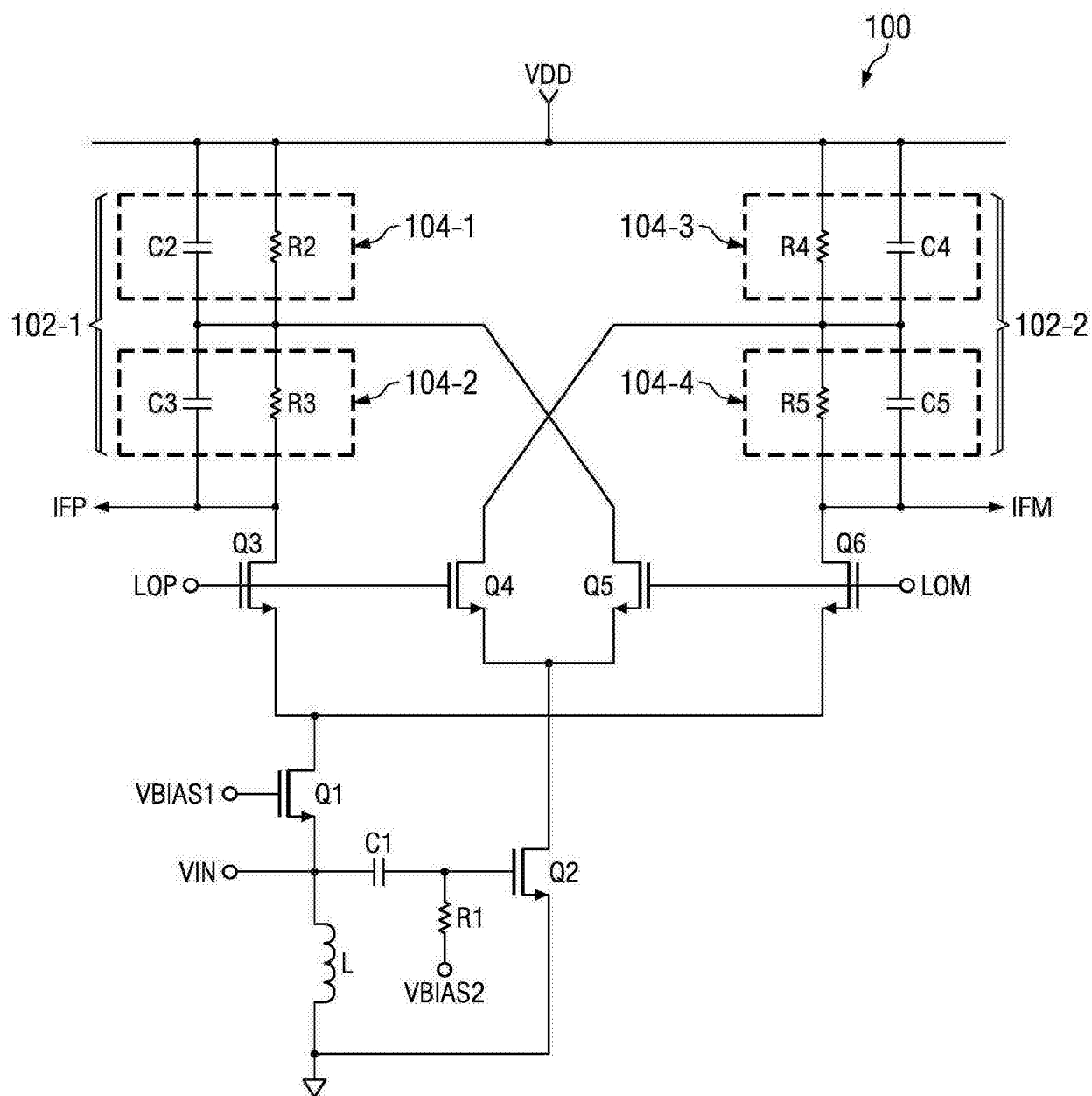


图 1 (现有技术)

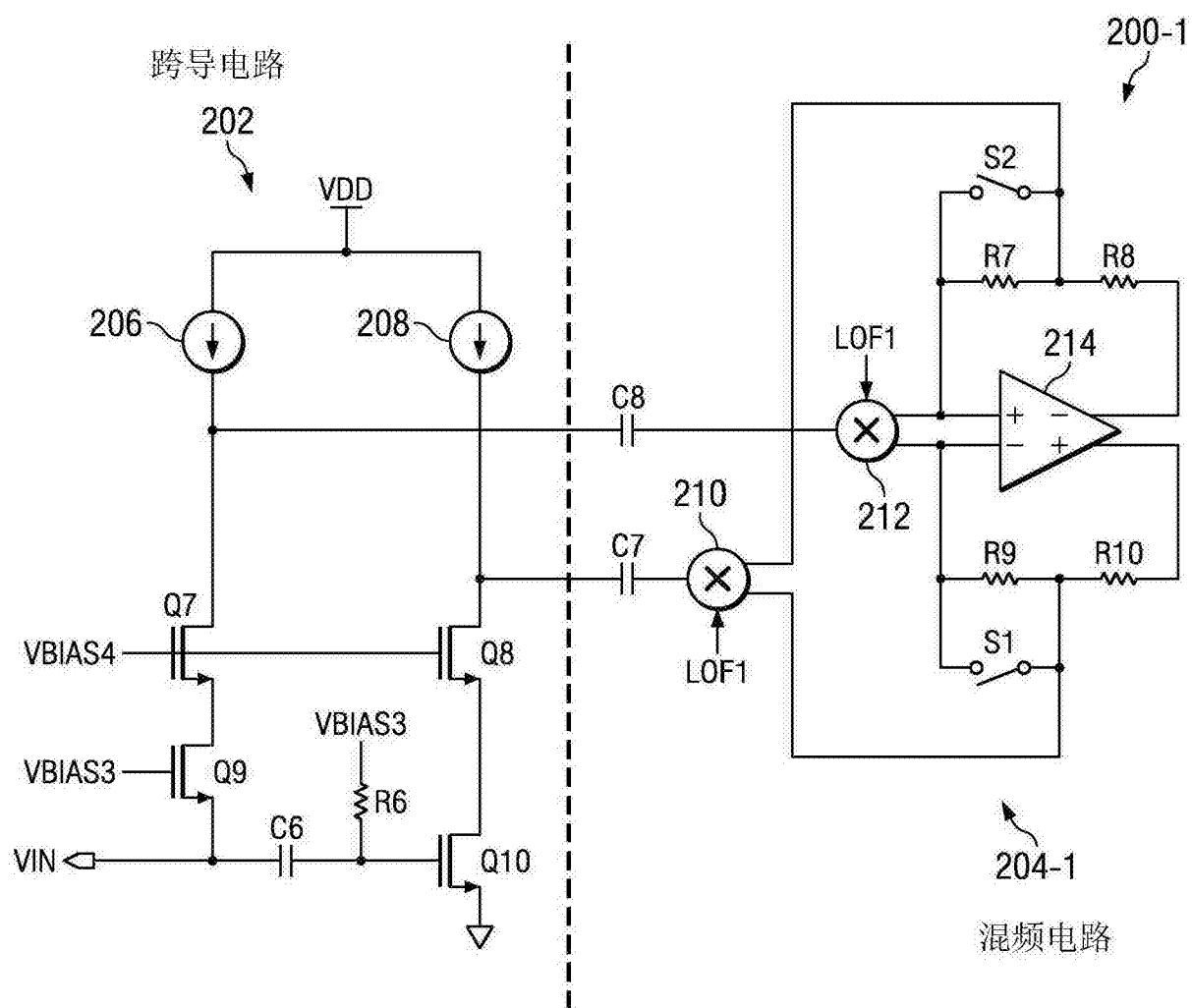


图 2

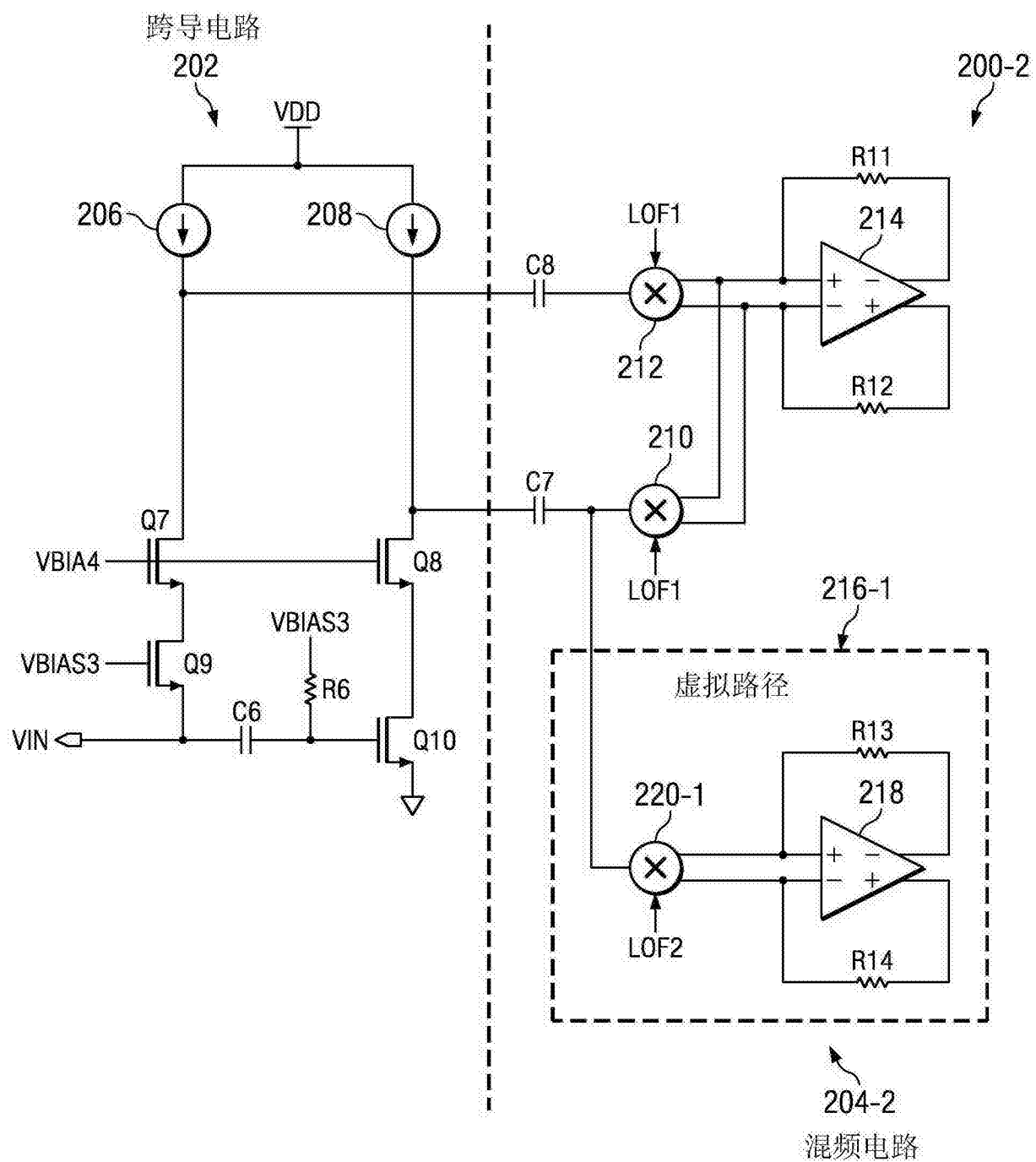


图 3

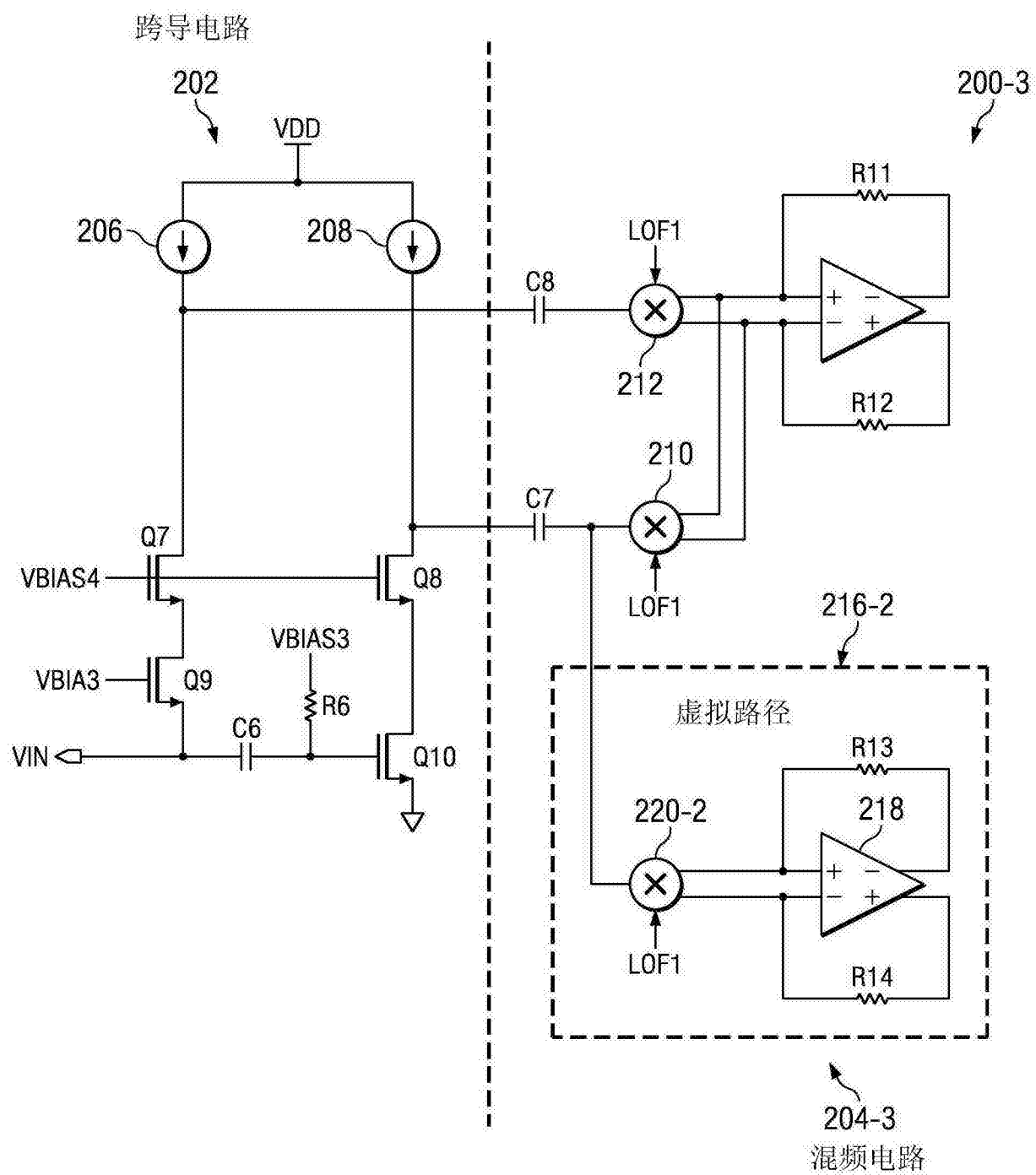


图 4