

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 7 部門第 4 区分
 【発行日】平成 17 年 4 月 7 日 (2005.4.7)

【公開番号】特開 2002-78326 (P2002-78326A)
 【公開日】平成 14 年 3 月 15 日 (2002.3.15)
 【出願番号】特願 2000-258794 (P2000-258794)
 【国際特許分類第 7 版】
 H 0 2 M 3/155
 【F I】
 H 0 2 M 3/155 P

【手続補正書】
 【提出日】平成 16 年 5 月 24 日 (2004.5.24)
 【手続補正 1】
 【補正対象書類名】明細書
 【補正対象項目名】0 0 0 9
 【補正方法】変更
 【補正の内容】
 【0 0 0 9】

【発明の実施の形態】 図 1 はこの発明の第 1 の実施の形態を示す回路図である。

これは、図 7 に示す誤差増幅回路 6 を、演算増幅器 9 1 と抵抗 1 1 ~ 1 4 で構成したアナログ差動増幅回路 6 a と、演算増幅器 9 2 と抵抗 1 5 , 1 6 およびコンデンサ 8 1 で構成したアナログ P I 調節回路 6 b とをカスケード接続したものとしている。一般に、アナログ差動増幅回路の入力電圧と出力電圧との関係は、次の (2) 式で示される。

$$V_2 - V_{bias} = K' \times (V_1' - V_1'') \quad \dots (2)$$

ここで、 V_1' , V_1'' はアナログ差動増幅回路の各入力電圧、 K' はアナログ差動増幅回路のゲインを表わす。なお、アナログ P I 調節回路の入力電圧と出力電圧との関係は (1) 式と同様である。また、図 1 におけるアナログ差動増幅回路 6 a とアナログ P I 調節回路 6 b の動作点は、いずれもグランド電位となっている。

以上