

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第4区分

【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2002-78326(P2002-78326A)

【公開日】平成14年3月15日(2002.3.15)

【出願番号】特願2000-258794(P2000-258794)

【国際特許分類第7版】

H 02 M 3/155

【F I】

H 02 M 3/155 P

【手続補正書】

【提出日】平成16年5月24日(2004.5.24)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0009

【補正方法】変更

【補正の内容】

【0009】

【発明の実施の形態】 図1はこの発明の第1の実施の形態を示す回路図である。

これは、図7に示す誤差増幅回路6を、演算増幅器91と抵抗11～14で構成したアナログ差動増幅回路6aと、演算増幅器92と抵抗15, 16およびコンデンサ81で構成したアナログP/I調節回路6bとをカスケード接続したものとしている。一般に、アナログ差動増幅回路の入力電圧と出力電圧との関係は、次の(2)式で示される。

$$V_2 - V_{bias} = K' \times (V_1' - V_1'') \quad \dots (2)$$

ここで、 $V_1'$ ,  $V_1''$ はアナログ差動増幅回路の各入力電圧、 $K'$ はアナログ差動増幅回路のゲインを表わす。なお、アナログP/I調節回路の入力電圧と出力電圧との関係は(1)式と同様である。また、図1におけるアナログ差動増幅回路6aとアナログP/I調節回路6bの動作点は、いずれもグランド電位となっている。

以上