



(12) 发明专利

(10) 授权公告号 CN 111433905 B

(45) 授权公告日 2023. 12. 22

(21) 申请号 201880077926.7

J·G·高迪埃罗

(22) 申请日 2018.12.03

(74) 专利代理机构 北京市金杜律师事务所

(65) 同一申请的已公布的文献号

11256

申请公布号 CN 111433905 A

专利代理师 鄢迅

(43) 申请公布日 2020.07.17

(51) Int.Cl.

(30) 优先权数据

H01L 21/84 (2006.01)

15/843,786 2017.12.15 US

(85) PCT国际申请进入国家阶段日

(56) 对比文件

2020.06.01

CN 101452892 A, 2009.06.10

(86) PCT国际申请的申请数据

US 5241203 A, 1993.08.31

PCT/IB2018/059558 2018.12.03

CN 103367141 A, 2013.10.23

(87) PCT国际申请的公布数据

CN 107316837 A, 2017.11.03

W02019/116152 EN 2019.06.20

US 2017033013 A1, 2017.02.02

(73) 专利权人 国际商业机器公司

US 2017092756 A1, 2017.03.30

地址 美国纽约阿芒克

US 5654218 A, 1997.08.05

(72) 发明人 李俊涛 程慷果 姜丽颖

US 6218224 B1, 2001.04.17

US 9368572 B1, 2016.06.14

审查员 李艳红

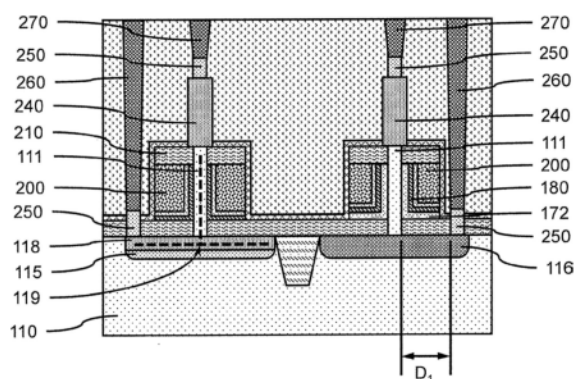
权利要求书2页 说明书12页 附图10页

(54) 发明名称

在同一个衬底上制造逻辑器件和功率器件

(57) 摘要

提供了一种在衬底上形成逻辑器件和功率器件的方法。该方法包括在衬底的第一区域上形成第一垂直鳍并且在衬底的第二区域上形成第二垂直鳍,其中隔离区域将第一区域与第二区域分开,在第二区域的第二垂直鳍上形成电介质下层段,以及在电介质下层段和第二区域的第二垂直鳍上形成第一栅极结构。



1. 一种在衬底上形成逻辑器件和功率器件的方法,包括:  
在所述衬底的第一区域上形成第一垂直鳍,在所述衬底的第二区域上形成第二垂直鳍,其中隔离区域将所述第一区域与所述第二区域分隔开;  
在所述第一区域上的所述第一垂直鳍的下方的所述衬底中形成第一掺杂阱,以及在所述第二区域上的所述第二垂直鳍下方的所述衬底中形成第二掺杂阱;  
在所述第一区域上的所述第一垂直鳍下方的所述第一掺杂阱中形成第一底部源极/漏极区域,其中在所述第二垂直鳍下方的所述第二掺杂阱中未形成底部源极/漏极区,  
在所述第二垂直鳍上形成电介质下层段;以及  
在所述电介质下层段和所述第二垂直鳍上形成第一栅极结构;  
在所述第一垂直鳍和所述第二垂直鳍中的每个垂直鳍上形成顶部源极/漏极,其中在所述第二垂直鳍上的所述顶部源极/漏极位于所述第一栅极结构上方。
2. 如权利要求1所述的方法,其中,所述电介质下层段的厚度在5nm至10nm的范围内。
3. 如权利要求1所述的方法,其中,所述电介质下层段由选自自由氧化硅(SiO)、氮氧化硅(SiON)、碳氮化硼硅(SiBCN)、碳氮氧化硅(SiOCN)及其组合组成的材料制成。
4. 如权利要求1所述的方法,其中,所述第一栅极结构包括在所述电介质下层段上的栅极电介质层,在所述栅极电介质层上的功函数层以及在所述功函数层上的导电栅极填充物。
5. 如权利要求1所述的方法,还包含在所述第一垂直鳍上形成第二栅极结构,其中所述第二栅极结构包括在所述第一垂直鳍上的第二栅极电介质层,在所述栅极电介质层上的第二功函数层以及在所述第二功函数层上的第二导电栅极填充物。
6. 如权利要求5所述的方法,其中,所述第一垂直鳍上的所述第二栅极结构和所述第二垂直鳍上的所述第一栅极结构均是倒T形栅极结构,并且所述第二区域上的导电区域具有倒T形。
7. 如权利要求1所述的方法,还包括:其中所述底部源极/漏极区域具有掺杂剂浓度是掺杂阱的掺杂剂浓度的至少5倍。
8. 如权利要求7所述的方法,还包括在所述顶部源极/漏极、所述掺杂阱和所述底部源极/漏极区域上形成接触层。
9. 一种衬底上的逻辑器件和功率器件,包括:  
在所述衬底的第一区域上的第一垂直鳍和在所述衬底的第二区域上的第二垂直鳍,其中隔离区域将所述第一区域与所述第二区域分开;  
在所述第一垂直鳍下方的所述衬底中的第一掺杂阱和底部源极/漏极区域;  
在所述第二垂直鳍下方的所述衬底中的第二掺杂阱;  
在所述底部源极/漏极区域和所述第二掺杂阱上的底部隔离物层;  
在所述底部隔离物层和所述第二垂直鳍上的电介质下层段;以及  
在所述电介质下层段上的第一栅极电介质层。
10. 如权利要求9所述的逻辑器件和功率器件,还包括:在所述底部隔离物层上的第二栅极电介质层和在所述第一区域上的所述第一垂直鳍。
11. 如权利要求10所述的逻辑器件和功率器件,其中所述第一掺杂阱可以是p型掺杂阱,并且所述第二掺杂阱可以是n型掺杂阱,其中所述n型掺杂阱具有掺杂剂浓度在 $1 \times 10^{17}$ 原

子/cm<sup>3</sup>到1x10<sup>19</sup>原子/cm<sup>3</sup>的范围内,所述底部源/漏区域具有掺杂剂浓度在1x10<sup>18</sup>原子/cm<sup>3</sup>到1x10<sup>21</sup>原子/cm<sup>3</sup>的范围内。

12. 如权利要求11所述的逻辑器件和功率器件,还包括形成在所述n型掺杂阱上的接触层,其中,所述接触层与垂直鳍之间的横向距离在20nm至200nm的范围内。

13. 如权利要求12所述的逻辑器件和功率器件,其中,所述底部源极/漏极区域具有的掺杂剂浓度为所述掺杂阱的掺杂剂浓度的至少5倍,并且所述n型掺杂阱的深度在30nm至150nm的范围内。

## 在同一个衬底上制造逻辑器件和功率器件

### 背景技术

#### 技术领域

[0001] 本发明总体上涉及在同一衬底上形成逻辑晶体管和功率晶体管,并且更具体地涉及由形成在衬底的相同区域上的同一组垂直鳍来制造逻辑晶体管和功率晶体管。

[0002] 背景技术的描述

[0003] 场效应晶体管(FET)通常具有源极、沟道和漏极,其中电流从源极流向漏极,并且栅极控制电流通过器件沟道的流动。场效应晶体管(FET)可以具有多种不同的结构,例如FET被制造为源极、沟道和漏极形成在衬底材料本身中,电流在水平方向上(即,在衬底平面中)流动,并且FinFET形成的沟道从衬底向外延伸,但是电流也从源极到漏极水平流动。与具有平行于衬底平面的单个栅极的MOSFET相比,FinFET的沟道可以是薄矩形硅(Si)的直立平板,通常称为在鳍上具有栅极的鳍。取决于源极和漏极的掺杂,可以形成n-FET或p-FET。

[0004] FET的示例可以包括金属氧化物半导体场效应晶体管(MOSFET)和绝缘栅场效应晶体管(IGFET)。两个FET也可以被耦合形成互补金属氧化物半导体(CMOS)器件,其中p沟道MOSFET和n沟道MOSFET被耦合在一起。

[0005] 随着装置尺寸的不断减小,形成单个部件和电触点变得更加困难。因此,需要一种方法来保留传统FET结构的优点,同时克服由于形成较小的器件组件而产生的缩放问题。

#### 发明内容

[0006] 根据本发明的实施例,提供了一种在衬底上形成逻辑器件和功率器件的方法。该方法包括在衬底的第一区域上形成第一垂直鳍并且在衬底的第二区域上形成第二垂直鳍,其中隔离区域将第一区域与第二区域分开。该方法还包括在第二区域上的第二垂直鳍上形成电介质下层段。该方法还包括在电介质下层段和第二区域的第二垂直鳍上形成第一栅极结构。

[0007] 根据本发明的另一实施例,提供了一种在衬底上形成逻辑器件和功率器件的方法。该方法包括在衬底的第一区域上形成第一垂直鳍并且在衬底的第二区域上形成第二垂直鳍,其中隔离区域将第一区域与第二区域分开。该方法还包括在第一垂直鳍和第二垂直鳍上形成电介质下层。该方法还包括在电介质下层形成掩模块以及在第二区域上形成第二垂直鳍,以使第一垂直鳍上的电介质下层的一部分暴露。该方法还包括去除电介质下层的暴露部分以在第二垂直鳍上形成电介质下层段。该方法还包括:去除掩模块;以及在电介质下层段形成栅极电介质层以及在第一区域上形成第一垂直鳍。

[0008] 根据本发明的又一个实施例,提供了一种衬底上的逻辑器件和功率器件。该器件包括在衬底的第一区域上的第一垂直鳍和在衬底的第二区域上的第二垂直鳍,其中隔离区域将第一区域与第二区域分开。该器件还包括在第一垂直鳍下方的衬底中第一掺杂阱和底部源极/漏极区域。该器件还包括在第二垂直鳍下方的衬底中的第二掺杂阱。所述器件还包括在底部源极/漏极区域和第二掺杂阱上的底部隔离物层。所述器件还包括在底部隔离物

层和第二垂直鳍上的电介质下层段,以及在电介质下层段上的第一栅极电介质层。

[0009] 通过下面结合附图对本发明的说明性实施例的详细描述,这些以及其他特征和优点将变得显而易见。

### 附图说明

[0010] 以下描述将参考以下附图提供本发明的实施例的细节,其中:

[0011] 图1是示出根据本发明的实施例的衬底的截面侧视图;

[0012] 图2是示出根据本发明实施例的在每个垂直鳍上具有鳍模板的衬底上形成的多个垂直鳍的截面侧视图;

[0013] 图3是示出根据本发明的一个实施例的两个垂直鳍、一个垂直鳍下方的n型阱和在另一个垂直鳍下方的p型阱之间的隔离区域的截面侧视图;

[0014] 图4是示出根据本发明的实施例的覆盖垂直鳍和n型阱之一的掩模块的截面侧视图;

[0015] 图5是示出根据本发明的实施例的在暴露的垂直鳍的侧壁上的衬里层的截面侧视图;

[0016] 图6是示出根据本发明的实施例的在p型阱中形成的源极/漏极区域的截面侧视图;

[0017] 图7是示出根据本发明的实施例的在去除掩模块和衬里层之后暴露的垂直鳍的截面侧视图;

[0018] 图8是示出根据本发明的实施例的在源极/漏极区域、隔离区域和n型阱上的底部隔离物层以及在鳍模板上的隔离物盖的截面侧视图;

[0019] 图9是示出根据本发明的实施例的在垂直鳍、隔离物盖和底部隔离物层上的电介质下层的截面侧视图;

[0020] 图10是示出根据本发明的实施例的在n型阱上的垂直鳍上的第二掩模块的截面侧视图;

[0021] 图11是示出根据本发明的实施例的在去除电介质下层的暴露部分之后在底部源极/漏极区域上的暴露的垂直鳍的截面侧视图;

[0022] 图12是示出根据本发明的实施例的在去除第二掩模块之后在暴露的垂直鳍和暴露的电介质下层段上形成的栅极电介质层的截面侧视图;

[0023] 图13是示出根据本发明的实施例的在栅极电介质层上的功函数层的截面侧视图;

[0024] 图14是示出根据本发明的实施例的在功函数层上的导电栅极填充物的截面侧视图;

[0025] 图15是示出根据本发明的实施例的栅极电介质层、功函数层和具有减小的高度的导电栅极填充物的截面侧视图;

[0026] 图16是示出根据本发明的实施例的在导电栅极填充物、功函数层和栅极电介质层上形成的顶部隔离物层,以及第一隔离物盖上的第二组隔离物盖的截面侧视图;

[0027] 图17是示出根据本发明的实施例的由栅极电介质层、功函数层和导电栅极填充物形成的构图的栅极结构上的顶部隔离物的截面侧视图;

[0028] 图18是示出根据本发明的实施例的在栅极结构和底部隔离物层上的阻挡层的截

面侧视图;

[0029] 图19是示出根据本发明的实施例的形成在每个垂直鳍上的顶部源极/漏极的截面侧视图;以及

[0030] 图20是示出根据本发明的实施例的形成到顶部源极/漏极、底部源极/漏极和n型掺杂阱中的每一个的电触点的截面侧视图。

### 具体实施方式

[0031] 本发明的实施例通常涉及由同一组垂直鳍在衬底上形成逻辑器件和功率器件的组合。可以在衬底上形成多个垂直鳍,并且可以将垂直鳍的子集掩模以将随后制造的功率器件与逻辑器件区分开,其中功率器件可以处理比逻辑器件更大的电压和功率。

[0032] 本发明的实施例总体上涉及制造鳍式场效应晶体管 (FinFET) 器件,该器件可以使用与用于制造可以为低电压/功率器件的FinFET器件相似的工艺步骤来处理高电压/功率,因此可以将高压/功率器件和低压/功率逻辑器件的组合一起制造并且同时在同一衬底上。

[0033] 本发明的实施例总体上涉及形成功率器件,该功率器件具有附加的厚电介质下层和倒T形栅极结构以增加器件的电压/电流容量。功率器件可以是垂直传输鳍式场效应晶体管 (VT FinFET),其具有额外的厚电介质下层作为栅极结构的电绝缘组件的一部分。

[0034] 本发明的实施例大体上涉及形成功率器件,该功率器件具有从顶部源极/漏极通过垂直鳍沟道到轻掺杂阱以及90度转角到底部电触点的倒T形导电区域。单个垂直鳍可以直接形成在功率FinFET的掺杂阱上。倒T形导电区域可以控制功率器件的“导通”电阻,因此与没有倒T形导电区域的器件相比,它可以处理更大的电压/功率。阱深度、掺杂剂浓度以及从沟道到底部电触点的距离会影响器件的电阻和工作电压范围。功率器件中可能未使用较高掺杂的源极/漏极区域。

[0035] 可将本发明应用于的示例性应用/用途包括但不限于:电路和器件,包括在同一衬底上的功率器件和控制电路的组合,例如片上系统 (SoC) 器件。

[0036] 应该理解,将根据给定的说明性架构来描述本发明的各方面;然而,在本发明的各个方面的范围内,可以改变为其他架构、结构、衬底材料以及工艺特征和步骤。

[0037] 现在参考附图,其中相似的数字表示相同或相似的元件,并且首先参考图1,示出了根据本发明的实施例的衬底110。

[0038] 衬底110可以是例如单晶半导体材料晶片或绝缘体上半导体堆叠晶片。衬底可以包括提供结构支撑的支撑层和可以形成器件的有源半导体层。绝缘层(例如,掩埋氧化物 (BOX) 层)可以在有源半导体层和支撑层之间以形成绝缘体上半导体衬底 (SeOI) (例如绝缘体上硅衬底 (SOI)),或者植入层可以形成掩埋绝缘材料。

[0039] 支撑层可以包括晶相、半晶相、微晶相,纳米晶相和/或非晶相。支撑层可以是半导体(例如,硅 (Si)、碳化硅 (SiC)、硅锗 (SiGe)、锗 (Ge)、砷化镓 (GaAs)、碲化镉 (CdTe) 等)、绝缘体(例如:玻璃(例如二氧化硅、硼硅酸盐玻璃)、陶瓷(例如氧化铝 (Al<sub>2</sub>O<sub>3</sub>、蓝宝石)、塑料(例如聚碳酸酯、聚乙腈)、金属(例如铝、金、钛、钼铜 (MoCu) 复合材料等),或其组合。

[0040] 有源半导体层可以是晶体半导体,例如IV或IV-IV半导体(例如,硅 (Si)、碳化硅 (SiC)、硅锗 (SiGe)、锗 (Ge)),III-V半导体(例如,砷化镓 (GaAs)、磷化铟 (InP)、铋化铟 (InSb)),II-VI半导体(例如,碲化镉 (CdTe)、碲化锌 (ZnTe)、硫化锌 (ZnS)、硒化锌 (ZnSe))

或IV-VI半导体(例如,硫化锡(SnS)、硒化铅(PbSb))。

[0041] 图2是示出根据本发明的实施例的形成在衬底110上的在每个垂直鳍上具有鳍模板120的多个垂直鳍111的截面侧视图。

[0042] 鳍111可以通过多次构图制造工艺(例如,侧壁图像转印(SIT)工艺、自对准双构图(SADP)工艺、自对准三重构图(SATP)工艺、或自对准四重图案(SAQP)工艺)在衬底110上形成。可以通过直接写入工艺或双重构图工艺(例如使用浸没式光刻、极紫外光刻或X射线光刻),然后进行蚀刻形成鳍111。

[0043] 鳍可以具有在约15nm至约100nm,或约15nm至约50nm,或约50nm至约100nm,或约30nm至约70nm范围内的高度,尽管其他高度也可以考虑。

[0044] 鳍模板120可以在每个垂直鳍111上,并且在构图工艺期间形成。鳍模板120可以是硬掩模,例如,氧化硅(SiO<sub>2</sub>)、氮化硅(SiN)、氧氮化硅(SiON)、碳氮化硅(SiCN)、硼氮化硅(SiBN)、硼碳化硅(SiBC)、硼化碳氮化硅(SiBCN)、碳化硼(BC)、氮化硼(BN)或其组合。薄的(即,<1nm)氧化物层可以在鳍111的顶表面和鳍模板120之间。

[0045] 图3是示出根据本发明的实施例的两个鳍之间的隔离区域130、一个鳍下方的n型阱和另一个鳍下方的p型阱截面侧视图。

[0046] 隔离区域130(例如,浅沟槽隔离(STI)区域)可以形成在衬底110中,并且可以包括绝缘电介质材料(例如,SiO<sub>2</sub>)以防止或减少衬底110的不同区域之间的导电。隔离区域130可以具有至少50nm,或至少100nm或约50nm至约250nm,或约100nm至约150nm的宽度,以物理和电隔离衬底的相邻区域。可以在隔离区域130的每一侧上形成一个或多个鳍111,其中,隔离区域130将衬底分成两个不同的区域,例如,第一区域101和第二区域102。可以将第一区域101中形成的一个或多个鳍111配置为形成p型逻辑鳍式场效应晶体管(FinFET),并且可以将第二区域102中形成的一个或多个鳍111配置为形成n型功率鳍式FET,尽管该布置和/或掺杂剂类型可以颠倒。

[0047] 可以将掺杂剂引入衬底110中以形成掺杂阱115、116。可以将p型掺杂剂引入衬底110中第一区域101中以形成p型掺杂阱115,并且可以将n型掺杂剂引入到衬底中的第二区域102中以形成n型掺杂阱116。可以反转掺杂剂。P型掺杂剂可包括但不限于硼(B)、铝(Al)、镓(Ga)和铟(In)。N型掺杂剂可包括但不限于磷(P)、砷(S)和锑(Sb)。可以通过合适的掺杂技术掺入掺杂剂(n型或p型),包括但不限于离子注入、气相掺杂、等离子体掺杂、等离子体浸没离子注入、团簇掺杂、注入掺杂、液相掺杂、固相掺杂等。掺杂阱115、116可以与隔离区域130相邻,其中掺杂阱115、116可以比隔离区域130浅。掺杂阱115、116可以在鳍111下方,其中掺杂阱横向延伸超过鳍111的界面区域。功率FinFET的掺杂的阱116可以具有进入衬底110的深度,该深度在大约30nm至大约150nm,或大约50nm至大约100nm的范围内,但也可以考虑其他深度。改变掺杂阱116的深度可以改变功率器件的器件电阻和工作电压。逻辑FinFET的掺杂阱115可以具有进入衬底110的深度,该深度在约20nm至约100nm、或约20nm至约60nm、或约50nm至约100nm的范围内。也可以考虑其他深度。

[0048] p型掺杂阱115的掺杂剂浓度可以在约 $1 \times 10^{17}$ 原子/cm<sup>3</sup>至约 $1 \times 10^{19}$ 原子/cm<sup>3</sup>或约 $5 \times 10^{17}$ 原子/cm<sup>3</sup>至约 $5 \times 10^{18}$ 原子/cm<sup>3</sup>的范围内。n型掺杂阱116的掺杂剂浓度可以在约 $1 \times 10^{17}$ 原子/cm<sup>3</sup>至约 $1 \times 10^{19}$ 原子/cm<sup>3</sup>或约 $5 \times 10^{17}$ 原子/cm<sup>3</sup>至约 $5 \times 10^{18}$ 原子/cm<sup>3</sup>的范围内。掺杂阱115、116可以具有较低的掺杂剂浓度,以跨器件沟道提供较高的电压。通过控制p型掺杂阱

115和n型掺杂阱116的掺杂剂浓度,可以使用基本相同的工艺步骤在同一衬底110上形成逻辑器件和功率器件。功率器件可以具有在约3伏(V)至约10V的范围内的的工作电压,而逻辑(即,低压)器件可以具有在约0.5V至约2V的范围内的的工作电压。较低浓度的n型掺杂阱116可以形成功率器件,而较高浓度的p型掺杂阱115可以形成逻辑器件。这也提供了在同一衬底(例如,片上系统)上形成电子器件的制造效率和更大的回旋余地。

[0049] 图4是示出根据本发明的实施例的覆盖垂直鳍之一和n型阱的掩模块的截面侧视图。

[0050] 可以通过毯式沉积(例如,CVD、旋涂)在鳍111、隔离区域130和衬底110上形成掩模层。掩模层可以在鳍模板120的顶表面上方延伸,并且化学机械抛光(CMP)用于减小高度并提供平坦化的表面。掩模层可以是软掩模材料,例如光刻抗蚀剂材料,例如聚合物材料(例如,聚(甲基丙烯酸甲酯)(PMMA)、硅氧烷、聚二甲基硅氧烷(PDMS)、倍半硅氧烷氢(HSQ)、原硅酸四乙酯(TEOS)等)或无定形碳(a-C)。

[0051] 掩模层也可以是硬掩模,其包括诸如氮化硅(SiN)、氧化硅(SiO)、氮氧化硅(SiON)、碳化硅(SiC)、碳氮氧化硅(SiOCN)或硅氮化硼碳氮化物(SiBCN)的电介质材料。在本发明的各种实施例中,掩模层是氮化硅。掩模层可具有约10nm至约100nm或约10nm至约30nm的厚度,但是也可以考虑其他厚度。在本发明的优选实施例中,掩模层可以具有大约100nm的厚度。

[0052] 可以通过光刻方法对掩模层进行构图以形成覆盖第二区域102中的垂直鳍111和n型掺杂阱116的掩模块140。可以去除掩膜层的一部分以暴露第一区域101中的鳍111和p型掺杂阱115。可以暴露隔离区域130的一部分,并且可以掩模隔离区域130的一部分。掩模块140可以在鳍模板的顶表面上方延伸。

[0053] 图5是示出根据本发明的实施例的在暴露的鳍的侧壁上的衬里层150的截面侧视图。

[0054] 衬里层150可以形成在暴露的鳍111的侧壁和端壁上,其中垂直鳍111可以在第一区域101上。衬里层150可以通过保形沉积(例如,原子层沉积(ALD)、等离子体增强的ALD(PEALD)、化学气相沉积(CVD)、等离子体增强的CVD(PECVD)或它们的组合)形成达到预定厚度。衬里层150的厚度可以在大约3nm至大约15nm的范围内,或在大约4nm至大约8nm的范围内,其中衬里层可以足够厚以防止掺杂剂渗透到鳍111中。

[0055] 图6是示出根据本发明的实施例的形成在p型阱中的底部源极/漏极区域118的截面侧视图。

[0056] 底部源极/漏极区域118可以形成在衬底110中,其中底部源极/漏极区域118可以形成在p型阱115或n型阱116中。可以通过合适的掺杂技术(包括但不限于离子注入、气相掺杂、等离子体掺杂、等离子体浸没离子注入、团簇掺杂、注入掺杂、液相掺杂、固相掺杂等,掺入p型掺杂剂。底部源极/漏极区域118可以被掺杂以形成n型或p型源极/漏极以制造NFET或PFET。形成底部源极/漏极区域118的掺杂剂可以是与第一区域101中的掺杂阱115相反的类型,使得掺杂阱115可以形成穿通停止层。磷掺杂的硅可以用作NFET的底部源/漏区域118。可以在第一区域101上的鳍111下方的衬底110中形成p型掺杂阱和n型底部源极/漏极区域118,并且可以在第二区域102上的鳍111下的衬底110中形成n型掺杂阱116,并且可以在掺杂阱116中不形成底部源极/漏极区域。可以反转掺杂剂,从而可以在n型掺杂阱中形成p型

底部源极/漏极区域118,并且p型掺杂阱可以用于功率器件。在本发明的一些实施例中,在功率器件的掺杂阱中未形成底部源极/漏极区域。鳍111可以直接在掺杂阱115、116上。

[0057] 底部源极/漏极区域118可具有在约 $1 \times 10^{18}$ 原子/cm<sup>3</sup>至约 $1 \times 10^{21}$ 原子/cm<sup>3</sup>或约 $1 \times 10^{19}$ 原子/cm<sup>3</sup>至约 $5 \times 10^{20}$ 原子/cm<sup>3</sup>的范围内的掺杂剂浓度,但是也可以考虑其他浓度。底部源极/漏极区域118的掺杂剂浓度可以足以抵消掺杂阱115的相反掺杂。底部源极/漏极区域118的掺杂剂浓度可以至少是掺杂阱115和/或掺杂阱116的掺杂剂浓度的5倍(5x)。

[0058] 底部源极/漏极区域118可以在衬底110和掺杂阱115中具有大约20nm至大约60nm,或大约30nm至大约50nm的深度。也可以采用小于或大于上述深度范围的其他深度。进入掺杂阱115的衬底的深度可以在大约20nm至大约60nm的范围内,或者可以在大约50nm至大约100nm的范围内,其中进入掺杂阱115的衬底的深度大于底部源极/漏极区域的深度。掺杂阱115可以围绕底部源极/漏极区域118,以在底部源极/漏极区域周围形成穿通停止层。第二区域102中的掺杂阱116可以不被修改或形成底部源极/漏极区域。

[0059] 图7是示出根据本发明的实施例的在去除掩模块和衬里层之后的暴露的鳍的截面侧视图。

[0060] 可以从第二区域102中的掺杂阱116上的一个或多个鳍111中去除掩模块140。可以根据掩模块的材料使用选择性蚀刻或灰化来去除掩模块140。去除掩模块140可以暴露第二区域102中的鳍111和掺杂阱116。

[0061] 图8是根据本发明的一个实施例的示出了在源极/漏极区域,隔离区域和n型掺杂阱上的底部隔离物层160以及在鳍模板上的隔离物盖的截面侧视图。

[0062] 底部隔离物层160可以形成在衬底110、源/漏区域118、隔离区域130和掺杂阱116的表面上,以及第一和第二区域101、102的鳍的下部上。隔离物盖162可以形成在鳍模板120上。

[0063] 底部隔离物层160可以通过定向沉积形成,例如,高密度等离子体CVD(HDPCVD)、物理气相沉积(PVD)或气体团簇离子束(GCIB)或毯式沉积和后蚀刻。在使用PVD的情况下,溅射装置可以包括直流二极管系统、射频溅射、磁控溅射或电离金属等离子体溅射。在使用GCIB沉积的情况下,允许高压气体在真空中膨胀,随后冷凝成团。团可以被离子化并引导到表面上,从而提供高度各向异性的沉积。

[0064] 底部隔离物层160的材料可以是电介质材料,包括但不限于氧化硅(SiO)、氮化硅(SiN)、氧氮化硅(SiON)、碳氮化硅(SiCN)、硼氮化硅(SiBN)、硼碳化硅(SiBC)、低K电介质或它们的组合。低K电介质可以包括非晶碳(a-C)、掺杂氟的氧化硅(SiO:F)、掺杂碳的氧化硅(SiO:C)、SiCOH、碳氮化硼硅(SiBCN)或它们的组合。其他示例包括Applied Materials的Black Diamond™。

[0065] 底部隔离物层160的厚度可以在约3nm至约15nm的范围内,或在约5nm至约10nm的范围内,或约3nm至约5nm的范围内,尽管其他厚度也可以考虑。

[0066] 图9是示出根据本发明的实施例的在垂直鳍、隔离物盖和底部隔离物层上的电介质下层170的截面侧视图。

[0067] 电介质下层170可以形成在垂直鳍111和底部隔离物层160的暴露部分上,其中电介质下层170可以通过保形沉积(例如ALD、PEALD)形成。

[0068] 在一个实施例中,可以使用各种沉积技术来沉积电介质下层170,例如,氮化、原子

层沉积 (ALD)、分子层沉积 (MLD)、化学气相沉积 (CVD)、物理气相沉积 (PVD), 和旋转技术。在本发明的替代实施例中, 可以使用热氧化作为沉积技术来沉积电介质下层170。在该示例中, 在鳍的暴露表面上形成电介质下层170, 并且在已经被电介质材料 (例如, 氧化物) 覆盖的非活性区域中不形成电介质下层170。电介质下层170可以包括一层或多层。电介质下层170的厚度可以在约1nm至25nm, 或约2nm至20nm, 或约4nm至15nm的范围内, 或在其之间的范围内, 尽管也可以考虑其他厚度。

[0069] 电介质下层170的厚度可以在约5nm至约20nm的范围内, 或在约6nm至约15nm的范围内, 或在约7nm至约10nm的范围内。也可以采用小于或大于上述厚度范围的其他厚度。

[0070] 电介质下层170的材料可以是氧化硅 (SiO)、氮氧化硅 (SiON)、硼碳氮化硅 (SiBCN)、碳氮氧化硅 (SiOCN)、高k电介质材料或它们的组合。高k材料的示例包括但不限于金属氧化物, 例如氧化铪 (HfO)、氧化铪硅 (HfSiO)、氮氧化铪硅 (HfSiON)、氧化镧 (LaO)、氧化镧铝 (LaAlO)、氧化锆 (ZrO)、锆氧化硅 (ZrSiO)、氧氮化锆硅 (ZrSiON)、氧化钽 (TaO)、氧化钛 (TiO)、钡锶钛氧化物 (BaSrTiO)、钡钛氧化物 (BaTiO)、锶钛氧化物 (SrTiO)、氧化钇 (YO)、氧化铝 (AlO)、氧化钽scan钽 (PbScTaO) 和铌酸铅锌 (PbZnNbO)。高k材料可以进一步包括掺杂剂, 例如镧、铝、镁或其组合。

[0071] 图10是示出根据本发明的实施例的在n型阱上的鳍上的第二掩模块145的截面侧视图。

[0072] 第二掩膜块145可以形成在第二区域102中的电介质下层170和鳍111上。电介质下层170的一部分可以在第一区域101中暴露。

[0073] 图11是示出根据本发明的实施例的在去除电介质下层的暴露部分之后的源极/漏极区域上的暴露的鳍的截面侧视图。

[0074] 例如, 可以使用各向同性蚀刻 (例如, 湿法化学蚀刻、干等离子体蚀刻) 来去除电介质下层170的暴露部分, 以形成电介质下层段172, 并且暴露下面的底部隔离物层160、鳍111、鳍模板120和隔离物盖162。电介质下层170可以是与底部隔离物层160不同的材料, 因此可以选择性地去除电介质下层170的部分。

[0075] 图12是示出根据本发明的实施例的在去除第二掩膜块之后形成在暴露的垂直鳍和暴露的电介质下层段上的栅极电介质层180的截面侧视图。

[0076] 在去除第二掩膜块145之后, 可以在第二区域102中的暴露的垂直鳍111和暴露的垂直鳍上的暴露的电介质下层段172上形成栅极电介质层180。栅极电介质层180可以由保形沉积 (例如, ALD、PEALD) 形成。

[0077] 栅极电介质层180可以是氧化硅 (SiO)、氮化硅 (SiN)、氮氧化硅 (SiON)、氮化硼 (BN)、高k电介质材料或其组合。

[0078] 栅极电介质层180的厚度可以在大约7 Å 到大约30 Å, 或者大约7 Å 到大约10 Å, 或者大约1纳米到大约2纳米的范围内, 但是也可以考虑其他厚度。

[0079] 图13是示出根据本发明的实施例的在栅极电介质层上的功函数层190的截面侧视图。

[0080] 功函数材料 (WFM) 可以在栅极电介质层180的一部分上形成功函数层190, 以形成用于鳍式场效应晶体管 (FinFET) 或功率FinFET的栅极结构。功函数层190可以通过保形沉积而沉积在栅极电介质层180上。电流可以从底部源极/漏极区域118或掺杂阱116垂直地流

过由垂直鳍111和栅极结构形成的沟道区域到顶部源极/漏极。

[0081] 功函数层190可以包括但不限于对PFET来说氮化钛(TiN)、氮化钽(TaN)或钌(Ru)。功函数层190可以包括但不限于对NFET来说氮化钛(TiN)、氮化铝钛(TiAlN)、氮化钛铝碳(TiAlCN)、碳化钛铝(TiAlC)、碳化钽铝(TaAlC)、钽铝碳氮化物(TaAlCN)或镧(La)掺杂的TiN或TaN。

[0082] 功函数层190的厚度可以在大约2nm至大约10nm或大约3nm至大约6nm的范围内,尽管可以考虑其他厚度。

[0083] 图14是示出根据本发明的实施例的在功函数层上的导电栅极填充物200的截面侧视图。

[0084] 如果不存在功函数层,则可以在功函数层190或栅极电介质层180的至少一部分上形成导电栅极填充物200。可以通过毯式沉积来形成导电栅极填充物200,并且可以使用CMP来去除多余的材料。

[0085] 导电栅极填充物200可以包括但不限于非晶硅(a-Si)或金属,例如钨(W)、钴(Co)、锆(Zr)、钽(Ta)、钛(Ti)、铝(Al)、钌(Ru)、铜(Cu)、金属碳化物(例如TaC、TiC、WC等)、金属氮化物(例如TaN、ZrN等)、过渡金属铝化物(例如TiAl、CoAl、NiAl等),碳化钽镁或其组合。如果不存在功函数层,可以将导电栅极填充物200沉积在功函数层190上,或者在栅极电介质层180上,以形成栅极结构。

[0086] 图15是示出根据本发明的实施例的栅极电介质层、功函数层和具有减小的高度的导电栅极填充物的截面侧视图。

[0087] 可以使用例如定向蚀刻(例如,反应离子蚀刻(RIE))来减小导电栅极填充物200的高度。可以使用选择性蚀刻来去除功函数层190的暴露部分,并且可以使用选择性蚀刻来去除栅极电介质层180的暴露部分,以暴露鳍111的上部。

[0088] 图16是示出根据本发明的实施例的形成在导电栅极填充物、功函数层和栅极电介质层上的顶部隔离物层210,以及第一隔离物盖上的第二组隔离物盖的截面侧视图。

[0089] 顶部隔离物层210可以形成在导电栅极填充物200、功函数层190和栅极电介质层180上,并且第二组隔离物盖212可以形成在第一隔离物盖162上。可以通过定向沉积例如高密度等离子体CVD(HDPCVD)或气体簇离子束(GCIB)形成顶部隔离物层210。顶部隔离物层210可以覆盖鳍111的暴露的上部,其中顶部隔离物层210的顶表面可以在鳍111的顶表面之中、之上或之下。

[0090] 顶部隔离物层210的材料可以是电介质材料,包括但不限于氧化硅(SiO<sub>2</sub>)、氮化硅(SiN)、氧氮化硅(SiON)、碳氮化硅(SiCN)、硼氮化硅(SiBN)、硼碳化硅(SiBC)、低K电介质或它们的组合。

[0091] 可以在导电栅极填充物200上形成有机平坦化层(OPL),并对其进行构图以暴露出导电栅极填充物200的一部分,然后可以将其去除,然后去除功函数层。可以在导电栅极填充物200的其余部分上形成顶部隔离物层210。

[0092] 图17是示出根据本发明的实施例的在由栅极电介质层、功函数层和导电栅极填充物形成的构图的栅极结构上的顶部隔离物的截面侧视图。

[0093] 顶部掩模层210、导电栅极填充物200、功函数层190和栅极电介质层180可以被掩模和蚀刻以在第一区域101中形成逻辑FinFET,并且在第二区域102中形成功率FinFET。可

以划分各层以形成用于功率FinFET的栅极结构,包括第一栅极电介质层、第一功函数层和第一导电栅极填充物,以及用于逻辑FinFET的栅极结构,包括第二栅极电介质层、第二功函数层和第二导电栅极填充物。由于在去除顶部隔离物层210、导电栅极填充物200功函数层190、栅极电介质层180和电介质下层段172的一部分之前,在底部隔离物层160上形成了电介质下层段172和栅极电介质层180,所以功率FinFET的栅极结构可以具有倒T形。逻辑FinFET的栅极结构也可以具有倒T形,这是由于在去除顶部隔离物层210、导电栅极填充物200、功函数层190、栅极电介质层的一部分之前,在底部隔离物层160上形成了栅极电介质层180。

[0094] 可以在第一区域101中的栅极结构和第二区域102中的栅极结构之间形成沟槽,其中该沟槽可以在隔离区域130上方,以将第一区域上的栅极结构与第二区域上的栅极结构物理地和电气地分离。

[0095] 图18是示出根据本发明的实施例的在栅极结构和底部隔离物层上的阻挡层220的截面侧视图。

[0096] 阻挡层220可以形成在栅极结构和底部隔离物层上,其中阻挡层可以通过保形沉积形成。可以使用保形沉积工艺形成阻挡层220,例如,原子层沉积(ALD)或等离子体增强化学气相沉积(PECVD),但是可以使用其他合适的保形沉积工艺。阻挡层220可以由氮化硅(SiN)、碳氮化硅(SiCN)、氮化硅硼(SiBN)、掺杂的氮化物、氧氮化硅(SiON)或其组合制成。阻挡层220可以由氮化硅制成。阻挡层220可具有在约3nm至约10nm范围内的均匀厚度。阻挡层220可以足够厚以防止材料从导电栅极填充物200扩散到层间电介质(ILD)层中。

[0097] 图19是示出根据本发明的实施例的形成在每个鳍上的顶部源极/漏极的截面侧视图。

[0098] 可以通过将毯覆沉积和CMP用于阻挡层220的暴露部分在阻挡层220上形成ILD层230。ILD层可以是电介质(例如,SiO<sub>2</sub>、SiO<sub>2</sub>:C等)。

[0099] 可以去除阻挡层220的暴露部分以暴露下面的第二隔离物盖212。第二隔离物盖212和第一隔离物盖162可以被选择性地去除以暴露鳍模板120,并且鳍模板120可以被去除以在鳍111的顶表面上方形形成开口。第二隔离物盖和第一隔离物盖可以是相同的材料。

[0100] 可以在每个鳍111上形成顶部源极/漏极240。顶部源极/漏极240可以通过在鳍111的暴露表面上外延生长来形成。

[0101] 图20是示出根据本发明的实施例的形成到顶部源极/漏极、底部源极/漏极和n型掺杂阱中的每一个的电触点的截面侧视图。

[0102] 可以在ILD层230直到底部源极/漏极区域118、掺杂阱116和顶部源极/漏极240中形成通孔或沟槽。可以在通孔和沟槽中形成通孔和沟槽衬里层,以作为扩散阻挡层,并且可以在底部源极/漏极区域118、掺杂阱116和顶部源极/漏极240上形成金属硅化物(例如,TiSi)。通孔衬里层可以是钛(Ti)和钛氮化物(TiN)双层。

[0103] 可以在底部源极/漏极区域118、掺杂阱116和顶部源极/漏极240上形成接触层250,以改善电连接性并减小电阻。可以通过在底部源极/漏极区域118、掺杂阱116和顶部源极/漏极240上外延生长硅(Si)和/或硅锗(SiGe)来形成接触层250,其中接触层250可以高度掺杂。可以使用例如离子注入或退火或在外延工艺期间原位掺杂进行接触层250的掺杂。在示例中,接触层250的掺杂例如对于n型器件(例如,nFET)使用砷(As)或磷(P),而对于p型

器件(例如,pFET)使用硼(B),浓度约为 $1 \times 10^{20}$ 原子/ $\text{cm}^3$ 至约 $1 \times 10^{21}$ 原子/ $\text{cm}^3$ 的范围内。接触层250的掺杂剂浓度可以是掺杂阱115、116的掺杂剂浓度的至少5倍,或类似于底部源极/漏极118的掺杂剂浓度。

[0104] 可以在顶部源极/漏极240上的接触层250上形成顶部电触点270,并且可以在底部源极/漏极区域118和掺杂阱116上的接触层250上形成底部电触点260。底部电触点260和顶部电触点270可以是导电材料,例如,钨(W)、钽(Ta)、氮化钽(TaN)、钴(Co)、钌(Ru)或任何其他可以保形地沉积的导体。这些底部电触点260和顶部电触点270可以以毯状形式沉积(覆盖所有暴露的表面),然后使用例如化学机械抛光(CMP)进行抛光。可以对每个栅极形成栅极触点。

[0105] 底部电触点260和接触层250可以在大约20nm至大约200nm的范围内,或者在大约50nm至大约100nm的范围内与掺杂阱116分开横向距离 $D_1$ 。虽然也可以考虑其他距离,其中横向距离 $D_1$ 可以改变功率器件的电阻和电压容量。

[0106] 通过鳍到顶部源极/漏极240的n型掺杂阱116或p型掺杂阱115和底部源极/漏极区域118可以在底部电触点260和在顶部电触点270之间形成倒T形导电区域119。倒T形阱可以在器件的导通电阻和高压能力之间实现最佳折衷。阱116的深度可以提供用于调节阱电阻的另一变量,而不增加功率晶体管的覆盖区域(即,面积)。该倒T形导电区域可以使功率晶体管能够处理更高的功率。功率FinFET结构的倒T形导电区域119可以包括形成器件沟道的单个垂直鳍111,而逻辑器件可以在相同的底部源极/漏极118上包括多个鳍111,在这种情况下逻辑器件可以失去倒T型导电区域的好处。与具有V形栅极的VMOS FET相比,该结构更简单,可以集成到垂直FinFET制造工艺流程中。可以使用相同的工艺和层同时制造功率FinFET和逻辑器件。

[0107] 电流可以从功率FinFET的顶部源极通过鳍沟道流到轻掺杂阱116,而没有经过底部源极/漏极区域,流到电触点250,并向上到底部电触点260,其可以在10伏特。与高掺杂的源极/漏极相比,轻掺杂阱116的较高电阻可以减少通过沟道的电流,以避免破坏功率器件。

[0108] 本发明的实施例可以包括用于集成电路芯片的设计,该集成电路芯片可以以图形计算机编程语言来创建,并且被存储在计算机存储介质(诸如磁盘、磁带、物理硬盘驱动器或例如在存储访问网络中的虚拟硬盘驱动器)。如果设计人员不制造芯片或用于制造芯片的光刻掩模,则设计人员可以通过物理方式(例如,通过提供存储该设计的存储介质的副本)或以电子方式(例如,通过Internet)直接或间接地传输结果设计给此类实体。然后将存储的设计转换为用于制造光刻掩模的适当格式(例如,GDSII),该光刻掩模通常包括要在晶片上形成的所述芯片设计的多个副本。光刻掩模用于限定要蚀刻或以其他方式处理的晶片(和/或晶片上的层)的区域。

[0109] 如本文所述的方法可以用于集成电路芯片的制造中。制造商可以以原始晶片形式(即,具有多个未封装芯片的单个晶片),裸露裸片或封装形式来分布所得的集成电路芯片。在后一种情况下,芯片安装在单芯片封装中(例如塑料载体,使引线固定在母板或其他更高级别的载体上)或多芯片封装中(例如具有表面互连或掩埋互连两者中的一或两者的陶瓷载体)。无论如何,然后将该芯片与其他芯片、分立电路元件和/或其他信号处理器件集成在一起,作为或者(a)中间产品(例如母板)或者(b)最终产品的一部分。最终产品可以是任何包含集成电路芯片的产品,范围从玩具和其他低端应用到具有显示器、键盘或其他输入器

件以及中央处理器的高级计算机产品。

[0110] 还应该理解,将根据所列元素例如SiGe描述材料化合物。这些化合物包括化合物中不同比例的元素,例如,SiGe包括其中x小于或等于1的 $\text{Si}_x\text{Ge}_{1-x}$ 等。此外,根据本发明化合物中还可以包含其他元素,并且仍然起作用。具有附加元素的化合物在本文中将被称为合金。

[0111] 在说明书中对“一个实施例”或“一实施例”以及其他变型的引用意味着结合该实施例描述的特定特征、结构、特性等被包括在至少一个实施例中。因此,在整个说明书的各个地方出现的短语“在一个实施例中”或“在一实施例中”以及任何其他变型的出现不一定都指的是同一实施例。

[0112] 应当理解,使用以下任何一个“/”,“和/或”以及“至少一个”,例如在“A/B”、“A和/或B”以及“A和B中的至少一个”的情况下,旨在涵盖仅选择第一个列出的选项(A)或仅选择第二个列出的选项(B)或选择两个选项(A和B)。作为进一步的例子,在“A、B和/或C”和“A、B和C中的至少一个”的情况下,这种措词旨在包括仅选择第一个列出的选项(A),或仅选择第二个列出的选项(B),或仅选择第三个列出的选项(C),或仅选择第一个和第二个列出的选项(A和B),或仅选择第一个和第三个列出的选项(A和C),或者仅选择第二个和第三个选项(B和C),或者选择所有三个选项(A和B和C)。如本领域和相关领域的普通技术人员显而易见的那样,对于列出的许多项目,这可以扩展。

[0113] 本文使用的术语仅是出于描述特定实施例的目的,并不旨在限制示例实施例。如本文所使用的,单数形式“一”,“一个”和“该”也意图包括复数形式,除非上下文另外明确指出。将进一步理解的是,当在本文中使用术语“包含(现在时)”、“包含(进行时)”、“包括(现在时)”和/或“包括(进行时)”指定存在所述特征、整数、步骤、操作、元件和/或组件,但是不排除存在或增加一个或多个其他特征、整数、步骤、操作、元件、组件和/或其组。

[0114] 在本文中可使用空间相对术语,例如“在...下方”、“在...之下”、“在下方”、“在上方”,“在...之上”等,以易于描述如图中所示的一个元件或特征与另一元件或特征的关系。将理解的是,除了在附图中所描绘的方位之外,空间相对术语还意图涵盖器件在使用或操作中的不同方位。例如,如果图中的器件被翻转,则被描述为在其他元件或特征“之下”或“在...下”的元件将被定向为在其他元件或特征“之上”。因此,术语“在...之下”可以包括在...之上和在...之下两个方位。可以以其他方式定向器件(旋转90度或其他方向),并且可以相应地解释本文中使用的空间相对描述语。另外,还将理解的是,当层被称为在两层“之间”时,它可以是两层之间的唯一层,或者也可以存在一个或多个中间层。

[0115] 还将理解的是,当诸如层、区域或衬底的元件被称为在另一元件“上”或“之上”时,其可以直接在另一元件之上或也可以存在中间元件。相反,当一个元件被称为“直接在另一元件上”或“直接在另一元件之上”时,则不存在中间元件。还应该理解,当一个元件被称为“连接”或“耦合”到另一个元件时,它可以直接连接或耦合到另一个元件,或者可以存在中间元件。相反,当一个元件被称为“直接连接”或“直接耦合”至另一元件时,则不存在中间元件。

[0116] 将理解,尽管术语第一、第二等在本文中可用于描述各种元件,但是这些元件不应受这些术语的限制。这些术语仅用于区分一个元件和另一个元件。因此,以下讨论的第一元件可以被称为第二元件,而不背离本发明的范围。

[0117] 在上文描述的本发明的实施例中,提供了一种在衬底上形成逻辑器件和功率器件的方法,包括:在衬底的第一区域上形成第一垂直鳍,在衬底的第二区域上形成第二垂直鳍,其中隔离区域将第一区域与第二区域分隔开;在第一垂直鳍和第二垂直鳍上形成电介质下层;在所述电介质下层上形成掩模块,在所述第二区域上形成第二垂直鳍,以使所述第一垂直鳍上的所述电介质下层的一部分暴露;去除电介质下层的暴露部分,以在第二垂直鳍上形成电介质下层段;移除掩模块;在电介质下层段上形成栅极电介质层,并在第一区域上形成第一垂直鳍。栅极电介质层可以由选自二氧化硅(SiO<sub>2</sub>)、氮化硅(SiN)、氧氮化硅(SiON),氮化硼(BN)、高k电介质材料及其组合组成的组中的材料制成。栅极电介质层的厚度可以在7 Å到30 Å的范围内,并且电介质下层段的厚度可以在约5nm到约10nm的范围内。该方法可以包括在栅极电介质层和电介质下层段下方的衬底上形成底部隔离物层。该方法可以包括在第一垂直鳍下方的衬底中形成底部源/漏区域。

[0118] 已经描述了器件和制造方法的优选实施例(其意图是说明性的而非限制性的),应注意的是,本领域技术人员可以根据以上教导进行修改和变型。因此,应当理解,可以在所公开的特定实施例中进行改变,这些改变在由所附权利要求概述的本发明的范围内。至此已经描述了本发明的各方面,并具有专利法所要求的细节和特殊性,在所附权利要求中阐明了由专利证书所要求保护的内容。

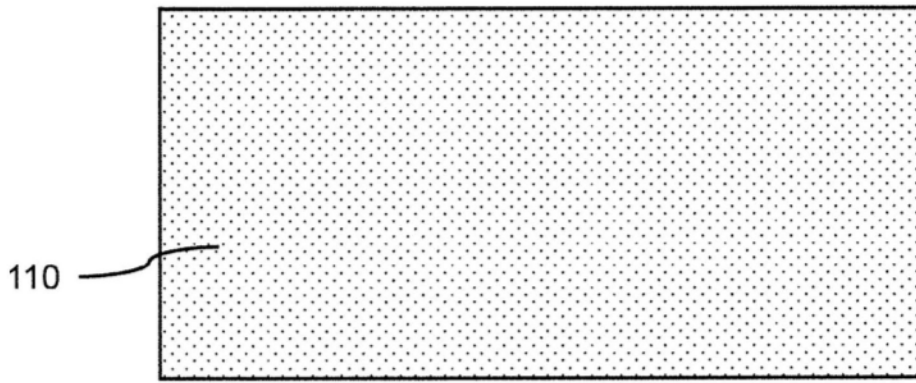


图1

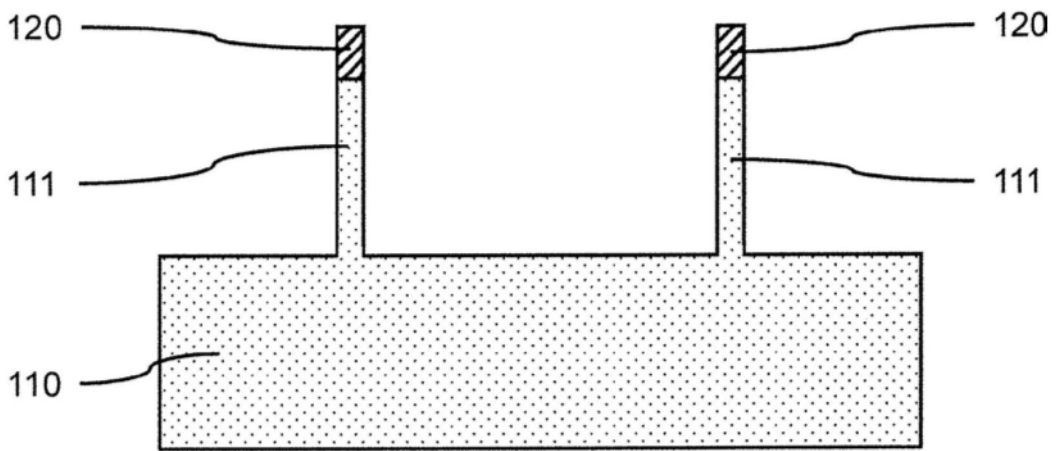


图2

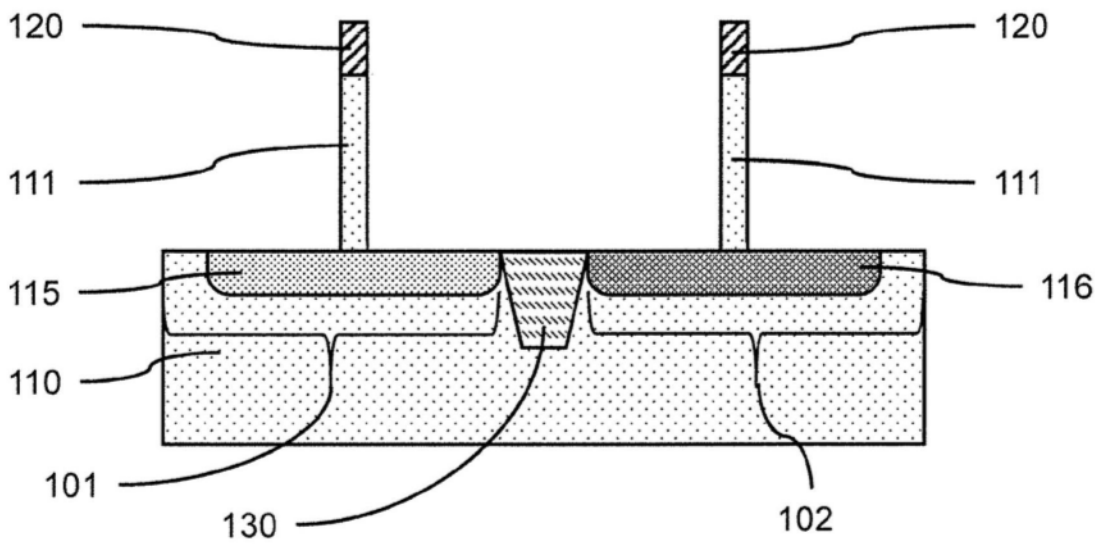


图3

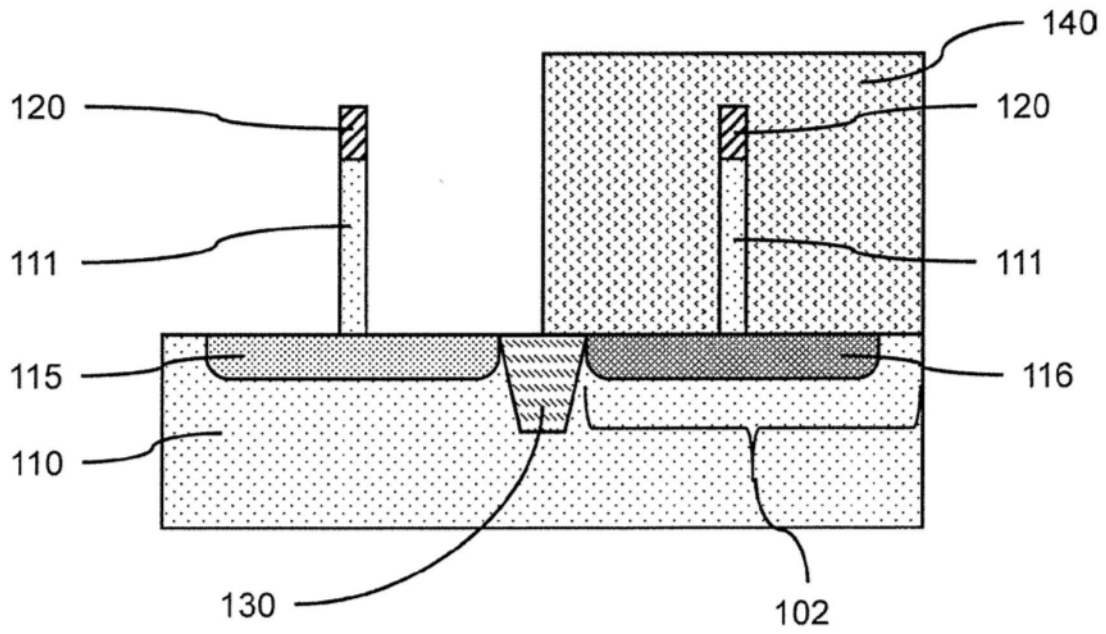


图4

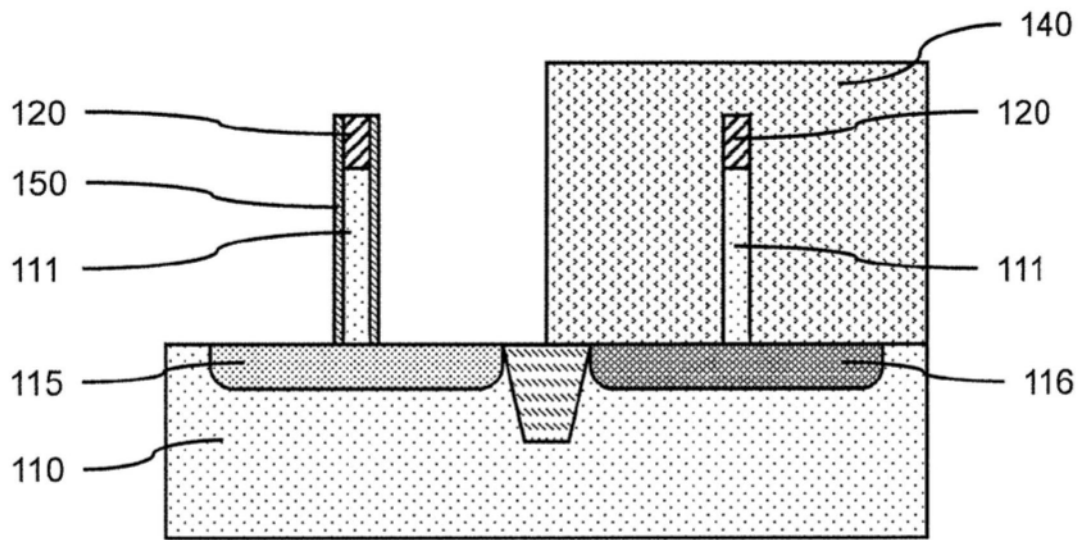


图5

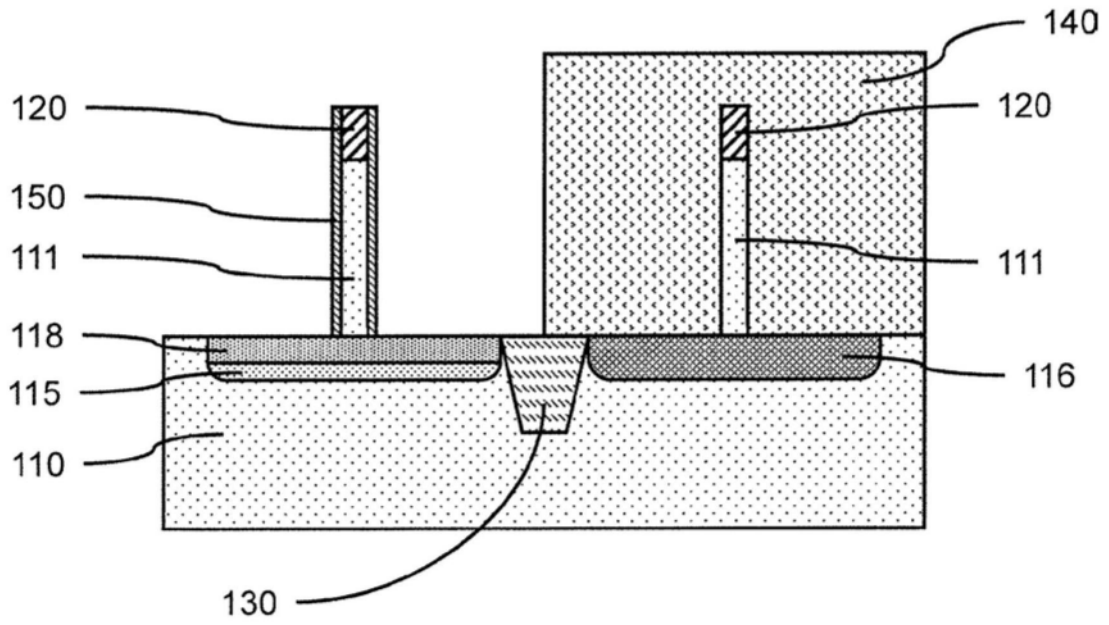


图6

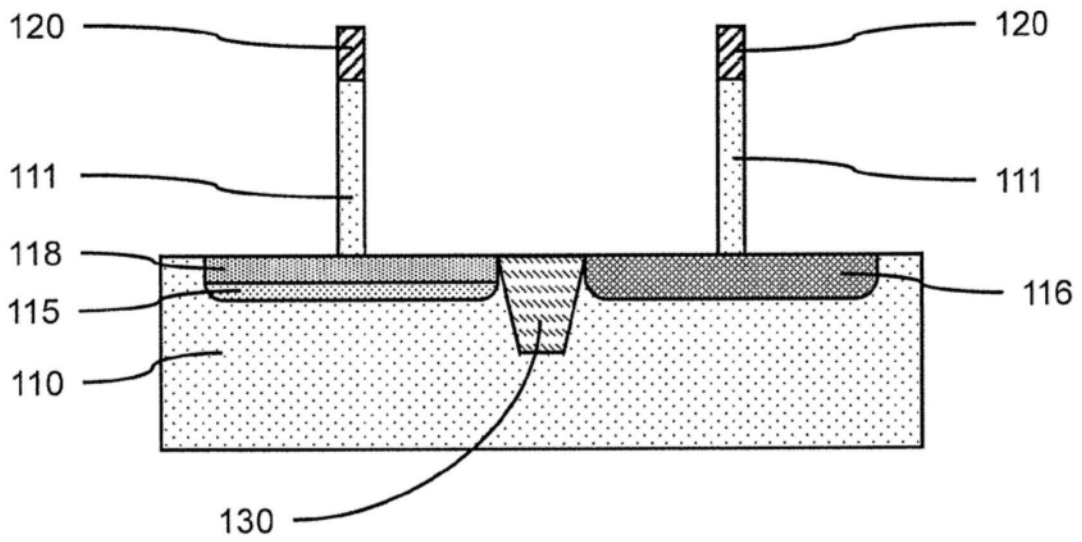


图7

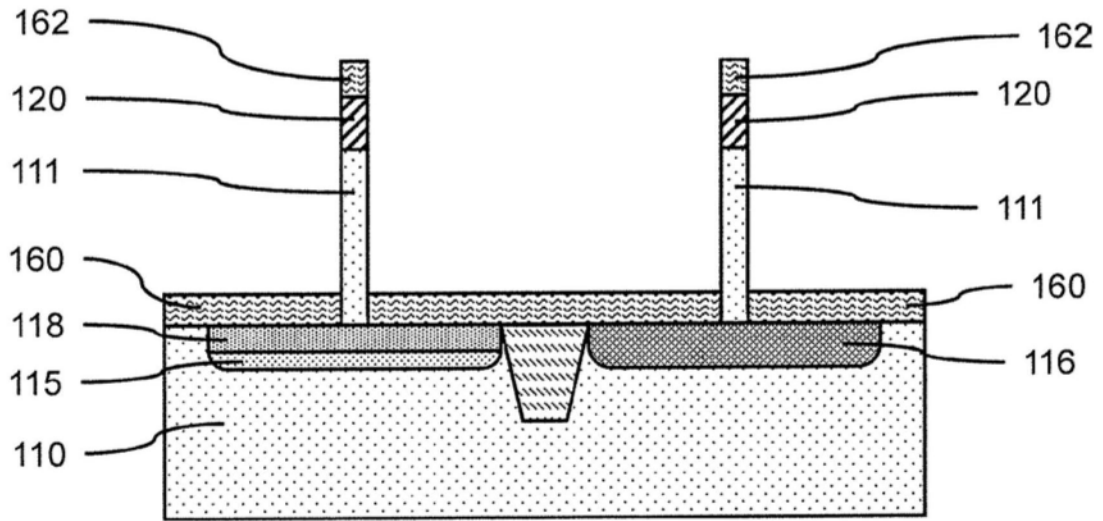


图8

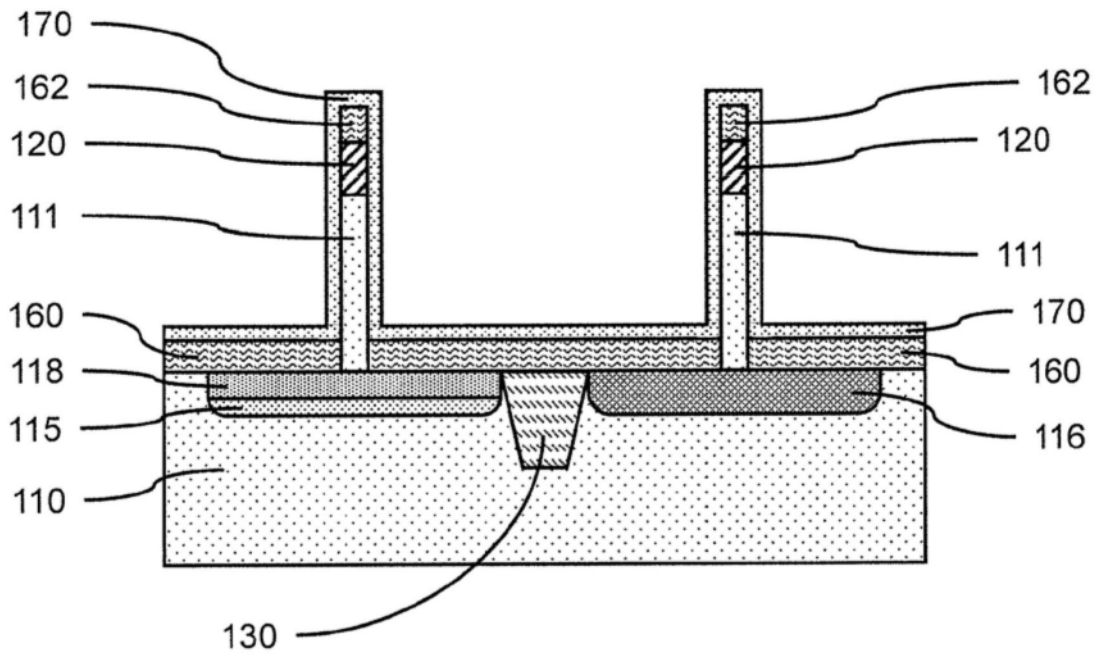


图9



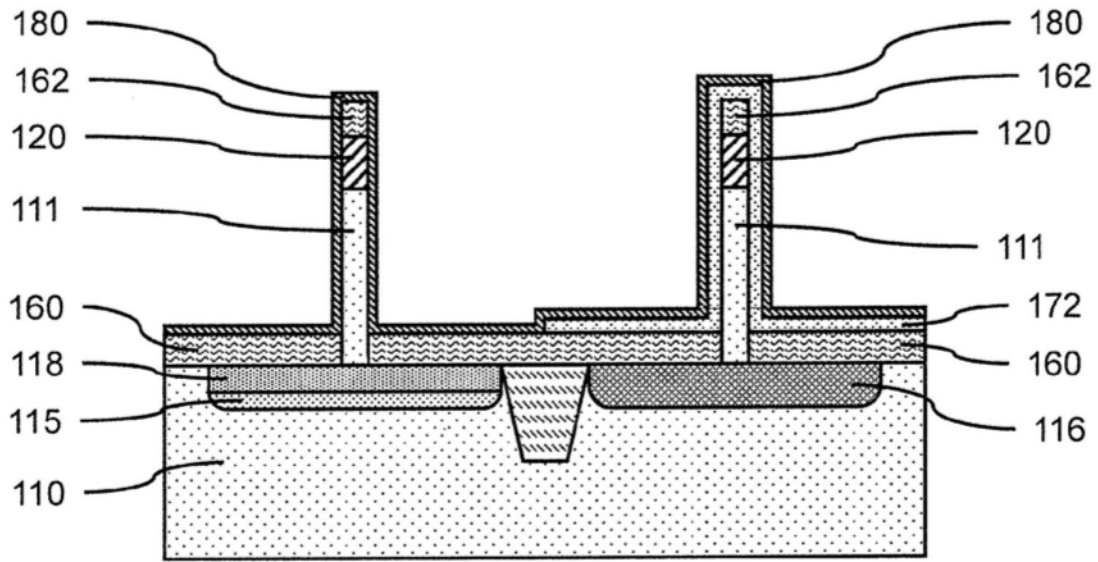


图12

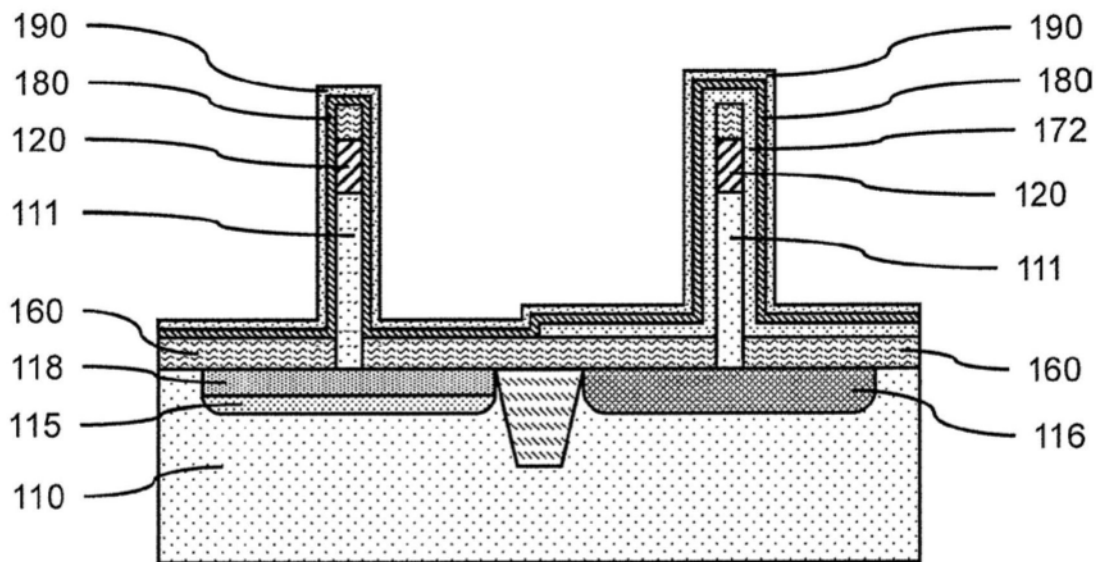


图13

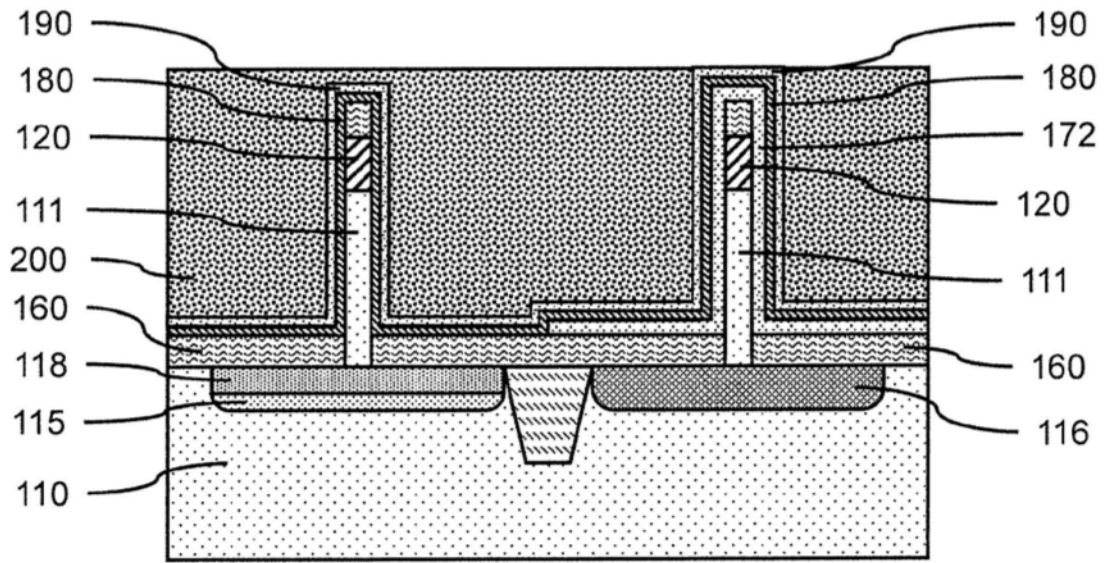


图14

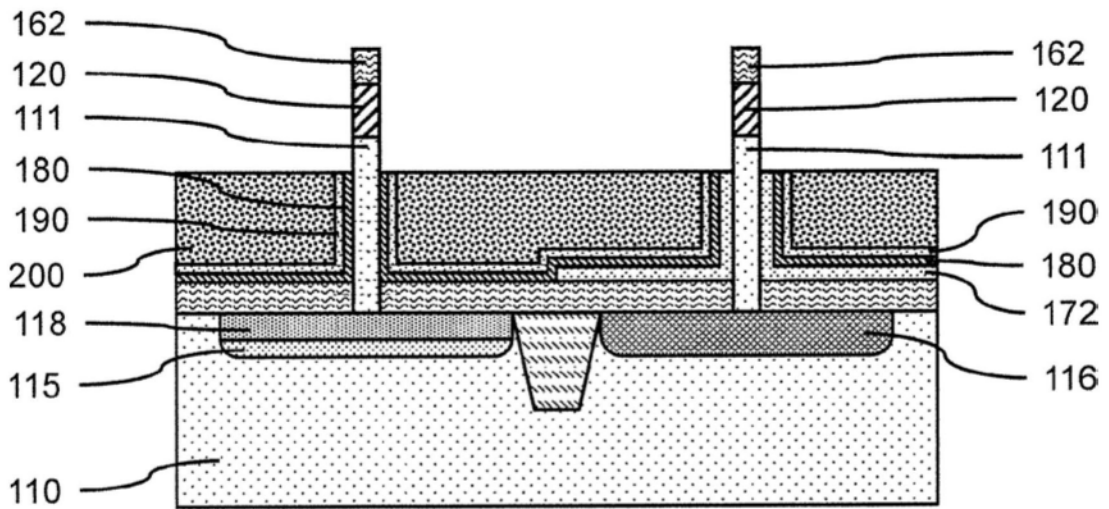


图15

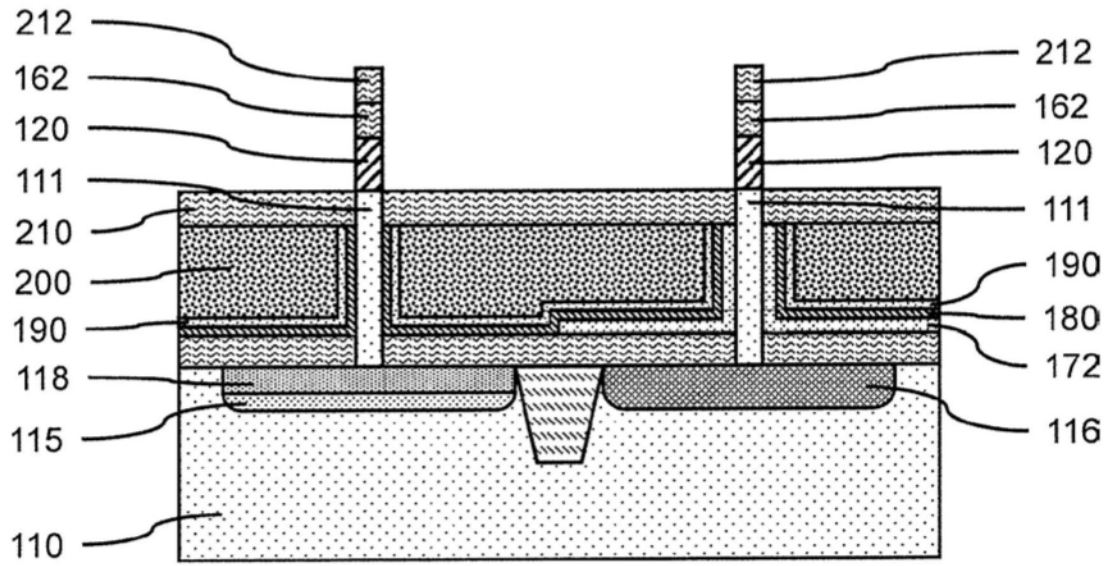


图16

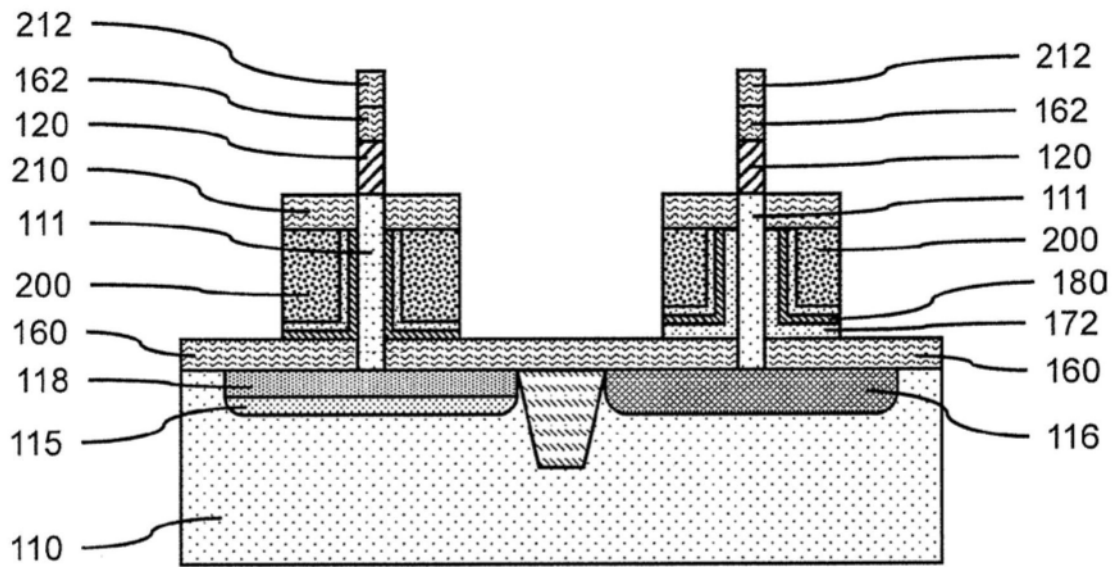


图17

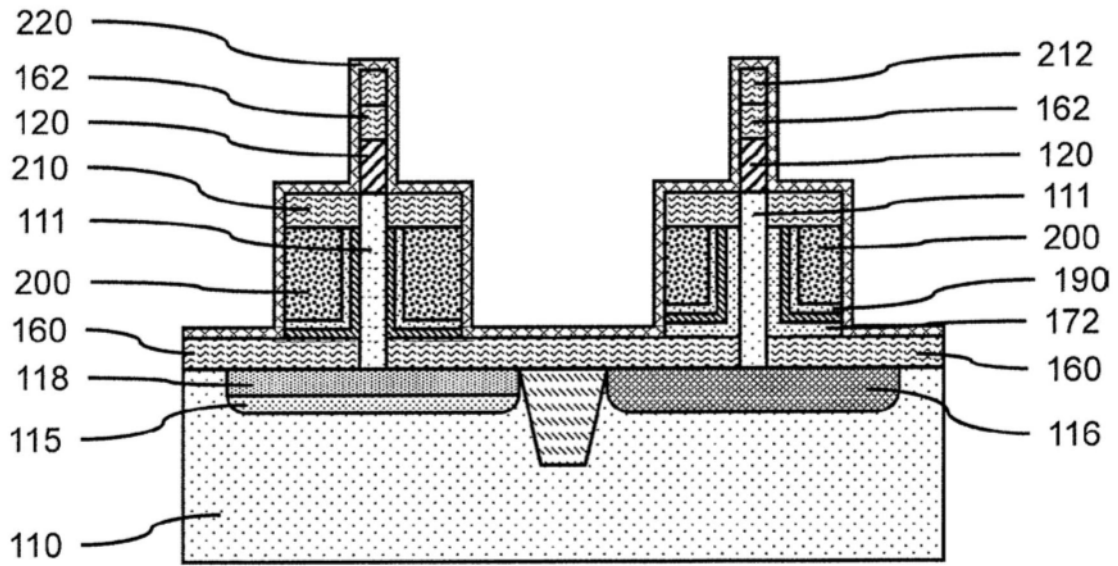


图18

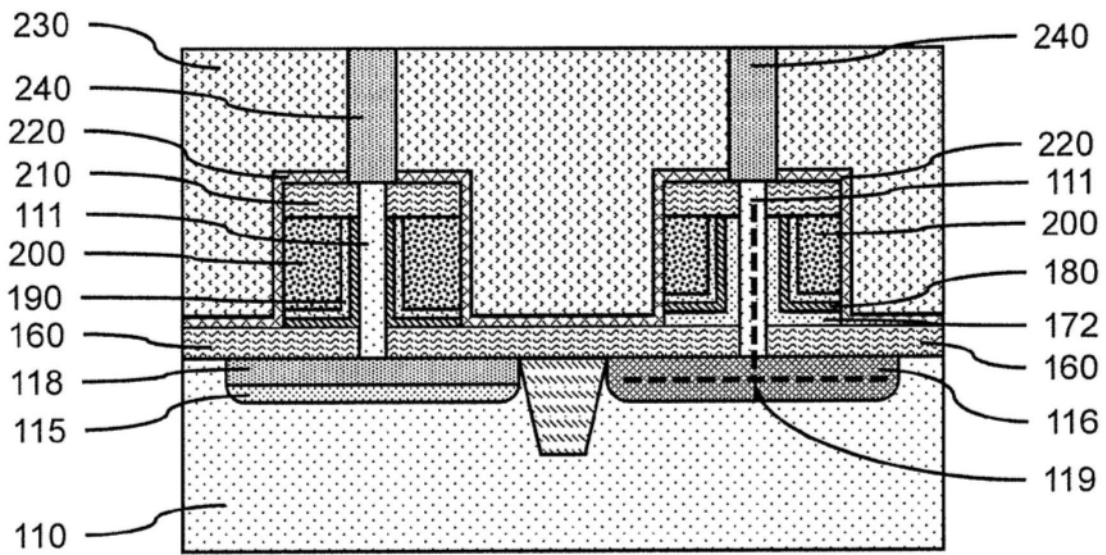


图19

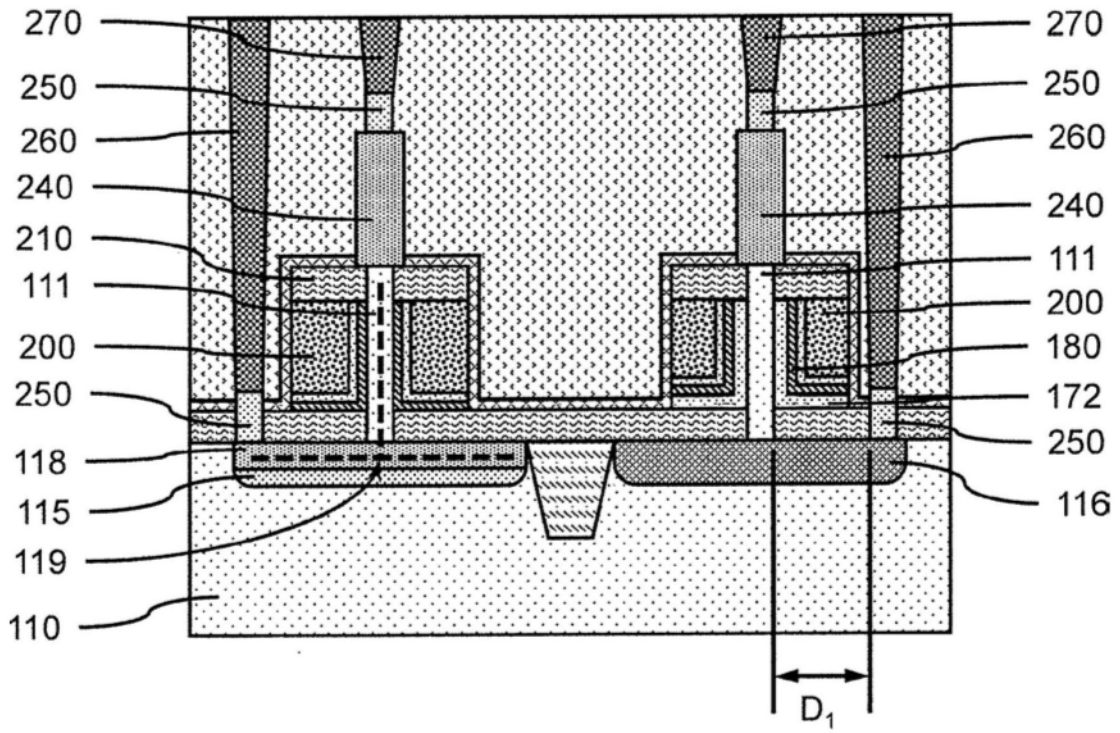


图20