

公告本

申請日期：89-8-16

案號：89116507

類別：

G11C 1/34

(以上各欄由本局填註)

發明專利說明書

473718

一、 發明名稱	中 文	半導體記憶裝置
	英 文	Semiconductor Memory Device
二、 發明人	姓 名 (中文)	1. 引山義之 2. 小橋壽夫 3. 星田哲司
	姓 名 (英文)	1. 2. 小橋寿夫 3.
	國 籍	1. 日本 2. 日本 3. 日本
	住、居所	1. 日本國東京都千代田區丸の内二丁目2番3號 三菱電機株式會社內 2. 同1 3. 日本國兵庫縣伊丹市荻野1丁目132番地 大王電機株式會社內
三、 申請人	姓 名 (名稱) (中文)	1. 三菱電機股份有限公司
	姓 名 (名稱) (英文)	1. 三菱電機株式會社
	國 籍	1. 日本
	住、居所 (事務所)	1. 日本國東京都千代田區丸の内二丁目2番3號
	代表人 姓 名 (中文)	1. 谷口一郎
	代表人 姓 名 (英文)	1.



本案已向

國(地區)申請專利

日本 JP

申請日期

2000/01/21 2000-012723

案號

主張優先權

有

有關微生物已寄存於

寄存日期

寄存號碼

無



五、發明說明 (1)

【發明之背景】

【發明之領域】

本發明涉及半導體記憶裝置，特別是涉及下述半導體記憶裝置，在老化測試時可有效地進行故障檢查。

【習知技術之說明】

一般，裝置的故障發生期分為3個期間。依時間的順序，該期間為初始故障期間，偶然故障期間，磨耗故障期間。

初始故障期間指裝置製作時的缺陷作為故障呈現，出現在使用開始後不久產生的初始故障。該初始故障的比例隨時間急速減小。

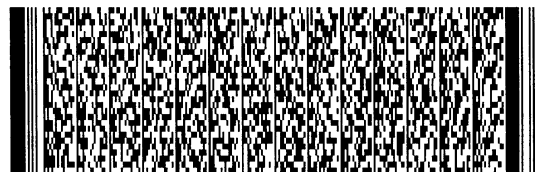
此後，形成具有低故障率的一定期間後的偶然故障期間。

不久，形成裝置接近耐用壽命，故障率急劇增加的磨耗故障期間。

裝置最好在偶然故障期間內使用，該期間為耐用年數。於是，為了提高裝置的可靠性，要求故障率較低的，一定的偶然故障期間持續較長。

為了預先消除初期故障，有必要進行下述的遮罩處理，該處理指消除因一定時間的加速工作的老化，使故障呈現而產生的不合格產品。為了在較短期間，有效地進行上述遮罩處理，最好進行在較短時間出現初期故障的遮罩測試。

目前，作為該遮罩的方法之一，一般進行高溫工作測試



五、發明說明 (2)

(老化測試：burn-in test)。該老化測試屬於採用實際的裝置，直接評價電介質膜的方法，在該測試中，開始移動鋁線，通過施加高溫，並且高電場的負載，使故障原因呈現。近年來，這樣的老化測試是在對半導體記憶裝置進行包裝之前的晶圓的狀態下進行的，從而可對大量晶片一起進行測試。

圖7為表示與過去的二半導體記憶裝置的老化測試有關的電路結構的電路圖。

參照圖7，過去的二半導體記憶裝置的列解碼器包括預解碼電路26a；主解碼電路326b，其根據預解碼電路26a的輸出，列位址信號RA0，RA1，測試用焊接凸塊PD0的電位和測試信號TMRS，驅動偶數字線WL0，WL2；主解碼電路326c，其根據預解碼電路26a的輸出，列位址信號RA0，RA1，測試用焊接凸塊PD1的電位和測試信號TMRS，驅動奇數字線WL1，WL3。

該預解碼電路26a包括AND電路52，其接收列位址信號/RA2，/RA3，輸出信號X4；AND電路54，其接收列位址信號/RA4，/RA5，輸出信號X8；AND電路56，其接收列位址信號/RA6，/RA7，輸出信號X12。

主解碼電路326b包括複合閘電路362，其在測試信號TMRS為低位準的情況下，當列位址信號/RA0，/RA1均為高位準時，使信號RX0為高位準，在測試信號TMRS為高位準的情況下，根據測試用焊接凸塊PD0的電位，使信號RX0為高位準。



五、發明說明 (3)

主解碼電路326b還包括複合閘電路364，其在測試信號TMRS為低位準的情況下，當列位址信號/RA0，/RA1均為高位準時，使信號RX2為高位準，在測試信號TMRS為高位準的情況下，根據測試用焊接凸塊PD0的電位，使信號RX2為高位準。

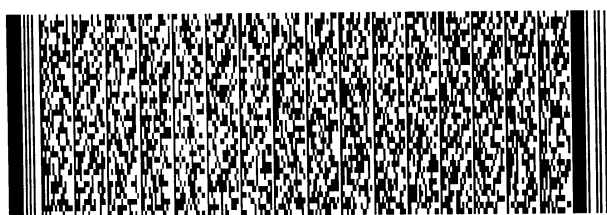
另外，主解碼電路326b還包括複合閘電路368，其在測試信號TMRS為低位準，並且信號X4，X8，X12均為高位準時，使輸出為高位準。

此外，主解碼電路326b包括字驅動器70，其在信號RX0為高位準，複合閘電路368的輸出為低位準時，使字線WL0驅動；字驅動器72，其在信號RX2為高位準，並且複合閘電路368的輸出為低位準時，使字線WL2驅動。

字驅動器70包括串聯於提供有信號RX0的節點與接地節點之間的P型通道MOS電晶體74和N型通道MOS電晶體76。複合閘電路368的輸出提供給該N型通道MOS電晶體76，和P型通道MOS電晶體74中的閘極。另外，P型通道MOS電晶體74與N型通道電晶體76的連接節點與字線WL0連接。

字驅動器72包括串聯於提供有信號RX2的節點與接地節點之間的P型通道MOS電晶體78和N型通道MOS電晶體80。複合閘電路368的輸出提供給該P型通道MOS電晶體78，和N型通道MOS電晶體80中的閘極。另外，P型通道MOS電晶體78與N型通道MOS電晶體80的連接節點與字線WL2連接。

主解碼電路326c包括複合閘電路382，其在測試信號TMRS為低位準的情況下，當列位址信號RA0/RA1均為高位



五、發明說明 (4)

準時，使信號RX1為高位準，在測試信號TMRS為高位準的情況下，根據測試用焊接凸塊PD1的電位，使信號RX1為高位準。

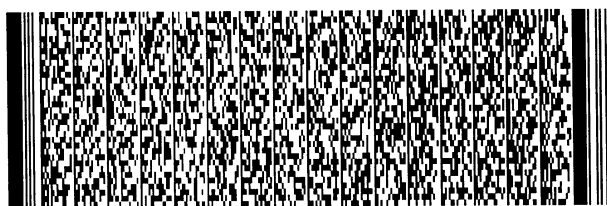
主解碼電路326c還包括複合閘電路384，其在測試信號TMRS為低位準的情況下，當列位址信號RA0，RA1均為高位準時，使信號RX3為高位準，在測試信號TMRS為高位準的情況下，根據測試用焊接凸塊PD1的電位，使信號RX3為高位準。

此外，主解碼電路326c包括複合閘電路388，其在測試信號TMRS為低位準，並且信號X4，X8，X12均為高位準時，使輸出為高位準。

另外，主解碼電路326c包括字驅動器90，其在信號RX1為高位準，複合閘電路388的輸出為低位準時，使字線WL1驅動；字驅動器92，其在信號RX3為高位準，並且複合閘電路388的輸出為低位準時，使字線WL3驅動。

字驅動器90包括串聯於提供有信號RX1的節點與接地節點之間的P型通道MOS電晶體94和N型通道MOS電晶體96。複合閘電路388的輸出提供給該N型通道MOS電晶體96，和P型通道MOS電晶體94中的閘極。另外，P型通道MOS電晶體74與N型通道MOS電晶體76的連接節點與字線WL1連接。

字驅動器92包括串聯於提供有信號RX3的節點與接地節點之間的P型通道MOS電晶體98和N型通道MOS電晶體100。複合閘電路388的輸出提供給該P型通道MOS電晶體98，和N型通道MOS電晶體100中的閘極。另外，P型通道MOS電晶體



五、發明說明 (5)

98 與 N 型通道 MOS 電晶體 100 的連接節點與字線 WL3 連接。

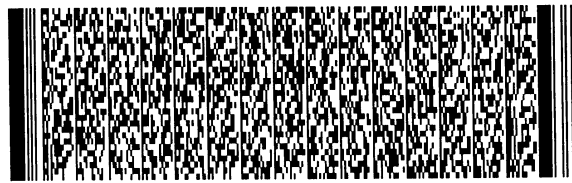
即，在過去的半導體記憶裝置中，為了檢測老化故障，包括有下述電路結構，該電路結構將字線組等分為偶數側與奇數側，可從兩個專用焊接凸塊，分別對各字線組的電位進行控制。

在過去的半導體記憶裝置中，採用圖 7 所示的電路，分別將偶數側字線組，奇數側字線組一起驅動，或不使它們驅動，由此施加在偶數側字線組與奇數側字線組之間提供電位差造成的負載，將老化故障去除。

但是，在上面描述的過去的電路結構中，偶數側字線組所包含的字線之間在平時保持相同的電位。同樣，奇數側字線組所包含的字線之間在平時保持相同電位。在提供這樣的電位方面，在具有偶數側字線相互接近的設置的情況下，在具有奇數側字線之間相互接近設置的情況下，在這些接近的部分產生漏電故障等情況下，發生下述問題，即不能夠對故障部分施加負載，不能夠通過老化測試，消除故障。

圖 8 為用於說明在過去的電路結構中，不能消除的故障的模式圖。

參照圖 8，當字線 WL0，WL1 和 WL2 依次並聯設置時，分別在字線 WL0，WL2 中設置接觸窗 C0，C2，在字線 WL1 中，在接觸窗 C0，C2 的附近，具有未設置接觸窗的部分。如果對這樣的部分，在設置接觸窗的步驟中，進行過剩蝕刻處理，則填充於接觸窗的內部的導電體產生漏電故障。



五、發明說明 (6)

圖9為用於說明圖8所示的故障部位的電路圖。

參照圖9，在過去的半導體記憶裝置中，設置有分別使字線WL0～WL3驅動的字驅動器392，396，394和398。

在這裏，對應於偶數側的字線WL0，WL2而設置的字驅動器392，394設置於記憶體陣列的相同側，驅動奇數字線WL1，WL3的字驅動器396，398相對驅動偶數字線的字驅動器392，394，設置於記憶體陣列的相對側。

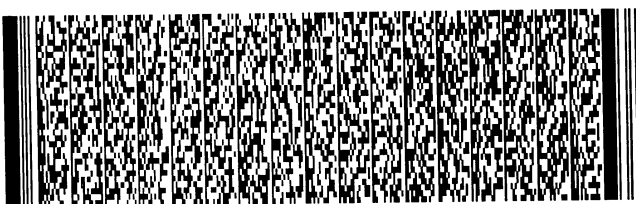
字驅動器392包括串聯於提供有信號RX0的節點與接地節點之間的P型通道MOS電晶體402，N型通道MOS電晶體404。進行了解碼處理的列位址信號IA0提供給P型通道MOS電晶體402和N型通道MOS電晶體404的閘極。

字驅動器394包括串聯於提供有信號RX2的節點與接地節點之間的P型通道MOS電晶體406和N型通道MOS電晶體408。進行了解碼處理的列位址信號IA1提供給該P型通道MOS電晶體406，和N型通道MOS電晶體408中的閘極。

字驅動器396包括串聯於提供有信號RX1的節點與接地節點之間的P型通道MOS電晶體410和N型通道MOS電晶體412。進行了解碼處理的列位址信號IA2提供給該P型通道MOS電晶體410，和N型通道MOS電晶體412中的閘極。

字驅動器398包括串聯於提供有信號RX3的節點與接地節點之間的P型通道MOS電晶體414和N型通道MOS電晶體416。進行了解碼處理的列位址信號IA3提供給該P型通道MOS電晶體414，和N型通道MOS電晶體416中的閘極。

字線WL0，通過接觸窗C0，與P型通道MOS電晶體402和N



五、發明說明 (7)

型通道MOS電晶體404的連接節點連接。字線WL2，通過接觸窗C2，與P型通道MOS電晶體406和N型通道MOS電晶體408的連接節點連接。

接觸窗C0，C2位於圖9所示的位置關係，在這些接觸窗的附近，未設置用於與字線WL1連接的接觸窗。於是，在過去的半導體記憶裝置中，如果在設置接觸窗C0，C2時，進行過剩蝕刻處理，則要考慮到在填充於接觸窗中的導電體中產生擊穿的故障。

【發明之概要】

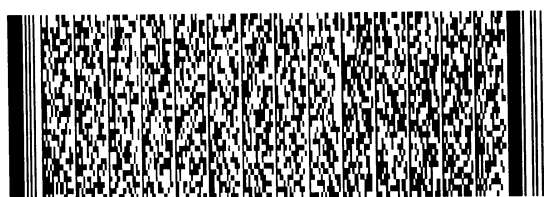
本發明的目的在於提供一種半導體記憶裝置，其可增加各字線或位元線的電位設定的自由度，可在老化測試時，在字線之間施加各種負載，使老化測試的故障去除率提高。

本發明的主要方面涉及一種半導體記憶裝置，其包括記憶體陣列，第1～4字線，以及列解碼電路。

記憶體陣列包括按照行列佈置的多個儲存單元。第1～第4字線分別對應於多個儲存單元的連續相鄰接的第1～第4的列設置。列解碼電路可在平時工作時，對應從外部提供的位址信號，驅動第1～第4字線中的任何一根線，在測試工作時，根據從外部提供的測試信號，相互獨立地驅動第1～第4字線。

本發明的另一方面涉及一種半導體記憶裝置，其包括記憶體陣列，位元線對，均衡電路，以及電位切換電路。

該記憶體陣列包括按照行列佈置的多個儲存單元。該位元線對對應於多個儲存單元中的行設置，包括第1，第2位



五、發明說明 (8)

元線。均衡電路對第1，第2位元線提供均衡電位，以便使第1，第2位元線的電位為相等的電位。電位切換電路在測試工作時，根據從外部的設置，有選擇地使電源電位與接地電位中的任何一個為均衡電位，將其提供給均衡電路。

於是，本發明的主要優點在於：由於可從外部，獨立地對連續相鄰接的4根字線的電位進行控制，故可提供各種老化測試的負載，可使故障的去除率提高。

本發明的另一優點在於：可對儲存單元施加各種負載，可使老化測試的故障的去除率進一步提高。

【最佳實施例之說明】

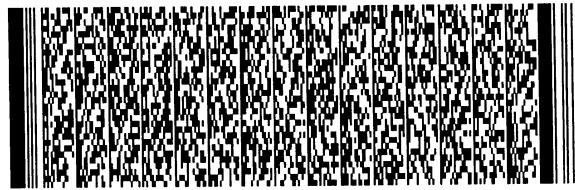
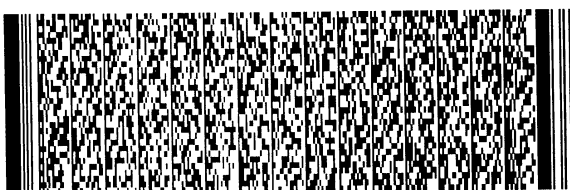
下面參照附圖，對本發明的實施例進行具體描述。又，圖中之同一記號係顯示相同或相當之部分。

(實施例1)

圖1為表示本發明的實施例的半導體記憶裝置1的示意性結構的方塊圖。

參照圖1，半導體記憶裝置1包括控制輸入端子2~6，其分別接收控制信號Ext./RAS、Ext./CAS、Ext./WE；位址輸入端子組8，其接收位址信號A0~A12；輸入輸出端子組13，其輸入輸出資料信號DQ0~DQ15；接地端子12，其提供接地電位Vss；電源端子10，其提供外部電源電位Ext.Vcc。

半導體記憶裝置1還包括時鐘發生電路22；行和列位址緩衝器24；列解碼器26；行解碼器28；儲存字模(memory mat)31；閘電路18；資料登錄緩衝器20；資料輸出緩衝器



五、發明說明 (9)

34。

儲存字模31包括儲存單元陣列32，其內按照行列方式排列有儲存單元；感測放大器與輸入輸出控制電路的組零件30，其用於相對儲存單元陣列32，輸入輸出資料。

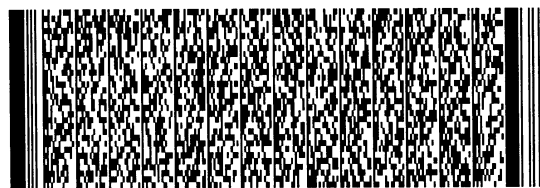
時鐘發生電路22發生相當於根據通過控制信號輸入端子2，4，從外部分別提供的外部列位址選通信號Ext./RAS和外部行位址選通信號Ext./CAS的，規定的工作模式的控制時鐘，對半導體記憶裝置的整個工作進行控制。

行與列位址緩衝器24分別將由外部提供的位址信號A0～A12發生的位址信號RA0～RA12，CA0～CA12，分別供給列解碼器26和行解碼器28。

由列解碼器26和行解碼器28指定的儲存單元陣列32中的儲存單元通過感測放大器與輸入輸出控制電路的組零件30，與內部資料匯流排IDP連接。內部資料匯流排IDP通過資料登錄緩衝器20，從輸入輸出端子組13，接收資料信號DQ0～DQ15，或通過資料輸出緩衝器34，向輸入輸出端子組13，輸出資料信號DQ0～DQ15。

半導體記憶裝置1還包括測試模式設定電路38，該電路38根據外部列位址選通信號Ext./RAS，外部行位址選通信號Ext./CAS，外部寫入啟動信號Ext./WE和位址信號A0～A10，輸出測試信號TMRS，TKE1，TKE2；VBL發生電路36，該電路36接收外部電源電位Ext.Vcc和接地電位Vss，根據測試信號TKE1，TKE2，發生中間電位VBL。

圖2為表示圖1所示的列解碼器26的單元電路的電路圖。



五、發明說明 (10)

另外，在圖2中，儲存字模31作為參考表示的，以便表示位置關係。

參照圖2，列解碼器26包括預解碼電路26a，該電路26a從圖1所示的行和列位址緩衝器24，接收列位址，對其進行預先解碼；主解碼電路26b，其根據預解碼電路26a的輸出，列位址信號RA0，RA1，RA2和測試信號TMRS，驅動偶數字線WL0，WL2；主解碼電路26c，其根據預解碼電路26a的輸出，列位址RA0，RA1，RA3和測試信號TMRS，驅動奇數字線WL1，WL3。字線WL0～WL3為連續相鄰接的4根字線，在圖2中，儲存陣列的字線中，字線WL0～WL3是作為代表表示的。於是，字線按照在字線組WL0～WL3的相鄰處，以4根為單元的方式反復設置的，雖然這一點未示出。

預解碼電路26a包括AND電路52，該電路52接收列位址信號/RA2，/RA3，輸出信號X4；AND電路54，其接收列位址信號/RA4，/RA5，輸出信號X8；AND電路56，其接收列位址信號/RA6，/RA7，輸出信號X12。

主解碼電路26b包括複合閘電路62，其在測試信號TMRS為低位準的情況下，當列位址信號/RA0，/RA1均為高位準時，使信號RX0為高位準，在測試信號TMRS為高位準的情況下，當列位址信號RA0為高位準時，使信號RX0為高位準。

主解碼電路26b還包括複合閘電路64，其在測試信號TMRS為低位準的情況下，當列位址信號/RA0，RA1均為高



五、發明說明 (11)

位準時，使信號RX2為高位準，在測試信號TMRS為高位準的情況下，當列位址信號RA2為高位準時，使信號RX2為高位準。

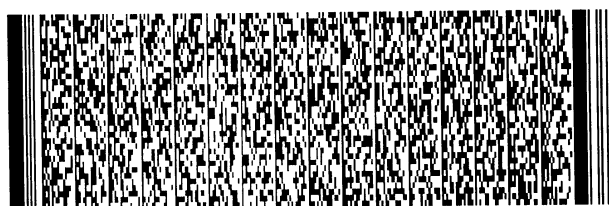
此外，主解碼電路26b包括複合閘電路68，其在測試信號TMRS為低位準，並且信號X4，X8，X12均為高位準時，使輸出為高位準。

主解碼電路26b包括字驅動器70，其在信號RX0為高位準，複合閘電路68的輸出為低位準時，使字線WL0驅動；字驅動器72，其在信號RX2為高位準，並且複合閘電路68的輸出為低位準時，使字線WL2驅動。

字驅動器70包括串聯於提供有信號RX0的節點與接地節點之間的P型通道MOS電晶體74和N型通道MOS電晶體76。複合閘電路68的輸出提供給該N型通道MOS電晶體76，和P型通道MOS電晶體74中的閘極。另外，P型通道MOS電晶體74與N型通道電晶體76的連接節點與字線WL0連接。

字驅動器72包括串聯於提供有信號RX2的節點與接地節點之間的P型通道MOS電晶體78和N型通道MOS電晶體80。複合閘電路68的輸出提供給該P型通道MOS電晶體78，和N型通道MOS電晶體80中的閘極。另外，P型通道MOS電晶體78與N型通道MOS電晶體80的連接節點與字線WL2連接。

主解碼電路26c包括複合閘電路82，其在測試信號TMRS為低位準的情況下，當列位址信號/RA0，/RA1均為高位準時，使信號RX1為高位準，在測試信號TMRS為高位準的情況下，當列位址信號RA1為高位準時，使信號RX1為高位



五、發明說明 (12)

準。

主解碼電路26c包括複合閘電路84，其在測試信號TMRS為低位準的情況下，當列位址信號RA0，RA1均為高位準時，使信號RX3為高位準，在測試信號TMRS為高位準的情況下，當列位址信號RA3為高位準時，使信號RX3為高位準。

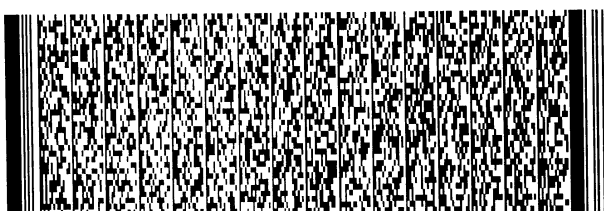
主解碼電路26c還包括複合閘電路88，其在測試信號TMRS為低位準，並且信號X4，X8，X12均為高位準時，使輸出為高位準。

此外，主解碼電路26c包括字驅動器90，其在信號RX1為高位準，複合閘電路88的輸出為低位準時，使字線WL1驅動；字驅動器92，其在信號RX3為高位準，並且複合閘電路88的輸出為低位準時，使字線WL3驅動。

字驅動器90包括串聯於提供有信號RX1的節點與接地節點之間的P型通道MOS電晶體94和N型通道MOS電晶體96。複合閘電路88的輸出提供給該N型通道MOS電晶體96，P型通道MOS電晶體94中的閘極。另外，P型通道MOS電晶體74與N型通道MOS電晶體76的連接節點與字線WL1連接。

字驅動器92包括串聯於提供有信號RX3的節點與接地節點之間的P型通道MOS電晶體98和N型通道MOS電晶體100。複合閘電路88的輸出提供給該P型通道MOS電晶體98，和N型通道MOS電晶體100中的閘極。另外，P型通道MOS電晶體98與N型通道電晶體100的連接節點與字線WL3連接。

在儲存字模31中，字線WL0～WL3與位元線BL0～BL5，



五、發明說明 (13)

/BL0 ~ /BL5 相垂直。

對應於位元線BL0，/BL0，設置感測放大器102和均衡電路104。對應於位元線BL2，/BL2，設置感測放大器110和均衡電路112。對應於位元線BL4，/BL4，設置於感測放大器118和均衡電路120。均衡電路104，112，120和感測放大器102，110，118設置於儲存陣列的第1側。

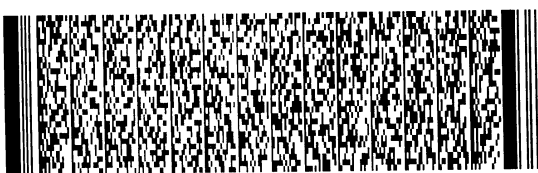
對應於位元線BL1，/BL1，設置均衡電路106和感測放大器108。對應於位元線BL3，/BL3，設置感測放大器114和均衡電路116。對應於位元線BL5，/BL5，設置於均衡電路124和感測放大器122。感測放大器108，114，122和均衡電路106，116，124設置於設有均衡電路104的第1側相對的，儲存陣列的第2側。

圖3為表示對應於圖2中的儲存字模(memory mat)31的字線與位元線的交叉點而設置的儲存單元MC的結構的電路圖。

參照圖3，儲存單元MC包括用於儲存資訊的儲存電容器MQ和存取電晶體MT，該存取電晶體MT由N型通道MOS電晶體構成，該電晶體對應於字線WL的信號電位，將儲存電容器MQ中的儲存節點SN與位元線BLn或/BLn(n為自然數)連接。規定的單元板電位VCP供給儲存電容器MQ的單元板節點CP。

圖4為表示圖2的均衡電路104和感測放大器102的結構的電路圖。

參照圖4，均衡電路104包括N型通道MOS電晶體T1，該電晶體對應於均衡信號BLEQ，實現導通，使位元線BL與位元



五、發明說明 (14)

線/BL 實現導通；N型通道MOS電晶體T2，T3，其對應於均衡信號BLEQ，實現導通，將規定的中間電位VBL分別傳遞給位元線BL和位元線/BL。

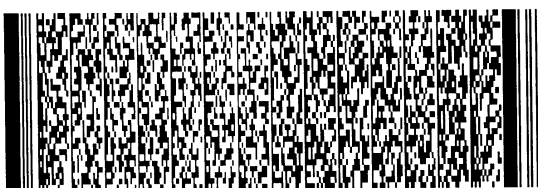
感測放大器102，包括閘極和汲極以交叉方式連接的P型通道MOS電晶體PQ1，PQ2；閘極和汲極以交叉方式連接的N型通道MOS電晶體NQ1，NQ2；P型通道MOS電晶體PQ3，其對應於感測放大器驅動信號/SOP，實現導通，將電源電位Vcc供給P型通道MOS電晶體PQ1和PQ2的源極；N型通道MOS電晶體NQ3，其對應於感測放大器驅動信號SON，實現導通，將接地電位Vss傳遞給N型通道MOS電晶體NQ1和NQ2的源極。P型通道MOS電晶體PQ1和N型通道MOS電晶體NQ1的汲極與位元線BL連接，P型通道MOS電晶體PQ2和N型通道MOS電晶體NQ2的汲極與位元線/BL連接。

在圖1的時鐘發生電路22中，對應於外部列位址選通信號Ext./RAS和外部行位址選通信號Ext./CAS，發生感測放大器驅動信號SON，/SOP和均衡信號BLEQ。

下面對實施例1的半導體記憶裝置的老化測試時的工作進行簡要描述。

再次參照圖2，在老化測試時，測試信號TMRS設定在高位準。通過圖1中的測試模式設定電路38，對應於外部列選通信號和外部行選通信號等，發生測試信號TMRS。

如果測試TMRS信號為高位準，則複合閘電路68和88均為低位準。於是，字驅動器70，72在相應的信號RX0，RX2為高位準時，驅動字線WL0，WL2。同樣，字驅動器90，92在



五、發明說明 (15)

相應信號RX1，RX3為高位準時，分別驅動字線WL1，WL3。

另外，當測試信號TMRS為高位準時，可通過複合閘電路62，82，64和84，分別對應於列位址信號RA0～RA3，設定信號RX0～RX3。由於列位址信號RA0～RA3可從外部，通過位址端子，直接提供，故可將字線WL0～WL3的電位的設定進行任意組合，即設定為16種組合。

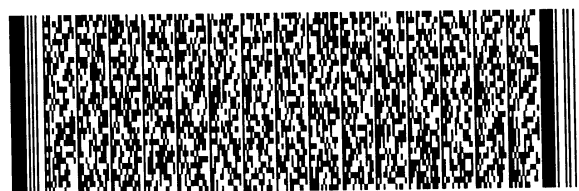
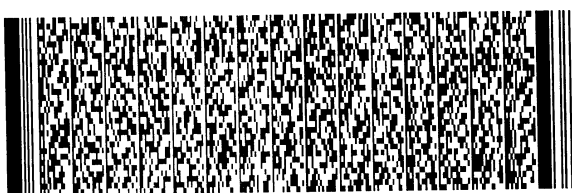
由於列解碼器按照以圖2所示的那樣的連續相鄰接的4根字線為單元的方式構成，故通過將這些連續相鄰接的4根字線作為單元，進行適當地設定，還可適當地設定與這4根字線相鄰的的字線之間的電位，可去除圖8，9中所述的漏電的故障。

圖2表示本發明適合於連續相鄰接的4根字線的最小單元的情況，但是，還容易想到形成下述結構，在該結構中，以連續相鄰接的8個字線為單元，可分別對應於位址信號A0～A7，按照測試模式，驅動字線。

(實施例2)

在實施例2的半導體記憶裝置中，其與實施例1的不同點在於：相對接收圖1中的VBL發生電路36所輸出的中間電位VBL的感測放大器與輸入輸出控制電路的組件30中所包含的均衡電路，本實施例包括電位切換電路202，該電路202在平時工作時，可提供中間電位VBL，在老化測試時，對應於測試信號TKE1和TMRS，可提供電源電位或接地電位，以代替中間電位VBL。

圖5為表示電位切換電路202的結構的電路圖。



五、發明說明 (16)

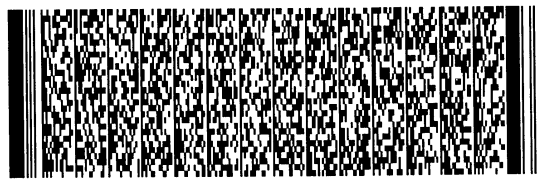
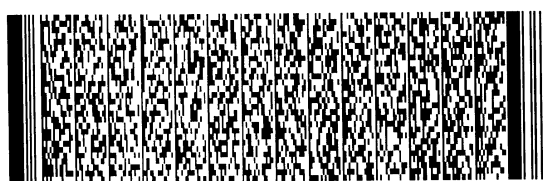
參照圖5，該電位切換電路202包括倒相器204，其接收測試信號TMRS，使其反相；N型通道MOS電晶體210和P型通道MOS電晶體208，該N型通道MOS電晶體210和P型通道MOS電晶體208用於在測試信號TMRS為低位準時，即在平時工作時，分別實現導通，均分別以VBL發生電路36所發生的電位VBL作為電位VBL2而輸出。

該電位切換電路202還包括倒相器206，其接收測試信號TKE1，使其反相；傳輸閘極212，其用於根據倒相器206的輸出和測試信號TKE1，在測試信號TKE1為高位準時，將電源電位Vcc作為電位VBL2輸出；倒相器207，其接收測試信號TKE2，將其反相；傳輸閘極214，其用於根據倒相器207的輸出和測試信號TKE2，在測試信號TKE2為高位準時，將接地電位Vss作為電位VBL2輸出。

圖6為用於說明實施例2的儲存單元的電位設定的電路圖。

參照圖6，對應於位元線BL0，/BL0，設置均衡電路228和感測放大器226。對應於位元線BL1，/BL1，設置均衡電路232和感測放大器230。對應於位元線BL2，/BL2，設置均衡電路236和感測放大器234。對應於位元線BL3，/BL3，設置均衡電路240和感測放大器238。

由從外部接收位址信號，輸出列位址的位址緩衝器222，輸出列位址信號RA0～RA12。另外還設置列解碼器224，其對列位址信號RA0～RA12進行解碼處理，驅動字線WL0～WL3。對應於字線WL0～WL3與位元線BL0～BL3，/BL0



五、發明說明 (17)

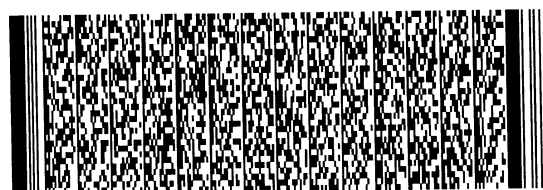
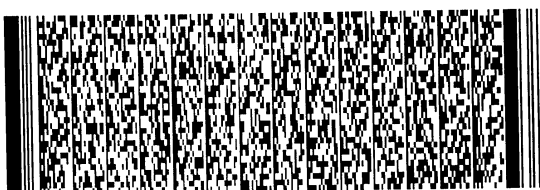
~ /BL3 的交點，設置儲存單元MC，這些儲存單元構成儲存單元陣列220。感測放大器226，230，234，238和均衡電路228，232，236和240具有與圖4所示的結構相同的結構，故不對其進行重複說明。另外，上述儲存單元MC也分別具有與圖3所示的結構相同的結構，故不對其進行重複描述。

在實施例2中，提供電位VBL2，以代替提供給均衡電路228，232，236和240的中間電位VBL。

再次參照圖5，由於在平時工作時，測試信號TMRS，TKE1，TKE2均為低位準，故N型通道MOS電晶體210和P型通道MOS電晶體208處於導通狀態，電位VBL2為VBL發生電路36所輸出的中間電位VBL。通過圖4的均衡電路104，使位元線BL，/BL均為中間電位VBL，然後，儲存單元與位元線BL，/BL中的一個連接，在位元線BL，/BL中產生電位差。該電位差通過圖4所示的感測放大器102放大，將位元線BL，/BL的電位差放大。

在老化測試時，由於測試信號TMRS為高位準，N型通道MOS電晶體210和半導體記憶裝置208處於非導通狀態，如果驅動測試信號TKE1，則可將電位VBL2設定在電源電位Vcc。另外，如果驅動測試信號TKE2，則可將電位VBL2設定在接地電位Vss上。

電位VBL2供給均衡電路，該均衡電路按照圖4所示的結構的方式，通過使均衡信號BLEQ為高位準，可向位元線BL，/BL提供電位VBL2。由於字線WL0~WL3在老化模式中，可



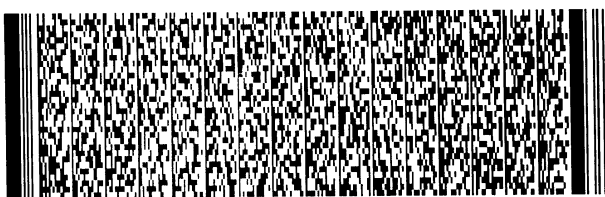
五、發明說明 (18)

按照實施例1所述的方式，從外部，進行驅動控制，故通過將測試信號TKE1，TKE2和位址信號A0～A3組合，便可向儲存單元寫入各種圖形。

於是，可對儲存單元施加各種負載，可使老化測試的故障去除率進一步提高。

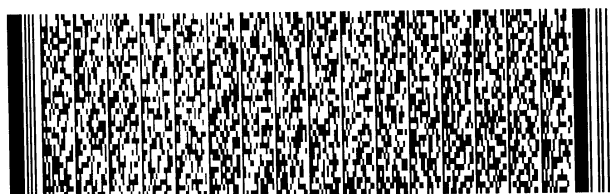
【元件編號之說明】

1	半導體記憶裝置
2～6	控制輸入端子
8、13	位址輸入端子組
10	電源端子
12	接地端子
18	開電路
20	資料登錄緩衝器
22	時鐘發生電路
24	行和列位址緩衝器
26	列解碼器
26a	預解碼電路
26b	主解碼電路
26c	主解碼電路
28	行解碼器
30	組零件
31	儲存字模
32、220	儲存單元陣列
34	資料輸出緩衝器



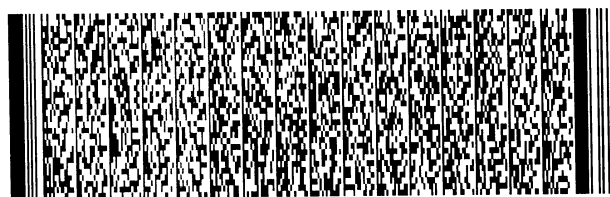
五、發明說明 (19)

- 36 發生電路
- 38 測試模式設定電路
- 52、54、56 AND 電路
- 62、64、68、82、84 複合閘電路
- 70、72、90、92 字驅動器
- 74、78、94、98、208 P型通道MOS電晶體
- 76、80、96、100、210 N型通道MOS電晶體
- 102、110、114、118、122 感測放大器
- 104、106、112、116、120、124 均衡電路
- 202 電位切換電路
- 204、206 倒相器
- 212 傳輸閘極
- 220 儲存單元陣列
- 222 位址緩衝器
- 224 列解碼器
- 228、232、236 均衡電路
- 226、230、234 感測放大器
- 228、232、236、240 均衡電路
- 226、230、234、238 感測放大器
- 362、364、368、382、384、388 複合閘電路
- 392、396、394、398 字驅動器
- 402、406、410、414 P型通道MOS電晶體
- 404、408、412、416 N型通道MOS電晶體
- 326b 主解碼電路



五、發明說明 (20)

326c	主解碼電路	
RA0 , RA1	列位址信號	
/RA2 , /RA3 , /RA4 , /RA5 , /RA6 , /RA7	列位址信號	
PD0 、PD1	測試用焊接凸塊	
WL1 , WL3	驅動奇數字線	
WL0 , WL2	驅動偶數字線	
BL0 ~BL5	位元線	
X4 、X8 、X12	輸出信號	
A0 ~A12	位址信號	
DQ0 ~DQ15	輸出資料信號	
C0 , C2	接觸窗	
TMRS 、TKE1 、TKE2	輸出測試信號	
RX0 、RX1 、RX2 、RX3	信號	
Ext. /RAS 、Ext. /CAS 、Ext. /WE	控制信號	
Vss	接地電位	
Ext. Vcc。	電源電位	
IDP	內部資料匯流排	
MC	儲存單元	
MQ	儲存電容器	
MT	存取電晶體	
VC	單元板電位	
CP	單元板節點	
NT1 、T2 、T3	N型通道MOS電晶體	
BLEQ	均衡信號	



五、發明說明 (21)

VBL

中間電位

PQ1、PQ2、PQ3

P型通道MOS電晶體

NQ1、NQ2、NQ3

N型通道MOS電晶體

/SOP

感測放大器驅動信號

SON

感測放大器驅動信號



圖式簡單說明

圖1為表示本發明的實施例的半導體記憶裝置1的示意性結構的方塊圖。

圖2為表示圖1所示的列解碼器26的單元電路的電路圖。

圖3為表示對應於圖2中的儲存字模31的字線與位元線的交叉點而設置的儲存單元MC的結構的電路圖。

圖4為表示圖2的均衡電路104和感測放大器102的結構的電路圖。

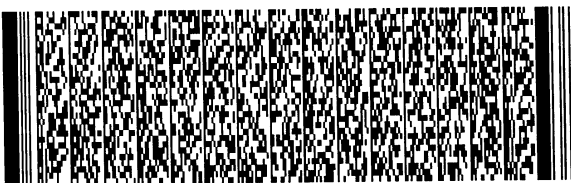
圖5為表示電位切換電路202的結構的電路圖。

圖6為用於說明實施例2的儲存單元的電位設定的電路圖。

圖7為表示與過去的半導體記憶裝置的老化測試有關的電路結構的電路圖。

圖8為用於說明在過去的電路結構中，不能去除的故障的模式圖。

圖9為用於說明圖8所示的故障部位的電路圖。

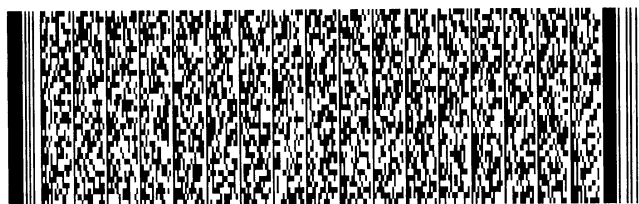


四、中文發明摘要 (發明之名稱：半導體記憶裝置)

在老化測試時，測試模式信號TMRS設定為高位準，可通過複合閘極，分別根據列位址信號RA0～RA3，驅動字線WL0～WL3。於是，比如，在字線WL0，WL2之間，在老化測試時，提供電位差，可施加高電場，可使在老化測試時的故障的去除率提高。

英文發明摘要 (發明之名稱：Semiconductor Memory Device)

During a burn-in test, a test mode signal TMRS is set to the H level, and word lines WL0 to WL3 can be activated by composite gates according to row address signals RA0 to RA3, respectively. Therefore, a potential difference and a high electric field are provided even between word lines WL0, WL2 during the burn-in test. Thus, the defect elimination rate during the burn-in test can be improved.



六、申請專利範圍

1. 一種半導體記憶裝置，其包含有：

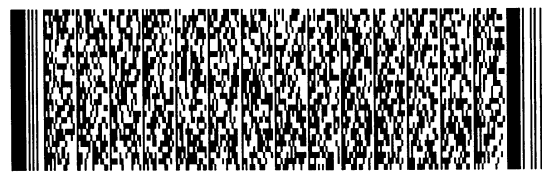
記憶體陣列，其包括按照行列佈置的多個儲存單元；第1至第4字線，分別對應於上述多個儲存單元中的連續相鄰的第1至第4列而設置；列解碼電路，其在平時工作時，根據從外部提供的位址信號，可驅動上述第1至第4的字線中的任何一根線，在測試工作時，根據從外部提供的測試信號，可相互獨立地驅動上述第1至第4字線。

2. 如申請專利範圍第1項之半導體記憶裝置，其中上解碼電路，根據上述測試信號，獨立於上述第1至第4字線中的每根線，設定在高位準和低位準中的一個的電位狀態，以便在上述測試工作時，提供在上述第1至第4字線中的任意兩根的字線之間，設置電位差的負載。

3. 如申請專利範圍第1項之半導體記憶裝置，其中具備第1至第4輸入端子；上述測試信號，包括在上述測試工作時，通過上述第1至第4輸入端子，從外部提供的第1至第4測試位元；上述列解碼電路，包括在上述測試工作時，根據上述第1至第4測試位元，分別驅動上述第1至第4字線的第1至第4的開電路。

4. 如申請專利範圍第3項之半導體記憶裝置，其中上述第1至第4輸入端子，接收在上述平時工作時，從外部提供的上述位址信號的第1至第4位址位元。

5. 如申請專利範圍第1項之半導體記憶裝置，其中上述列解碼電路包括：第1解碼部，其驅動上述第1，第3字線；第2解碼部，其驅動上述第2，第4字線；上述第1解碼



六、申請專利範圍

部按照與上述記憶體陣列的第1側相鄰的方式設置；上述第2解碼部按照與上述記憶體陣列中的，和第1側相對的第2側相鄰的方式設置。

6. 如申請專利範圍第1項之半導體記憶裝置，其中具備位元線對，其對應於上述多個儲存單元的列設置，包括第1，第2位元線；均衡電路，其向上述第1，第2的位元線，提供均衡電位，以便使第1，第2的位元線的電位為相等的電位；電位切換電路，其在上述測試工作時，根據從外部的設定，有選擇地使電源電位與接地電位中的任何一個為上述均衡電位，提供給上述均衡電路。

7. 如申請專利範圍第6項之半導體記憶裝置，其中還包括中間電位發生電路，該電路發生上述電源電位與上述接地電位之間的中間電位；上述電位切換電路還包括：第1開關電路，其在上述平時工作時導通，將上述中間電位提供給輸出節點；第2開關電路，其在上述測試工作時，根據上述的設定，有選擇地導通，將上述電源電位提供給上述輸出節點；第3開關電路，其在上述測試工作時，根據上述的設定，有選擇地導通，將上述接地電位提供給上述輸出節點。

8. 如申請專利範圍第6項之半導體記憶裝置，其中上述均衡電路包括：第1場效應型電晶體，其設置於上述第1位元線與上述第2位元線之間；第2場效應型電晶體，其設置於提供有上述均衡電位的節點與上述第1位元線之間的閘極與上述場效應型電晶體的閘極連接；第3場效應型電晶



六、申請專利範圍

體，其中設置於提供有上述均衡電位的節點與上述第2位元線之間的閘極與上述第1場效應型電晶體的閘極連接。

9. 一種半導體記憶裝置，其包含有：記憶體陣列，其包括按照行列佈置的多個儲存單元；位元線對，其對應於上述多個儲存單元的行設置，包括第1，第2位元線；均衡電路，其向上述第1，第2位元線提供均衡電位，以便使上述第1，第2位元線的電位為相等的電位；電位切換電路，其在測試工作時，根據從外部的設定，有選擇地使上述電源電位與接地電位中的任何一個為上述均衡電位，將其提供給上述均衡電路。

10. 如申請專利範圍第9項之半導體記憶裝置，其中包括中間電位發生電路，該電路發生上述電源電位與上述接地電位之間的中間電位；上述電位切換電路包括：第1開關電路，其在上述平時工作時導通，將上述中間電位提供給輸出節點；第2開關電路，其在上述測試工作時，根據上述的設定，有選擇地導通，將上述電源電位提供給上述輸出節點；第3開關電路，其在上述測試工作時，根據上述的設定，有選擇地導通，將上述接地電位提供給上述輸出節點。

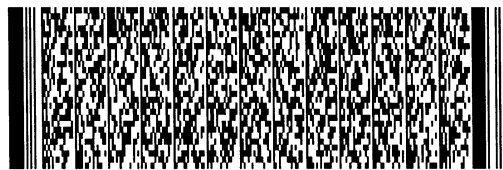
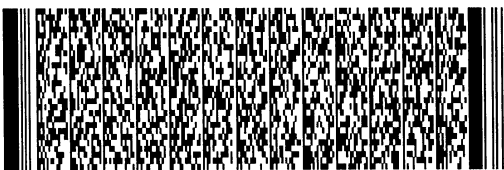
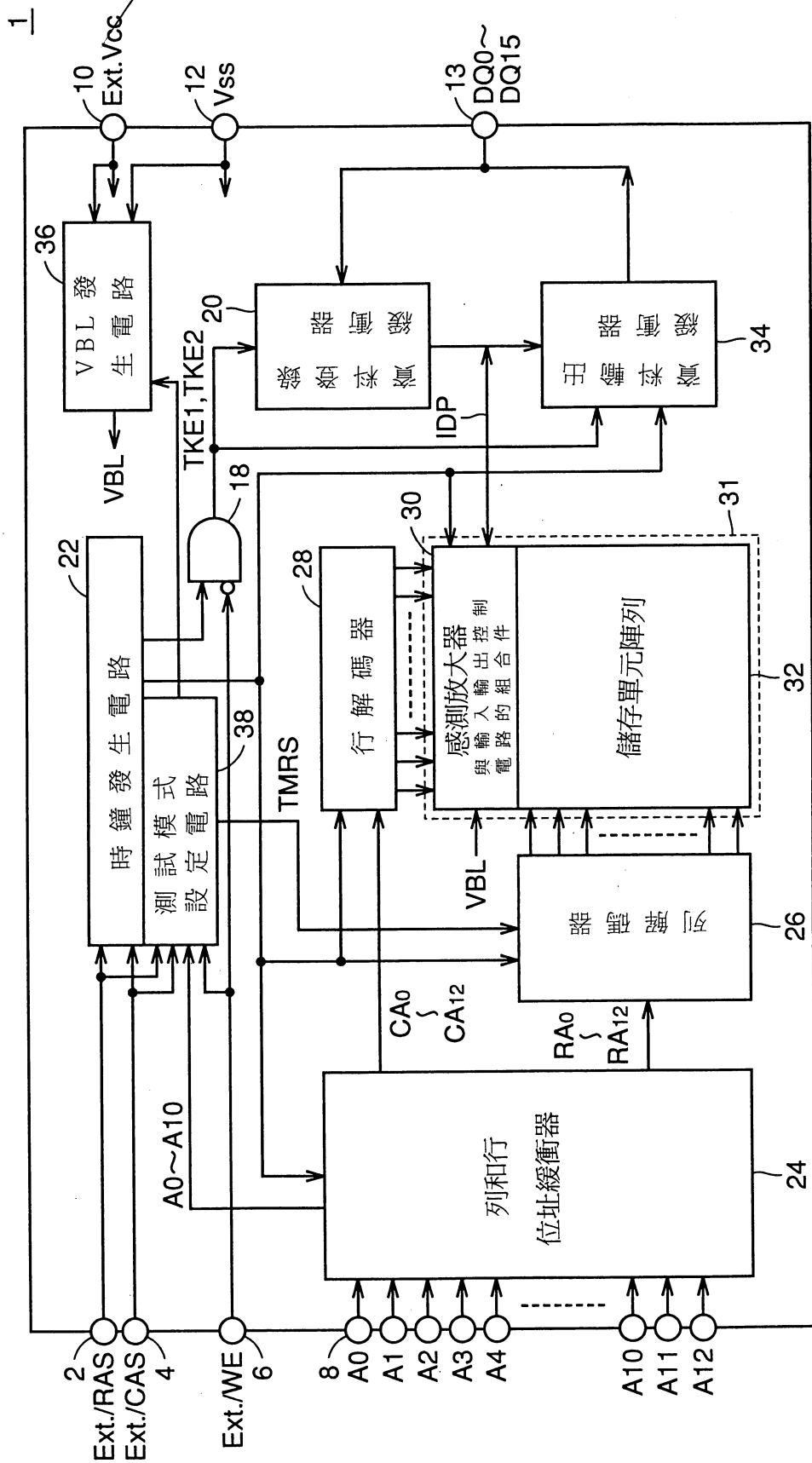
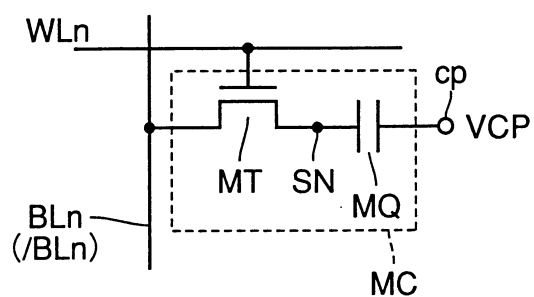
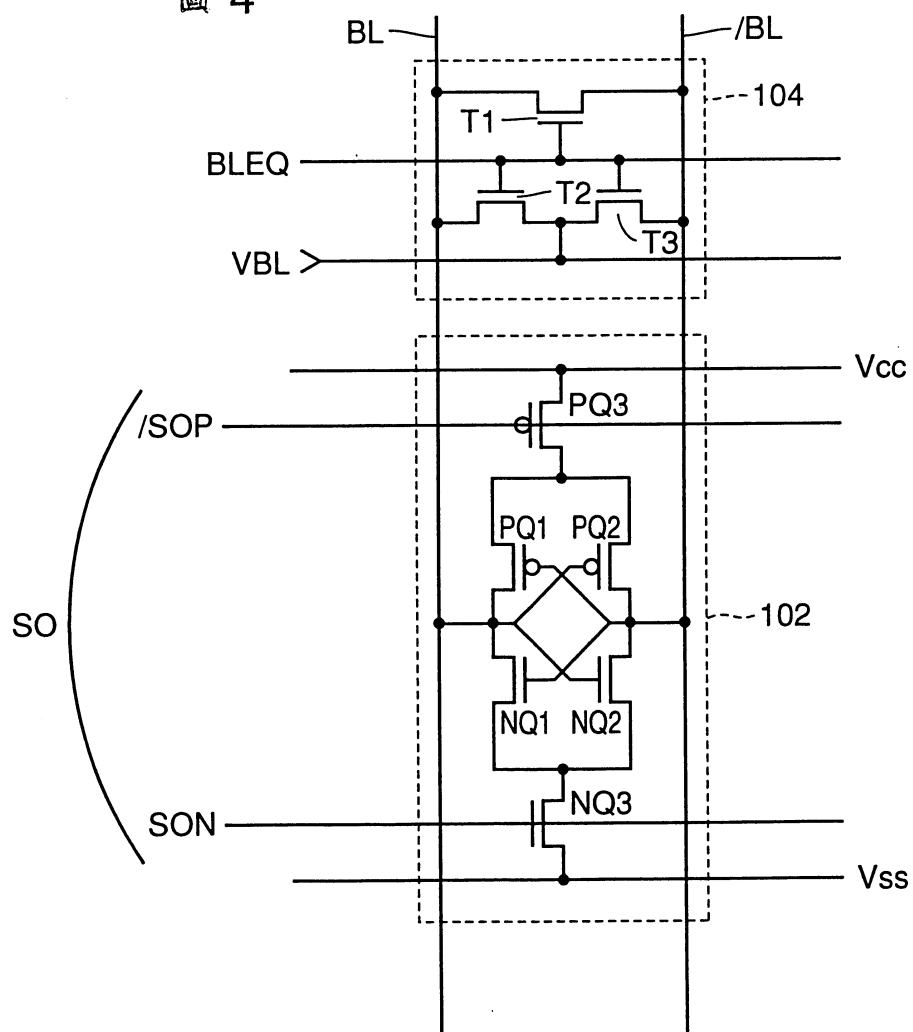


圖 1





4



5

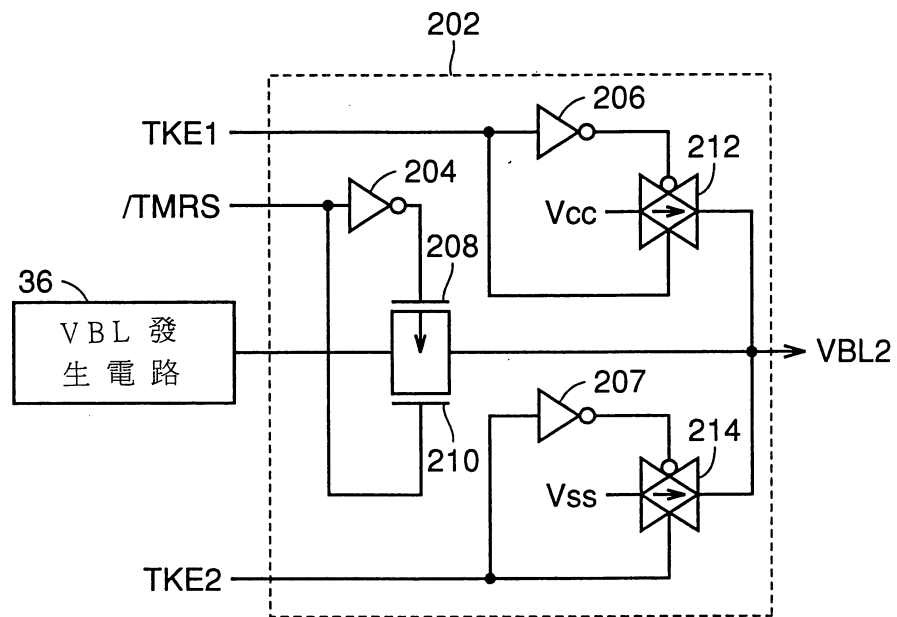
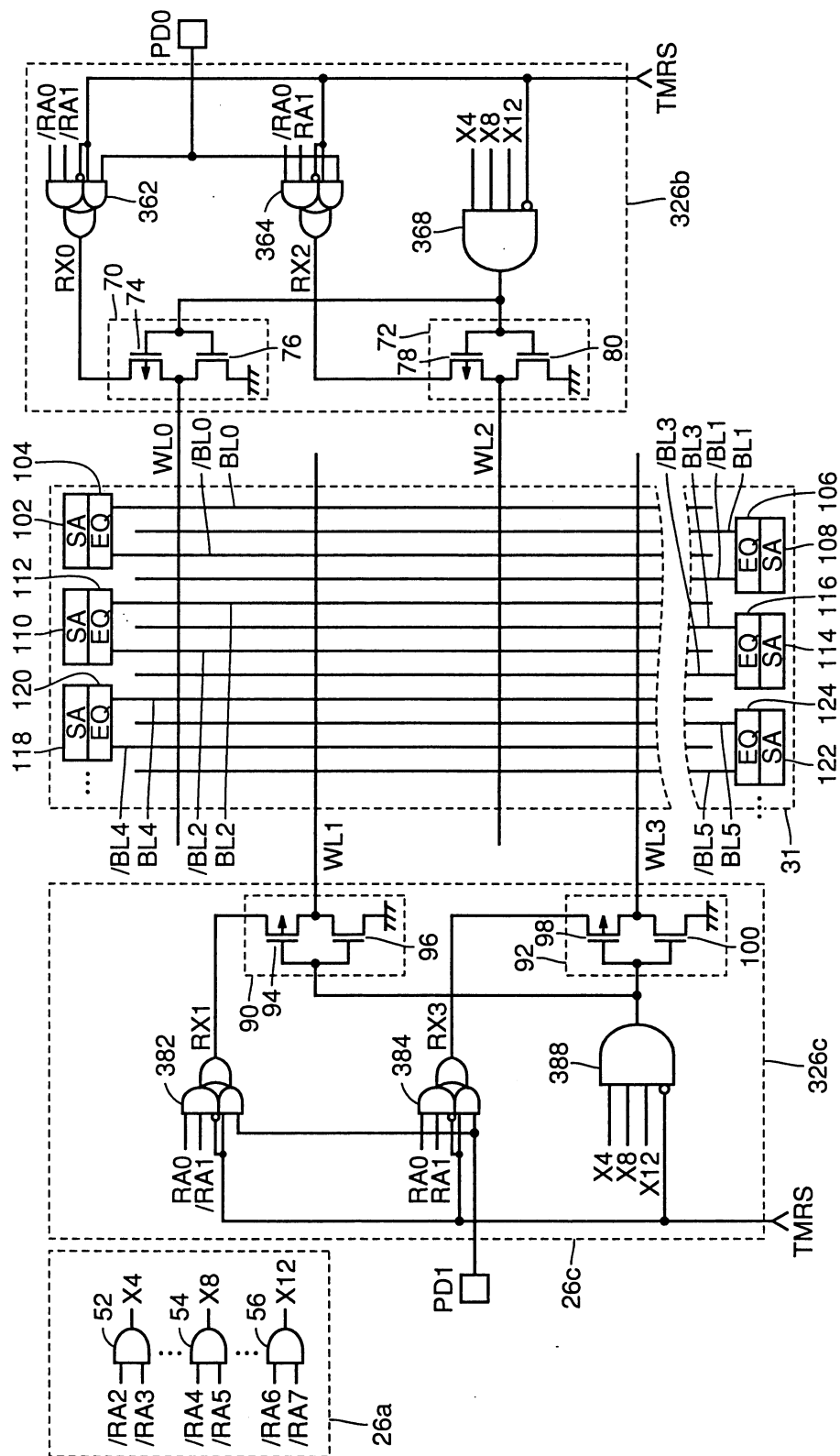
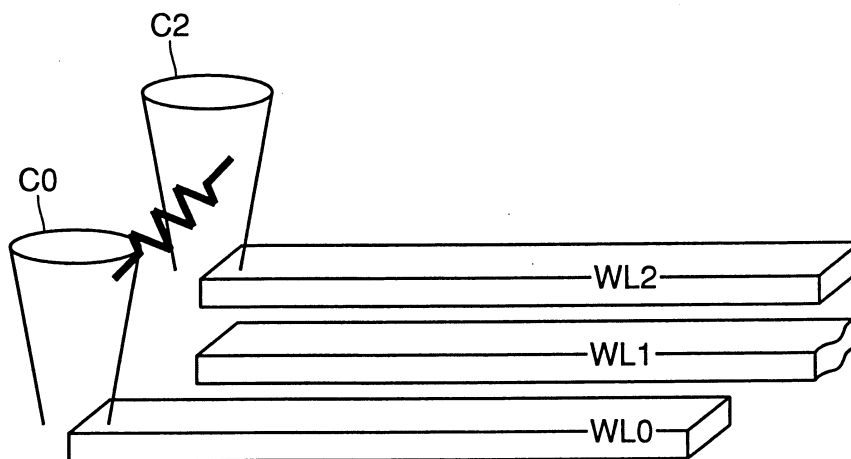


圖 7



8



9

