

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.

H01L 27/115 (2006.01)

H01L 23/522 (2006.01)



[12] 发明专利申请公布说明书

[21] 申请号 200710164878.9

[43] 公开日 2008 年 9 月 3 日

[11] 公开号 CN 101257024A

[22] 申请日 2007.9.14

[21] 申请号 200710164878.9

[30] 优先权

[32] 2006.9.14 [33] KR [31] 89327/06

[32] 2006.11.27 [33] KR [31] 117759/06

[32] 2007.9.4 [33] KR [31] 89541/07

[71] 申请人 三星电子株式会社

地址 韩国京畿道

[72] 发明人 郑载勋 金奇南 郑舜文 张在焄

[74] 专利代理机构 北京市柳沈律师事务所

代理人 陶凤波

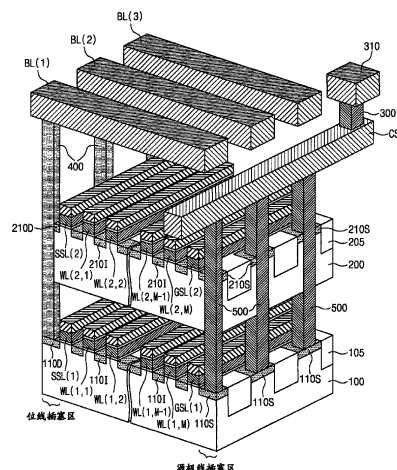
权利要求书 4 页 说明书 17 页 附图 20 页

[54] 发明名称

具有三维排列的存储单元晶体管的与非型闪存器件

[57] 摘要

本发明涉及一种 NAND 型闪存器件，其包括：堆叠的多个半导体层；设置在多个半导体层中的每一个的预定区中的器件隔离图案，该器件隔离图案定义有源区；该有源区中的源极和漏极杂质区；电连接所述源极杂质区的源极线插塞结构；及电连接所述漏极杂质区的位线插塞结构，其中所述源极杂质区电连接到所述半导体层。



1. 一种 NAND 型闪存器件, 包括:
堆叠的多个半导体层;
设置在所述多个半导体层的每个的预定区中的器件隔离图案, 所述器件隔离图案定义有源区;
所述有源区中的源极和漏极杂质区;
电连接所述源极杂质区的源极线插塞结构; 及
电连接所述漏极杂质区的位线插塞结构, 其中所述源极杂质区电连接到所述半导体层。
2. 根据权利要求 1 的器件, 其中所述源极线插塞结构与所述源极杂质区以及与所述多个半导体层中的至少一个欧姆接触。
3. 根据权利要求 1 的器件, 其中所述源极线插塞结构包含至少一种金属材料。
4. 根据权利要求 3 的器件, 其中所述源极线插塞结构包括:
金属插塞, 穿过所述多个半导体层中的至少一个和所述源极杂质区的至少一个; 及
阻挡金属层, 至少形成在所述金属插塞的侧壁处, 所述阻挡金属层直接接触所述至少一个半导体层和所述至少一个源极杂质区。
5. 根据权利要求 1 的器件, 其中所述源极线插塞结构穿过所述多个半导体层中的至少一个和所述源极杂质区的至少一个。
6. 根据权利要求 1 的器件, 其中所述堆叠的多个半导体层包括:
下部半导体层, 所述下部半导体层为单晶半导体晶片; 及
堆叠在所述下部半导体层上的至少一个上部半导体层,
其中所述源极线插塞结构穿过所述上部半导体层和所述上部半导体层的源极杂质区, 所述源极线插塞结构连接到所述下部半导体层的源极杂质区。
7. 根据权利要求 6 的器件, 其中所述源极线插塞结构穿过所述上部半导体层的所述源极杂质区并且电连接到所述下部半导体层的所述源极杂质区。
8. 根据权利要求 7 的器件, 还包括欧姆掺杂区, 所述欧姆掺杂区设置

在所述下部半导体层的所述源极杂质区之下，从而所述下部半导体层与所述源极线插塞结构处于欧姆接触，其中所述欧姆掺杂区具有与所述源极和漏极杂质区不同的导电类型。

9. 根据权利要求 6 的器件，其中所述位线插塞结构穿过所述上部半导体层和所述上部半导体层的所述漏极杂质区并且连接到所述下部半导体层的所述漏极杂质区，并且

所述位线插塞结构由硅形成，其具有与所述源极和漏极杂质区相同并且与所述半导体层不同的导电类型。

10. 根据权利要求 6 的器件，其中在所述上部半导体层中的器件隔离图案穿过所述上部半导体层。

11. 根据权利要求 1 的器件，还包括：

设置在所述位线插塞结构和所述源极线插塞结构之间的栅极结构，所述栅极结构交叉每一所述半导体层的所述有源区；

交叉所述栅极结构的位线，所述位线通过所述位线插塞结构连接到所述漏极杂质区；及

通过所述源极线插塞结构连接到所述源极杂质区的公共源极线，其中所述栅极结构包括：

邻近于所述位线插塞结构的行选择线；

邻近于所述源极线插塞结构的接地选择线；及

在所述行选择线和所述接地选择线之间的多个字线。

12. 根据权利要求 11 的器件，其中所述器件配置为通过施加接地电压和正的电源电压中的一个到所述公共源极线，来编程由预定的半导体层的预定的位线和预定的字线选择的存储单元。

13. 根据权利要求 12 的器件，其中所述器件还配置为通过施加累积电压到所述接地选择线来编程所述选择的存储单元，所述累积电压使得所述接地选择线之下的有源区处于累积状态。

14. 根据权利要求 13 的器件，其中所述累积电压在大约负电源电压到大约 0 伏特的范围内。

15. 根据权利要求 11 的器件，其中所述器件配置为通过施加擦除电压到所述公共源极线来擦除预定的半导体层的存储单元。

16. 根据权利要求 11 的器件，其中所述堆叠的多个半导体层包括顺序

堆叠的下部半导体层和上部半导体层，

所述栅极结构包含分别设置在所述下部和上部半导体层上的下部字线和上部字线，

下部栅极接触插塞和上部栅极接触插塞分别连接到所述下部和上部字线，并且

所述上部字线从所述下部字线偏移，从而所述下部栅极接触插塞与所述上部字线隔离。

17. 根据权利要求 16 的器件，其中所述上部半导体层具有穿过所述上部半导体层的栅极开口，其中所述栅极开口包括其中设置有所述下部栅极接触插塞的区域。

18. 根据权利要求 17 的器件，其中所述下部和上部栅极接触插塞包括至少一种金属材料。

19. 根据权利要求 16 的器件，其中所述下部和上部栅极接触插塞为具有与所述源极和漏极杂质区不同的导电类型的硅。

20. 根据权利要求 16 的器件，其中在器件的运行过程中，下部字线和上部字线是等势的。

21. 根据权利要求 1 的器件，其中所述位线插塞结构为具有与所述杂质区相同并且与所述半导体层不同的导电类型的硅。

22. 根据权利要求 1 的器件，还包括在至少一个所述半导体层中的欧姆掺杂区，所述欧姆掺杂区与所述源极线插塞结构电接触并且具有与所述源极和漏极杂质区不同的导电类型。

23. 根据权利要求 1 的器件，其中在所述器件的运行过程中，所述源极杂质区与所述半导体层是等势的。

24. 根据权利要求 1 的器件，其中所述源极线插塞结构包括：

下部源极插塞，配置为将用作源极电极的所述下部半导体层的杂质区相互电连接；及

上部源极插塞，配置为将用作源极电极的所述上部半导体层的杂质区相互电连接，

其中所述下部源极插塞和所述上部源极插塞至少之一显示出交叉所述器件隔离图案的线型形状。

25. 根据权利要求 24 的器件，还包括设置在所述下部源极插塞上的源

极衬垫图案。

26. 根据权利要求 1 的器件，其中所述源极线插塞结构显示出板状并且穿透所述上部半导体层。

具有三维排列的存储单元晶体管的与非型闪存器件

技术领域

本发明涉及一种半导体器件。更加特别地，本发明涉及一种具有三维排列的存储单元晶体管的 NAND 型闪存器件。

背景技术

例如电脑、移动电话、多媒体播放器、数码相机等的电子产品可以包含半导体器件，这种半导体器件例如是一用来存储信息的存储芯片和用来控制信息的处理芯片。半导体器件可以包含例如晶体管、电阻器、电容器等的电子元件。电子元件可以集成在半导体衬底上，并且为了提供达到消费者需要的高性能和合理的价格，可以需要高的集成度。

为了获得高的集成度，在半导体器件的制造过程中可以需要例如光刻工艺的先进的工艺技术。然而，开发先进的工艺技术会非常昂贵并且耗费时间，从而限制了集成度的提升。

具有三维排列的晶体管的半导体器件已经作为一种提升集成度的途径而被提出。具有三维晶体管结构的半导体器件的制造可以包括在例如晶片的半导体衬底上形成一个或多个单晶半导体层，其中可以使用例如外延技术形成该单晶半导体层。从而可以使用单晶半导体层在器件的多层上形成晶体管。

需要穿过一个或多个半导体层的贯通插塞(through-plug)以连接三维排列的晶体管。第一类型的贯通插塞直接接触半导体层。第二类型的贯通插塞通过一预定的绝缘层，例如层间电介质(ILD)层与半导体层隔开。就第二类型的贯通插塞来说，半导体层可以具有一填充有层间电介质层的间隙区，其中贯通插塞穿过层间电介质层。然而，间隙区的存在降低了半导体器件的集成度。

第一类型的贯通插塞可以直接接触半导体层，并且可以因此电连接到相应的半导体层，从而允许提供更高集成度。例如，连接到晶体管的源/漏杂质区的第一类型的贯通插塞可以直接接触在源/漏区下方的半导体层。然而，源

/漏杂质区的导电类型可以不同于半导体层的导电类型,并且因此贯通插塞和半导体层之间的接触可引起半导体器件的电故障。因此,一般而言,第一类型的贯通插塞可以为一掺杂硅,这种掺杂硅具有与源/漏杂质区相同并且与半导体层不同的导电类型。这样,第一类型的贯通插塞和半导体层构成了一个二极管,使得第一类型的贯通插塞连接到源/漏杂质区。

在刚才所述的结构中,掺杂硅具有比类似的金属材料高的电阻率,这可引起例如低的运算速度、高的功率损耗等的技术问题。例如,在由掺杂硅形成的贯通插塞接触 NAND 型闪存器件的公共源极线的地方,接地选择线的体效应(body effect)可引起单元电流的减小。

在传统的 NAND 型闪存器件中,由于使用 FN 隧道效应编程(program)或者擦除存储单元,所以必须独立地控制半导体层和半导体衬底的电势。为此,会需要接触半导体衬底或半导体层的分离的贯通插塞或阱插塞(well-plug)。对分离的阱插塞的需求会降低 NAND 型闪存器件的集成度,并且会使 NAND 型闪存器件的制造变得更加复杂。

发明内容

因此,本发明针对具有三维排列的存储单元晶体管的 NAND 型闪存器件,其基本克服了相关技术的限制和缺点导致的一个或更多问题。

因此,本发明实施例的特征是提供了包括电阻率降低的贯通插塞的三维 NAND 型闪存器件。

因此,本发明实施例的另一特征是提供了没有单独的阱插塞的三维 NAND 型闪存器件。

本发明的上述及其它特征和优点中的至少一个可通过提供 NAND 型闪存器件实现,包括:堆叠的多个半导体层;设置在所述多个半导体层的每个的预定区中的器件隔离图案,所述器件隔离图案定义有源区;所述有源区中的源极和漏极杂质区;电连接所述源极杂质区的源极线插塞结构;及电连接所述漏极杂质区的位线插塞结构,其中所述源极杂质区电连接到所述半导体层。

源极线插塞结构可与所述源极杂质区以及与所述多个半导体层中的至少一个欧姆接触。源极线插塞结构可包括至少一种金属材料。源极线插塞结构可包括:金属插塞,穿过所述多个半导体层中的至少一个和所述源极杂质

区的至少一个；及阻挡金属层，至少形成在所述金属插塞的侧壁处，所述阻挡金属层直接接触所述至少一个半导体层和所述至少一个源极杂质区。

源极线插塞结构可穿过所述多个半导体层中的至少一个和所述源极杂质区的至少一个。

堆叠的多个半导体层可包括：下部半导体层，所述下部半导体层为单晶半导体晶片；及堆叠在所述下部半导体层上的至少一个上部半导体层，其中所述源极线插塞结构可穿过所述上部半导体层和所述上部半导体层的源极杂质区，所述源极线插塞结构连接到所述下部半导体层的源极杂质区。

源极线插塞结构可穿过所述下部半导体层的所述源极杂质区并且可电连接到所述下部半导体层。该器件还可包括欧姆掺杂区，所述欧姆掺杂区设置在所述下部半导体层的所述源极杂质区之下，从而所述下部半导体层与所述源极线插塞结构欧姆接触，其中所述欧姆掺杂区可具有与所述源极和漏极杂质区不同的导电类型。

位线插塞结构可穿过所述上部半导体层和所述上部半导体层的所述漏极杂质区并且可连接到所述下部半导体层的所述漏极杂质区，并且所述位线插塞结构可由硅形成，其具有与所述源极和漏极杂质区相同并且与所述半导体层不同的导电类型。上部半导体层中的器件隔离图案可穿过所述上部半导体层。

所述器件还可包括：设置在所述位线插塞结构和所述源极线插塞结构之间的栅极结构，所述栅极结构横越每一所述半导体层的所述有源区；横越所述栅极结构的位线，所述位线通过所述位线插塞结构连接到所述漏极杂质区；及通过所述源极线插塞结构连接到所述源极杂质区的公共源极线，其中所述栅极结构可包括：邻近于所述位线插塞结构的行选择线；邻近于所述源极线插塞结构的接地选择线；及所述行选择线和所述接地选择线之间的多个字线。

形成在每一个半导体层上的行选择线、接地选择线和字线，以及位线，可以被配置为选择性地存取相应半导体层的至少一个存储单元，并且该器件可以被配置为通过施加接地电压和正的电源电压中的一个到所述公共源极线，来编程由预定的半导体层的预定的位线和预定的字线选择的存储单元

所述器件还可配置为通过施加累积电压到所述接地选择线来编程所述选择的存储单元，所述累积电压使得所述接地选择线之下的有源区处于累积

状态。

累积电压可处于大约负电源电压到大约 0 伏特的范围内。所述器件可配置为通过施加擦除电压到所述公共源极线来擦除预定的半导体层的存储单元。

所述堆叠的多个半导体层可包括顺序堆叠的下部半导体层和上部半导体层，所述栅极结构可包括分别设置在所述下部半导体层上的下部字线和上部字线，下部栅极接触插塞和上部栅极接触插塞可分别连接到所述下部和上部字线，并且所述上部字线从所述下部字线偏移，从而所述下部栅极接触插塞与所述上部字线隔离。

上部半导体层可具有穿过所述上部半导体层的栅极开口，其中所述栅极开口包括其中设置有所述下部栅极接触插塞的区域。下部和上部栅极接触插塞可包括至少一种金属材料。下部和上部栅极接触插塞可以是具有与所述源极和漏极杂质区不同的导电类型的硅。在器件的运行过程中，下部字线和上部字线可以是等势的。

位线插塞结构可以是具有与所述杂质区相同并且与所述半导体层不同的导电类型的硅。所述器件还可包括在至少一个所述半导体层中的欧姆掺杂区，所述欧姆掺杂区与所述源极线插塞结构电接触并且具有与所述源极和漏极杂质区不同的导电类型。在所述器件的运行过程中，所述源极杂质区与所述半导体层是等势的。

附图说明

通过根据附图详细地描述本发明的典型实施例，本发明的上述以及其他特征和优点对本领域技术人员来说将变得更加显而易见，其中：

图 1 至 4 表示根据本发明的实施例的具有三维排列的存储单元晶体管的 NAND 型闪存器件的示意性的透视图；

图 5 至 8 表示根据本发明的实施例的具有三维排列的存储单元晶体管的 NAND 型闪存器件的贯通插塞的结构截面图；

图 9A 和 9B 表示根据本发明的其他实施例的 NAND 型闪存器件的贯通插塞结构的截面图；

图 10A 至 10C 表示根据本发明的附加实施例的 NAND 型闪存器件的截面图；

图 11A 至 11D 表示根据本发明的另一个实施例的 NAND 型闪存器件的截面图；

图 12 表示根据本发明的 NAND 型闪存单元阵列的一部分的俯视图；

图 13 表示根据本发明的 NAND 型闪存器件的方框图；及

图 14 表示根据本发明的包含半导体器件的电子设备的示意图。

具体实施方式

在下文中将根据附图更加全面地描述本发明，其中示出了本发明的典型实施例。然而，本发明可以以不同的形式实施并且不应当理解为局限于在这里阐述的实施例。相反地，对本领域技术人员来说，提供的这些实施例是为了使所揭露的内容将彻底地和完全，以及全面地表达出本发明的范围。

将理解的是，在这里可以使用例如“第一”和“第二”的术语以描述不同的区、层和/或部分。使用这些术语以区别一个区、层和/或部分与另一个区、层和/或部分。然而，这些区、层和/或部分不应当被这些术语所局限。在图中，为了说明的清楚而可以放大了层和区的尺寸。将同样理解的是，当提到一个层或元件位于另一个层或衬底之“上”时，其能够直接地位于其他层或衬底之上，或者还可以存在插入层。此外，将理解的是当提到一个层位于另一个层之“下”时，其能够直接地位于下方，并且还可以存在一个或多个插入层。另外，将同样理解的是当提到一个层位于两个层“之间”时，在两个层之间能够只有这一个层，或者还可以存在一个或多个插入层。相同的附图标记始终表示相同的元件。

将使用具有三维排列的存储单元的 NAND 型闪存器件作为一个具体的例子来描述本发明的实施例。另外，为了清楚，将只描述两个半导体层。然而，将理解的是本发明不局限于这些具体的例子，并且可以实现其他类型的器件和其他数量的层。

图 1 至 4 表示根据本发明的一个实施例的具有三维排列的存储单元晶体管的 NAND 型闪存器件的示意性的透视图，其中在半导体层堆叠中，源极插塞可以使源极区电连接到半导体层。

根据图 1-4，该器件可以包含第一半导体层 100 和第二半导体层 200。第一半导体层 100 可以为例如单晶硅晶片，并且第二半导体层 200 可以为例如外延层，即，单晶硅外延层，其通过使用第一半导体层 100 作为籽晶层(seed

layer)的外延工艺而形成。在这里引入韩国专利申请 No.2004-97003 揭露的全部内容作为参考,其揭露了一种使用外延工艺在半导体晶片上形成外延半导体层的方法。半导体层 100 和 200 可以具有实质上相同的结构(例如,如图 12 所示的单元阵列结构)的存储单元阵列,从而存储单元可以形成多层单元阵列。

为了清楚,可以通过括号中的对相应的半导体层的标记来识别各单元阵列的各种元件。因此,在第一半导体层上的接地选择线可以称作接地选择线 GSL(1)。类似地,在第二半导体层上的行选择线(string selection line)可以称作行选择线 SSL(2)。

另外,在特定层上布置多个元件的地方,括号中的标记可以包含另一个识别要素。例如,可以在半导体层上布置多个字线 WL。布置在第二半导体层 200 上的第 a 条字线 WL 可以称作字线 WL(2, a)。另外,在括号中的标记不需要涉及具体的半导体层的地方,可以省略用于半导体层的要素。例如,第 c 条位线 BL 可以称作位线 BL(c)。

半导体层 100 和 200 中的每一个可以包含通过器件隔离图案 105 定义的有源区。有源区可以被排列成相互平行并且可以在第一方向延伸。器件隔离图案 105 可以由例如氧化硅的绝缘材料形成,并且可以电隔离有源区。

可以在半导体层 100 和 200 中的每一个之上布置包含栅极选择线和行选择线 GSL 和 SSL 的对、以及 m 个字线 WL 的栅极结构,其中 m 为正整数。在一实现中, m 可以为 8 的倍数。可以在栅极结构的一侧处布置源极插塞(source plug)500,并且可以在栅极结构的另一侧处布置位线插塞 400。可以连接位线插塞 400 到各自的与字线 WL 交叉的位线 BL。可以具有 n 个位线 BL,其中 n 为正整数。在一实现中, n 可以为 8 的倍数。位线 BL 可以在最上面的半导体层上与字线 WL 相交,例如在图 1 中的第二半导体层 200 上。

可以在栅极选择线 GSL 和行选择线 SSL 之间布置字线 WL。可以配置栅极选择线 GSL 和行选择线 SSL 中的一个作为控制公共源极线 CSL 和存储单元之间的电连接的接地选择线 GSL。可以配置栅极选择线 GSL 和行选择线 SSL 中的另一个作为控制位线 BL 和存储单元之间的电连接的行选择线 SSL。

可以在栅极和行选择线 GSL 和 SSL 及字线 WL 之间的有源区中形成杂质区。特别地,分别位于接地选择线 GSL(1)和 GSL(2)的侧面的杂质区 110S

和 210S 可以为源极杂质区，其通过源极插塞 500 连接到公共源极线 CSL。在下文中，杂质区 110S 和 210S 将分别称作第一和第二源极杂质区 110S 和 210S，并且杂质区 110D 和 210D 将分别称作第一和第二漏极杂质区 110D 和 210D。

分别位于行选择线 SSL(1)和 SSL(2)的侧面的漏极杂质区 110D 和 210D 可以为漏极区，其通过位线插塞 400 连接到位线 BL。同样可以在字线 WL 本身之间，即，沿着字线 WL 的相对侧形成内部杂质区 110I 和 210I。内部杂质区 110I 和 210I 可以串联连接存储单元。

源极插塞 500 可以在第一和第二半导体层 100 和 200 之间延伸，并且可以电连接第一和第二源极区 110S 和 210S 到第一和第二半导体层 100 和 200，第一和第二源极区 110S 和 210S 可以被用作源极电极。第一和第二源极区 110S 和 210S 可以与半导体层 100 和 200 是等势的。

在一实现中，如图 1-3 所示，源极插塞 500 可以穿过第二半导体层 200 和第二源极区 210S，并且可以连接到第一源极区 110S。源极插塞 500 中的每一个可以直接接触第二半导体层 200 和第二源极区 210S 的内部区。

在一实现中，如图 4 所示，源极插塞 500 中的每一个可以通过穿过第二半导体层 200、第二源极区 210S 以及第一源极区 110S 而连接到第一半导体层 100。在这种情况下，源极插塞 500 可以直接接触第二半导体层 200、第二源极区 210S 以及第一源极区 110S 的内部区，并且可以在第一半导体层 100 中插入一预定的深度，如通过图 4 中的虚线框 99 所示。这样可以提供一种更加稳定的与第一半导体层 100 的接触。

源极插塞 500 可以包含一种或多种金属材料。源极插塞 500 可以由例如铜、铝、钨、钛、钽、氮化钛、氮化钽、氮化钨等中的一种或多种形成。使用金属材料作为源极插塞 500 可以有助于消除现有技术中的一些由于掺杂硅的高电阻率而引起的问题，例如低的操作速度、高的功率损耗、降低的单元电流等。

众所周知，当一金属材料接触半导体时，可形成伴随有整流(rectification)的肖特基(short-key)结。为了防止这种现象，如图 5、7 和 8 所示，根据本发明的源极插塞 500 可以包含穿过半导体层 200、第二源极区 210S 和/或第一源极区 110S 的金属插塞 501，以及允许与半导体层 110 和 200、和/或第一和第二源极区 110S 和 210S 形成欧姆接触的阻挡金属层 502。阻挡金属层 502

可以为钛、钽、氮化钛、氮化钽和氮化钨中的一种或多种。

根据图 6, 在另一实现中, 源极插塞 500 可以包含多个按顺序堆叠的源极插塞。详细地, 源极插塞 500 可以包含布置在第一半导体层 100 上的第一金属插塞 503、围绕第一金属插塞 503 的第一阻挡金属层 504、布置在第二半导体层 200 上的第二金属插塞 505 以及围绕第二金属插塞 505 的第二阻挡金属层 506。当然, 第一金属插塞 503 和第二金属插塞 505 之间的边界的位置和/或结构可以变化。例如, 该边界可以位于第一半导体层 100 和第二半导体层 200 之间(未示出)。在另一实现中(未示出), 用于稳定连接的衬垫结构还可以置于第一金属插塞 503 和第二金属插塞 505 之间。

如图 1 至 8 所示, 源极插塞 500 可以连接到在横越有源区的方向上延伸的公共源极线 CSL。从而, 由于通过源极插塞 500 提供的连接, 半导体层 100 和 200 以及第一和第二源极区 110S 和 210S 可以与公共源极线 CSL 都是等势的。

根据本发明的另一个实施例, 如图 3 所示, 源极插塞 500 可以具有横越最上面的半导体层, 即第二半导体层 200 上的有源区的一线型部分(linear portion)。在这种情况下, 为了形成横越有源区并且暴露第二源极区 210S 和第二器件隔离图案 205 的上部开口(aperture), 源极插塞 500 的形成可以包括图案化第二层间电介质层, 例如在图 5 至 8 中的覆盖第二半导体层 200 的层 602。源极插塞 500 的上部区可以起公共源极线 CSL 的作用, 以致于可以不需要单独地形成公共源极线 CSL。

另外, 如图 3 所示, 在上部开口形成之后, 可以形成另一个下部开口以定义源极插塞 500 的下部区的一部分。可以使用例如第二器件隔离图案 205 作为蚀刻掩模来形成下部开口。一旦形成, 源极插塞 500 的下部区的相应的部分可以穿过第二半导体层 200 和第二源极区 210S, 并且可以与有源区具有相同的宽度。

现在转向位线插塞 400 的结构, 位线插塞 400 可以具有与传统的贯通插塞, 即上文所述的第一和第二类型的贯通插塞中的任何一个相应的结构。如图 1 至 8 所示, 位线插塞 400 可以穿过第二半导体层 200 和第二漏极区 210D 以用作一漏极电极。位线插塞 400 可以由例如掺杂硅形成, 其具有与杂质区相同并且与半导体层不同的导电类型。

在本发明的一个实施例中, 半导体层和器件隔离层的相对厚度可以不

同。例如，比较图 5 和 7，最下面的半导体层以外的半导体层例如第二半导体层 200 的厚度 T1 可以大于其中形成的相应的器件隔离图案例如第二器件隔离图案 205 的厚度 T2。这种结构的不同的例子如图 2、4、7 和 8 所示。因此，第二器件隔离图案 205 可以穿过或穿入第二半导体层 200。

在刚才所述的实例中，可以通过第二器件隔离图案 205 隔离第二半导体层 200 的有源区。从而，因为源极插塞 500 可以电连接到第二半导体层 200，所以可以通过源极插塞 500 控制第二半导体层 200 的电势。

在本发明的一个实施例中，公共源极线 CSL 可以通过上部插塞 300 连接到源极线 310。源极线 310 可以与位线 BL 同时形成，并且可以由与位线 BL 实质上相同的材料形成以及具有与位线 BL 实质上相同的厚度。上部插塞 300 可以包含上部金属插塞 301 和一上部阻挡金属层(barrier metal layer)302。

可以在下文中的表 1、2 和 3 中所阐述的编程电压条件下编程、以及可以在下文中的表 4 中所阐述的擦除电压条件下擦除根据本发明的实施例的 NAND 型闪存器件。

[表 1]

	本发明 (V)	现有技术 1
选择的字线	V_{PGM}	V_{PGM}
未选择的字线	V_{PASS}	V_{PASS}
选择的位线	0	0
未选择的位线	V_{CC}	V_{CC}
行选择线	V_{CC}	V_{CC}
接地选择线	0	0
公共源极线	0	0
半导体层	0	0

[表 2]

	本发明 (V)	现有技术 2
--	---------	--------

选择的字线	V_{PGM}	V_{PGM}
未选择的字线	V_{PASS}	V_{PASS}
选择的位线	0	0
未选择的位线	V_{CC}	V_{CC}
行选择线	V_{CC}	V_{CC}
接地选择线	$-V_{\text{CC}}$	0
公共源极线	0	1.5
半导体层	0	0

如上文所述, 在根据本发明的 NAND 型闪存器件中, 公共源极线 CSL 可以与半导体层 100 和 200 是等势的。因此, 如表 1 和 2 所示, 施加到公共源极线 CSL 上的电压可以同样地被施加到半导体层 100 和 200 上。编程操作可以根据选择的字线和选择的位线之间的电压差使用 FN 隧道效应。因此, 如表 1 所示, 即使公共源极线 CSL 和半导体层 100 和 200 是等势的, 存储单元也可以按照惯例编程。

在一个传统的编程方法中, 当通过施加 0 伏特的电压到接地选择线 GSL 上以阻塞到公共源极线 CSL 的电流通路时, V_{CC} 可以被施加到行选择线 SSL 上以选择性地编程一存储单元, 该存储单元通过选择的字线 WL 和选择的位线 BL 来选择。根据表 2, 为了阻塞从未选择的有源区到公共源极线 CSL 的电流通路, 可以通过施加 1.5V 的电压到公共源极线 CSL 上来控制本身升压 (self-boosting) 引起的泄漏电流, 本身升压可以导致泄漏电流从未选择的有源区流过公共源极线 CSL。

为了使本身升压引起的泄漏电流减到最小, 根据本发明的实施例的 NAND 型闪存器件可以配置为通过施加一预定的累积电压 (accumulation voltage) 到接地选择线 GSL 上来编程。通过累积电压可以使接地选择线 GSL 下方的有源区处于一累积状态 (accumulation state), 因而, 可以切断从未选择的有源区到公共源极线 CSL 的泄漏电流。由于切断了泄漏电流, 可以减小未选择的有源区和选择的字线之间的电压差, 所以可以防止不希望有的未选择的存储单元的编程。在一实现中, 可以配置 NAND 型闪存器件以接收从大约负的电源电压 ($-V_{\text{CC}}$) 到大约 0V 的范围内的累积电压。

[表 3]

	本发明 (V)	现有技术 2
选择的字线	V_{PGM}	V_{PGM}
未选择的字线	V_{PASS}	V_{PASS}
选择的位线	0	0
未选择的位线	V_{CC}	V_{CC}
行选择线	V_{CC}	V_{CC}
接地选择线	$0 \sim V_{\text{CC}}$	0
公共源极线	1.5	1.5
半导体层	0	0

根据本发明的另一个实施例,可以通过施加一接地电压和一预定的正电压中的一个到公共源极线 CSL 上来配置 NAND 型闪存器件以切断通过本身升压引起的泄漏电流。详细地,如表 3 所示,当编程一预定的存储单元时,可以配置该器件为使电压施加到公共源极线 CSL,该电压具有对应于未选择区的升压量(voltage boost amount)的大小,例如为大约 1.5V。

[表 4]

	本发明	现有技术
选择的字线	0	0
未选择的字线	浮置	浮置
选择的位线	浮置	浮置
未选择的位线	-	-
行选择线	浮置	浮置
接地选择线	浮置	浮置
公共源极线	V_{ERS}	浮置
半导体层	V_{ERS}	V_{ERS}

NAND 型闪存器件的擦除操作可以使用根据选择的字线和半导体层之间的电压差的 FN 隧道效应。如表 4 所示,为了防止由于施加到半导体层上的高擦除电压而损害通过选择线选择的晶体管,当行选择线、接地选择线以及公共源极线处于浮置状态时,可以执行传统的擦除操作。在本发明的一个实施例中,公共源极线 CSL 可以与半导体层 100 和 200 是等势的。如表 4 所示,在擦除操作过程中,可以施加擦除电压 V_{ERS} 到公共源极线 CSL 上。

然而，由于在公共源极线 CSL 和半导体层 100 和 200 之间没有电势差，所以擦除电压 V_{ERS} 将不会损害源极区 110S 和 210S。另外，如表 4 所示并且和传统的操作一样，可以在接地选择线 GSL 处于浮置状态时执行根据本发明的擦除操作，所以可以防止由于施加到公共源极线 CSL 和半导体层 100 和 200 上的擦除电压而引起的损害。

图 9A 和 9B 表示根据本发明的其他实施例的 NAND 型闪存器件的贯通插塞结构的截面图，其可以在半导体层 100 和 200 中包含欧姆掺杂区。在其他方面，这些实施例可以与上文所述的本发明的实施例相似。为了清楚，在接下来的描述中，将不再重复与上文所述的实质上相同的特征细节。

根据图 9A 和 9B，可以在第一半导体层 100 中形成接触各自的源极插塞 500 的第一欧姆掺杂区 701。第一欧姆掺杂区 701 可以在源极插塞 500 和第一半导体层 100 之间提供欧姆接触，并且可以具有与第一半导体层 100 相同的导电类型。

源极插塞 500 可以穿过第一和第二层间电介质层 601 和 602 以及第二半导体层 200，并且可以填充暴露第一半导体层 100 的通孔(through-hole)650。在源极插塞 500 形成之前，第一欧姆掺杂区 701 可以通过例如在第一和第二半导体层 100 和 200 的由通孔 650 暴露的表面中注入杂质而形成。如图 9A 和 9B 所示，杂质可以被注入到半导体层 200 的内壁以形成第二欧姆掺杂区 702。可以使用例如常规的离子注入工艺来形成该欧姆掺杂区。

在一个实施例中，如图 9A 所示，为了增强第一半导体层 100 和源极插塞 500 之间的电接触，通孔 650 的形成可以包括在第一半导体层 100 中凹入至一预定的深度。如通过图 9A 中的虚线框 99 所示，通孔 650 可以穿透第一半导体层 100 的第一源极区 110S。第一欧姆掺杂区 701 可以延伸到第一半导体层 100 中的一预定的深度。

根据本发明的另一个实施例，如图 9B 所示，通孔 650 可以形成为只暴露第一半导体层 100 的第一源极区 110S，而不穿过第一源极区 110S。在这种情况下，可以通过单独的阱插塞（未示出）来控制第一半导体层 100 的电势，并且可以省略在图 9A 中示出的第一欧姆掺杂区 701。第二半导体层 200 可以包括图 9A 中示出的第二欧姆掺杂区 702。

通孔 650 可以通过例如形成穿过第二半导体层 200 但是不暴露第一半导体层 100 的初步的通孔、并且延伸该初步的通孔以暴露第一半导体层 100 而

形成。在该初步的通孔延伸之前，第二欧姆掺杂区 702 可以被选择性地形成在通过该初步的通孔暴露的第二半导体层 200 中。因此，在第一源极区 110S 中不会注入用来形成第二欧姆掺杂区 702 的杂质。

图 10A 至 10C 表示根据本发明的附加实施例的 NAND 型闪存器件的截面图，其具有与连接到字线的栅极接触插塞相关的特定的字线排列和特征。在其他方面，这些实施例可以与上文所述的本发明的实施例相似。为了清楚，在接下来的描述中，将不再重复与上文所述的实质上相同的特征的细节。

参照图 10A 和 10B，可以在第一半导体层 100 上的第一字线 WL(1,n)上以及在第二半导体层 200 上的第二字线 WL(2,n)上设置栅极接触插塞 550。第二字线 WL(2,n)可以从第一字线 WL(1,n)偏移。第一和第二字线 WL(1,n)和 WL(2,n)可以在字线 WL 的纵向上偏移一预定的距离。因此，第二字线 WL(2,n)的一部分可以不设置在相应的第一字线 WL(1,n)的正上方，从而暴露第一字线 WL(1,n)的一组末端。因此，可以使连接到第一字线 WL(1,n)的栅极接触插塞 550 与第二字线 WL(2,n)间隔开。

栅极接触插塞 550 可以穿透第二半导体层 200 而连接到第一字线 WL(1,n)。为了防止栅极接触插塞 550 和第二半导体层 200 之间的电连接，可以由具有不同于第二半导体层 200 的导电类型的硅形成栅极接触插塞 550。

可以在第二层间电介质层 602 上布置连接到栅极接触插塞 550 的栅极线 560。如图 10A 所示，彼此叠置的第一字线 WL(1,n)和第二字线 WL(2,n)可以连接到一条栅极线 560。因此，第一和第二字线 WL(1,n)和 WL(2,n)可以是等势的。布置在第一字线 WL(1,n)和第二字线 WL(2,n)的两侧的选择晶体管可以允许独立地控制第一和第二半导体层 100 和 200 上的存储单元。

根据本发明的另一个实施例，如图 10B 所示，第一字线 WL(1,n)和第二字线 WL(2,n)可以连接到不同的栅极线 560。因此，可以独立的控制第一和第二半导体层 100 和 200 上的存储单元。在另一实现中（未示出），堆叠的第一和第二字线 WL(1,n)和 WL(2,n)可以被连接到不同的栅极线 560，并且这些栅极线 560 可以通过另一条线而连接在一起，所以堆叠的第一和第二字线 WL(1,n)和 WL(2,n)可以是等势的。

参照图 10C，如图 10C 中的虚线框 88 所示，第二半导体层 200 可以具有在字线 WL(1,n)的一组末端上的开口，从而连接到字线 WL(1,n)的栅极接

触插塞 550 可以与第二半导体层 200 隔开。所述开口可以由另一种材料,例如绝缘材料填充。因为连接到字线 $WL(1,n)$ 的栅极接触插塞可以与第二半导体层 200 隔开,所以栅极接触插塞 550 可以分别包括栅极金属插塞 551 和覆盖栅极金属插塞 551 的栅极阻挡金属层 552。栅极阻挡金属层 552 可以覆盖栅极金属插塞 551 的下表面及其侧壁。可以分别使用例如与用作源极插塞 550 的金属插塞 501 和阻挡金属层 502 的材料相同的材料形成栅极金属插塞 551 和栅极阻挡金属层 552。

在另一个类似的实现中,参照图 2 和 4,其中通过器件隔离图案 205 隔离第二半导体层 200 的有源区,栅极接触插塞 550 可以包括栅极金属插塞 551 和栅极阻挡金属层 552,如上面参照图 10C 所述。

图 11A 至 11D 是示出了根据本发明的另一个实施例的 NAND 型闪存器件的截面图。更具体而言,现将根据图 11A 至 11D 描述 NAND 型闪存器件中的源极插塞结构的各种实施例。然而,在图 11A 至 11D 中示出的源极插塞结构仅仅是示例性的并且本发明不局限于此。即,可以通过示例实施例的修改或组合而实现本发明的精神。

参照图 11A 至 11D,在公共源极线 CSL 和第一半导体层 100 之间插入源极插塞 500 以使第一和第二源极区 110s 和 210s 相互电连接。源极插塞 500 可以被形成具有与第一器件隔离图案 105 相交叉的方向并且使其连接到形成在第一半导体层 100 上的第一源极区 110S。

例如,如图 11A 至 11C 所示,源极插塞 500 可以包括线型下部源极插塞 591,该线型下部源极插塞 591 设置为使其将第一源极区 110S 相互连接。如图 11A 所示,下部源极插塞 591 可以具有一厚度 $H1$,该厚度 $H1$ 与第一和第二半导体层 100 和 200 之间的距离基本相等。作为选择,如图 11B 和 11C 所示,下部源极插塞 591 可以具有小于其间距离的一厚度 $H2$ 。可以还在穿透第二半导体层 200 的源极插塞 500 上布置一源极衬垫图案 592 以与源极插塞 500 稳定的接触。

顶部源极插塞 500 未穿透所有的第二器件隔离图案 205 之间的第二半导体层 200。如图 11C 所示,顶部源极插塞 500 可以穿透预定的相邻的两个第二器件隔离图案 205 之间第二半导体层 200 从而连接到源极衬垫图案 592 或下部源极插塞 591。

在一个实施例中,如图 11D 所示,源极插塞 500 可以交叉第一器件隔离

图案 105 呈板状并且穿透第二半导体层 200。与根据图 11A 至 11C 所描述的实施例相似,通过源极插塞 500 使第一源极区 110S 相互连接。另一方面,第二器件隔离图案 205 和第二半导体层 200 未穿透该板状源极插塞 500。

图 12 是根据本发明的一部分 NAND 型闪存单元阵列的俯视图。可以配置根据图 1 至 11 所描述的 NAND 型闪存器件的各半导体层以使其具有一将参照图 12 描述的俯视结构。

参照图 12, 半导体衬底 100 包含布置有存储单元晶体管的单元阵列区。在存储单元阵列区中, 设置第一和第二器件隔离图案 105 以定义单元有源区 ACT。根据本发明, 可以交替地形成第一和第二器件隔离图案 105。在第一和第二器件隔离图案 105 上布置接地选择线 GSL、行选择线 SSL 以及多个字线 WL1-WLn 从而与单元有源区 ACT 交叉。在接地选择线 GSL 和行选择线 SSL 之间布置字线 WL1-WLn。在接地选择线 GSL 的一侧布置公共源极线 CSL 以与字线 WL1-WLn 平行, 并且在行选择线 SSL 的一侧布置插塞 400 以连接到与字线 WL1-WLn 相交的位线 BL1-BL4。结果, 存储单元在位线 BL 和接地选择线 GSL 之间串联地耦接。

图 13 是根据本发明的 NAND 型闪存器件 1600 的方框图。NAND 型闪存器件 1600 可包括存储单元阵列 1610、页缓冲器电路 1620、通过/失效检验电路 1630、行选择器 1640、控制逻辑 1650、状态寄存累加器(status register accumulator)1660 以及状态寄存器(status register)1670。存储单元阵列 1610 可以包含至少一个存储块。

行选择器 1640 和页缓冲器电路 1620 构成一写入/读取电路, 该写入/读取电路配置为控制闪存的写入和读取操作。行选择器 1640 选择存储单元阵列 1610 的字线中的一条。在编程操作过程中, 行选择器 1640 施加一编程电压至选择的字线并且施加通过电压(pass voltage)至未选择的字线。在读取/读取校验操作过程中, 页缓冲器电路 1620 检测存储在选择的字线的存储单元中的数据。在读取操作过程中, 通过页缓冲器电路 1620 检测的数据通过列选择器(未示出)输出到外部。在读取校验操作过程中, 通过页缓冲器电路 1620 检测的数据被传送到通过/失效(pass/fail)检验电路 1630。通过/失效检验电路 1630 检验通过列选择器传送的数据的值是否是通过数据(pass data)的值。

控制逻辑 1650 和通过/失效检验电路 1630 构成一控制电路, 该控制电路

配置为输出闪存的读取操作的结果。控制逻辑 1650 配置为控制 NAND 型闪存器件 1600 的普通操作。状态寄存累加器 1660 接收来自通过/失效检验电路 1630 的通过/失效信息并且存储接收的通过/失效信息。在通过的情况下，状态寄存累加器 1660 继续存储通过状态。在失效的情况下，状态寄存累加器 1660 继续存储失效状态。当状态寄存累加器 1660 存储失效状态时，即使通过被输入，状态寄存累加器 1660 也继续存储失效状态。状态寄存器 1670 通过输入/输出引脚从状态寄存累加器 1660 中输出存储的状态寄存数据。

图 14 表示包含根据本发明的半导体器件的电子设备。

参照图 14，包含根据本发明的实施例的半导体器件的电子设备 1500 可以被用于无线通信装置，例如个人数字助理（PDA）、便携式计算机、网络平板、无线电话、移动电话、数字音乐播放器、存储卡或能够传送和/或接收信息的所有电子装置。

电子设备 1500 可以包含通过总线 1550 相互连接的控制器 1510、输入/输出(I/O)器件 1520、存储器 1530 以及无线接口 1540。例如，控制器 1510 可以包括至少一微处理器、数字信号处理器、微控制器等。例如，I/O 器件 1520 可以包括小键盘、键盘和显示器。例如，存储器 1530 可以被用于存储通过控制器 1510 执行的命令。存储器 1530 可以被用于存储用户的数据。存储器 1530 可以包括根据上文所述实施例的半导体器件。存储器 1530 可以还包括另一种存储器、易失性随机存取存储器以及各种各样的存储器。

电子设备 1500 可以使用无线接口 1540 来传送/接收数据至/自使用 RF 信号进行通信的无线通信网络。例如，电子设备 1500 可以包括天线和无线收发器。

根据本发明的实施例的电子设备 1500 可以被用于通信接口协议，例如 CDMA、GSM、NADC、E-TDMA 以及例如为 WCDMA 和 CDMA2000 的第三代（3G）通信系统。

本发明的实施例提供半导体器件，其中源极线插塞可以包含具有低电阻率的金属材料。因此，根据本发明的实施例的半导体器件可以显示出增强的处理速度、减小的功率损耗、增强的单元电流等。

本发明的实施例还提供半导体器件，其中源极线插塞可以电连接到用作阱区的半导体层，从而可不需要连接到单元阵列的阱区的单独的阱插塞。特别地，如上文所述，即使当一公共源极线和一阱区等势时，根据本发明的实

施例的 NAND 型闪存器件也可以被正常地编程和擦除。从而，本发明的实施例可以使得能够制造操作正常的三维 NAND 型闪存器件，而没有不适当的复杂制造工艺并且不必有单独的阱插塞和伴随的集成度减小。

在这里已经揭示了本发明的示例实施例，并且虽然使用了特定术语，但是它们的使用和说明仅具有一般的和叙述性的意义，而不是为了限制的目的。因此，将理解的是，在不违反在接下来的权利要求中所述的本发明的精神和范围的情况下，本领域技术人员可以获得各种在形式和细节上的改变。

在韩国知识产权局于 2006 年 9 月 14 日申请的韩国专利申请 No.2006-89327, 和于 2006 年 11 月 27 日申请的韩国专利申请 No.2006-117759 的名称都为“具有三维排列的存储单元晶体管的 NAND 型闪存器件”，在这里都引入其全部内容作为参考。

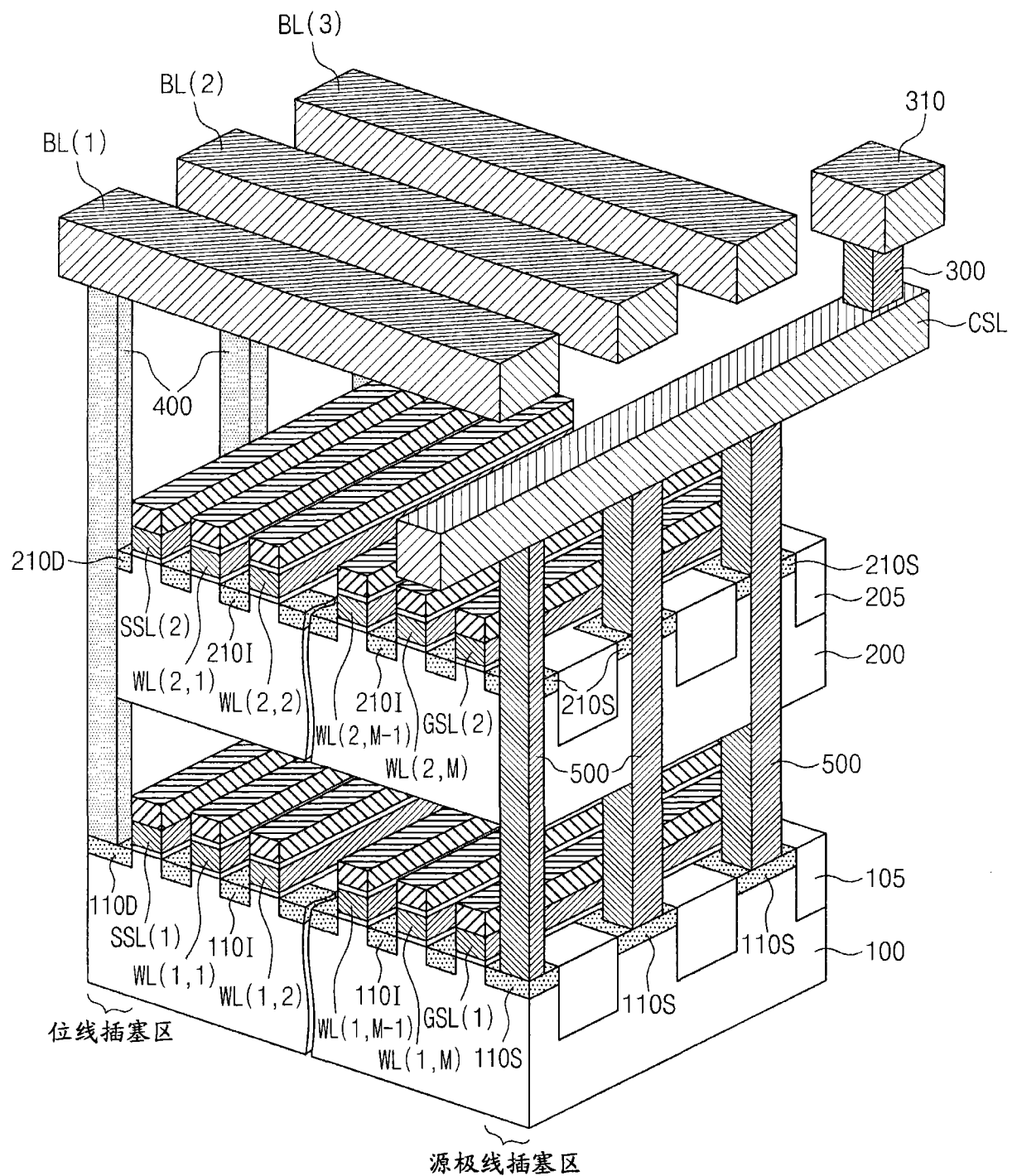


图 1

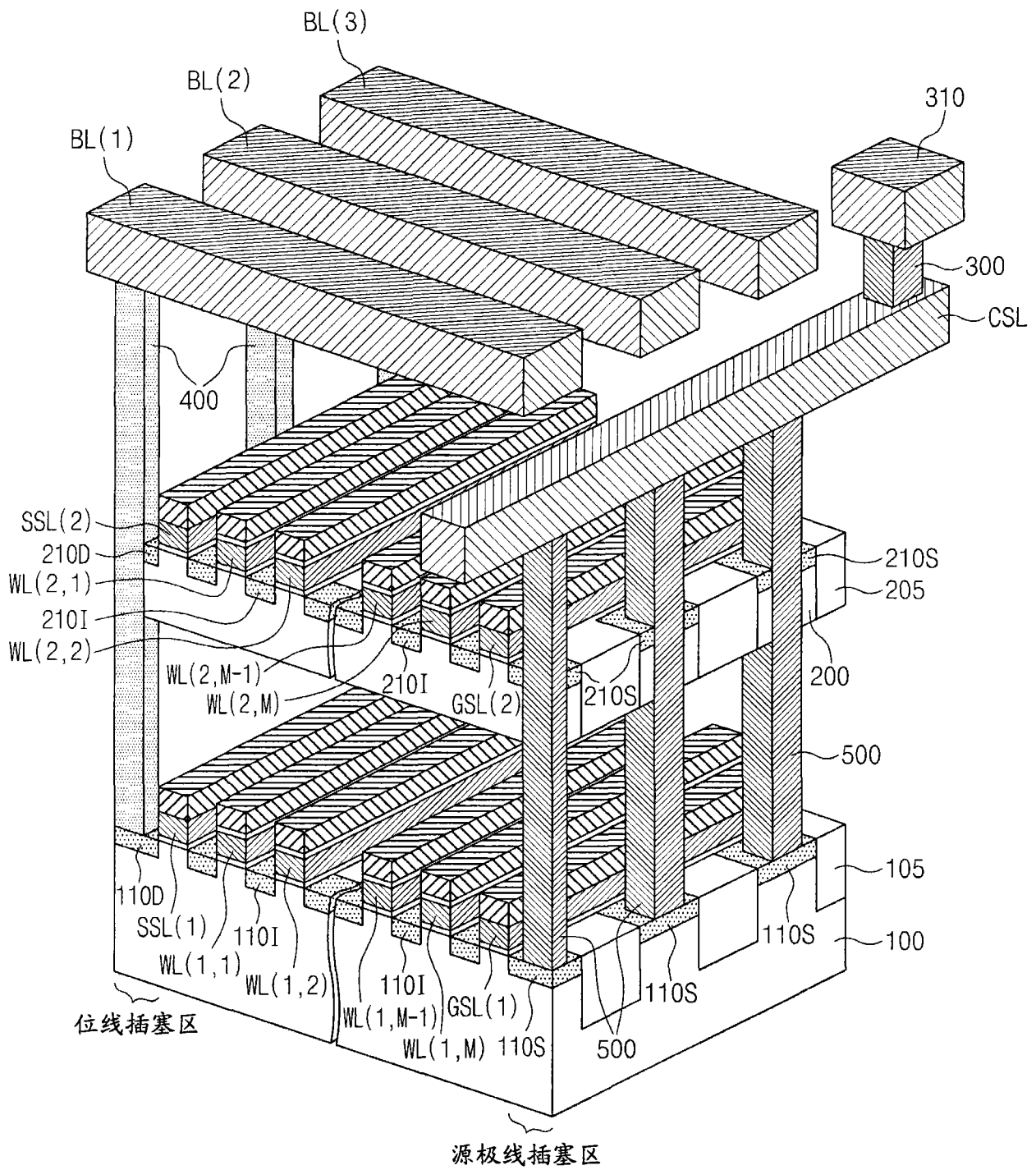


图 2

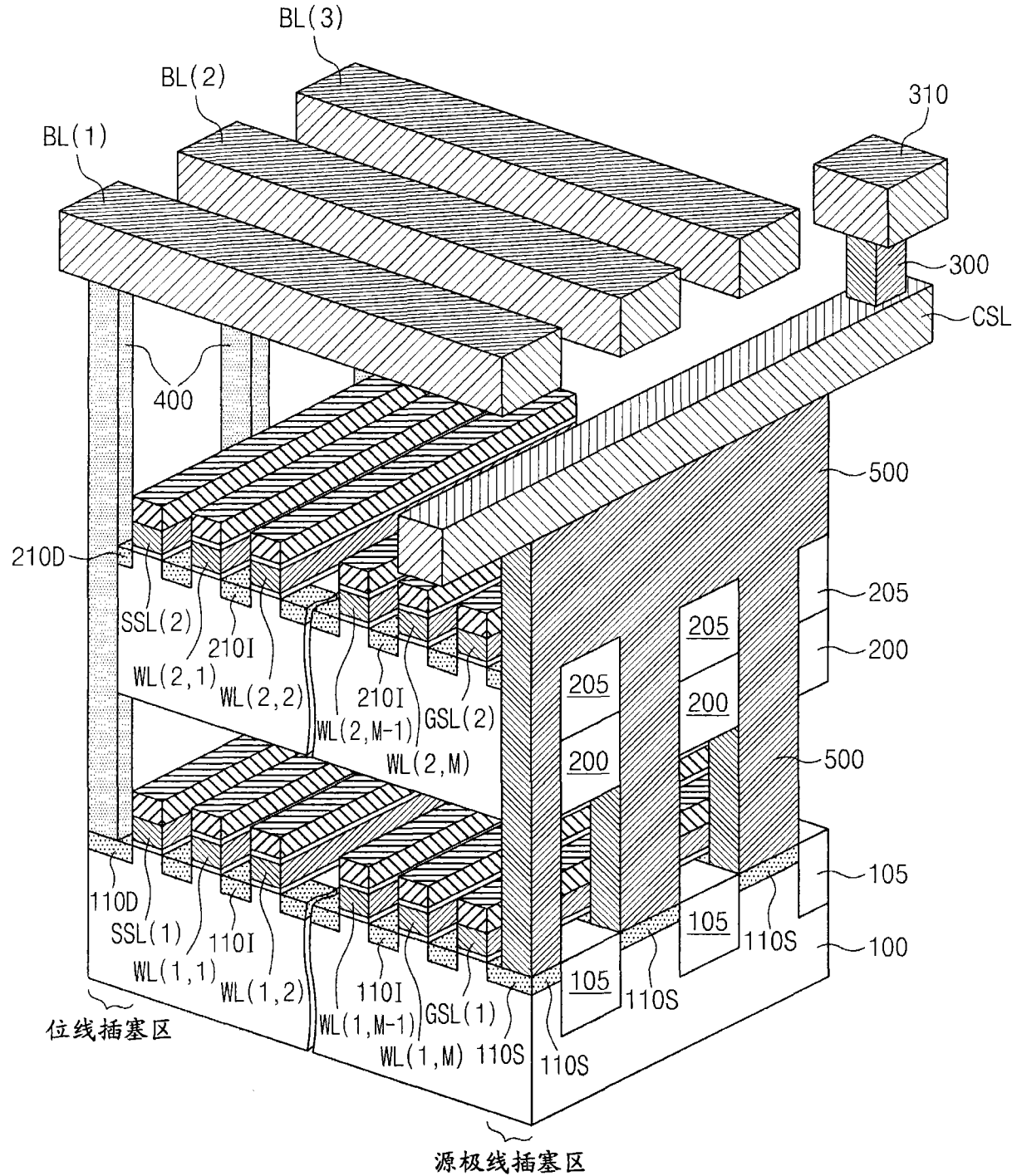


图 3

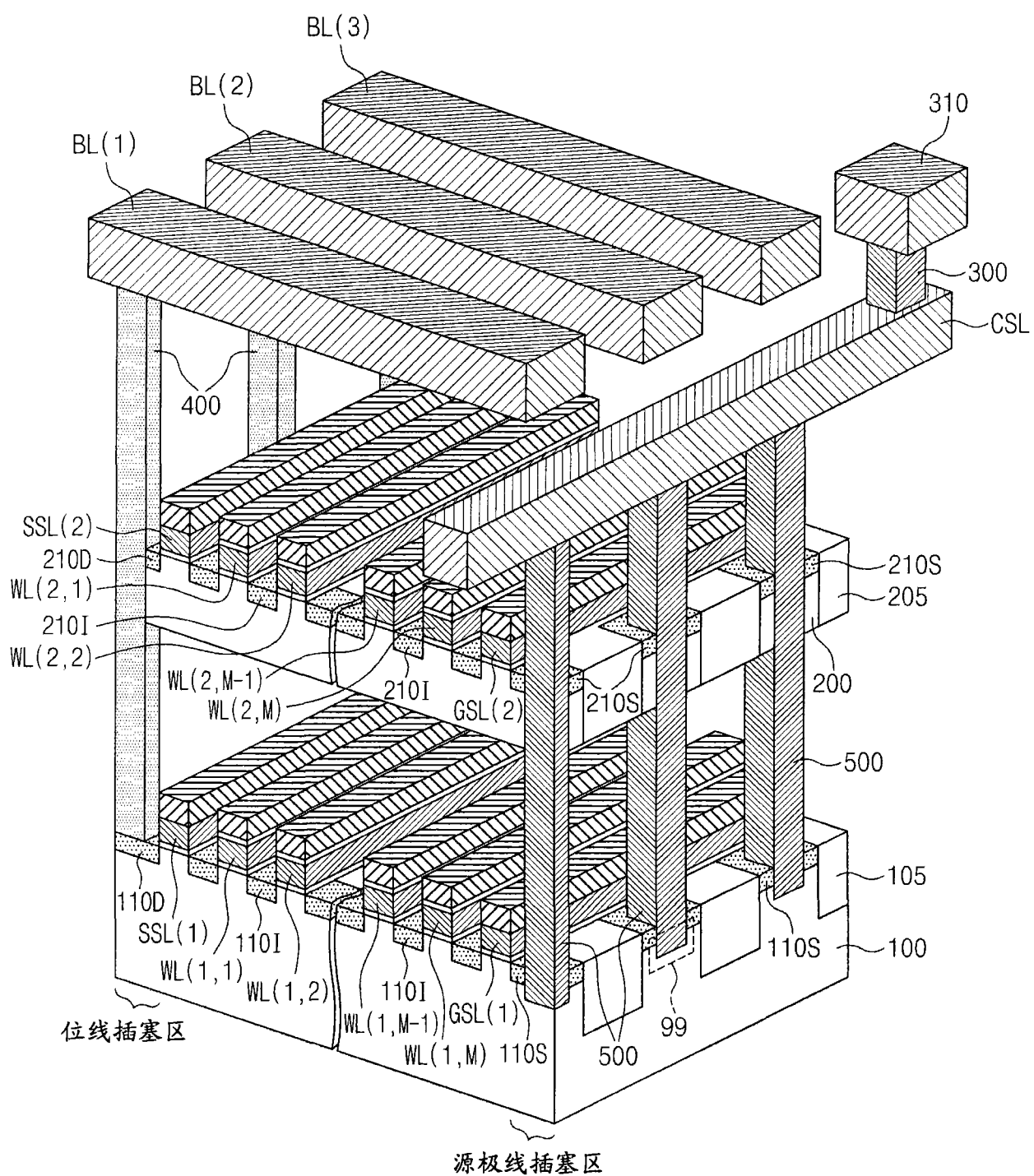


图 4

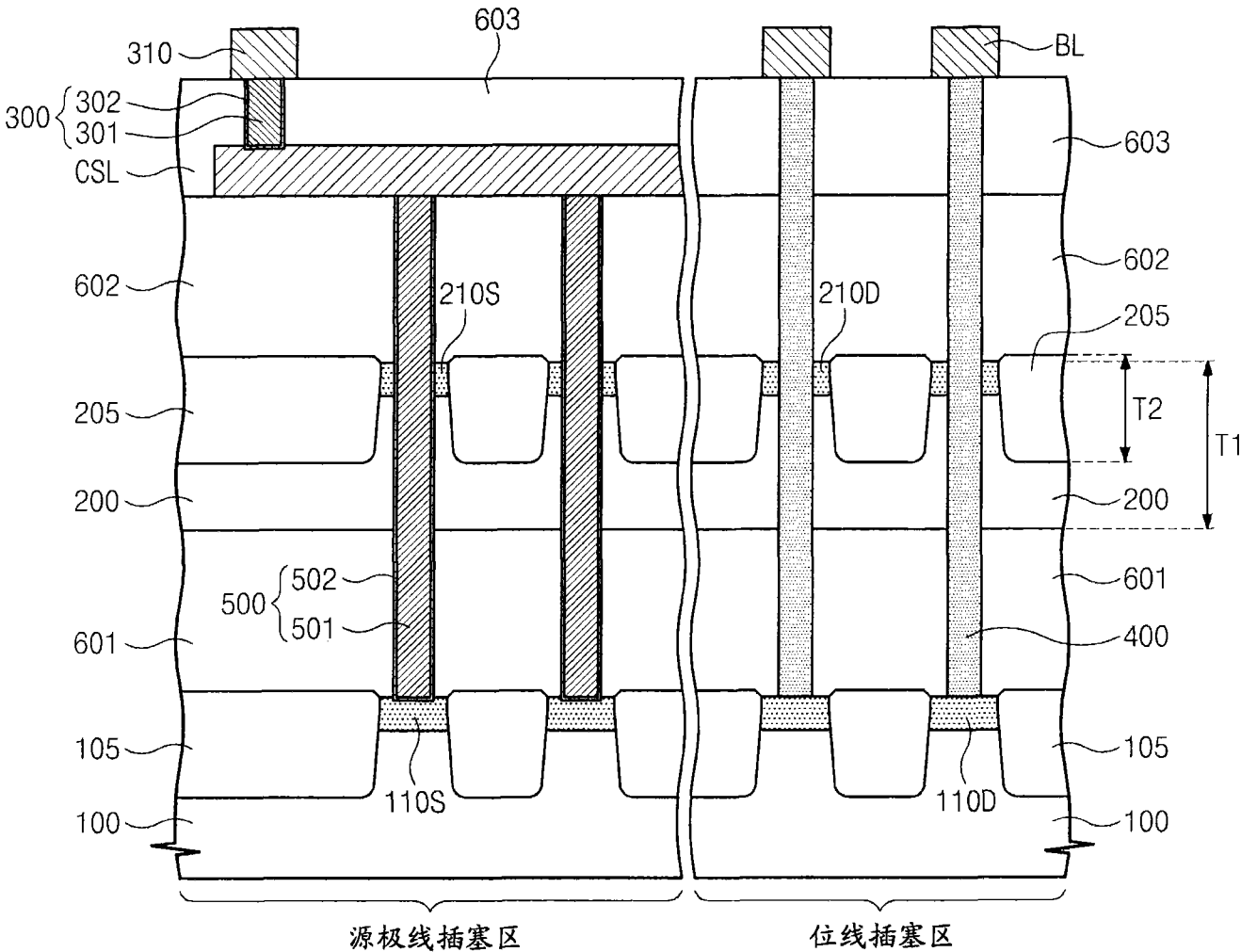


图 5

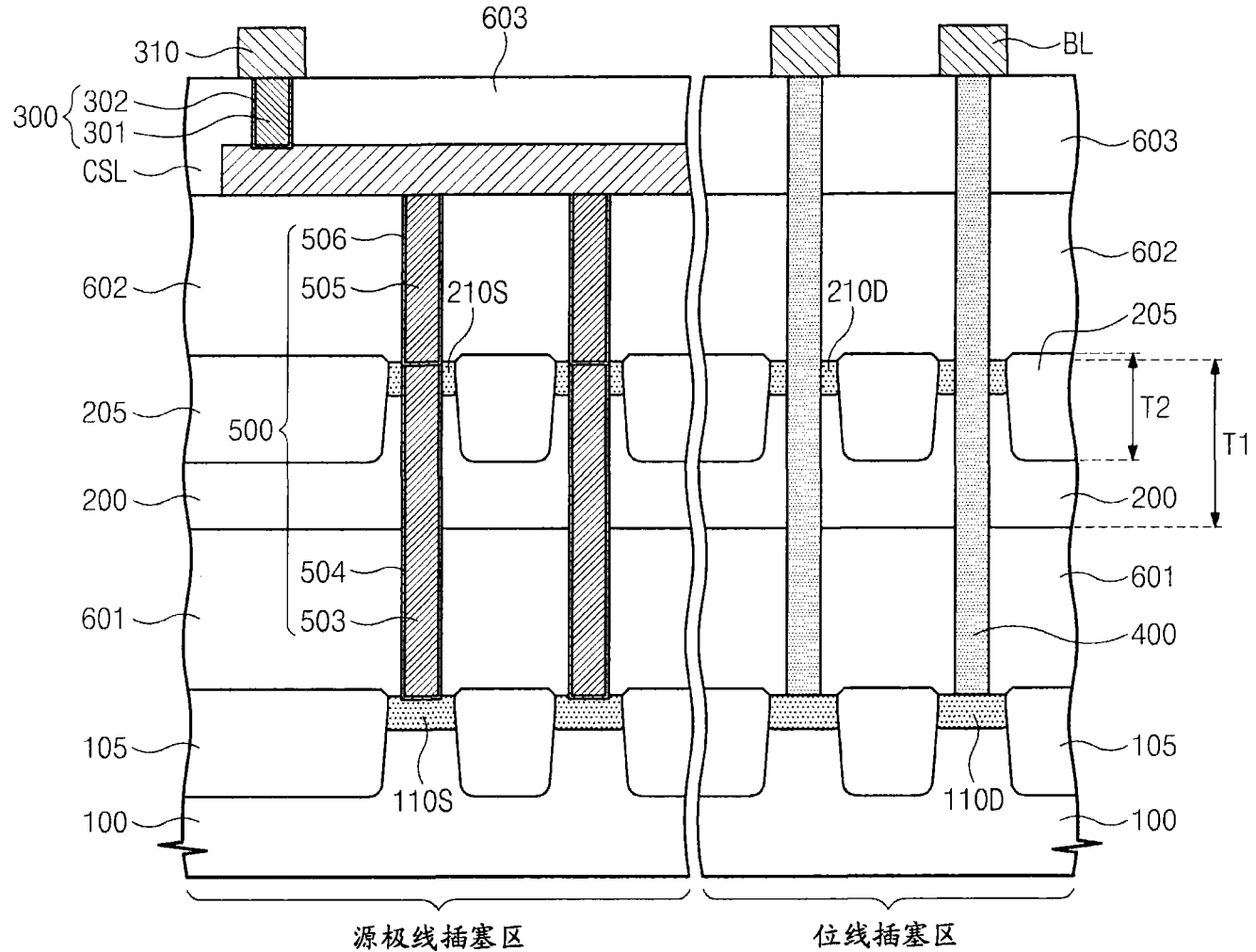


图 6

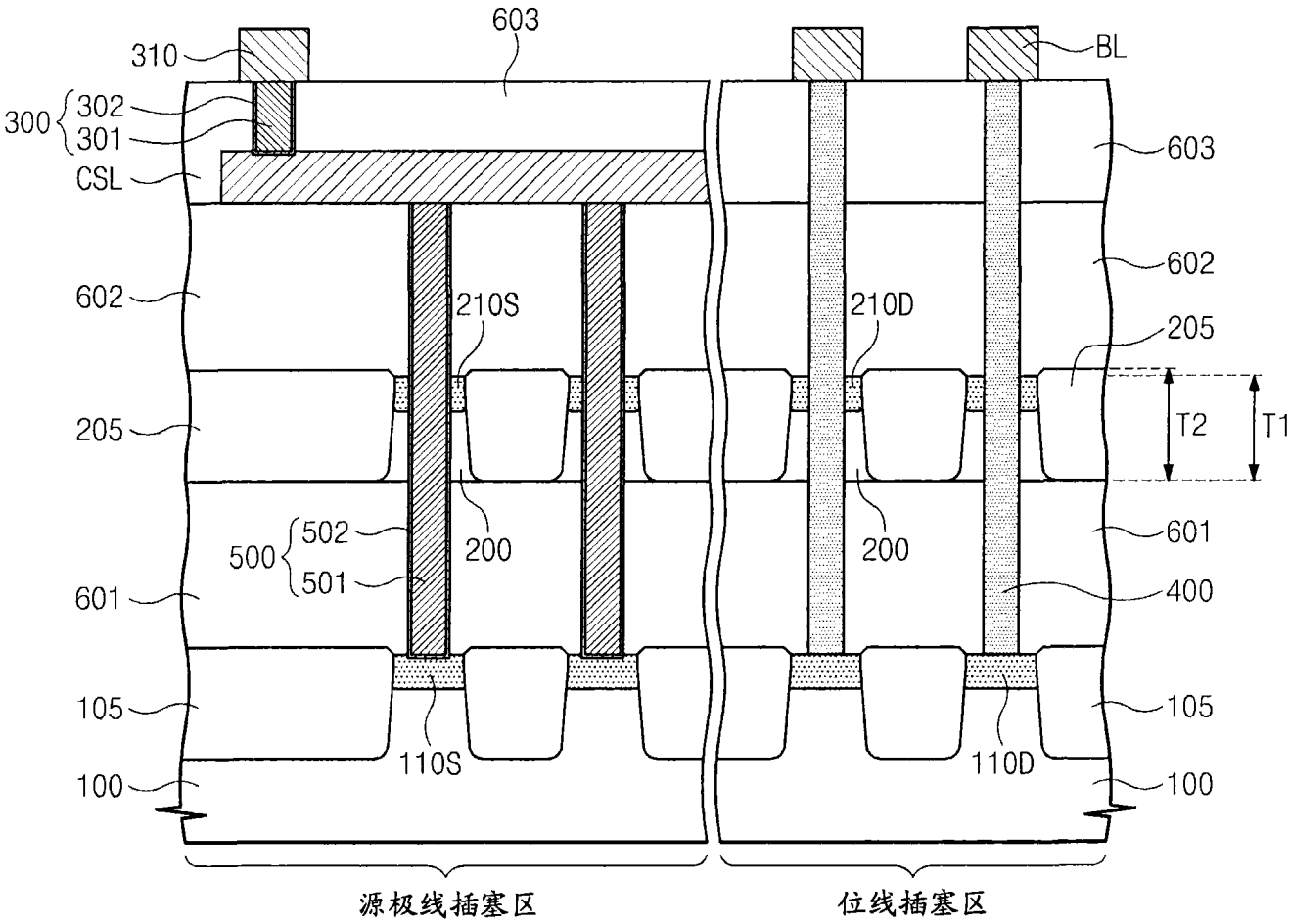


图 7

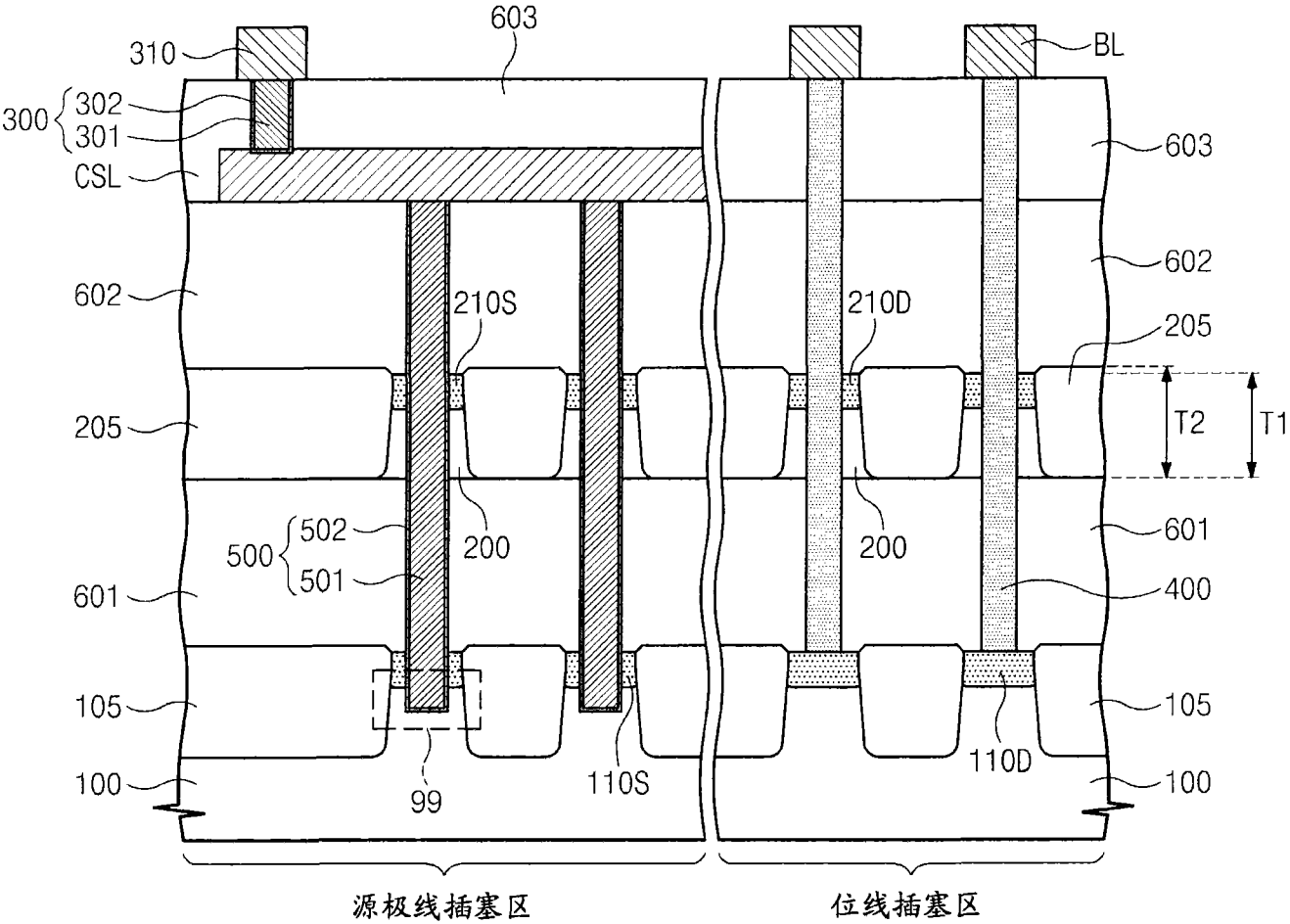


图 8

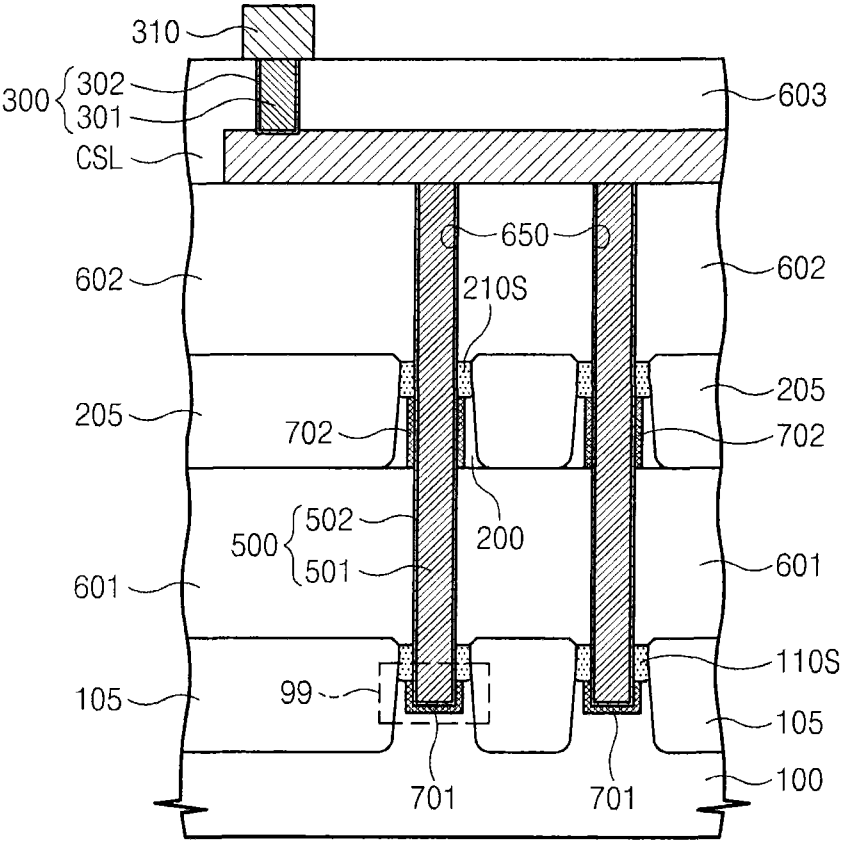


图 9A

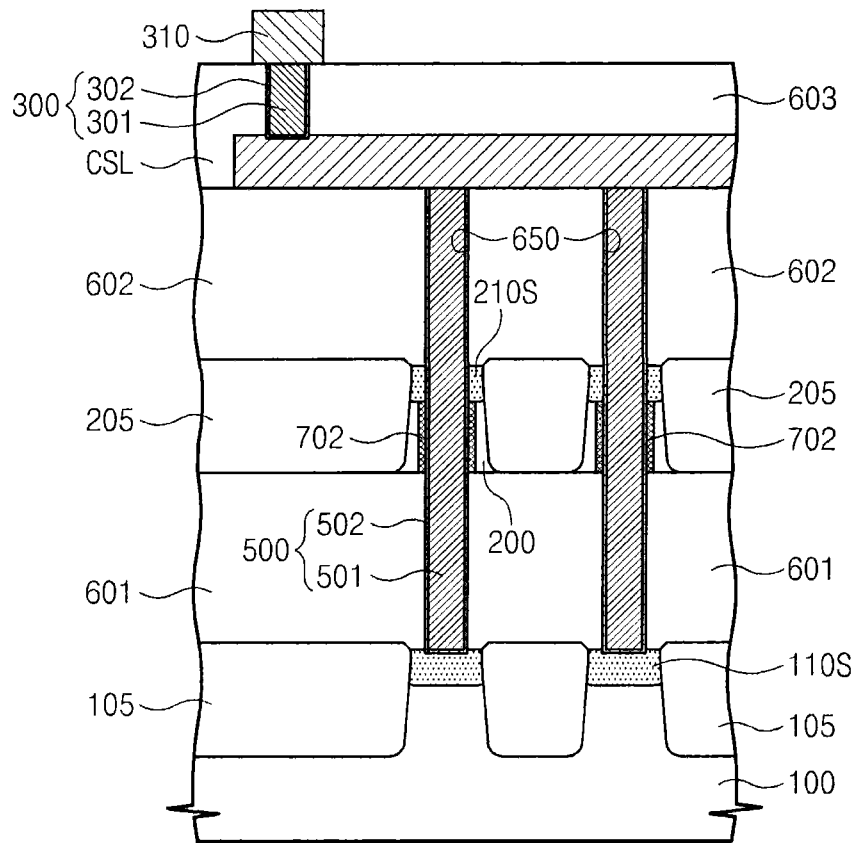


图 9B

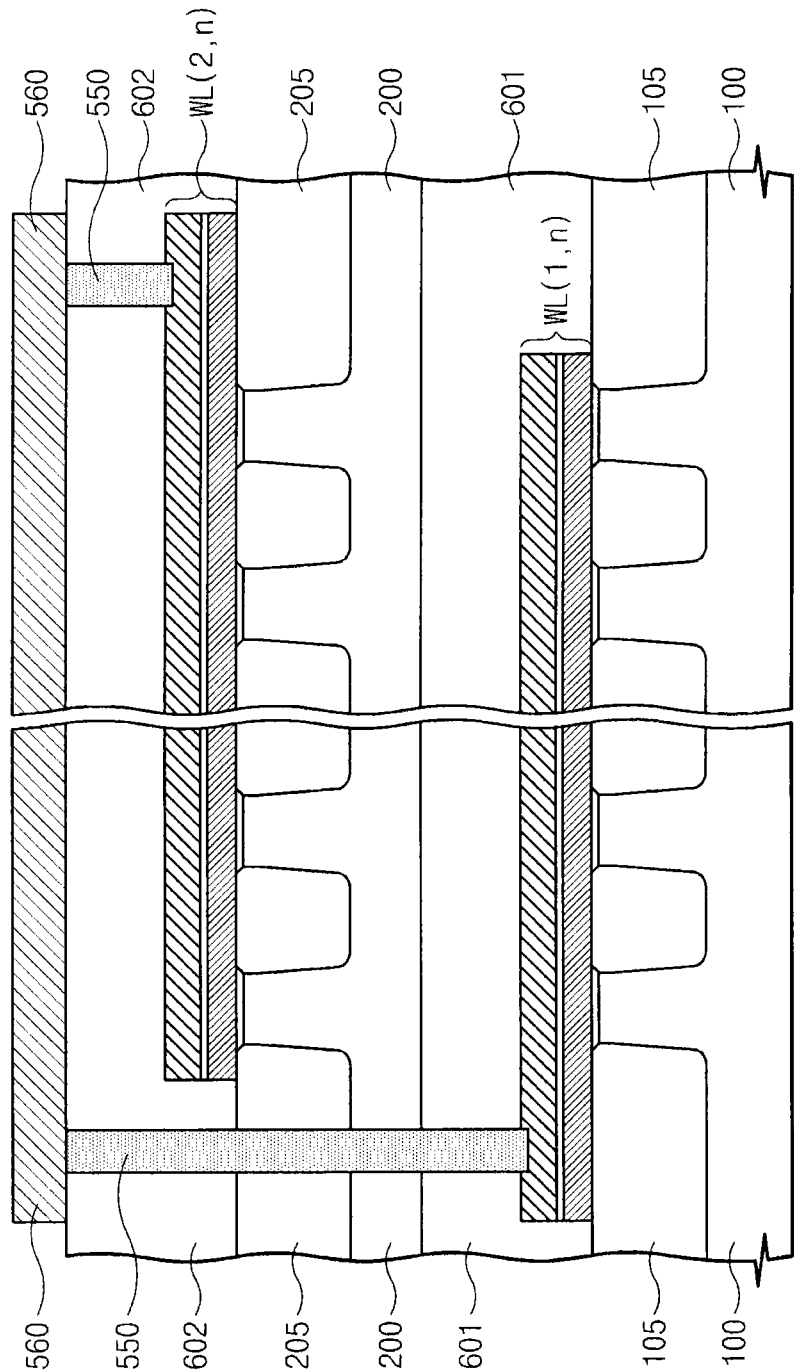


图 10A

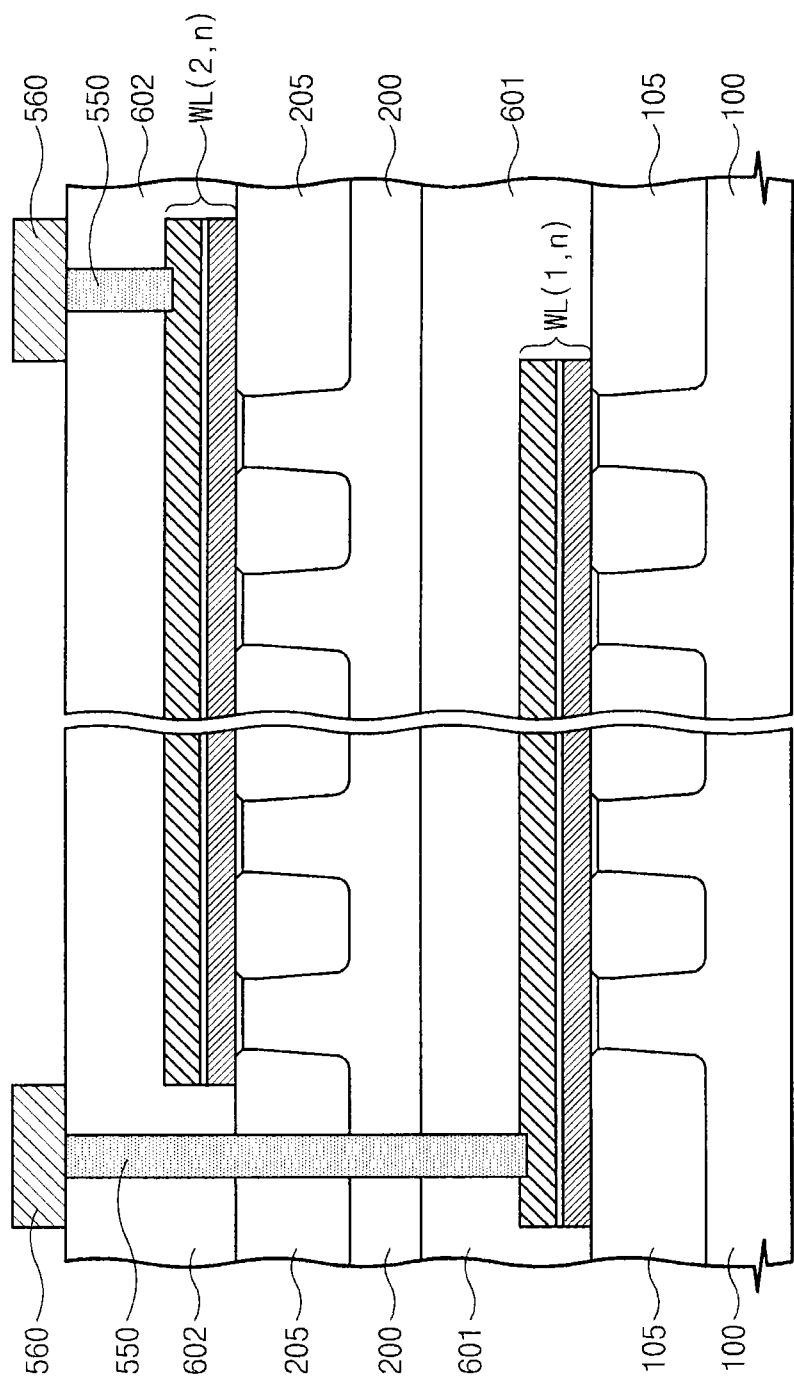


图 10B

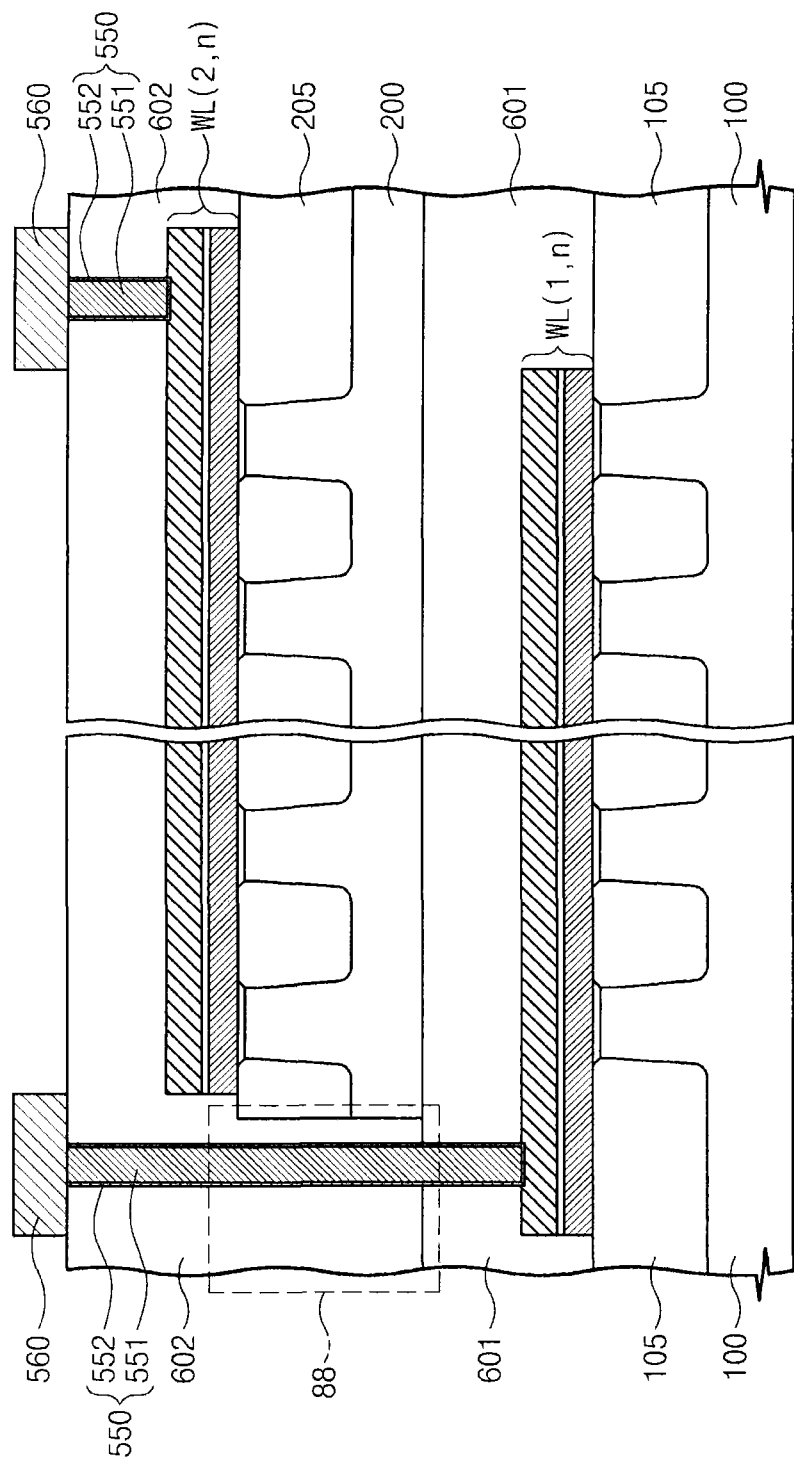


图 10C

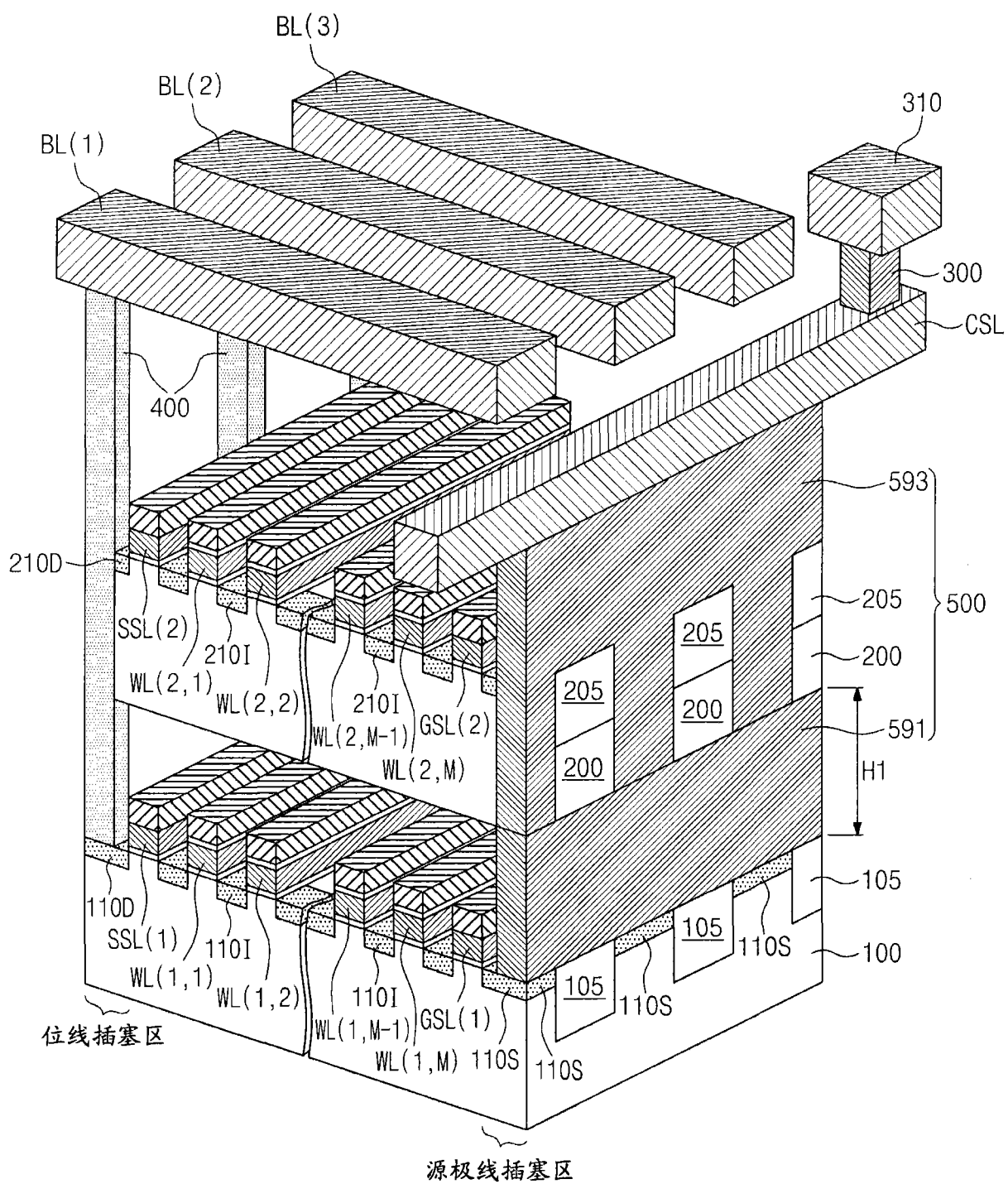


图 11A

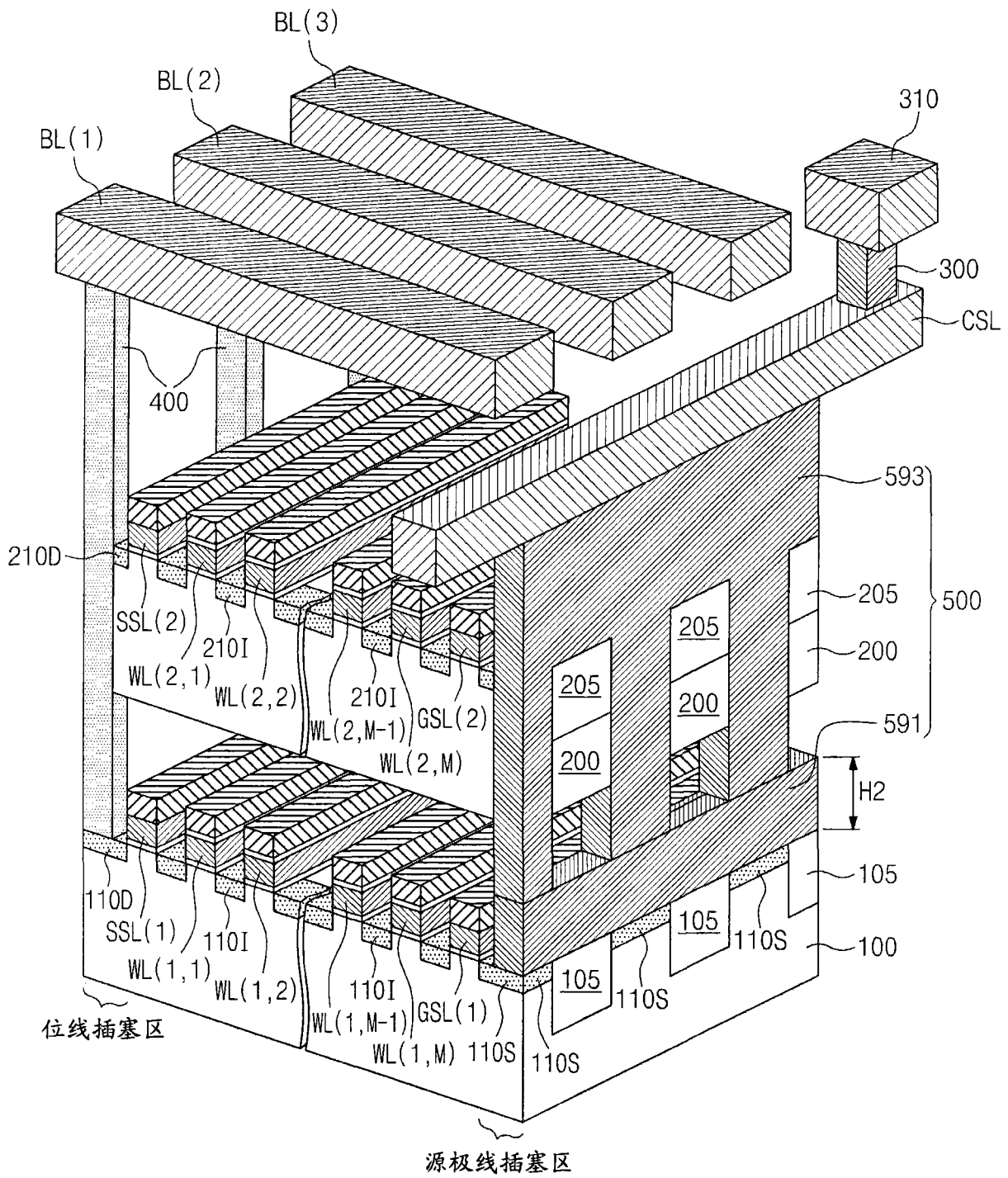


图 11B

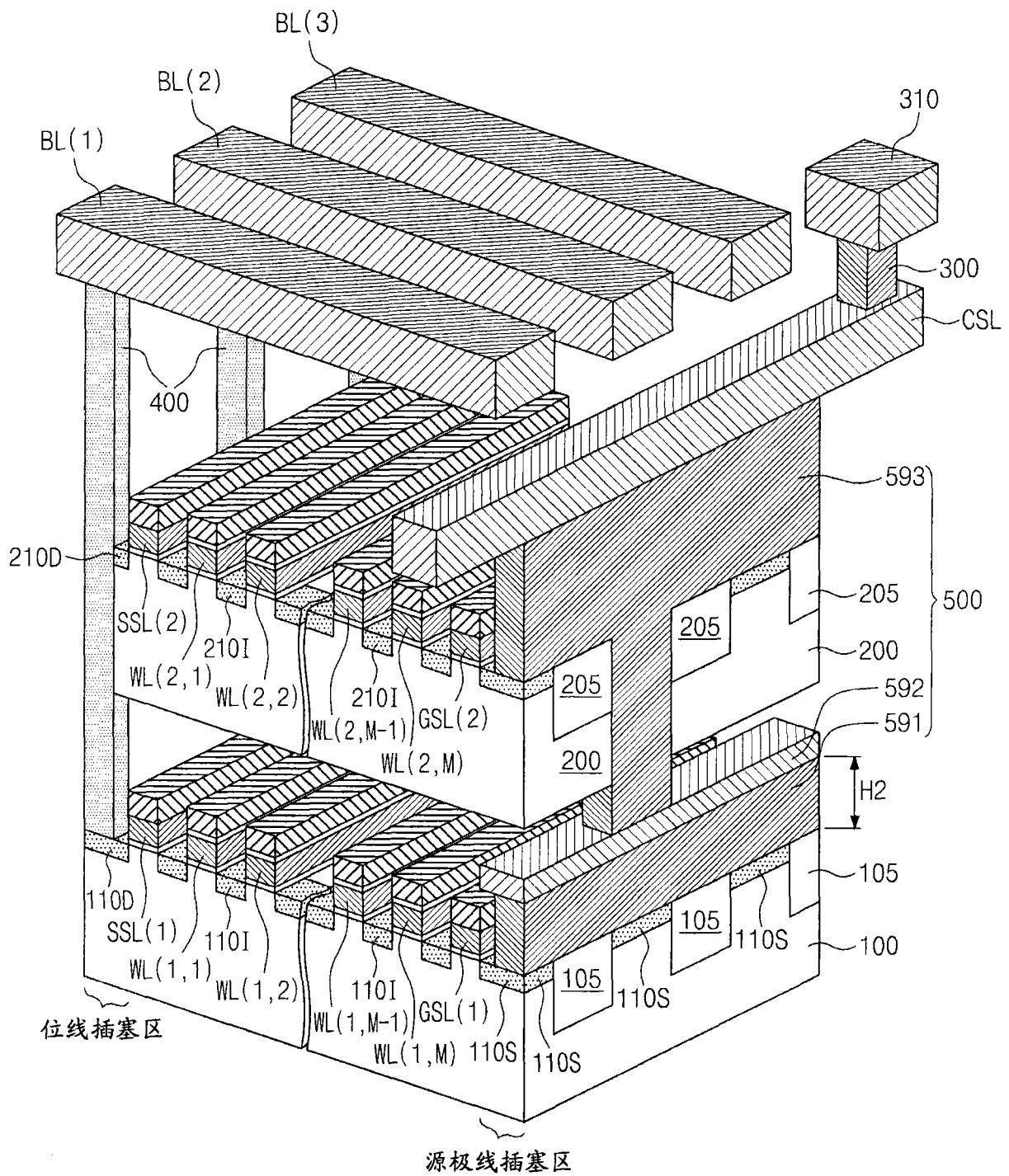


图 11C

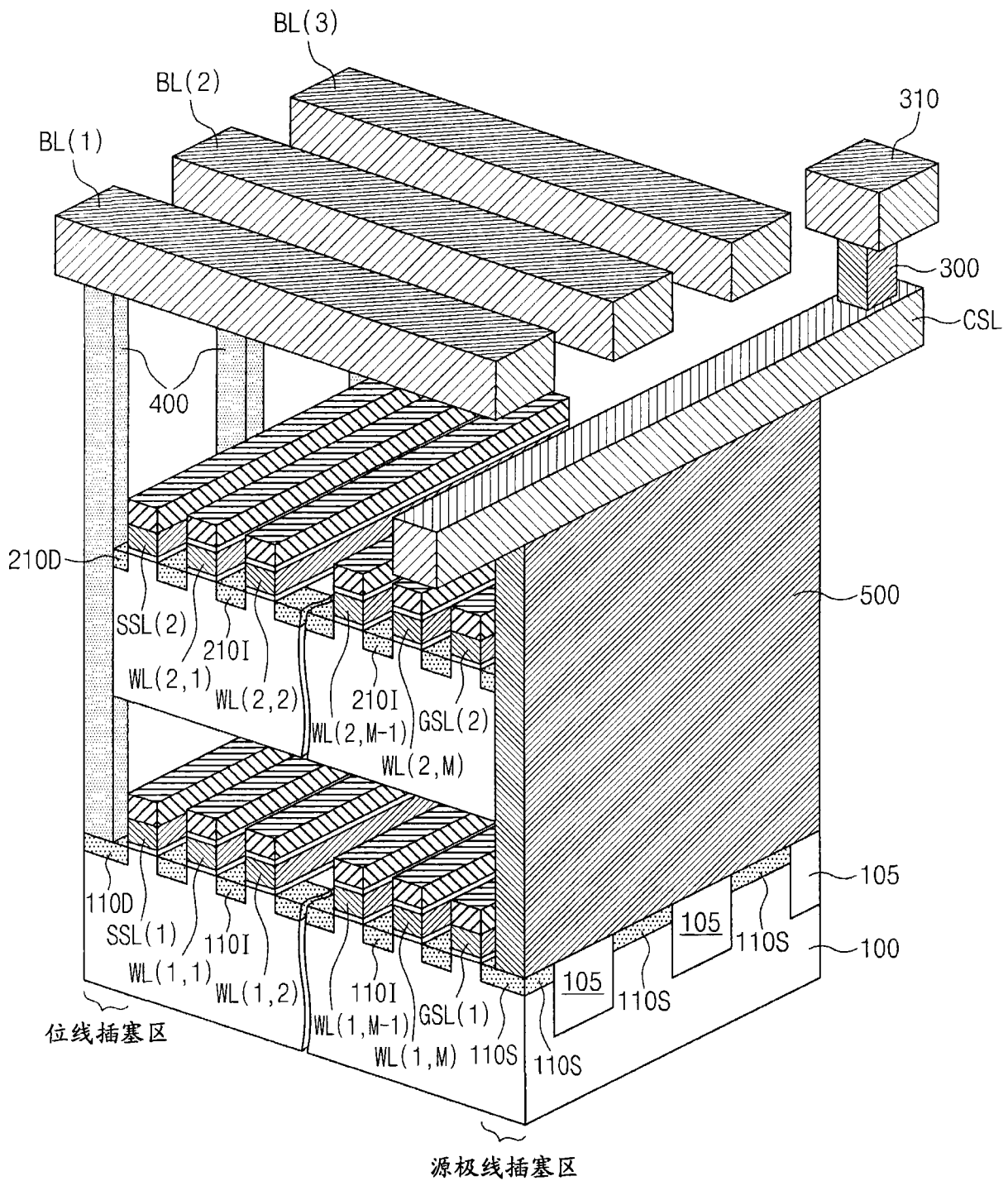


图 11D

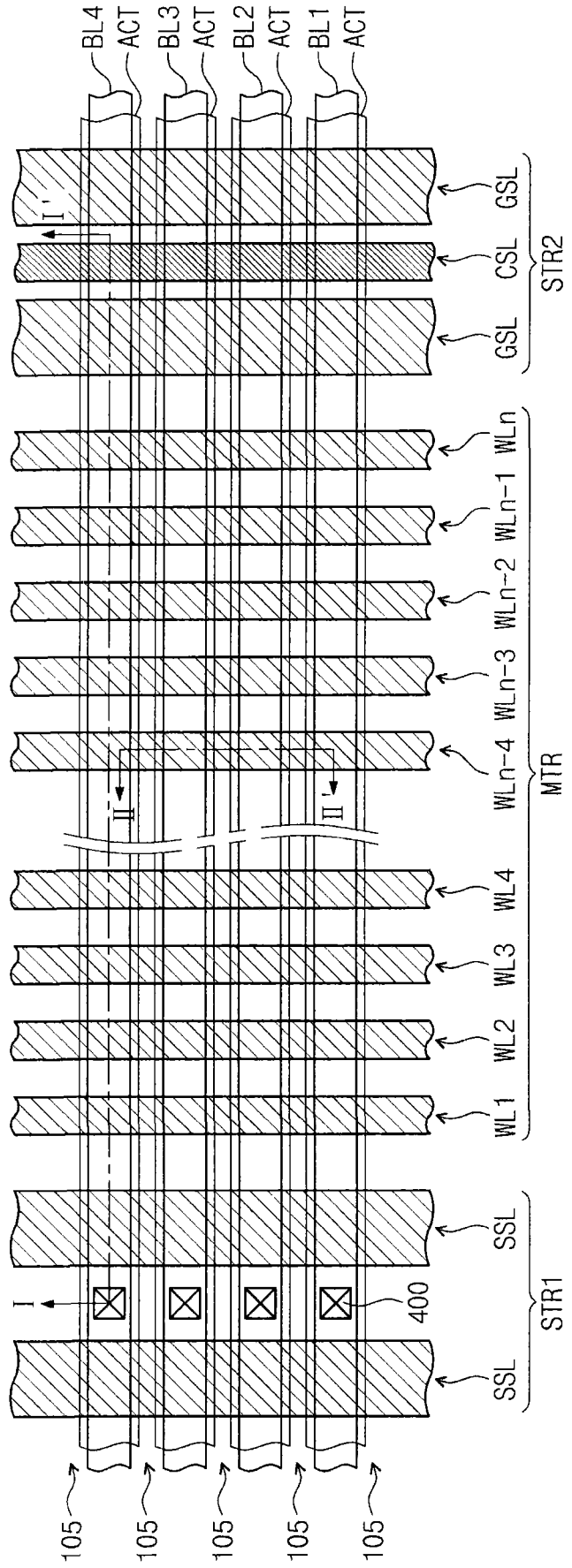


图 12

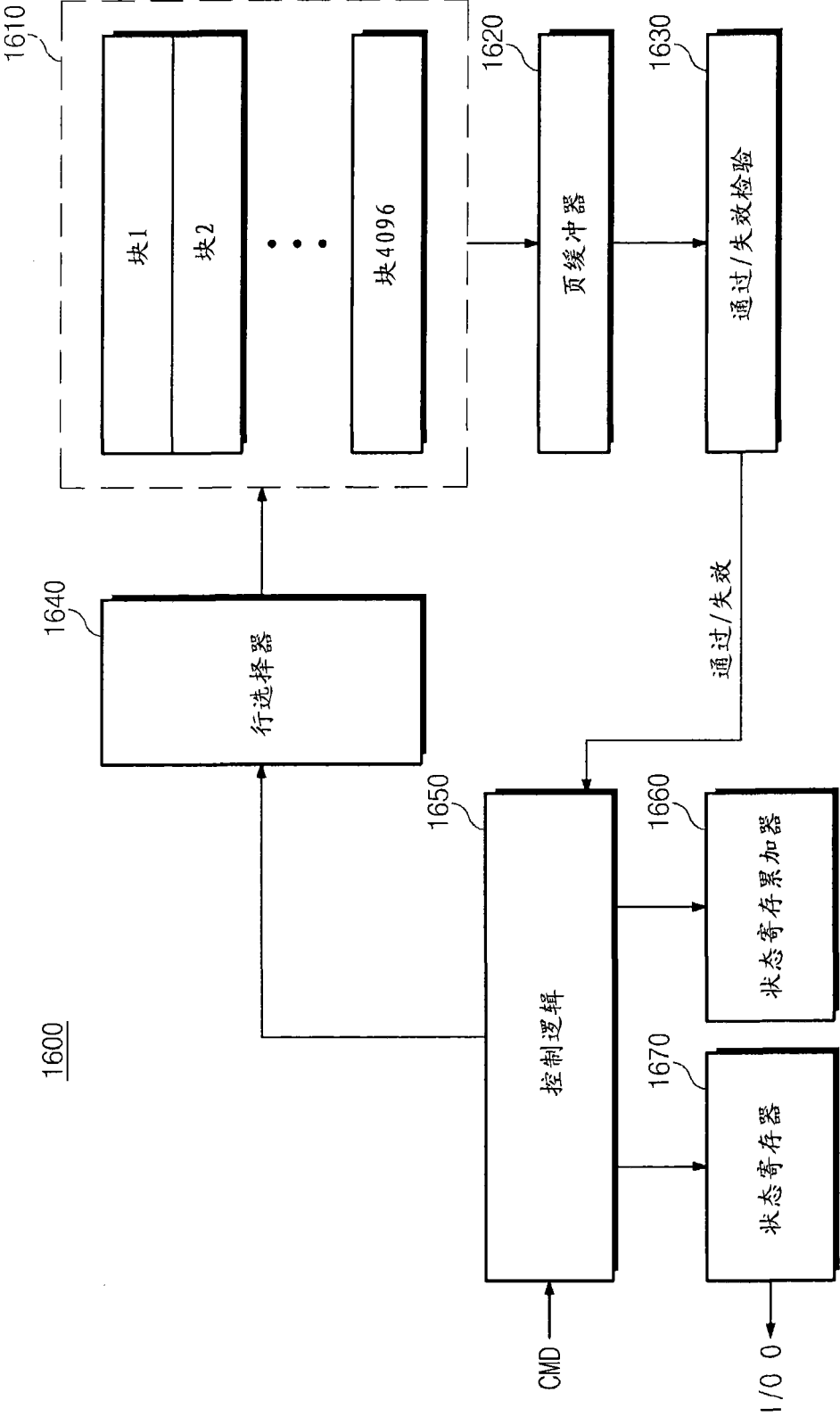


图 13

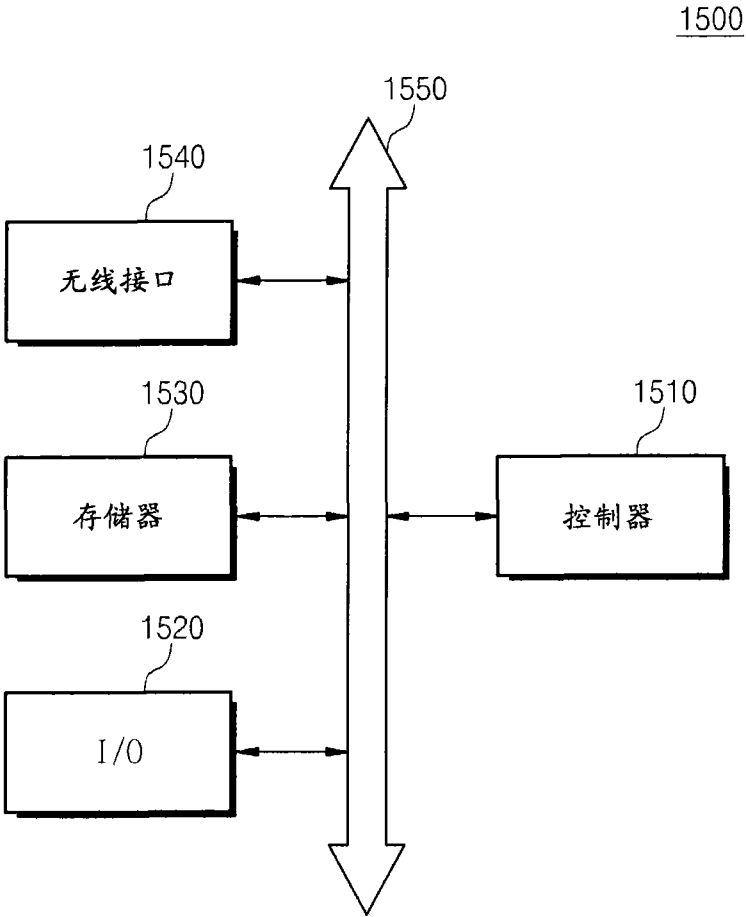


图 14