

(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(51) Int. Cl.⁶
G11C 11/407

(45) 공고일자 1999년08월02일

(11) 등록번호 10-0214537

(24) 등록일자 1999년05월20일

(21) 출원번호 10-1996-0070190

(65) 공개번호 특1998-0051305

(22) 출원일자 1996년12월23일

(43) 공개일자 1998년09월15일

(73) 특허권자 엘지반도체주식회사 구본준

충청북도 청주시 흥덕구 향정동 1번지

(72) 발명자 심재광

충청북도 청주시 흥덕구 봉명동 353-5 금성아파트 가동 404호

이상호

충청북도 청주시 흥덕구 향정동 1번지 엘지반도체 남자기숙사 1002호

(74) 대리인 박장원

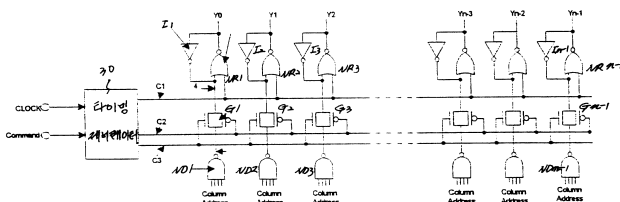
심사관 : 장현근

(54) 반도체 메모리의 컬럼 디코더회로

요약

본 발명은 반도체 메모리의 컬럼 디코더회로에 관한 것으로, 종래의 컬럼 디코더는 타이밍제너레이터에서 발생한 펄스신호를 가지고 모든 구동부를 인에이블 시키기 위해 펄스의 크기를 충분히 크게 하여야 하기 때문에 전력소모가 많은 문제점이 있었다. 본 발명은 이러한 종래의 문제점을 해결하기 위해 해당 어드레스신호를 디코딩 하는 디코딩수단과 ; 상기 디코딩수단이 출력을 입력클럭에 동기시키는 동기수단과 ; 상기 동기수단을 구동하기 위한 클럭신호를 출력하는 타이밍제너레이터와 ; 지연크기를 제어하기 위한 지연선택신호를 출력하는 라이트명령디코딩수단과 ; 소정갯수의 상기 동기수단이 출력을 논리조합하고, 그 논리조합한 신호와 상기 지연선택신호를 논리조합 및 일정시간 동안 지연시켜 출력하는 선택지연수단과 ; 상기 선택지연수단의 출력신호에 따라 상기 동기수단의 출력을 입력 받아서 컬럼선택라인을 구동하는구동수단과 ; 상기 구동수단의 출력을 반전하여 그 구동수단의 일측 입력단자에 인가하는 래치수단으로 구성된 것을 반도체 메모리의 컬럼 디코더회로를 창안한 것으로, 이와 같이 소정갯수의 구동부마다 그 구동부의 인에이블신호가 각기 인가 되도록 하고, 구동부 인에이블신호의 크기를 명령에 따라 선택적으로 달리 하여 인가되도록 함으로써 전력소모를 줄이고 라이트시에 충분한 시간동안 인에이블상태가 되도록 할 수 있는 효과가 있다.

대표도



명세서

[발명의 명칭]

반도체 메모리의 컬럼 디코더회로

[도면의 간단한 설명]

제1도는 종래 반도체 메모리의 컬럼 디코더 회로도.

제2도는 종래 다른 반도체 메모리의 컬럼 디코더 회로도.

제3도는 본 발명의 일 실시예시도.

제4도는 제3도에 있어서, 지연부의 상세 회로도.

제5도는 제3도에 있어서, 각부 출력 파형도.

* 도면의 주요부분에 대한 부호의 설명

100 : 라이트명령디코더

200 : 지연부

300 : 타이밍제너레이터

[발명의 상세한 설명]

본 발명은 컬럼 디코더에 관한 것으로, 특히 소정갯수의 구동부마다 그 구동부의 인에이블신호가 각기 인가되도록 하고, 구동부 인에이블신호를 명령에 따라 선택적으로 지연시간을 달리하여 그 구동부에 인가되도록 함으로써 전력소모를 줄이고 라이트시에 충분한 시간동안 인에이블상태가 되도록 한 반도체 메모리의 컬럼 디코더회로에 관한 것이다.

제1도는 종래 동기식 컬럼 디코더의 회로도로서, 이에 도시된 바와 같이 해당 어드레스가 입력되었을 때에만 출력이 선택상태의 로직으로 천이하는 디코더($ND1-NDn-1$)와 ; 상기 디코더($ND1-NDn-1$)의 출력신호를 동기식으로 전달하기 위한 전송게이트($G1-Gn-1$)와 ; 상기 전송게이트($G1-Gn-1$)를 통해 전달받은 디코딩신호를 입력받아 컬럼선택신호선($Y0-Yn-1$)을 구동하는 구동부($NR1-NRn-1$)와 ; 상기 전송게이트($G1-Gn-1$)가 오프되었을 때 구동부($NR1-NRn-1$)의 출력상태를 저장하기 위한 래치($I1-I n-1$)와 ; 상기 전송게이트($G1-Gn-1$) 및 구동부($NR1-NRn-1$)의 인에이블을 제어하는 타이밍제너레이터(30)로 구성된다.

이와 같이 구성된 종래 컬럼 디코더의 동작을 설명하면 다음과 같다.

먼저, 컬럼어드레스의 디코딩 필드에 해당하는 수 만큼의 컬럼디코더가 배열되어 있다.

그리고 컬럼디코더의 인에이블 및 타이밍을 제어하기 위한 타이밍제너레이터(30)가 있어서, 전송게이트($G1-Gn-1$)의 인에이블상태를 제어하는 클럭($C2, C3$)을 발생시킴과 아울러 선택된 컬럼디코더에 일정시간 동안에만 선택상태를 유지하고 그 다음에는 비선택상태로 되돌아 가게 하는 펄스신호($C1$)를 발생하여 구동부($NR1-NRn-1$)의 일측 입력단자에 인가한다.

이러한 상기 타이밍제너레이터(30)는 외부의 클럭입력과 명령입력을 받아서 이루도록 되어 있다.

그리고 종래 다른 컬럼 디코더로서 제2도에 도시된 바와 같이 구성하기도 하는데, 이는 해당 어드레스를 입력받아서 이를 디코딩 하는 디코더($ND1-NDn-1$)와 ; 상기 디코더($ND1-NDn-1$)의 출력신호를 외부 클럭($C1, C2$)에 동기 시키는 전송게이트($G1-Gn-1$)와 ; 상기 전송게이트($G1-Gn-1$)의 출력신호인 동기된 디코딩신호를 입력받아 컬럼선택신호선($Y0-Yn-1$)을 구동하는 구동부($I11-I1n-1$)와 ; 상기 구동부($I11-I1n-1$)의 출력을 저장하는 래치백인버터($I21-I2n-1$)와 ; 상기 전송게이트($G1-Gn-1$) 및 구동부($I11-I1n-1$)의 인에이블을 제어하는 타이밍제너레이터(30)로 구성된다.

이와 같이 구성하면 상기 타이밍제너레이터(30)는 선택된 컬럼디코더에 일정시간 동안에만 선택상태를 유지하고 그 다음에는 비선택상태로 되돌아 가게 하는 펄스신호를 발생키시지 않아도 된다.

이상에서 설명한 바와 같이 종래의 컬럼 디코더는 타이밍제너레이터에서 발생한 펄스신호를 가지고 모든 구동부를 인에이블 시키기 위해 펄스의 크기를 충분히 크게 하여야 하기 때문에 전력소모가 많은 문제점이 있었다.

본 발명의 목적은 이러한 종래의 문제점을 해결하기 위해 소정갯수의 구동부마다 그 구동부의 인에이블신호가 각기 인가되도록 하고, 구동부 인에이블신호를 명령에 따라 선택적으로 지연시간을 달리하여 그 구동부에 인가되도록 함으로써 전력소모를 줄이고 라이트시에 충분한 시간동안 인에이블 상태가 되도록 한 반도체 메모리의 컬럼 디코더회로를 제공 하는데 있다.

상기 본 발명의 목적을 달성하기 위한 컬럼 디코더회로는 해당 어드레스신호를 디코딩 하는 디코딩수단과 ; 상기 디코딩수단의 출력을 입력클럭에 동기시키는 동기수단과 ; 상기 동기수단을 구동하기 위한 클럭신호를 출력하는 타이밍제너레이터와 ; 지연크기를 제어하기 위한 지연선택신호를 출력하는 라이트명령디코딩수단과 ; 상기 소정갯수의 동기수단의 출력을 합산하고, 그 합산하는 신호와 상기 지연선택신호를 논리조합하여 일정시간 동안 지연시키는 선택지연수단과 ; 상기 선택지연수단의 출력에 따라 상기 동기수단의 출력을 입력 받아서 컬럼선택라인을 구동하는 구동수단과 ; 상기 구동수단의 출력을 반전하여 그 구동수단의 일측 입력단자에 인가하는 래치수단으로 구성한다.

이하, 본 발명의 작용 및 효과에 관하여 일 실시예를 들어 설명한다.

제3도는 본 발명의 일 실시예도로서, 이에 도시한 바와 같이 해당 어드레스신호를 디코딩 하는 낸드게이트($ND11-ND1n$)와 ; 상기 낸드게이트($ND11-ND1n$)의 출력신호를 입력클럭($C1, C2$)에 동기시키는 전송게이트($G1-Gn$)와 ; 상기 전송게이트($G1-Gn$)를 구동하기 위한 클럭신호($C1, C2$)를 출력하는 타이밍제너레이터(300)와 ; 지연크기를 제어하기 위한 지연선택신호(WE)를 출력하는 라이트명령디코더(100)와 ; 상기 소정갯수의 전송 게이트($G1-Gn$)의 출력신호를 낸드조합하는 낸드게이트($ND21$)와 ; 상기 낸드게이트($ND21$)의 출력신호와 상기 지연선택신호(WE)를 논리조합 및 일정시간 지연시켜 출력하는 지연부(200)와 ; 상기 지연부(200)의 지연신호(CP)에 따라 상기 전송게이트($G1-Gn$)의 출력을 입력받아 해당 컬럼선택라인($Y0-Yn$)을 구동하는 노아게이트($NR11-NR1n$)와 ; 상기 노아게이트($NR11-NR1n$)의 출력신호를 반전하여 그 노아게이트($NR11-NR1n$)의 일측 입력단자에 인가하는 래치역할을 하는 인버터($I11-I1n$)로 구성한다.

상기 지연부(200)는 제4도에 도시한 바와 같이 상기 낸드게이트($ND21$)의 출력신호와 상기 지연선택신호(WE)를 노아조합하는 노아게이트($NR21$)와 ; 상기 노아게이트($NR21$)의 출력을 반전하는 직렬연결된 3개의 인버터($I21-I23$)와 ; 상기 인버터($I23$)의 출력신호와 상기 낸드게이트($ND21$)의 출력신호를 낸드조합하는 낸드게이트($ND31$)와 ; 상기 낸드게이트($ND31$)의 출력신호를 반전하는 직렬연결된 3개의 인버터($I24-I26$)로 구성한다.

이와 같이 구성한 본 발명의 일 실시예의 동작을 첨부한 제5도를 참조하여 설명하면 다음과 같다.

먼저, 지연부(200)의 출력은 입력과 논리적으로 상보적 상태이며 지연의 크기는 라이트명령시와 일반동작시의 두 가지로 나뉘고, 라이트명령시의 지연이 더 크도록 구성한다.

그리고 컬럼 디코더를 소정갯수씩 묶어서(예 4개씩) 그 4개의 전송게이트의 출력을 낸드조합하고, 그 낸드조합된 출력신호와 라이트명령디코더의 출력신호를 논리조합 및 지연시켜 해당 구동부의 인에이블신호로 인가하는 지연부를 추가한다.

이와 같이 하면 종래에서 처럼 한 번의 펄스신호로 모든 구동부를 인에이블 시키기 위해 펄스의 크기를 크게할 필요가 없다. 즉, 4개의 구동부만을 인에이블시킬 정도의 크기이면 된다.

이와 같은 상태에서 i번째 컬럼어드레스를 리드하고 j번째 컬럼어드레스를 라이트할 때의 각각에 대한 컬럼디코딩 동작을 살펴본다.

먼저, 제5도의 (a)에 도시한 바와 같이 클럭(CLOCK)의 상승에지에 동기된 제5도의 (b)에 도시한 바와 같은 리드명령 및 제5도의 (c)에 도시한 바와 같은 해당 컬럼어드레스가 입력되면, 낸드게이트(ND11~ND1n)이 디코딩 결과에 따라 제5도의 (d)에 도시한 바와 같이 지연선택신호(WE)는 '하이'상태를 유지한다.

상기와 같이 지연선택신호(WE)가 '하이'로 유지되면 지연부(200)내의 노아게이트(NR21)와 인버터(I21~I23)는 일정 로직상태로 유지하게 되어 디코딩신호는 인버터(I24~I26)만을 거쳐서 지연된다.

이 때, 타이밍제너레이터(300)가 제5도의 (e)(f)에 도시한 바와 같이 '하이'인 클럭신호(C1)와 '로우'인 클럭신호(C2)를 출력하면 각 전송게이트(G1~Gn)는 인에이블 된다.

이에 따라 제5도의 (g)에 도시한 바와 같이 i번째 어드레스 디코딩신호인 '로우'신호가 전송게이트를 통과하고 노아게이트(NR1i)를 통해 출력되어 i번째 컬럼라인이 '하이'로 구동된다.

이후, 제5도의 (i)에 도시한 바와 같이 상기 낸드게이트(ND21)의 출력신호가 지연부(200)를 통해 일정시간 지연되어 각 노아게이트(NR11~NR1n)의 타측 입력단자에 인가되면, i번째 컬럼라인이 '하이'에서 '로우'로 되어 비선택상태가 된다.

만약, 라이트명령 입력시에는 라이트명령디코더(100)의 출력이 '로우'로 활성화되어 리드시 또는 기타 상태시 비활성이 되어 있던 인버터(I21~I23)가 활성화 되어, 상기한 디코딩 입력신호(sYj)를 인버터(I21~I26)의 지연상태를 거쳐 더 긴 지연을 통해 지연된다.

그 외의 동작은 리드시와 동일하다.

참고로 리드컬럼선택펄스의 폭스폭은 제5도의 (j)에 도시한 바와 같고, 라이트 컬럼선택펄스의 펄스폭은 제5도의 (k)에 도시한 바와 같다.

이와 같이 라이트시에는 더 오랫동안 컬럼선택 라인이 활성화상태에 있게 된다.

이상에서 상세히 설명한 바와 같이 본 발명은 소정갯수의 구동부마다 그 구동부의 인에이블신호가 각기 인가되도록 하고, 구동부 인에이블신호의 크기를 명령에 따라 선택적으로 달리하여 인가되도록 함으로써 전력소모를 줄이고 라이트시에 충분한 시간동안 인에이블상태가 되도록 할수 있는 효과가 있다.

(57) 청구의 범위

청구항 1

해당 어드레스신호를 디코딩 하는 디코딩수단과 ; 상기 디코딩수단이 출력을 입력클럭에 동기시키는 동기수단과 ; 상기 동기수단을 구동하기 위한 클럭신호를 출력하는 타이밍제너레이터와 ; 지연크기를 제어하기 위한 지연선택신호를 출력하는 라이트명령디코딩수단과 ; 소정갯수의 상기 동기수단이 출력을 논리조합하고, 그 논리조합한 신호와 상기 지연선택신호를 논리조합 및 일정시간 동안 지연시켜 출력하는 선택지연수단과 ; 상기 선택지연수단의 출력신호에 따라 상기 동기수단의 출력을 입력 받아서 컬럼선택라인을 구동하는구동수단과 ; 상기 구동수단의 출력을 반전하여 그 구동수단의 일측 입력단자에 인가하는 래치수단으로 구성된 것을 특징으로 하는 반도체 메모리의 컬럼 디코더회로.

청구항 2

제1항에 있어서, 선택지연수단은 상기 각 동기수단의 출력을 논리조합하는 합산수단과 ; 상기 합산수단의 출력과 상기 지연선택신호를 논리조합하여 일정시간 만큼 지연시키는 지연수단으로 구성된 것을 특징으로 하는 반도체 메모리의 컬럼디코더회로.

청구항 3

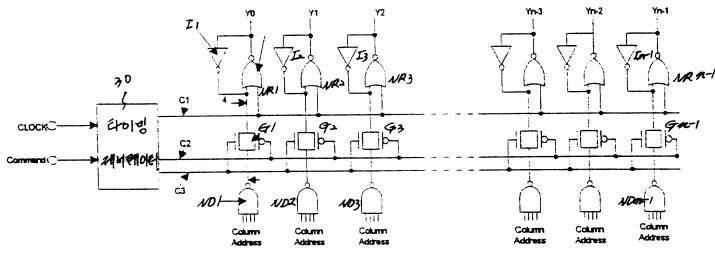
제2항에 있어서, 합산수단은 낸드게이트로 구성된 것을 특징으로 하는 반도체 메모리의 컬럼 디코더회로.

청구항 4

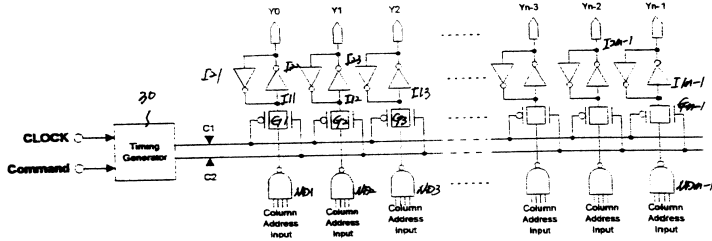
제2항에 있어서, 지연수단은 상기 지연선택신호와 상기 합산수단의 출력신호를 노아조합하는 노아게이트와 ; 상기 노아게이트의 출력을 반전하는 제1반전수단과 ; 상기 제1반전수단의 출력신호와 상기 합산수단의 출력신호를 낸드조합하는 낸드게이트와 ; 상기 낸드게이트의 출력신호를 반전하는 제2반전수단으로 구성된 것을 특징으로 하는 반도체 메모리의 컬럼디코더회로.

도면

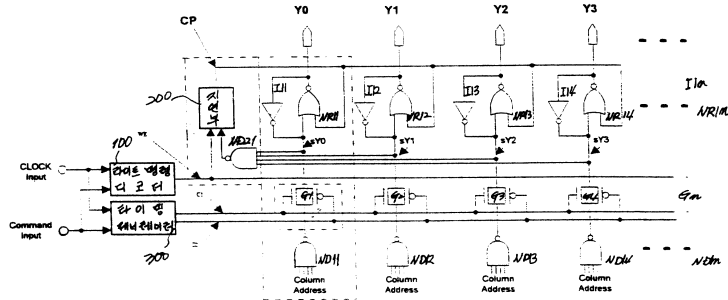
도면1



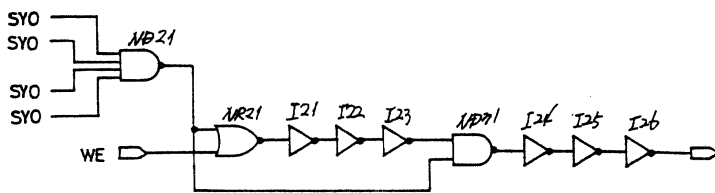
도면2



도면3



도면4



도면5

