



(12) 发明专利

(10) 授权公告号 CN 103095855 B

(45) 授权公告日 2015. 05. 27

(21) 申请号 201110330857. 6

CN 101324875 A, 2008. 12. 17,

(22) 申请日 2011. 10. 27

审查员 胡锐先

(73) 专利权人 无锡力芯微电子股份有限公司  
地址 214028 江苏省无锡市新区新辉环路 8 号

(72) 发明人 孙思兵 伍旻 史良俊 徐敏亚 颜贞

(74) 专利代理机构 无锡互维知识产权代理有限公司 32236

代理人 王爱伟

(51) Int. Cl.  
H04L 29/10(2006. 01)

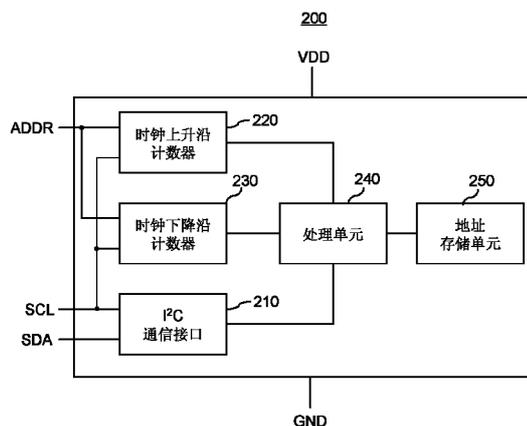
(56) 对比文件  
CN 102163180 A, 2011. 08. 24,  
CN 201917898 U, 2011. 08. 03,

权利要求书1页 说明书4页 附图2页

(54) 发明名称  
I<sup>2</sup>C 通信接口装置

(57) 摘要

本发明公开了一种 I<sup>2</sup>C 通信接口装置,其具有时钟端、数据端、地址端、电源端和接地端,所述地址端选择性的连接于数据端、电源端、接地端或时钟端。所述 I<sup>2</sup>C 通信接口装置包括根据所述地址端在所述时钟端的 n 个时钟的上升沿时的电平进行计数得到上升沿计数值的时钟上升沿计数器,根据所述地址端在所述时钟端的 n 个时钟的下降沿时的电平进行计数得到下降沿计数值的时钟下降沿计数器,根据所述时钟端的时钟对所述数据端的数据进行采样得到从机地址的 I<sup>2</sup>C 通信接口,以及根据所述上升沿计数值和所述下降沿计数值判断是否需要作出响应的处理单元。这样,可以用一个地址端口实现四个片地址选择。



1. 一种 I<sup>2</sup>C 通信接口装置,其具有时钟端、数据端、地址端、电源端和接地端,其特征在于,所述地址端选择性的连接于数据端、电源端、接地端或时钟端,所述 I<sup>2</sup>C 通信接口装置包括:

时钟上升沿计数器,其与时钟端和地址端相连接,根据所述地址端在所述时钟端的 n 个时钟的上升沿时的电平进行计数得到上升沿计数值;

时钟下降沿计数器,其与时钟端和地址端相连接,根据所述地址端在所述时钟端的 n 个时钟的下降沿时的电平进行计数得到下降沿计数值;

I<sup>2</sup>C 通信接口,其与时钟端和数据端相连接,根据所述时钟端的时钟对所述数据端的数据进行采样得到从机地址;

地址存储单元,存储有多个从机地址,每个从机地址对应所述地址端的一种接法;和

处理单元,其与时钟上升沿计数器、时钟下降沿计数器、I<sup>2</sup>C 通信接口和地址存储单元相连接,根据所述时钟上升沿计数器输出的所述上升沿计数值和所述时钟下降沿计数器输出的所述下降沿计数值判断出所述地址端的当前接法,并将地址存储单元中的对应该地址端的当前接法的从机地址与所述 I<sup>2</sup>C 通信接口得到的从机地址进行对比,若相同,则做出响应,否则,则不做响应,其中 n 为大于 1 的自然数。

2. 根据权利要求 1 所述的 I<sup>2</sup>C 通信接口装置,其特征在于,地址存储单元存储有四个从机地址,所述从机地址为 7 位。

3. 根据权利要求 2 所述的 I<sup>2</sup>C 通信接口装置,其特征在于, n 小于等于 7。

4. 根据权利要求 2 所述的 I<sup>2</sup>C 通信接口装置,其特征在于,所述 I<sup>2</sup>C 通信接口在 7 个时钟内采样得到 7 位从机地址。

5. 根据权利要求 1 所述的 I<sup>2</sup>C 通信接口装置,其特征在于,所述时钟上升沿计数器和所述时钟下降沿计数器包括有对所述地址端上的信号进行延时的延迟电路。

6. 根据权利要求 1 所述的 I<sup>2</sup>C 通信接口装置,其特征在于,

在所述地址端在所述时钟端的时钟的上升沿时为高电平或低电平中的一个时,所述时钟上升沿计数器将所述上升沿计数值加一个数值,在所述地址端在所述时钟端的时钟的上升沿时为高电平或低电平中的另一个时,维持所述上升沿计数值,

在所述地址端在所述时钟端的时钟的下降沿时为高电平或低电平中的一个时,所述时钟下降沿计数器将所述下降沿计数值加一个数值,在所述地址端在所述时钟端的时钟的下降沿时为高电平或低电平中的另一个时,维持所述下降沿计数值。

## I<sup>2</sup>C 通信接口装置

### 【技术领域】

【0001】 本发明涉及 I<sup>2</sup>C 通信领域,尤其涉及一种 I<sup>2</sup>C 通信接口装置。

### 【背景技术】

【0002】 I<sup>2</sup>C(Inter-Integrated Circuit) 总线是由 PHILIPS(飞利浦)公司开发的两线式串行总线,可以用于连接微控制器及其外围设备,是微电子通信控制领域广泛采用的一种总线标准。I<sup>2</sup>C 总线有两根信号线:一根双向的数据线 SDA;另一根是时钟线 SCL。所有接到 I<sup>2</sup>C 总线上的设备的串行数据都接到总线的 SDA 线,各设备的时钟线 SCL 接到总线的 SCL 线。

【0003】 I<sup>2</sup>C 总线的运行(数据传输)由主机控制。所谓主机即启动数据的传送(发出启动信号),发出时钟信号,传送结束时发出停止信号的设备,通常主机是微处理器。被主机寻访的设备都称为从机。为了进行通讯,每个接到 I<sup>2</sup>C 总线的设备都有一个唯一的地址,以便于主机寻访。主机和从机的数据传送,可以由主机发送数据到从机,也可以是从机发到主机。

【0004】 每个接到 I<sup>2</sup>C 总线的设备都有一个唯一的地址,这样就需要为每个设备的 I<sup>2</sup>C 通信接口设定唯一的地址,这些设计和生产时是比较繁琐的。为了使 I<sup>2</sup>C 通信接口适用于多个设备,可以对 I<sup>2</sup>C 通信接口进行地址扩展。目前大多数设计使用单独的一个地址端 ADDR 来作为 I<sup>2</sup>C 通信接口芯片的地址扩展的控制线,如图 1 所示,其示出了一种 I<sup>2</sup>C 通信接口芯片,其包括 SCL 端、SDA 端、电源端 VDD 和地端 GND,一般是通过将地址端 ADDR 接地 GND 或者将地址端 ADDR 接电源 VDD 来选择片地址,也就是一个地址端口一般都只能实现两个片地址。

【0005】 而目前手机、MP4、迷你音响等便携式多媒体设备越来越来采用 I<sup>2</sup>C 通讯接口的芯片,那么势必会造成片地址选择过少而造成某些芯片之间出现地址冲突,若通过增加地址端口来增加地址选择势必会造成成本上升。

【0006】 因此,有必要提出一种改进的 I<sup>2</sup>C 通信接口方案来克服上述问题。

### 【发明内容】

【0007】 本发明要解决的技术问题之一在于提供一种 I<sup>2</sup>C 通信接口装置,其可以无需增加额外端口只需增加一些简单数字逻辑就可以用一个地址端口实现四个片地址选择。

【0008】 为了解决上述问题,根据本发明的一个方面,本发明提供了一种 I<sup>2</sup>C 通信接口装置,其具有时钟端、数据端、地址端、电源端和接地端,其特征在于,所述地址端选择性的连接于数据端、电源端、接地端或时钟端,所述 I<sup>2</sup>C 通信接口装置包括:时钟上升沿计数器,根据所述地址端在所述时钟端的 n 个时钟的上升沿时的电平进行计数得到上升沿计数值;时钟下降沿计数器,根据所述地址端在所述时钟端的 n 个时钟的下降沿时的电平进行计数得到下降沿计数值;I<sup>2</sup>C 通信接口,根据所述时钟端的时钟对所述数据端的数据进行采样得到从机地址;地址存储单元,存储有多个从机地址,每个从机地址对应所述地址端的一种接法;和处理单元,根据所述上升沿计数值和所述下降沿计数值判断出所述地址端的当前接

法,并将地址存储单元中的对应该地址端的当前接法的从机地址与所述 I<sup>2</sup>C 通信接口得到的从机地址进行对比,若相同,则做出响应,否则,则不做响应,其中 n 为大于 1 的自然数。

[0009] 进一步的,地址存储单元存储有四个从机地址,所述从机地址为 7 位, n 小于等于 7。

[0010] 更进一步的,所述 I<sup>2</sup>C 通信接口在 7 个时钟内采样得到 7 位从机地址。

[0011] 进一步的,所述时钟上升沿计数器和所述时钟下降沿计数器包括有对所述地址端上的信号进行延时的延迟电路。

[0012] 进一步的,在所述地址端在所述时钟端的时钟的上升沿时为高电平或低电平中的一个时,所述时钟上升沿计数器将所述上升沿计数值加一个数值,在所述地址端在所述时钟端的时钟的上升沿时为高电平或低电平中的另一个时,维持所述上升沿计数值,在所述地址端在所述时钟端的时钟的下降沿时为高电平或低电平中的一个时,所述时钟下降沿计数器将所述下降沿计数值加一个数值,在所述地址端在所述时钟端的时钟的下降沿时为高电平或低电平中的另一个时,维持所述下降沿计数值。

[0013] 与现有技术相比,本发明的 I<sup>2</sup>C 通信接口芯片利用时钟端 SCL 的时钟信号对地址端 ADDR 的电平进行计数,根据计数结果判断出该 I<sup>2</sup>C 通信接口芯片的地址端 ADDR 接的是时钟端 SCL、数据端 SDA、电源端 VDD,还是接地端 GND,从而可以用一个地址端口实现四个片地址选择。

[0014] 关于本发明的其他目的,特征以及优点,下面将结合附图在具体实施方式中详细描述。

### 【附图说明】

[0015] 结合参考附图及接下来的详细描述,本发明将更容易理解,其中同样的附图标记对应同样的结构部件,其中:

[0016] 图 1 为现有的一种 I<sup>2</sup>C 通信接口芯片的结构示意图;

[0017] 图 2 为本发明中的一种 I<sup>2</sup>C 通信接口芯片在一个实施例中的结构示意图;和

[0018] 图 3 为本发明中的 I<sup>2</sup>C 通信接口芯片的四种地址扩展接法的 8 个时钟周期的时序示意图。

### 【具体实施方式】

[0019] 为使本发明的上述目的、特征和优点能够更加明显易懂,下面结合附图和具体实施方式对本发明作进一步详细的说明。

[0020] 本发明的详细描述主要通过程序、步骤、逻辑块、过程或其他象征性的描述来呈现,其直接或间接地模拟本发明中的技术方案的运作。所属领域内的技术人员使用此处的这些描述和陈述向所属领域内的其他技术人员有效的介绍他们的工作本质。

[0021] 此处所称的“一个实施例”或“实施例”是指与所述实施例相关的特定特征、结构或特性至少可包含于本发明至少一个实现方式中。在本说明书中不同地方出现的“在一个实施例中”并非必须都指同一个实施例,也不必是与其它实施例互相排斥的单独或选择实施例。此外,表示一个或若干实施例的方法、流程图或功能框图中的模块顺序并非固定的指代任何特定顺序,也不构成对本发明的限制。

[0022] 本发明提供一种 I<sup>2</sup>C 通信接口芯片或装置,其包括有时钟端 SCL、数据端 SDA、地址端 ADDR、电源端 VDD 和接地端 GND,其利用时钟端 SCL 的时钟信号对地址端 ADDR 的电平进行计数,根据计数结果判断出该 I<sup>2</sup>C 通信接口芯片的地址端 ADDR 接的是时钟端 SCL、数据端 SDA、电源端 VDD,还是接地端 GND,这样可以用一个地址端口实现四个片地址选择。

[0023] 图 2 为本发明中的一种 I<sup>2</sup>C 通信接口芯片 200 在一个实施例中的结构示意图。所述 I<sup>2</sup>C 通信接口芯片 200 包括 I<sup>2</sup>C 通信接口 210、时钟上升沿计数器 220、时钟下降沿计数器 230、处理单元 240 和地址存储单元 250。所述 I<sup>2</sup>C 通信接口 210 与时钟端 SCL 和数据端 SDA 相连接,时钟上升沿计数器 220 与时钟端 SCL 和地址端 ADDR 相连接,时钟下降沿计数器 230 与时钟端 SCL 和地址端 ADDR 相连接。

[0024] I<sup>2</sup>C 总线在开始条件后的第一字节的前 7 位组成了从机地址,最低位 (R/W) 是第 8 位,它决定了传输的方向。最低位是“0”,表示主机会写信息到被选中的从机;“1”表示主机会向从机读信息。当发送了一个地址后,I<sup>2</sup>C 总线系统中的每个设备或器件都在起始条件后将头 7 位与它自己的地址比较,如果一样,器件会判定它被主机寻址,至于是从机接收器还是从机发送器,都由 R/W 位决定。那么在 8 位地址采样完成之前,该片的片地址必须得选择好,要不然就会发生片地址验证错误。

[0025] 在一个实施例中,采用前 7 个 SCL 时钟完成了地址选择任务。图 3 为本发明中的 I<sup>2</sup>C 通信接口芯片 200 的四种地址扩展接法的 8 个时钟周期的时序示意图。

[0026] 所述时钟上升沿计数器 220 在前 7 个时钟周期 SCL 的上升沿来判断地址端 ADDR 是否为高电平,如果所述地址端 ADDR 在时钟周期 SCL 的上升沿为高电平,则所述时钟上升沿计数器 220 将上升沿计数值加 1,否则,则维持所述上升沿计数值。所述时钟下降沿计数器 230 在前 7 个时钟周期 SCL 的下降沿来判断地址端 ADDR 是否为高电平,如果所述地址端 ADDR 在时钟周期 SCL 的上升沿为高电平,则所述时钟下降沿计数器 230 将下降沿计数值加 1,否则,则维持所述下降沿计数值。所述上升沿计数值和所述下降沿计数值的初始值可以为 0。

[0027] 请参阅图 3 所示,若地址端 ADDR 接电源端 VDD,则所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 的最终计数结果,即最终上升沿计数值和最终下降沿计数值都为 7。若地址端 ADDR 接接地端 GND,则所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 的最终计数结果,即最终上升沿计数值和最终下降沿计数值都为 0。

[0028] 所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 均包括有对地址端 ADDR 输入的信号进行一个延时的延时电路(未图示),因此若地址端 ADDR 接时钟端 SCL,则所述时钟上升沿计数器 220 的最终上升沿计数值为 0,所述时钟下降沿计数器 230 的最终下降沿计数值为 7,因为所述延迟电路可以使地址端 ADDR 的时钟的边沿比时钟端 SCL 的边缘要延时几十 ns 的时间。在地址端 ADDR 的其他接法时,所述延时电路也会对地址端 ADDR 上的信号进行延时,但是这个延时并不会对其他接法时的计数结果造成影响。

[0029] 若地址端 ADDR 接数据端 SDA,则所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 的最终计数结果相同。因 I<sup>2</sup>C 时序要求数据 SDA 要包住时钟 SCL,也就是说上升沿计数器 220 和下降沿计数器 230 的最终计数结果肯定为相同的值。为了不和地址端 ADDR 接电源端 VDD 和地址端 ADDR 接接地端 GND 出现相同的结果,本发明则要求 I<sup>2</sup>C 地址前 7 位不能出现同时为 1 和同时为 0 的情况,也就是为了剔除上升沿计数器 220 和下降沿计数器

230 的最终计数结果同时为 0 和 7 的情况。如图 3 示出的地址端 ADDR 接数据端 SDA 的示例中,所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 的最终计数结果均为 4。

[0030] 在所述时钟上升沿计数器 220 和所述时钟下降沿计数器 230 进行计数的同时,所述 I<sup>2</sup>C 通信接口 210 也根据时钟 SCL 对数据 SDA 进行采样得到 7 位地址。

[0031] 所述地址存储单元 250 存储有四个 7 位地址,每个 7 位地址对应地址端 ADDR 的一种接法。

[0032] 所述处理单元 240 根据所述时钟上升沿计数器 220 输出的最终上升沿计数值和所述时钟下降沿计数器 230 输出的最终下降沿计数值判断出当前 I<sup>2</sup>C 通信接口芯片的地址端 ADDR 的接法,并将地址存储单元 250 中的对应该地址端 ADDR 的接法的 7 位地址与所述 I<sup>2</sup>C 通信接口 210 接收到的 7 位地址进行对比,若相同,则做出响应,否则,则不做响应。这样,在第 8 个 SCL 时钟周期就可以完成 I<sup>2</sup>C 地址认证。

[0033] 这样,对于同一款 I<sup>2</sup>C 通信接口芯片来说,通过将地址端 ADDR 与其他不同的连接端相连,无需增加额外端口只需增加一些简单数字逻辑,就可以用一个地址端口 ADDR 实现四个片地址选择。这样可以解决如手机,MP4,迷你音响等便携式多媒体设备中 I<sup>2</sup>C 地址冲突的问题。

[0034] 上文对本发明进行了足够详细的具有一定特殊性的描述。所属领域内的普通技术人员应该理解,实施例中的描述仅仅是示例性的,在不偏离本发明的真实精神和范围的前提下做出所有改变都应该属于本发明的保护范围。

[0035] 比如,在上述实施例中,所述上升沿计数器 220 和下降沿计数器 230 完成前 7 个 SCL 时钟的上升沿或下降沿的计数才得到最终计数结果,在一个实施例中,可以完成前  $n$  ( $1 < n \leq 7$ ) 个 SCL 时钟的上升沿或下降沿的计数就得到最终计数结果。

[0036] 再比如,所述时钟上升沿计数器 220 可以在前  $n$  个时钟周期 SCL 的上升沿来判断地址端 ADDR 是否为低电平,如果所述地址端 ADDR 在时钟周期 SCL 的上升沿为低电平,则所述时钟上升沿计数器 220 将上升沿计数值加 1 或其他值(比如 2 或其他),否则,则维持所述上升沿计数值。所述时钟下降沿计数器 230 在前  $n$  个时钟周期 SCL 的下降沿来判断地址端 ADDR 是否为低电平,如果所述地址端 ADDR 在时钟周期 SCL 的上升沿为低电平,则所述时钟下降沿计数器 230 将下降沿计数值加 1 或其他值(比如 2 或其他),否则维持所述下降沿计数值。这样,所述地址端 ADDR 的不同接法对应的最终下降沿计数值和最终上升沿计数值将发生变化。

[0037] 再比如,虽然所述地址端 ADDR 有四种接法,所述地址存储单元 250 存储有四个 7 位地址,很显然,所述地址存储单元 250 也可以只存储二或三个 7 位地址,这样所述 I<sup>2</sup>C 通信接口芯片可以支持二个或三个地址选择。

[0038] 本发明所要求保护的范围是由所述的权利要求书进行限定的,而不是由实施例中的上述描述来限定的。本文中多个和若干表示两个或两个以上。

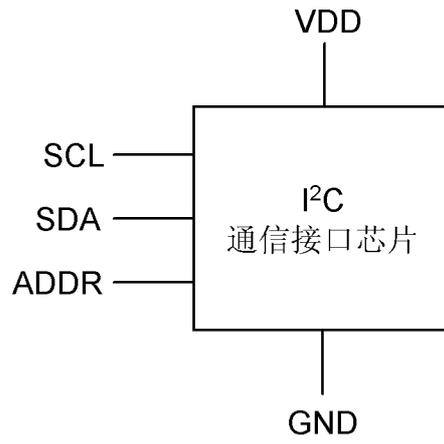


图 1

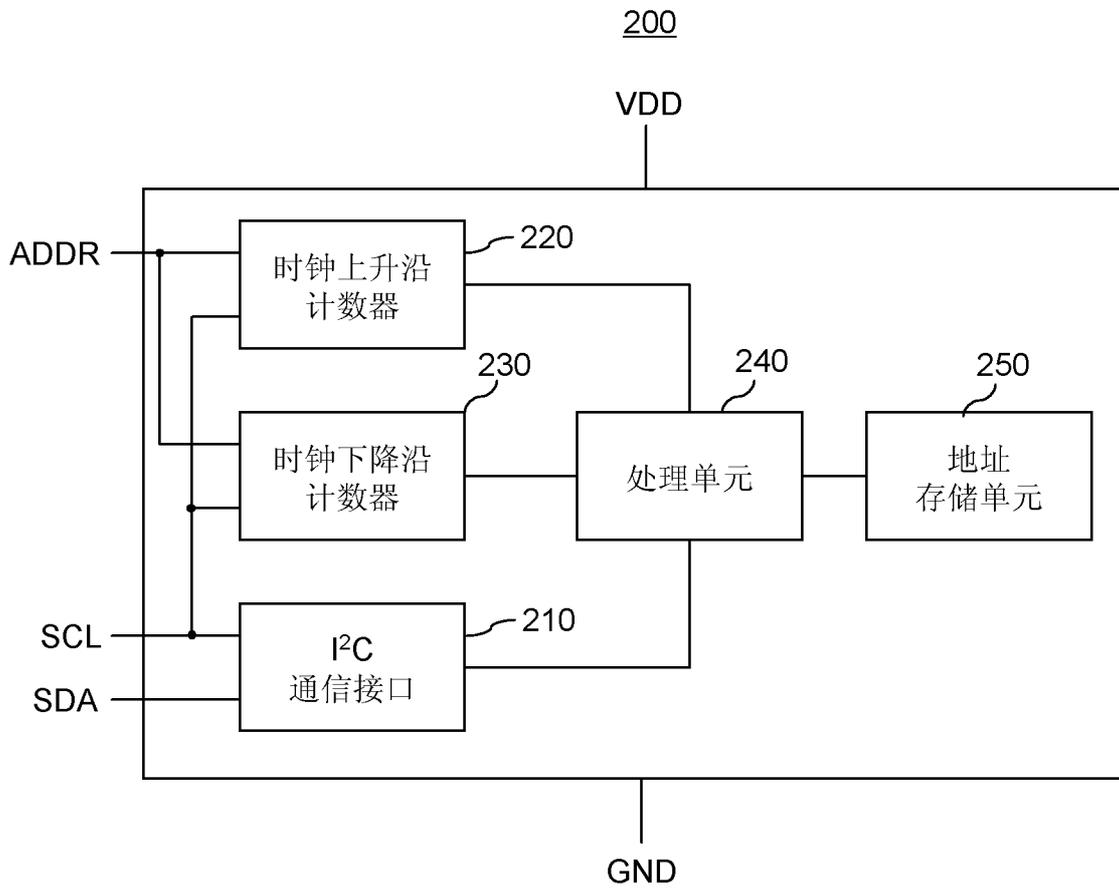


图 2

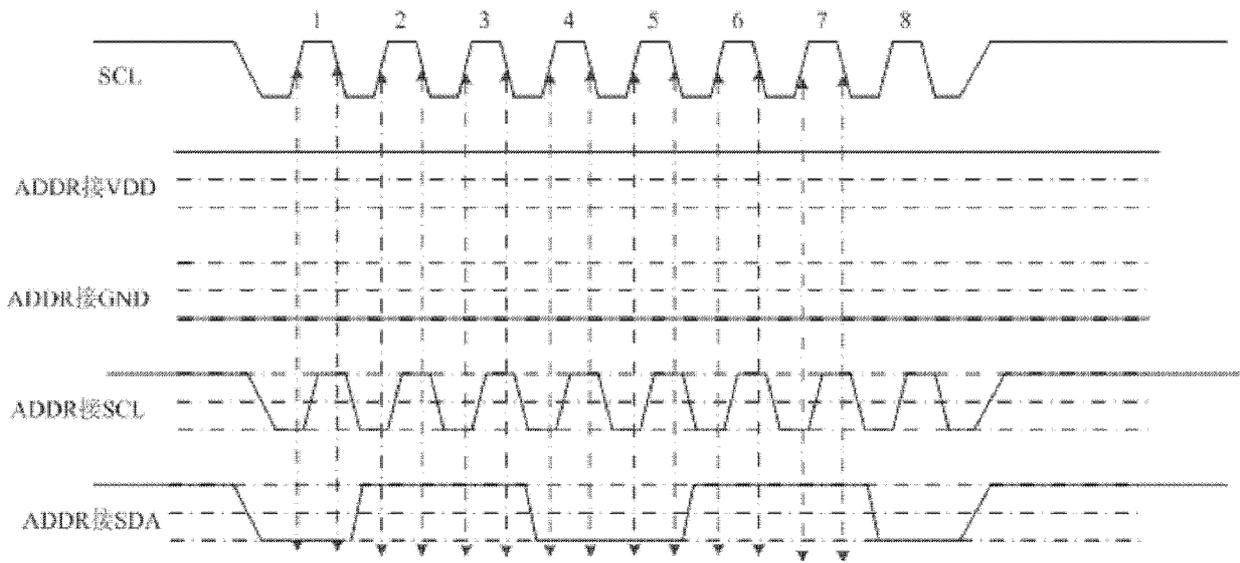


图 3