

發明專利說明書

200529381

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：93119154

※申請日期：93.6.30

※IPC 分類：H01L 21/8247

一、發明名稱：(中文/英文)

製造快閃記憶體裝置之方法

METHOD FOR MANUFACTURING FLASH MEMORY DEVICE

二、申請人：(共 1 人)

姓名或名稱：(中文/英文)

韓商海力士半導體股份有限公司

HYNIX SEMICONDUCTOR INC.

代表人：(中文/英文)

鄭東洙

CHUNG, DONG SOO

住居所或營業所地址：(中文/英文)

大韓民國京畿道利川市夫鉢邑牙美里山136-1

SAN 136-1, AMI-RI, BUBAL-UEP ICHON-SHI, KYUNGKI-DO,
KOREA

國籍：(中文/英文)

韓國 KOREA

三、發明人：(共 1 人)

姓名：(中文/英文)

朱光喆

JOO, KWANG CHUL

住居所或營業所地址：(中文/英文)

韓國京畿道龍仁市水枝邑竹全洞832碧山公寓102-1603號

BYUCKSAN APT. 102-163, 832, JUKJEON 2-DONG, SUJI-UEP,
YONGIN-SHI, KYUNGKI-DO, KOREA

國籍：(中文/英文)

韓國 KOREA

四、聲明事項：

主張專利法第二十二條第二項 第一款或 第二款規定之事實，其事實發生日期為： 年 月 日。

申請前已向下列國家（地區）申請專利：

【格式請依：受理國家（地區）、申請日、申請案號 順序註記】

有主張專利法第二十七條第一項國際優先權：

1. 韓國；2004年02月23日；2004-11753

2.

無主張專利法第二十七條第一項國際優先權：

1.

2.

主張專利法第二十九條第一項國內優先權：

【格式請依：申請日、申請案號 順序註記】

主張專利法第三十條生物材料：

須寄存生物材料者：

國內生物材料 【格式請依：寄存機構、日期、號碼 順序註記】

國外生物材料 【格式請依：寄存國家、機構、日期、號碼 順序註記】

不須寄存生物材料者：

所屬技術領域中具有通常知識者易於獲得時，不須寄存。

九、發明說明：

【發明所屬之技術領域】

本發明係關於一種製造快閃記憶體裝置的方法，具體而言，係關於一種製造快閃記憶體裝置的方法，該方法可藉由浮動閘極之雜質擴散來最小化一電洞電流，藉由增加崩潰電壓來獲得足夠的記憶胞運作電容，並且藉由在一當做浮動閘極之多晶矽膜上形成一氧化物膜、摻雜一雜質至該氧化物膜中以及退火處理該氧化物膜，以在該氧化物膜與該多晶矽膜上填滿該雜質，據此改良一快閃記憶胞的資料保留能力屬性。

【先前技術】

快閃記憶體裝置使用一摻雜如磷(P)等雜質的多晶矽膜來當做浮動閘極。在形成該多晶矽膜之後且在形成一介電膜之前，會執行一使用HF或BOE的清潔製程。此處，摻雜至該多晶矽膜中的磷(P)被去除。在執行一使用SC-1的清潔製程時，會在該多晶矽膜上生長一天然產氧化物膜。該天然產氧化物膜含有極少量磷(P)。因此，在一後繼退火製程期間，該多晶矽膜的磷(P)擴散至該天然產氧化物膜中。另一方面，在執行使用HF的清潔製程之後，當摻雜磷(P)至該多晶矽膜中時，不會形成用於防止磷(P)擴散的緩衝層，因此在一後繼退火製程期間磷(P)會擴散。

在此情況下，根據習知方法製程之快閃記憶體裝置，崩潰電壓的限度有缺陷，因此不會減小該介電膜的厚度。此外，如果藉由MPS來形成浮動閘極，藉此改良電容及增加

MPS的表面面積，崩潰電壓會急遽降低。在一用於形成一閘極的蝕刻製程之後，閘極側邊會氧化一預先決定厚度，藉此緩衝該蝕刻製程造成的應力。然而，氧化製程會導致在介於該多晶矽膜與該介電膜之一下方氧化物膜之間的界面上生長一氧化物膜，因此位於閘極內外側之該介電膜的有效氧化物膜厚度(Teff)不同。也就是說，有效氧化物膜厚度(Teff)不一致。另外，該介電膜變厚，而增加有效氧化物膜厚度(Teff)且減小電容。此類不規則氧化會造成洩漏電流並且降低崩潰電壓，進而對記憶胞運作造成不利影響。

【發明內容】

本發明一項目的是提供一種製造快閃記憶體裝置的方法，該方法藉由防止摻雜至一當做浮動閘極之多晶矽膜的雜質向外擴散，據此來解決上文所述等問題。

本發明的另一項目的是提供一種製造快閃記憶體裝置的方法，該方法藉由在一當做浮動閘極之多晶矽膜上形成一氧化物膜、摻雜一雜質至該氧化物膜中以及退火處理該氧化物膜，以在介於該氧化物膜與該多晶矽膜之間的界面上填滿該雜質，據此來解決上文所述等問題。

本發明一項態樣是提供一種製造快閃記憶體裝置之方法，包括下列步驟：在一半導體基板上形成一隧穿氧化物膜及一第一多晶矽膜；在該第一多晶矽膜上形成一氧化物膜；藉由摻雜一雜質至該氧化物膜中並且退火處理該氧化物膜，藉此在介於該氧化物膜與該第一多晶矽膜之間的界

面上填滿該雜質。在該氧化物膜上形成一介電膜；以及在整個成形結構上形成一第二多晶矽膜及一矽化鎢膜，並且執行一蝕刻製程。

根據本發明另一項態樣，一種製造快閃記憶體裝置之方法，包括下列步驟：在一半導體基板上形成一隧穿氧化物膜及一第一多晶矽膜；在該第一多晶矽膜上形成一氧化物膜；藉由摻雜一雜質至該氧化物膜中並且退火處理該氧化物膜，藉此氮化該氧化物膜的頂部表面，並且在介於該氧化物膜與該第一多晶矽膜之間的界面上填滿該雜質；在該氧化物膜上形成一介電膜，並且蒸汽退火處理該介電膜；以及在整個成形結構上形成一第二多晶矽膜及一矽化鎢膜，並且執行一蝕刻製程。

該氧化物膜是當使用SC-1來清潔該第一多晶矽膜時產生的一天然產氧化物膜，或是根據乾式氧化或溼式氧化等方法所形成的氧化物膜。

該乾式氧化製程係在0.05至760 Torr壓力下以500至800°C溫度下，在一含氧原子之分子氣體環境中執行長達3至120分鐘的製程。

含氧原子之分子氣體包括 O_2 、 N_2O 、 NO 、 O_3 及 H_2O 。會個別使用這些氣體，或按預先決定比率來混合這些氣體。若需要，會進一步混合Ar。

該溼式氧化製程係在正常溫度或80°C溫度下，在按預先決定比率混合之 NH_4OH 與 H_2O_2 之混合水溶液中執行長達1至30分鐘的製程。

該氧化物膜的厚度為5到25埃。

該雜質被摻雜至含原子價高於矽之元素的氣體環境中。

含原子價高於矽之元素的氣體包括 PH_3 及 AsH_3 。會個別使用這些氣體，或按預先決定比率來混合這些氣體。若需要，會進一步混合Ar。

在摻雜該雜質之後，會按原位製程來執行該退火製程。

該退火製程係在0.05至760 Torr壓力下以500至800°C溫度下，在 NH_3 氣體環境中執行長達3至180分鐘的製程。

【實施方式】

現在將參考附圖來詳細說明根據本發明較佳具體實施例製造快閃記憶體裝置之方法。整份附圖及說明書中，使用相同的參考數字來標示相同或相似的零件。

圖1A至圖1E顯示用於解說根據本發明較佳具體實施例之製造快閃記憶體裝置之方法之相繼步驟的斷面圖。

請參考圖1A，在一半導體基板11上形成一隧穿氧化物膜12及一第一多晶矽膜13。一雜質被摻雜至該第一多晶矽膜13中。在該第一多晶矽膜13上形成一氧化物膜14。此外， $1\text{E}20$ 至 $5\text{E}21\text{cm}^{-3}$ 之P(磷)或As(砷)被摻雜至該第一多晶矽膜13中。形成該第一多晶矽膜13的方式為，形成一摻雜型多晶矽膜或一未摻雜型多晶矽膜，並且依據一電漿或退火製程，在P(磷)或As(砷)氣體環境(例如， PH_3 或 AsH_3 氣體環境)中額外摻雜一雜質。該未摻雜型多晶矽膜可能會彎曲。另一方面，該氧化物膜14是當使用SC-1來清潔該第一多晶矽膜13時產生的一天然產氧化物膜，或是根據乾式氧

化或溼式氧化等方法所形成的氧化物膜。使用該乾式氧化製程來形成該氧化物膜14的方式為，使用(例如)HF或BOE來清潔該第一多晶矽膜13，並且在0.05至760 Torr壓力下以500至800°C溫度下，在一含氧原子之分子氣體環境中執行長達3至120分鐘的退火製程來退火處該第一多晶矽膜13。此處，含氧原子之分子氣體包括 O_2 、 N_2O 、 NO 、 O_3 及 H_2O 。會個別使用這些氣體，或按預先決定比率來混合這些氣體。若需要，額外混合Ar(惰性氣體)。使用該溼式氧化製程來形成該氧化物膜14的方式為，在正常溫度或80°C溫度下，在按預先決定比率混合之 NH_4OH 與 H_2O_2 之混合水溶液中處理長達1至30分鐘的第一多晶矽膜13。該氧化物膜14的厚度為5到25埃。

如圖1B所示，藉由在含原子價高於矽之元素的氣體環境中執行一退火製程，將一雜質摻雜至該氧化物膜14中此處，含原子價高於矽之元素的氣體包括 PH_3 及 AsH_3 。會個別使用這些氣體，或按預先決定比率來混合這些氣體。若需要，額外混合Ar(惰性氣體)。

如圖1C所示，在摻雜該雜質至該氧化物膜14中之後，藉由以連續原位製程方式，在 NH_3 氣體環境中執行一退火製程來氮化該氧化物膜14的頂部表面，並且一雜質被填滿在介於該氧化物膜14與該第一多晶矽膜13之間的界面上。此處，該退火製程係在0.05至760 Torr壓力下以500至800°C溫度下執行長達3至180分鐘的製程。

如圖1D所示，在整個成形結構上形成一介電膜15，該介

電膜 15 包括一下方氧化物膜 15a、一氮化物膜 15b 及一上方氧化物膜 15c。在 0.05 至 3 Torr 壓力下以 700 至 900°C 溫度，使用 SiH_4 與 N_2O 混合氣體或 SiH_2Cl_2 與 N_2O 混合氣體，根據化學氣體反應來形成厚度為 30 埃至 100 埃的該下方氧化物膜 15a 及該上方氧化物膜 15c。另一方面，為了限制該第一多晶矽膜 13 表面氧化，會藉由在 300°C 之低溫下裝載一晶圓至一反應爐，按照前述條件來形成該下方氧化物膜 15a 及該上方氧化物膜 15c。此外，形成該氮化物膜 15b 的方式為，在 0.05 至 3 Torr 壓力下以 600 至 800°C 溫度，使用一 SiH_4 與 NH_3 混合氣體或一 SiH_2Cl_2 與 NH_3 混合氣體，根據化學氣體反應來形成該氮化物膜 15b；或在 20 至 760 Torr 壓力下以 600 至 800°C 溫度，使用一單一 NH_3 氣體、一 NH_3 與 Ar 混合氣體或一 NH_3 與 N_2 混合氣體來氮化的該下方氧化物膜 15a 的表面，藉此形成該氮化物膜 15b。此處，形成之該氮化物膜 15b 的厚度為 30 至 100 埃。還可利用下列方式來形成該氮化物膜 15b：藉由氮化的該下方氧化物膜 15a 來形成一主要氮化物膜，以及根據化學氣體反應來形成一次要氮化物膜。為了改良該介電膜 15 的品質及該介電膜 15 各層膜的界面屬性，藉由使用一含氧原子之分子氣體，在 0.05 至 760 Torr 壓力下以 750 至 850°C 溫度下執行長達 3 至 120 分鐘的蒸汽退火製程。此處，含氧原子之分子氣體包括 O_2 、 N_2O 、 NO 、 O_3 及 H_2O 。會個別使用這些氣體，或按預先決定比率來混合這些氣體。若需要，還會額外混合 Ar(惰性氣體)。另一方面，針對一以含 HF 之水溶液清潔之單晶晶

圖來執行該介電膜15之蒸汽退火製程，藉此生長厚度為50至500埃之氧化物膜14。

如圖1E所示，在整個成形結構上形成一第二多晶矽膜16及一矽化鎢膜17。之後，藉由執行一蝕刻製程來形成一閘極。

在介於形成該氧化物膜14之製程與該介電膜15之蒸汽退火製程之間的一系列製程中，皆必須在從前一製程開始之12小時內執行每項製程。

如上文所述，根據本發明，該製造快閃記憶體裝置的方法藉由在一當做浮動閘極之多晶矽膜上形成一氧化物膜、摻雜一雜質至該氧化物膜中以及退火處理該氧化物膜，以在該氧化物膜與該多晶矽膜上填滿該雜質。結果，與相同厚度之介電膜相比，更加改良了介電膜的崩潰電壓。算術上，可使用薄厚度之介電膜。此外，該氧化物膜還改良了該第一多晶矽膜的干擾屬性。因此，即使利用MPS來增加電容，仍然不會降低崩潰電壓，並且在形成該介電膜之後，能夠降低蒸汽退火製程獲得崩潰電壓之目標的限度。據此，藉由以高密度來摻雜用於形成控制閘極的第二多晶矽膜，就可以最高限度提高且最佳化一含多個浮動閘極、一介電膜及多個控制閘極之電容器特性。因此，該ONO介電膜可廣泛應用在0.09 μm 及0.07 μm 的設計規則，以及0.12 μm 的設計規則。另一方面，可以使用一般設備來實施本發明，因而削減新設備的投資費用。

雖然本文中配合附圖中圖解的具體實施例來解說本發

明，但是應明白本發明不限定於任何具體實施例。熟悉此項技術者應明白，可進行各種替換、變更及修改，而不會脫離本發明的精神及範疇。

【圖式簡單說明】

圖 1A 至圖 1E 顯示用於解說根據本發明較佳具體實施例之製造快閃記憶體裝置之方法之相繼步驟的斷面圖。

【主要元件符號說明】

- 11 半導體基板
- 12 隧穿氧化物膜
- 13 第一多晶矽膜
- 14 氧化物膜
- 15 介電膜
- 15a 下方氧化物膜
- 15b 氮化物膜
- 15c 上方氧化物膜
- 16 第二多晶矽膜
- 17 矽化鎢膜

五、中文發明摘要：

本發明揭示一種製造快閃記憶體裝置的方法，該方法可藉由浮動閘極之雜質擴散來最小化一電洞電流，藉由增加崩潰電壓來獲得足夠的記憶胞運作電容，並且藉由在一當做浮動閘極之多晶矽膜上形成一氧化物膜、摻雜一雜質至該氧化物膜中以及退火處理該氧化物膜，以在介於該氧化物膜與該多晶矽膜之間的界面上填滿該雜質，據此改良一快閃記憶胞的資料保留能力屬性。

六、英文發明摘要：

The present invention discloses a method for manufacturing a flash memory device which can minimize a hole current by impurity diffusion of floating gates, obtain a sufficient capacitance for a cell operation by increasing a breakdown voltage, and improve retention properties of a flash memory cell, by filing up an impurity on the interface between an oxide film and a polysilicon film, by forming the oxide film on the polysilicon film used as the floating gates, doping an impurity into the oxide film, and annealing the oxide film.

十、申請專利範圍：

1. 一種製造快閃記憶體裝置之方法，包括下列步驟：

在一半導體基板上形成一隧穿氧化物膜及一第一多晶矽膜；

在該第一多晶矽膜上形成一氧化物膜；

藉由摻雜一雜質至該氧化物膜中並且退火處理該氧化物膜，藉此在介於該氧化物膜與該第一多晶矽膜之間的界面上填滿該雜質。

在該氧化物膜上形成一介電膜；以及

在整個成形結構上形成一第二多晶矽膜及一矽化鎢膜，並且執行一蝕刻製程。

2. 如申請專利範圍第1項之方法，其中該第一多晶矽膜是一已摻雜 $1E20$ 至 $5E21\text{ cm}^{-3}$ 之P(磷)或As(砷)的摻雜型多晶矽膜。
3. 如申請專利範圍第1項之方法，其中形成該第一多晶矽膜的方式為，形成一摻雜型多晶矽膜或一未摻雜型多晶矽膜，並且依據一電漿或退火製程，額外摻雜P(磷)或As(砷)。
4. 如申請專利範圍第1項之方法，其中該第一多晶矽膜包括一MPS。
5. 如申請專利範圍第1項之方法，其中該氧化物膜是當使用SC-1來清潔該第一多晶矽膜時產生的一天然產氧化物膜，或是根據乾式氧化或溼式氧化等方法所形成的氧化物膜。

6. 如申請專利範圍第5項之方法，其中該乾式氧化製程係在0.05至760 Torr壓力下以500至800°C溫度下，在一含氧原子之分子氣體環境中執行長達3至120分鐘的製程。
7. 如申請專利範圍第6項之方法，其中含氧原子之分子氣體包括O₂、N₂O、NO、O₃及H₂O，並且會個別使用這些氣體，或按預先決定比率來混合這些氣體，若需要，還會額外混合Ar。
8. 如申請專利範圍第5項之方法，其中該溼式氧化製程係在正常溫度或80°C溫度下，在按預先決定比率混合之NH₄OH與H₂O₂之混合水溶液中執行長達1至30分鐘的製程。
9. 如申請專利範圍第1項之方法，其中該氧化物膜的厚度為5到25埃。
10. 如申請專利範圍第1項之方法，其中該雜質被摻雜至含原子價高於矽之元素的氣體環境中。
11. 如申請專利範圍第10項之方法，其中含原子價高於矽之元素的氣體包括PH₃及AsH₃，並且會個別使用這些氣體，或按預先決定比率來混合這些氣體，若需要，還會額外混合Ar。
12. 如申請專利範圍第1項之方法，其中在摻雜該雜質之後，會按原位製程來執行該退火製程。
13. 如申請專利範圍第1項之方法，其中該退火製程係在0.05至760 Torr壓力下以500至800°C溫度下，在NH₃氣體環境中執行長達3至180分鐘的製程。

14. 如申請專利範圍第1項之方法，其中該介電膜具有一由一下方氧化物膜、一氮化物膜及一上方氧化物膜所組成的堆疊結構。
15. 如申請專利範圍第14項之方法，其中在0.05至3 Torr壓力下以700至900°C溫度，使用SiH₄與N₂O混合氣體或SiH₂Cl₂與N₂O混合氣體，根據化學氣體反應來形成該下方氧化物膜及該上方氧化物膜。
16. 如申請專利範圍第14項之方法，其中在0.05至3 Torr壓力下以600至800°C溫度，使用SiH₄與NH₃混合氣體或SiH₂Cl₂與NH₃混合氣體，根據化學氣體反應來形成該氮化物膜。
17. 如申請專利範圍第14項之方法，其中在20至760 Torr壓力下以600至800°C溫度，使用一單一NH₃氣體、一NH₃與Ar混合氣體或一NH₃與N₂混合氣體來氮化的該下方氧化物膜的表面，藉此形成該氮化物膜。
18. 如申請專利範圍第14項之方法，其中藉由氮化的該下方氧化物膜15a來形成一主要氮化物膜，以及根據化學氣體反應來形成一次要氮化物膜，據此來形成該氮化物膜。
19. 如申請專利範圍第1項之方法，進一步包括在形成該介電膜之後的一蒸汽退火製程。
20. 如申請專利範圍第19項之方法，其中在0.05至760 Torr壓力下以750至850°C溫度下，藉由使用一含氧原子之分子氣體環境中執行長達3至120分鐘的該蒸汽退火製程。

21. 如申請專利範圍第20項之方法，其中含氧原子之分子氣體包括 O_2 、 N_2O 、 NO 、 O_3 及 H_2O ，並且會個別使用這些氣體，或按預先決定比率來混合這些氣體，若需要，還會額外混合Ar。
22. 如申請專利範圍第19項之方法，其中針對一以含HF之水溶液清潔之單晶晶圓來執行該蒸汽退火製程，藉此生長厚度為50至500埃之氧化物膜。
23. 一種製造快閃記憶體裝置之方法，包括下列步驟：
 - 在一半導體基板上形成一隧穿氧化物膜及一第一多晶矽膜；
 - 在該第一多晶矽膜上形成一氧化物膜；
 - 藉由摻雜一雜質至該氧化物膜中並且退火處理該氧化物膜，藉此氮化該氧化物膜的頂部表面，並且在介於該氧化物膜與該第一多晶矽膜之間的界面上填滿該雜質；
 - 在該氧化物膜上形成一介電膜，並且蒸汽退火處理該介電膜；以及
 - 在整個成形結構上形成一第二多晶矽膜及一矽化鎢膜，並且執行一蝕刻製程。
24. 如申請專利範圍第23項之方法，其中在介於形成該氧化物膜之步驟與該介電膜之蒸汽退火步驟之間的一系列製程步驟中，皆必須在從前一步驟開始之12小時內執行每項步驟。

十一、圖式：

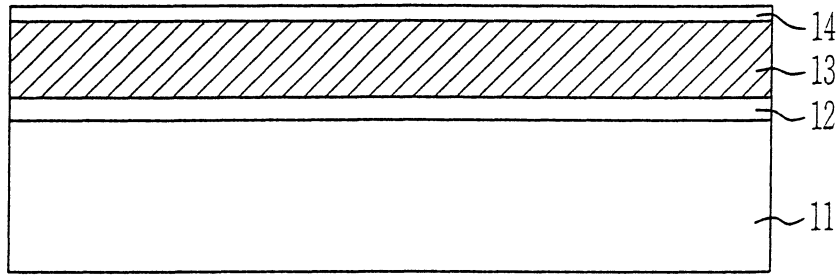


圖 1A

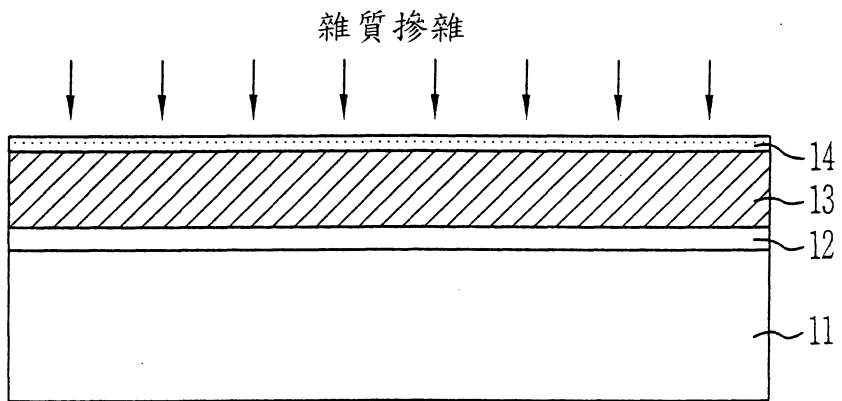


圖 1B

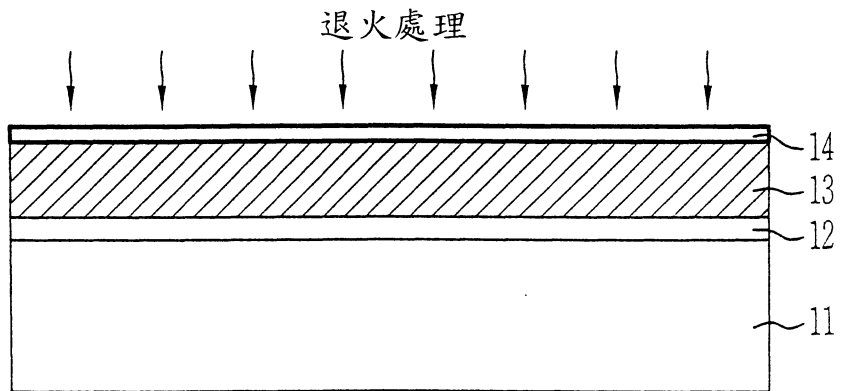


圖 1C

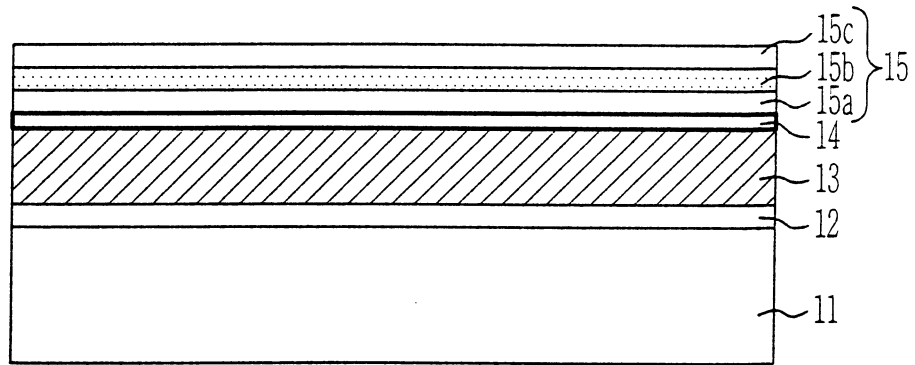


圖 1D

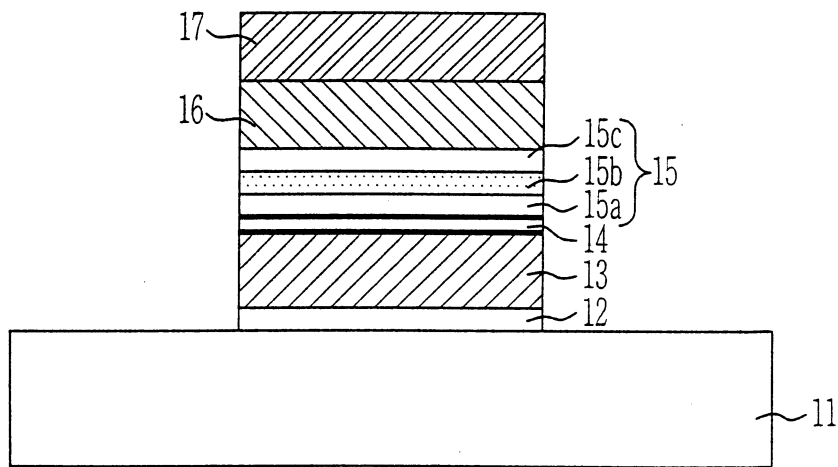


圖 1E

七、指定代表圖：

(一)本案指定代表圖為：第 (1E) 圖。

(二)本代表圖之元件符號簡單說明：

11	半導體基板
12	隧穿氧化物膜
13	第一多晶矽膜
14	氧化物膜
15	介電膜
15a	下方氧化物膜
15b	氮化物膜
15c	上方氧化物膜
16	第二多晶矽膜
17	矽化鎢膜

八、本案若有化學式時，請揭示最能顯示發明特徵的化學式：

(無)