



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2007-0100777
(43) 공개일자 2007년10월11일

(51) Int. Cl.

H01L 21/336(2006.01) H01L 29/78(2006.01)

(21) 출원번호 10-2007-7017635

(22) 출원일자 2007년07월30일

심사청구일자 없음

번역문제출일자 2007년07월30일

(86) 국제출원번호 PCT/US2005/045202

국제출원일자 2005년12월14일

(87) 국제공개번호 WO 2006/083401

국제공개일자 2006년08월10일

(30) 우선권주장

11/047,448 2005년01월31일 미국(US)

(71) 출원인

프리스케일 세미컨덕터, 인크.

미합중국 텍사스 (우편번호 78735) 오스틴 윌리엄
캐논 드라이브 웨스트 6501

(72) 발명자

오로우스키, 마리우스 케이.

미국 78739 텍사스주 오스틴 레드몬드 로드 10813

(74) 대리인

양영준, 백만기

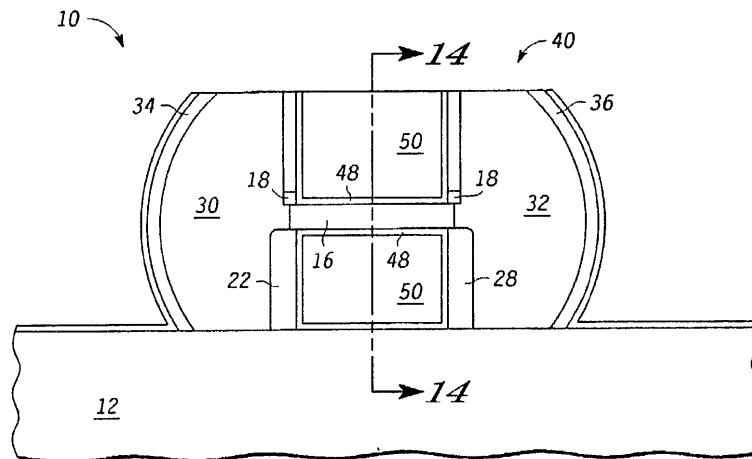
전체 청구항 수 : 총 20 항

(54) 평면 이중 게이트 트랜지스터의 제조 방법

(57) 요약

상부 실리콘 질화물층(SiN, 20)과 두꺼운 산화물(BOX, 12) 위의 실리콘 게르마늄층(SiGe, 14) 사이에 개재된 실리콘층(16)이 선택적으로 에칭되어 게이트 길이를 설정하는 폭을 가지는 스택을 남긴다. 측벽 절연층(28)이 SiGe층(14) 상에 형성되어 Si층(16)의 측벽을 노출시킨다. 실리콘(30, 32)이 노출된 실리콘 측벽(16)으로부터 에피택셜 성장되어 인시튜 도핑된 실리콘 소스/드레인 영역(30, 32)을 형성한다. 소스/드레인 영역(30)을 상부 게이트 위치에 대한 경계로 이용하여 질화물층(20)이 제거된다. 소스/드레인 영역(30, 32)은 유전체(36)로 피복된다. SiGe층(14)이 제거되어 하부 게이트 위치(46)를 제공한다. 상부 및 하부 게이트 위치(46)가 금속으로 충전되어 트랜지스터(10)에 있어서의 상부 및 하부 게이트(50)를 형성한다.

대표도 - 도13



특허청구의 범위

청구항 1

이중 게이트 트랜지스터(double-gated transistor)의 제조 방법으로서,

스택(stack) 측벽을 가지는 패터닝된 프리트랜지스터 스택(patterned pre-transistor stack)을 형성하는 단계- 상기 프리트랜지스터 스택은 절연층 상에 배치되고, 상기 프리트랜지스터 스택은 상기 절연층 위에 놓이는 제1 반도체층과, 상기 제1 반도체층 위에 놓이는 제2 반도체층과, 상기 제2 반도체층 위에 놓이는 산화 저항층을 포함함 -와,

상기 스택 측벽의 제1 반도체층 측벽부와 제2 반도체층 측벽부 상에 측벽 절연체를 형성하는 단계- 상기 제1 반도체층부의 측벽 절연체는 상기 제2 반도체층부의 측벽 절연체보다 두꺼운 두께를 가짐 -와,

상기 제2 반도체층부 상의 상기 측벽 절연체를 제거하는 단계- 상기 측벽 절연체의 제거는 상기 제2 반도체층의 대응하는 측벽부를 노출시킴 -와,

인시튜 도핑된 에피텍셜 소스/드레인 영역(in-situ doped epitaxial source/drain region)을 형성하는 단계- 상기 인시튜 도핑된 에피텍셜 소스/드레인 영역을 형성하는 단계는 상기 제2 반도체층의 상기 노출된 측벽부에서 단결정 반도체 재료의 에피텍셜 성장을 개시하는 단계를 포함함 -와,

상기 패터닝된 프리트랜지스터 스택의 상기 산화 저항층을 제거하는 단계- 상기 산화 저항층의 제거는 상기 제2 반도체층의 제1 게이트 위치부를 노출시킴 -와,

노출된 인시튜 도핑된 에피텍셜 소스/드레인 영역 부분 및 상기 제2 반도체층의 노출된 제1 게이트 위치부 위에 절연 라이너(insulating liner)를 형성하는 단계와,

상기 제2 반도체층의 상기 노출된 제1 게이트 위치부 위에 절연 라이너의 일부를 제거하는 단계와,

상기 패터닝된 프리트랜지스터 스택 및 상기 인시튜 도핑된 에피텍셜 소스/드레인 영역을 상기 트랜지스터의 대응하는 폭 치수에 따라 트랜지스터 영역 내에 패터닝하고, 상기 트랜지스터 영역의 반대편 단부에서 상기 제1 반도체층을 노출시키는 단계와,

상기 제1 반도체층을 제거하여 개구부를 생성하는 단계- 상기 개구부는 상기 제2 반도체층의 제2 게이트 위치부를 노출시킴 -와,

상기 제2 반도체층 상에 게이트 유전체를 형성하는 단계- 상기 게이트 유전체는 적어도 상기 제2 반도체층의 상기 제1 및 제2 게이트 위치부 위에 놓임 -와,

적어도 상기 제2 반도체층의 상기 제1 및 제2 게이트 위치부 위의 상기 게이트 유전체 상에 게이트 전극을 형성하는 단계

를 포함하는 방법.

청구항 2

제1항에 있어서,

상기 제1 반도체층은 SiGe를 포함하고, 상기 제2 반도체층은 Si를 포함하고, 상기 산화 저항층은 적어도 Si_3N_4 를 포함하는 방법.

청구항 3

제1항에 있어서,

상기 제1 반도체층은 상기 제2 반도체층에 대하여 50:1 이상의 에칭 선택도를 가지는 방법.

청구항 4

제1항에 있어서,

상기 제1 반도체층은 상기 제2 반도체층의 산화 레이트보다 빠른 산화 레이트로 산화하는 방법.

청구항 5

제4항에 있어서,

상기 제1 반도체층의 산화 레이트는 상기 제2 반도체층의 산화 레이트 보다 적어도 4배 더 빠른 방법.

청구항 6

제1항에 있어서,

상기 패터닝된 프리트랜지스터 스택을 형성하는 단계는 상기 제2 반도체층의 치수에 의해서 확립되는 형성될 트랜지스터의 채널 길이를 또한 정의하는 방법.

청구항 7

제1항에 있어서,

상기 제2 반도체층부의 상기 측벽 절연체를 제거하는 단계는, 상기 제1 반도체층에 대하여 상기 제2 반도체층을 오버에칭(over-etching)함으로써 상기 제2 반도체층을 상기 제1 반도체층에 비하여 언더컷(undercut)하는 단계를 더 포함하는 방법.

청구항 8

제1항에 있어서,

상기 단결정 반도체 재료의 에피텍셜 성장은 원하는 소스/드레인 채널 접합을 생성하기에 충분한 제1 기간 동안 유지되고, 그 후에, 원하는 소스/드레인 시트 레지스턴스(sheet resistance)를 생성하기에 충분한 제2 기간 동안 동일한 단결정 반도체 재료 또는 비정질 또는 폴리실리콘 반도체 재료에 대해서 지속되는 방법.

청구항 9

제1항에 있어서,

상기 에피텍셜 성장은 상기 프리트랜지스터 스택의 상기 산화 저항층의 높이 치수를 극복하기에 충분한 에피 성장량 동안 지속되는 방법.

청구항 10

제1항에 있어서,

상기 인시튜 도핑된 에피텍셜 소스/드레인 영역을 형성하는 단계 후에, 그리고 상기 패터닝된 프리트랜지스터 스택의 상기 산화 저항층을 제거하는 단계 전에, 상기 인시튜 도핑된 에피텍셜 소스/드레인 영역을 상기 패터닝된 프리트랜지스터 스택의 산화 저항층까지 아래로 평탄화하는 단계를 더 포함하는 방법.

청구항 11

제1항에 있어서,

상기 패터닝된 프리트랜지스터 스택 및 상기 인시튜 도핑된 에피텍셜 소스/드레인 영역을 패터닝하는 단계는 동일한 것을 하나 이상의 트랜지스터의 대응하는 폭 치수를 따라 하나 이상의 트랜지스터 영역 내에 패터닝하는 단계를 더 포함하는 방법.

청구항 12

제1항에 있어서,

상기 제2 반도체층은 상기 인시튜 도핑된 에피텍셜 소스/드레인 영역들 사이에서 연장하는 브리지(bridge)를 형성하는 방법.

청구항 13

제1항에 있어서,

상기 게이트 전극을 형성하는 단계는 게이트 전극 재료 또는 게이트 전극 재료의 스택을 증착하는 단계를 포함하는 방법.

청구항 14

제1항에 있어서,

상기 게이트 전극을 형성하는 단계는 ALD(atomic layer deposition) 또는 CVD(chemical vapor deposition) 프로세스 중 하나 이상을 이용하여 게이트 전극 재료 또는 게이트 전극 재료의 스택을 증착하는 단계를 포함하는 방법.

청구항 15

제1항에 있어서,

상기 절연 라이너 상에 측벽 스페이서를 형성하는 단계를 더 포함하는 방법.

청구항 16

제1항에 있어서,

상기 제1 반도체층은 약 200Å 내지 700Å의 두께를 가지는 SiGe층을 포함하는 방법.

청구항 17

제1항에 있어서,

상기 제2 반도체층은 약 80Å 내지 400Å의 두께를 가지는 Si층을 포함하는 방법.

청구항 18

제1항에 있어서,

상기 제1 반도체층의 측벽 상에 보다 두꺼운 절연을 제공하면서 상기 제2 반도체의 측벽을 노출된 상태로 두는 제1 측벽 스페이서를 형성하는 단계와,

상기 절연 라이너 상에 제2 측벽 스페이서를 형성하는 단계를 더 포함하는 방법.

청구항 19

스택 측벽을 가지는 패터닝된 프리트랜지스터 스택을 형성하는 단계- 상기 프리트랜지스터 스택은 절연층 상에 배치되고, 상기 프리프랜지스터 스택은 상기 절연층 위에 놓이는 제1 반도체층과, 상기 제1 반도체층 위에 놓이는 제2 반도체층과, 상기 제2 반도체층 위에 놓이는 산화 저항층을 포함함 -와,

상기 스택 측벽의 제1 반도체층 측벽부와 제2 반도체층 측벽부 상에 측벽 절연체를 형성하는 단계- 상기 제1 반도체층부의 측벽 절연체는 상기 제2 반도체층부의 측벽 절연체보다 두꺼운 두께를 가짐 -와,

상기 제2 반도체층부 상의 상기 측벽 절연체를 제거하는 단계- 상기 측벽 절연체의 제거는 상기 제2 반도체층의 대응하는 측벽부를 노출시킴 -와,

인시튜 도핑된 에피텍셀 소스/드레인 영역을 형성하는 단계- 상기 인시튜 도핑된 에피텍셀 소스/드레인 영역을 형성하는 단계는 상기 제2 반도체층의 상기 노출된 측벽부에서 단결정 반도체 재료의 에피텍셀 성장을 개시하는 단계를 포함함 -와,

상기 패터닝된 프리트랜지스터 스택의 상기 산화 저항층을 제거하는 단계- 상기 산화 저항층의 제거는 상기 제2 반도체층의 제1 게이트 위치부를 노출시킴 -와,

노출된 인시튜 도핑된 에피텍셀 소스/드레인 영역 부분 및 상기 제2 반도체층의 노출된 제1 게이트 위치부 위에 절연 라이너를 형성하는 단계와,

상기 제2 반도체층의 상기 노출된 제1 게이트 위치부 위에 절연 라이너의 일부를 제거하는 단계와,

상기 패터닝된 프리트랜지스터 스택 및 상기 인시튜 도핑된 에피택셜 소스/드레인 영역을 상기 트랜지스터의 대응하는 폭 치수에 따라 트랜지스터 영역 내에 패터닝하고, 상기 트랜지스터 영역의 반대편 단부에서 상기 제1 반도체층을 노출시키는 단계와,

상기 제1 반도체층을 제거하여 개구부를 생성하는 단계- 상기 개구부는 상기 제2 반도체층의 제2 게이트 위치부를 노출시킴 -와,

상기 제2 반도체층 상에 게이트 유전체를 형성하는 단계- 상기 게이트 유전체는 적어도 상기 제2 반도체층의 상기 제1 및 제2 게이트 위치부 위에 놓임 -와,

적어도 상기 제2 반도체층의 상기 제1 및 제2 게이트 위치부 위의 상기 게이트 유전체 상에 게이트 전극을 형성하는 단계

를 포함하는 방법에 의해서 제조되는 이중 게이트 트랜지스터.

청구항 20

제19항에 있어서,

상기 제1 반도체층의 두께와 실질적으로 동일한 높이의 스택 측벽 상에 제1 측벽 스페이서를 형성하는 단계와,

상기 절연 라이너 상에 제2 측벽 스페이서를 형성하는 단계

를 더 포함하는 방법에 의해서 제조되는 이중 게이트 트랜지스터.

명세서

기술분야

<1> 본 발명은 반도체 장치에 관한 것으로, 특히 평면 이중 게이트 트랜지스터의 제조 방법에 관한 것이다.

배경기술

<2> 트랜지스터가 계속해서 점점 작아짐에 따라, 트랜지스터를 턴 오프할 수 있으면서 전류 구동을 유지하는 것이 보다 큰 과제가 되고 있다. 전류 구동이 유지되는 경우에는 누설이 너무 많다. 이것을 개선하는 기술 중 하나는 완전히 공핍된 장치이었다. 이것은 이중 게이트 장치에 의해서 더욱 개선되었다. 이중 게이트 트랜지스터는 보다 효율적인 전류 구동과 낮은 누설 모두를 제공한다. 이것은 게이트가 실리콘의 핀의 측면 상에 위치하는 FinFET 장치에서 가장 용이하게 착안되었다. FinFET 기반 회로 설계는 완전히 새로운 설계 기술을 요구하며, FinFET는 (110)/(100) 계면에서의 라인 에지의 거침으로 인하여 어려움을 겪으며, 양자화된 폭의 증가에 기인하여 아날로그 애플리케이션에서 이용하기 어렵다. 평면 이중 게이트 장치는 이러한 문제점을 가지지는 않으나, 게이트 중 하나가 채널 아래에 존재하기 때문에 다른 제조상의 어려움을 가진다. 그 해결방안은 재료, 게이트 콘택트, 소스/드레인 콘택트의 개시 및 하부 게이트의 형성과 관련된 제조상의 과제를 부여하고 있다.

<3> 따라서, 이러한 문제점들 중 하나 이상을 완화 및/또는 감소시키는 방법에 대한 요구가 존재한다.

<4> 본 발명은 예시적으로 기술되며 첨부된 도면에 의해서 한정되지 않으며, 도면에서 유사한 참조부호는 유사한 요소를 지시한다.

발명의 상세한 설명

<19> 본 기술분야의 당업자는 도면의 요소들이 간단 명료하게 도시되었으며, 반드시 실제 축적대로 도시되지는 않았음을 이해할 것이다. 예컨대, 요소 중 몇몇의 치수는 본 발명의 실시예의 이해를 향상시키기 위하여 다른 요소들에 비해 확대되어 도시될 수 있을 것이다.

<20> 일 측면에서, 두꺼운 매립된 산화물(BOX) 위의 실리콘 게르마늄층(SiGe) 위의 실리콘층의 조합으로 시작하여 평면 이중 게이트 트랜지스터가 얻어진다. 선택적인 산화물층이 실리콘층 위에 성장되며, 실리콘 질화물층이 스택 위에 제공된다. BOX 상의 SiGe 상의 실리콘은 상업적으로 이용가능한 층들의 조합이며, 산화물 및 질화물층은 표준 반도체 처리 단계에 의해서 형성된다. 이러한 조합은 예칭되어 스택이 그 폭이 완성될 트랜지스터 구조의 원하는 게이트 길이보다 약간 크도록 한다. 실리콘의 측벽을 노출시킨 채 측벽 절연층이 SiGe 상에 형성

된다. 이것은 산화물 성장 및 SiGe 상의 부분 에칭 백(etching back)과 실리콘 측벽 상의 전체 에칭 백에 의해서, 또는 SiGe 측벽을 피복한 채 실리콘 측벽을 노출시키는 측벽 스페이서 프로세스에 의해서 이루어진다. 실리콘은 노출된 실리콘 측벽으로부터 에피택셜 성장되어 인시튜 도핑된(in-situ-doped) 실리콘 소스/드레인 영역을 형성한다. 이들은 비교적 크게 만들어져 질화물층의 측벽에 접한다. 질화물층은 선택적으로 제거되어 에피택셜 성장된 소스/드레인 영역을 실리콘층 위의 공동(cavity)에 대한 경계로서 남긴다. 비도전성 재료가 산화물 성장 또는 측벽 프로세서 프로세스에 의해서 공동의 측벽상에 형성된다. 하부 SiGe층은 제거되어 실리콘층 아래에 공동을 남긴다. 실리콘 층 위와 아래의 공동은 실리콘층의 양 측상에 게이트 유전체의 형성 이후에 금속으로 충전되어 이중 게이트 트랜지스터를 획득한다. 이러한 금속 형성은 함께 성장하며, BOX 상에 증착되는 금속과 연속적인, 실리콘층 위 및 아래 모두로부터의 연장을 자동으로 형성한다. 따라서, 스택 외부의 편리한 게이트 콘택트 포인트가 이용가능하다. 이것은 도면과 아래의 설명을 참조할 때에 보다 잘 이해될 수 있을 것이다.

<21> 도 1에는 편의상 BOX(12)로 참조될 수 있는 두꺼운 산화물층(12), BOX(12) 상의 실리콘 게르마늄(SiGe)층(14), SiGe층(14) 상의 실리콘층(16), 실리콘층(16) 상의 산화물층(18) 및 산화물층(18) 상의 실리콘 질화물층(20)을 포함하는 반도체 장치(10)가 도시되어 있다. 실제로 있어서는 BOX(12) 아래에 기관으로서 기능하는 두꺼운 실리콘층과 같은 지지 구조물이 존재할 것이다. 본 예에서, BOX(12)는 약 1000Å이며, SiGe층(14)은 바람직하게 약 30% 실리콘이고 약 500Å이며, 실리콘층(16)은 단결정이며 약 200Å이며, 산화물층(18)은 약 100Å이며, 질화물층(20)은 약 3600Å이다. 이러한 치수는 예시적인 것으로 크게 변할 수 있다. 도 1에 도시된 바와 같이, SiGe층(14), 실리콘층(16), 산화물층(18) 및 질화물층(20)이 에칭되어 이중 게이트 트랜지스터를 형성하는 데에 유용한 측벽을 가지는 스택을 형성하여, 이러한 스택은 프리트랜지스터 스택(pre-transistor stack)이라고도 불린다. 도시된 스택은 약 500Å의 폭을 가지는데, 이는 대략 스택 내에 형성될 트랜지스터의 채널 길이일 것이다.

<22> 도 2에는 SiGe층(14)과 실리콘층(16)의 노출된 측벽들 상에 산화물층(21, 25)의 성장 이후의 반도체 장치(10)가 도시되어 있다. 산화물 성장은 실리콘층(16) 보다 SiGe층(22) 상에서 더 빨라서 산화물층(21)은 실리콘 측벽 절연체(24) 보다 약 4배 정도 두꺼운 SiGe 측벽 절연체(22)를 가진다. 유사하게, 산화물층(25)은 실리콘 측벽 절연체(26) 보다 약 4배 정도 두꺼운 SiGe 측벽 절연체(28)를 가진다. SiGe 측벽 절연체(22, 28)는 약 250Å이다. 이것은 성장 산화물 프로세스이기 때문에, SiGe층(14) 및 실리콘층(16)의 일부는 산화물층(21, 25)의 형성시에 소실된다.

<23> 도 3에는 산화물층(21, 25)의 등성방 에칭 백(isotropic etch back) 이후의 반도체 장치(10)가 도시되어 있다. 이러한 에칭은 실리콘 측벽 절연체(24, 26)가 완전히 제거되어 실리콘층(16)의 측벽을 노출시키도록 충분히 오래, 그러나 SiGe 측벽 절연체(22, 28)가 제거되지 않고 SiGe층(14)의 측벽을 여전히 피복하도록 충분히 짧게 수행된다. 본 예에서, SiGe층의 잔여 두께는 바람직하게 약 150Å이다. 이와 달리, 도 2 및 3의 성장과 에칭 백 접근방식을 측벽 스페이서 프로세스와 결합하여 실리콘층(16), 또는 적어도 그 대부분을 노출시키는 측벽 절연체를 야기하고, SiGe층(14)의 측벽을 피복하는 측벽 스페이서를 형성할 수 있다. 이것은 BOX(12)가 측벽 상부에서 그 최종 위치까지 측벽 스페이서를 에칭하는 데에 요구되는 것과 동일한 시간 동안에 에칭제에 노출되도록 할 것이다. 측벽 스페이서를 이용하는 이러한 경우에는 산화물 성장은 상당히 줄어들 것이다.

<24> 도 4에는 실리콘층(16)으로부터 소스/드레인(30, 32)을 에피택셜 성장한 이후의 반도체 장치(10)가 도시되어 있다. 이러한 성장은 소스/드레인 영역이 질화물층(20)의 측벽을 완전히 피복할 때까지 계속된다. 이것을 확실히 하기 위하여, 에피택셜 성장은 소스/드레인층(30, 32)이 질화물층(20) 위에 연장할 때까지 계속된다. 에피택셜 성장은 모든 방향에서 실질적으로 동일한 레이트(rate)를 가져서 소스 드레인 영역은 산화물층(18)과 질화물층(20)의 조합의 두께보다 약간 더 측방향으로 외부를 향해 연장한다. 소스/드레인 에피택셜 영역의 측방향 연장은 약 700Å이며, 이는 그것과 콘택트를 이루기에 충분하다. 질화물층(20)의 상부 표면 위의 추가적인 성장에 기인하여 스택으로부터의 실제 측면 치수는 더욱 크다. 원하는 도핑 레벨은 에피택셜 성장 프로세스 동안의 인시튜 도핑에 의해서 획득된다.

<25> 도 5에는 질화물층(20) 위의 소스/드레인 영역(30, 32)의 일부를 제거하여 질화물층(20) 및 소스/드레인 영역(30, 32)에 있어서 평면을 획득하는 화학적 기계적 프로세스 단계 이후의 반도체 장치(10)가 도시되어 있다.

<26> 도 6에는 질화물층(20)을 제거하고 소스/드레인 영역(30) 상에 산화물층(34)을, 소스/드레인 영역(32) 상에 산화물층(36)을, 산화물층(18)의 상부 표면에 산화물층(38)을 성장한 후의 반도체 장치(10)가 도시되어 있다. 산화물층(34, 36)은 바람직하게 약 100Å이며, 산화물층(38)은 도핑되지 않거나, 소스/드레인 영역(30, 32)과

비교하여 약도핑된 실리콘층(16) 위에 배치되는 산화물층(18) 위에 성장되기 때문에 훨씬 얇다. 질화물이 제거된 영역은 게이트 위치들 중 하나, 즉 상부의 것이다. 따라서, 질화물층(20)을 제거하는 것은 상부 게이트 위치를 노출시키는 효과를 가진다. 다른 게이트 위치는 실리콘층 아래이어서, 하부 게이트 위치로 고려될 수 있다.

- <27> 옵션으로서, 도 6에 대하여 기술된 것에 추가하거나, 혹은 이를 대체하는 선택적인 단계는 측벽 스페이서 프로세스를 이용하여 상부 게이트 위치에 있어서의 개구부 내부에 측벽 스페이서를 형성하는 것이다. 도 6에 대하여 기술된 성장 산화물층에 측벽 스페이서가 추가되는 경우에는 측벽 스페이서의 목적은 소스/드레인 영역(30, 32)과 게이트의 상부 사이에 유전체 소자를 제공하는 것이다. 이것은 상부 게이트와 소스/드레인 영역(30, 32) 사이의 유전체의 양을 증가시킨다.
- <28> 도 7에는 도 6의 7-7을 따라서 취해진 단면부가 도시된다. 제1 단면은 도 6에 도시된 것과 같은 반도체(10)의 도 1 내지 6에 있어서의 단면이며, 도 7의 이러한 단면부는 제2 단면으로 간주될 수 있다. 이러한 도 7은 SiGe 층(14), 실리콘층(16), 산화물층(18) 및 산화물층(38)으로 구성되는 스택이 반도체 웨이퍼를 가로질러 무한정 계속되는 것으로 도시한다. 도 7에 도시되지는 않았지만, 소스/드레인 영역(30,32)은 스택과 동일한 거리를 둔다.
- <29> 도 8에는, 제2 단면에서 계속하여, 산화물층(38)과 그 후에 산화물층(18)을 제거한 후의 반도체 장치(10)를 도시한다.
- <30> 도 9는, 제2 단면에서 계속하여, 선택된 위치에서 스택을 BOX(12)까지 에칭하여 다수의 트랜지스터 사이트(site), 본 예에서는 트랜지스터 사이트(40, 42, 44)를 획득한 후의 반도체 장치(10)를 도시한다. 각각의 트랜지스터 사이트(40, 42, 44)는 도 9에 도시된 것과 같은 선택된 폭을 가진다. 도 9에서의 이들 사이트의 폭은 그 사이트에 형성될 트랜지스터의 채널 폭에 대응한다.
- <31> 도 10에는 제1 단면으로 돌아가서, 도 9에 도시된 반도체(10)에서 도 9의 10-10에서 취해진 단면도를 도시한다. 그러나, 트랜지스터 사이트(40)의 특정 단면은 트랜지스터 사이트(42, 44)와 동일할 것이다. 이것은 산화물층(18)의 잔여 부분은 소스/드레인층(30, 32)에 인접하는 작은 영역이며, 특히 실리콘층(16) 위의 영역에서 소스/드레인 영역(30, 32)의 측벽을 따른 절연의 연속성을 확실히 하는 데에 유용함을 도시한다.
- <32> 도 11에는, 이제 제1 단면에서 계속하여, SiGe층(14)이 제거되어 실리콘층(16) 아래에 공동(46)이 존재하는 반도체 장치(10)가 도시되어 있다. SiGe와 실리콘 사이에서 50 대 1의 선택도를 획득하는 에칭액이 알려져 있다. 공동(46)은 개구부로도 불릴 수 있을 것이다. 이러한 개구부를 야기하는 에칭은 하부 게이트 위치를 노출시키는 효과를 가진다.
- <33> 도 12에는, 제1 단면에서 계속하여, 에컨대 ALD(atomic layer deposition)에 의해서 증착된 게이트 유전체(48), 바람직하게는 금속 산화물, 하프늄 산화물과 같은 높은 k 유전체의 형성 이후의 반도체 장치(10)가 도시되어 있다. ALD를 이용하는 것은 모든 표면에 실질적으로 균일한 두께가 형성되도록 할 것이다. 이러한 점에서, 모든 표면은 바람직하게 절연체가 되어 이것이 문제점을 발생시키지는 않는다. 목적은 게이트 유전체를 형성하여 목적에 적합한 재료가 선택되도록 하는 것이다.
- <34> 도 13에는, 제1 단면에 계속하여, 실리콘층(16) 위에, 그리고 공동(46) 내에 금속 게이트(50)의 형성 이후의 반도체 장치(10)가 도시되어 있다. 처음에 증착은 ALD에 의해서 행해져서 원하는 작업 기능의 금속의 절연체 상의 효과적인 증착을 획득한다. 표면에 금속이 피복된 이후에, 비록 게이트 전극의 형성을 완성하는 데에 ALD가 계속해서 이용될 수도 있지만, 바람직하게는 금속 도전체를 증착하는 다른 보다 빠른 방법이 이용된다. 비교적 고속이고 본 목적에 충분히 적합하기 때문에 화학 기상 증착법이 선호된다. 증착이 수행된 이후에 CMP 에칭 백이 수행되어 질화물이 제거된 근처의 소스/드레인 영역(30, 32) 위의 금속을 제거한다. 그러한 금속이 제거된 후에, 질화물이 제거된 영역과, 그 근방의 소스/드레인 영역 위에, 그리고, 게이트가 트랜지스터 사이트(40) 외부로 연장하는 영역에 마스크가 형성된다. 이것은 게이트 금속(50)이 실리콘 층(16)과 도 13에 도시되지 않은 게이트 연장부의 위와 아래에 남도록 한다. 도 13에 도시된 반도체 장치(10)는 완성된 트랜지스터이다.
- <35> 도 14에는 제2 단면의 변경인, 도 13의 반도체 장치의 단면 14-14이 도시되어 있으며, 접촉을 위하여 게이트 연장부(52)가 트랜지스터(40)의 외부로 연장하여 접속되는 게이트 금속(50)을 도시한다.
- <36> 예로서 특정 재료가 기술되었지만, 다른 재료 또한 효과적일 수 있을 것이다. 에컨대, 질화물층(20)은 상이한 재료일 수도 있을 것이다. 산화에 비교적 잘 견디는 층이 바람직할 것이다. 층(21)의 형성 동안에 상부 트랜지스터의 위치를 따라 층이 형성되는 것은 바람직하지 않을 것이다. 실리콘층(16)은 상이한 단결정 반도체 재

료일 수 있을 것이다. 실리콘 카본(silicon carbon)이 가능하다. 중요한 특성은 층 아래보다, 예컨대 4배 더 느린 정도로 상당히 느리게 산화시킨다는 점이다. SiGe층(14) 또한 다른 재료가 될 수 있을 것이다. 중요한 특성은 위에 놓인 단결정 실리콘층에 대해 선택적으로 에칭한다는 점이다. 상대적 에칭 레이트는 바람직하게 50 대 1보다 크다. 금속 게이트(50)에 있어 선호되는 금속은 탄탈 질화물(tantalum nitride)이지만, 다른 금속 또한 이용될 수 있을 것이다. 예시적인 금속은 탄탈 질화물, 탄탈 카바이드 및 니켈 실리사이드를 포함한다. 다른 재료 또한 이용될 수 있을 것이다. 이것은 비교적 높은 리플로우(reflow) 온도를 가져야 하며, 게이트 유전체와는 반응하지 않아야 한다. 산화물층(18)이 요구되지 않을 수 있을 것이다. 이는 질화물층(20)의 제거 동안에 실리콘층(16)을 보호하기 위한 것이다. 실리콘을 침해하지 않는 에칭제가 질화물층(20) 또는 질화물층의 대체물의 제거에 이용되는 경우에는, 실리콘층(16)이 요구되지 않을 수 있을 것이다. 산화물이 아닌 다른 재료가 이용될 수 있을 것이다. 이러한 재료는 질화물층(20) 또는 그 대체물에 선택적으로 에칭한다. 실리콘층은 대략 200 내지 70Å의 두께를 가질 수 있을 것이다. SiGe층은 대략 80 내지 400Å의 두께를 가질 수 있을 것이다.

<37> 전술한 명세서에서, 본 발명은 특정 실시예를 참조하여 기술되었다. 그러나, 본 기술분야의 당업자는 첨부된 청구의 범위에 기술된 본 발명의 범위를 벗어나지 않고서 다양한 변경과 변화가 이루어질 수 있음을 이해할 것이다. 예컨대, 게이트 유전체는 높은 k 유전체로 기술되었지만, 산화물과 같은 다른 게이트 유전 재료일 수 있다. 유사하게, 게이트는 금속인 것으로 기술되었으나, 도핑된 반도체 와 같은 다른 도전체일 수 있을 것이다. 따라서, 명세서와 도면은 제한적인 의미가 아니라 예시적으로 간주되어야 할 것이며, 이러한 모든 변경은 본 발명의 범위 내에 포함되는 것으로 의도된다.

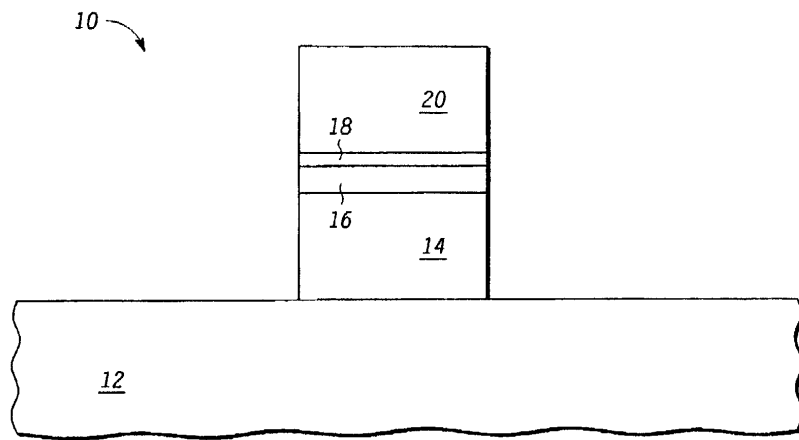
<38> 특정 실시예에 관한 장점, 기타 이점 및 문제점에 대한 해결책이 앞서 기술되었다. 그러나, 이러한 장점, 이점, 문제점에 대한 해결책과, 장점, 이점, 문제점에 대한 해결책이 발생하거나 더욱 강조되도록 할 수 있는 임의의 요소(들)은 임의의 또는 모든 청구항의 임계적이고 필수적인 특징 또는 요소로 간주되지는 않는다. 본 명세서에서 사용된 "포함하는" 또는 그 변형에 해당하는 용어는 배타적이지 않은 포함을 커버하도록 의도되어, 요소들의 목록을 이루는 프로세스, 방법, 물건 또는 장치가 이들 요소만을 포함하는 것이 아니라, 명시적으로 열거되지 않거나 그러한 프로세스, 방법, 물건 또는 장치에 고유한 다른 요소들을 포함할 수 있을 것이다.

도면의 간단한 설명

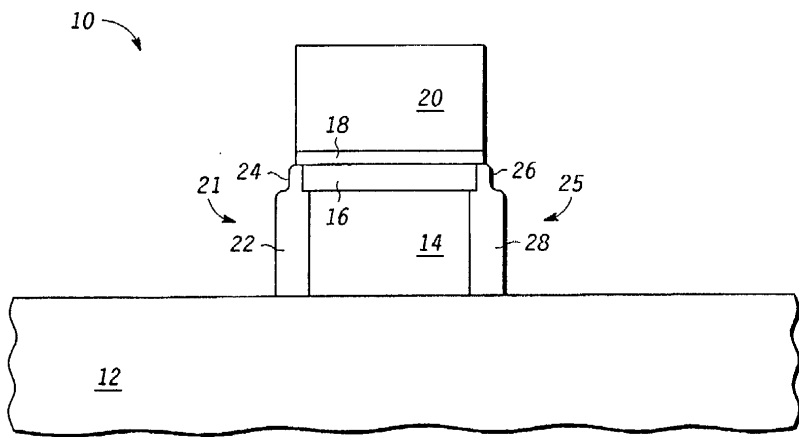
- <5> 도 1은 본 발명의 일 실시예에 따른 처리 단계에서 장치 구조의 제1 평면을 따라 취해진 단면도.
- <6> 도 2는 처리의 후속하는 단계에서 도 1의 장치 구조의 제1 평면을 따라 취해진 단면도.
- <7> 도 3은 처리의 후속하는 단계에서 도 2의 장치 구조의 제1 평면을 따라 취해진 단면도.
- <8> 도 4는 처리의 후속하는 단계에서 도 3의 장치 구조의 제1 평면을 따라 취해진 단면도.
- <9> 도 5는 처리의 후속하는 단계에서 도 4의 구조의 제1 평면을 따라 취해진 단면도.
- <10> 도 6은 처리의 후속하는 단계에서 도 5의 장치의 제1 평면을 따라 취해진 단면도.
- <11> 도 7은 도 6의 장치 구조의 제2 평면을 따라 취해진 단면도.
- <12> 도 8은 처리의 후속하는 단계에서 도 7의 장치 구조의 제2 평면을 따라 취해진 단면도.
- <13> 도 9는 처리의 후속하는 단계에서 도 8의 장치 구조의 제2 평면을 따라 취해진 단면도.
- <14> 도 10은 도 9의 장치 구조의 제1 평면을 따라 취해진 단면도.
- <15> 도 11은 처리의 후속하는 단계에서 도 10의 구조의 제1 평면을 따라 취해진 단면도.
- <16> 도 12는 처리의 후속하는 단계에서 도 11의 구조의 제1 평면을 따라 취해진 단면도.
- <17> 도 13은 처리의 후속하는 단계에서 도 12의 제1 평면을 따라 취해진 단면도.
- <18> 도 14는 처리의 후속하는 단계에서 도 13의 구조의 제2 평면을 따라 취해진 단면도.

도면

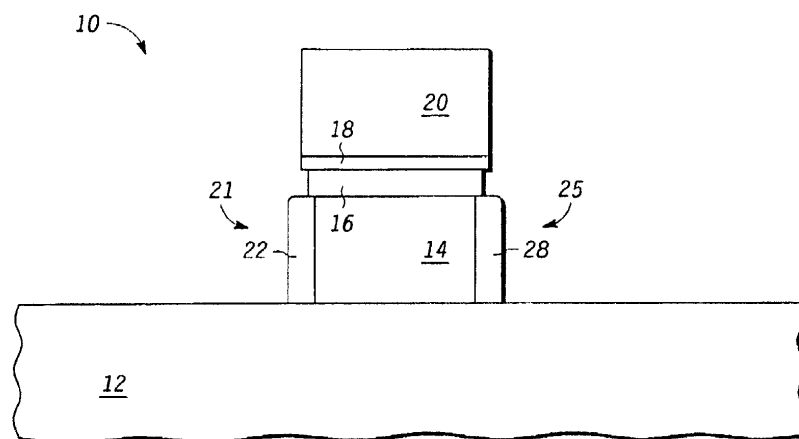
도면1



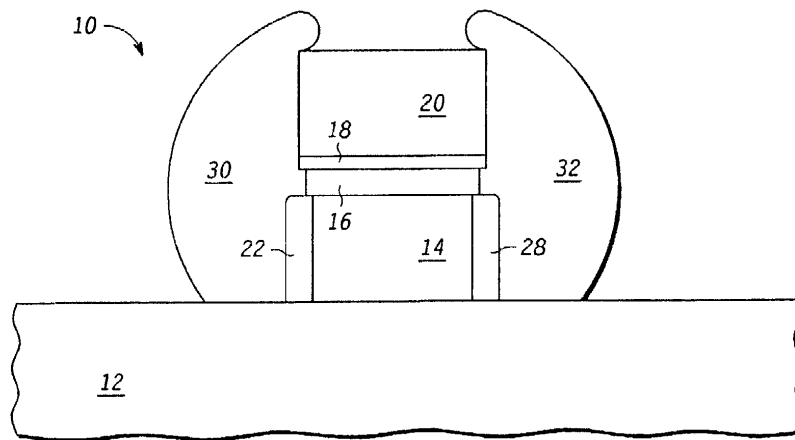
도면2



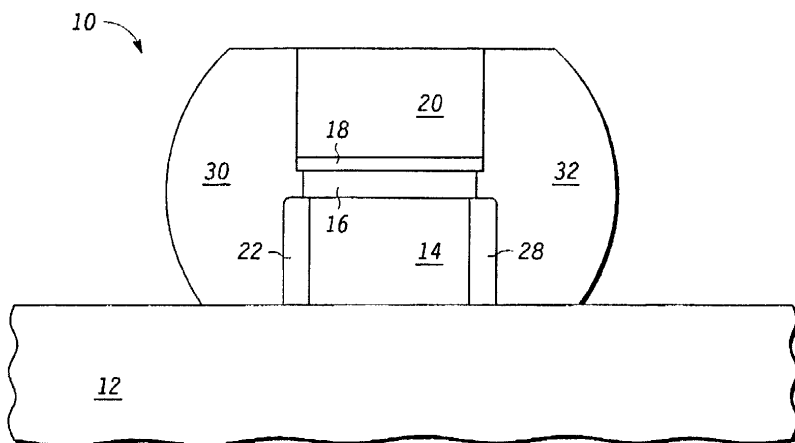
도면3



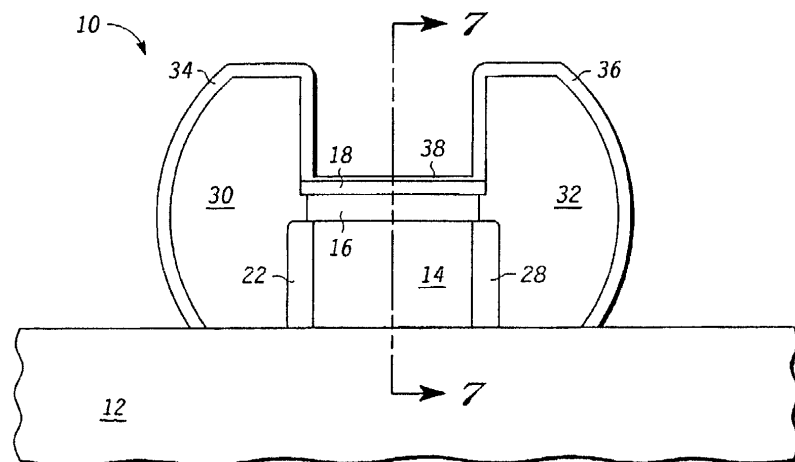
도면4



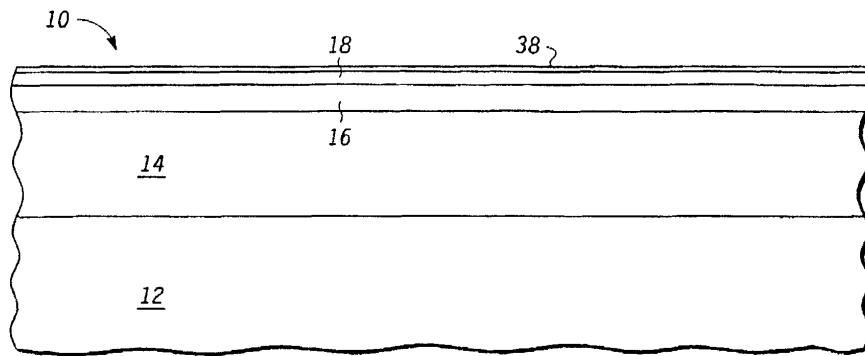
도면5



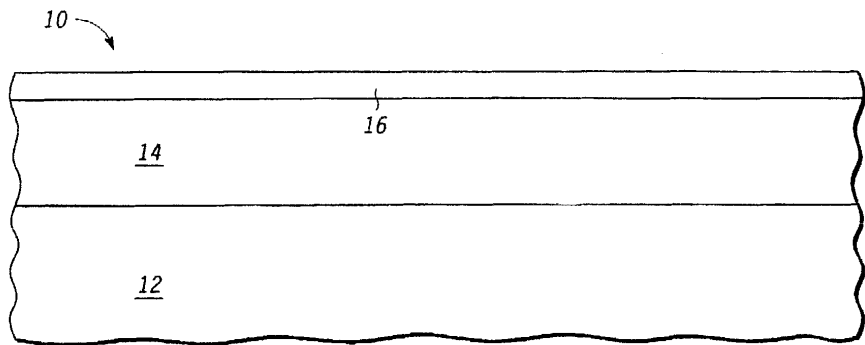
도면6



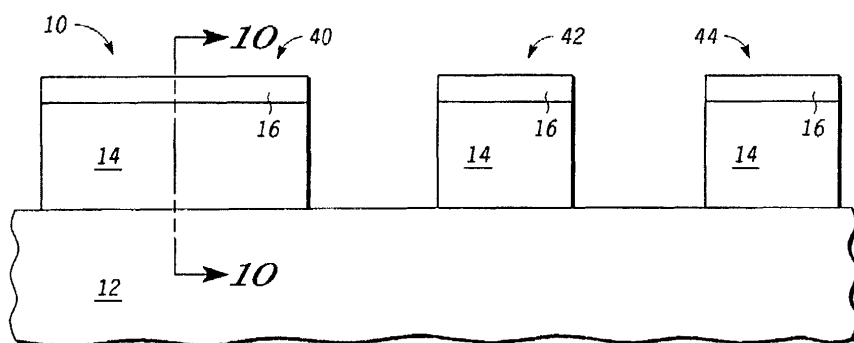
도면7



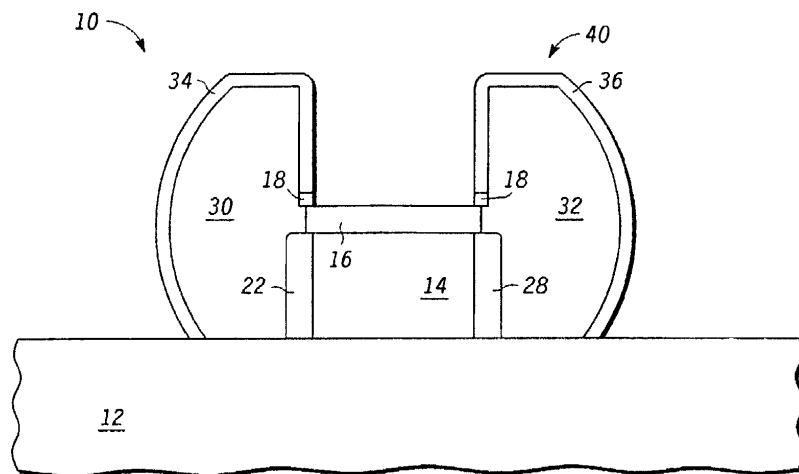
도면8



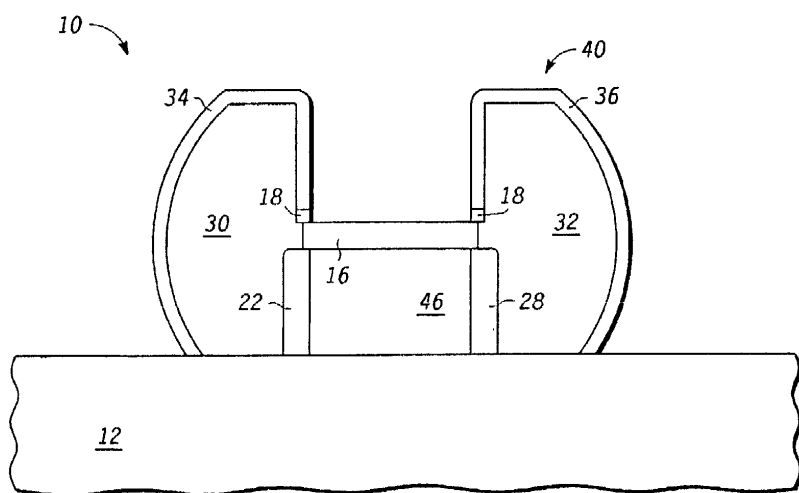
도면9



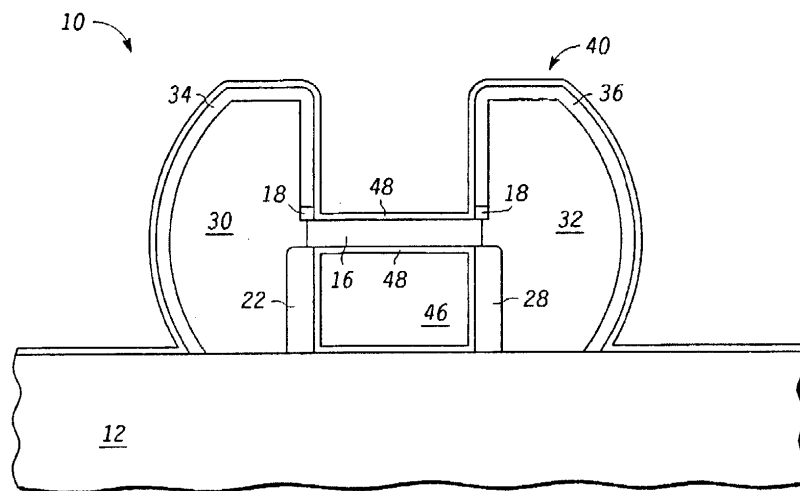
도면10



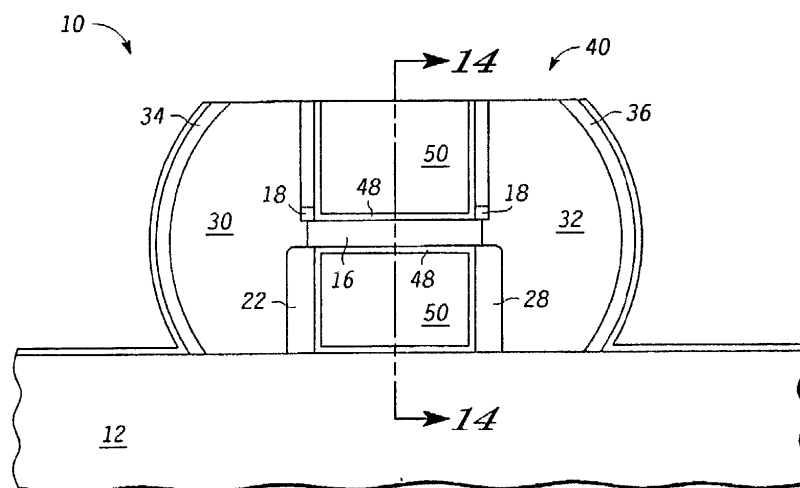
도면11



도면12



도면13



도면14

