

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4484948号
(P4484948)

(45) 発行日 平成22年6月16日 (2010. 6. 16)

(24) 登録日 平成22年4月2日 (2010. 4. 2)

(51) Int. Cl.

F I

A 6 3 F 7/02 (2006.01)

A 6 3 F 7/02 3 3 O

A 6 3 F 7/02 3 2 6 Z

A 6 3 F 7/02 3 3 4

請求項の数 1 (全 9 頁)

(21) 出願番号	特願2009-119897 (P2009-119897)	(73) 特許権者	000132747
(22) 出願日	平成21年5月18日 (2009. 5. 18)		株式会社ソフィア
(62) 分割の表示	特願2007-240821 (P2007-240821)		群馬県桐生市境野町 7 丁目 2 O 1 番地
の分割		(74) 代理人	100075513
原出願日	平成12年2月18日 (2000. 2. 18)		弁理士 後藤 政喜
(65) 公開番号	特開2009-178582 (P2009-178582A)	(74) 代理人	100114236
(43) 公開日	平成21年8月13日 (2009. 8. 13)		弁理士 藤井 正弘
審査請求日	平成21年5月18日 (2009. 5. 18)	(74) 代理人	100120260
早期審査対象出願			弁理士 飯田 雅昭
		(74) 代理人	100137604
			弁理士 須藤 淳
		(72) 発明者	井置 定男
			群馬県桐生市宮本町 3 - 7 - 2 8
		審査官	西田 光宏

最終頁に続く

(54) 【発明の名称】 遊技機

(57) 【特許請求の範囲】

【請求項 1】

入賞部への遊技球の入賞を検出する検出手段と、
 前記検出手段からの検出結果に基づいて遊技を統括的に制御する遊技制御装置と、
 入賞部に設けられた変動入賞装置と、を備えた遊技機において、
 前記遊技制御装置は、
 遊技に関する制御を行うCPUと、
 前記CPUからの制御指令信号を出力する出力ポート回路と、
 前記CPUから出力されるアドレス信号に基づいて前記出力ポート回路に前記制御指令
 信号の取り込みを指示するアドレスデコード回路と、
 前記出力ポート回路から出力される前記制御指令信号に基づいて前記変動入賞装置を駆
 動する駆動回路と、
 前記検出手段からの検出信号が入力される入力ポート回路と、
 前記検出手段と前記入力ポート回路の間に設けられる非可逆性の信号伝達回路と、
 を備え、
 回路基板に所定の配線パターンを設けることによって、遊技状態に対応して変化する信
 号を当該遊技制御装置の外部に出力する信号取り出し領域を形成し、
 前記変動入賞装置を駆動させる前記制御指令信号を前記出力ポート回路の出力部から前
 記信号取り出し領域に伝達するようにするとともに、前記検出手段からの検出信号を前記
 非可逆性の信号伝達回路の出力部から前記信号取り出し領域に常時伝達するようにしたこ

10

20

とを特徴とする遊技機。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、検出手段からの検出信号に基づいて遊技に関する制御をCPUによって行う遊技機において、この検出信号に基づくCPUの制御について、信頼性の高い検査を可能とした改良に関する。

【背景技術】

【0002】

遊技機（例えば弾球遊技機）には、検出手段（例えば、遊技球を検出するセンサ）からの検出信号に基づいて、CPU（例えば、遊技制御装置のCPU）により遊技に関する制御を行うものがある。

10

【0003】

図3には、このような従来の遊技機の構成を示す。

【0004】

図示されるように、球検出スイッチ1からの検出信号は、遊技制御装置2に入力され、電圧変換回路3でレベル変換された後、ノイズ除去用のフィルタ回路4を通して入力ポート回路5に入力される。遊技制御装置2のワンチップマイクロコンピュータ6は、割込信号発生回路7からの割込信号毎に遊技制御を実行するCPU6Aを内蔵するもので、アドレスデコード回路8にR/W信号およびアドレス信号を送信することにより、データバス9を介して、入力ポート回路5から一定のタイミングで検出信号を受け入れ、また出力ポート回路10に指令信号を出力する。出力ポート回路10からの指令信号は、ドライブ回路11により変換され、遊技機の各種被駆動装置12（例えば、装飾用のランプ、変動入賞装置等）や各種従属制御装置13（例えば、排出制御装置、表示制御装置等）に入力される。

20

【0005】

ところで、このような遊技機では、球検出スイッチ1からの検出信号に基づいて正しい制御がなされているか否かを検査する必要がある。このため、従来は、フィルタ回路4の出力部14に検査装置15を接続することにより検査用信号を取り出し、この検査用信号に対してワンチップマイクロコンピュータ6のCPU6Aが正しく動作しているかを検査していた。

30

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、このようにフィルタ回路4の出力部14に検査装置15を接続すると、検査装置15からの影響でフィルタ回路4の時定数が変化してしまい、検出信号自体に変化が生じてしまう。

【0007】

具体的には、図4に示すように、球検出スイッチ1から入力されてきた検出信号（図4（A））は、電圧変換回路3により電圧変換され（図4（B））、さらにフィルタ回路4でノイズ除去されることにより、図4（C）に示すような波形となる。CPU6Aによるスキャンは、図4（X）に示すように、所定のしきい値電圧を基準として、この図4（C）を読み込むことによりなされる（なお、電圧変換回路3で電圧が反転しているので、しきい値電圧を超えない範囲がロー出力、しきい値電圧以上がハイ出力となっている）。

40

【0008】

ところが、検査装置15を接続した場合には、フィルタ回路4の出力部の信号波形は、図4（C）から図4（D）のように変形してしまい（信号伝達に遅れが生じてしまい）、図4（Y）に示すように、CPU6Aによるスキャンタイミングに遅れが生じてしまう。

【0009】

このように、球検出スイッチ1で検出している同一の遊技状況（遊技球入賞）に対して

50

、検査装置１５を付けている場合としない場合とで、ＣＰＵ６Ａに入力される検出信号に相違が生じてしまうので、検査は検査装置１５を付けていない状態での制御を正確に再現するものとは言えず、その分、検査の信頼性が低くなってしまっていた。

【００１０】

本発明は、このような問題点に着目してなされたもので、検出手段からの検出信号に基づいて遊技に関する制御をＣＰＵによって行う遊技機において、この検出信号に基づくＣＰＵの制御について、信頼性の高い検査を可能としたものを提供することを目的とする。

【課題を解決するための手段】

【００１１】

本発明は、入賞部への遊技球の入賞を検出する検出手段と、前記検出手段からの検出結果に基づいて遊技を統括的に制御する遊技制御装置と、入賞部に設けられた変動入賞装置と、を備えた遊技機において、前記遊技制御装置は、遊技に関する制御を行うＣＰＵと、前記ＣＰＵからの制御指令信号を出力する出力ポート回路と、前記ＣＰＵから出力されるアドレス信号に基づいて前記出力ポート回路に前記制御指令信号の取り込みを指示するアドレスデコード回路と、前記出力ポート回路から出力される前記制御指令信号に基づいて前記変動入賞装置を駆動する駆動回路と、前記検出手段からの検出信号が入力される入力ポート回路と、前記検出手段と前記入力ポート回路の間に設けられる非可逆性の信号伝達回路と、を備え、回路基板に所定の配線パターンを設けることによって、遊技状態に対応して変化する信号を当該遊技制御装置の外部に出力する信号取り出し領域を形成し、前記変動入賞装置を駆動させる前記制御指令信号を前記出力ポート回路の出力部から前記信号取り出し領域に伝達するようにするとともに、前記検出手段からの検出信号を前記非可逆性の信号伝達回路の出力部から前記信号取り出し領域に常時伝達するようにしたことを特徴とする。

【発明の効果】

【００１２】

本発明では、入賞部への遊技球の入賞を検出する検出手段と、前記検出手段からの検出結果に基づいて遊技を統括的に制御する遊技制御装置と、入賞部に設けられた変動入賞装置と、を備えた遊技機において、前記遊技制御装置は、遊技に関する制御を行うＣＰＵと、前記ＣＰＵからの制御指令信号を出力する出力ポート回路と、前記ＣＰＵから出力されるアドレス信号に基づいて前記出力ポート回路に前記制御指令信号の取り込みを指示するアドレスデコード回路と、前記出力ポート回路から出力される前記制御指令信号に基づいて前記変動入賞装置を駆動する駆動回路と、前記検出手段からの検出信号が入力される入力ポート回路と、前記検出手段と前記入力ポート回路の間に設けられる非可逆性の信号伝達回路と、を備え、回路基板に所定の配線パターンを設けることによって、遊技状態に対応して変化する信号を当該遊技制御装置の外部に出力する信号取り出し領域を形成し、前記変動入賞装置を駆動させる前記制御指令信号を前記出力ポート回路の出力部から前記信号取り出し領域に伝達するようにするとともに、前記検出手段からの検出信号を前記非可逆性の信号伝達回路の出力部から前記信号取り出し領域に常時伝達するようにしたので、実際の遊技をそのまま再現した信頼性の高い検査を行うことができる。

【図面の簡単な説明】

【００１３】

【図１】本発明の実施の形態における遊技機の制御系の一部を示す構成図である。

【図２】同じく遊技制御装置内の各所における遊技球検出信号を示すタイミングチャートである。

【図３】従来の遊技機を示す構成図である。

【図４】同じく遊技制御装置内の各所における遊技球検出信号を示すタイミングチャートである

【発明を実施するための形態】

【００１４】

以下、添付図面に基づいて、本発明の実施の形態について説明する。

【 0 0 1 5 】

図 1 は、遊技機の制御系の一部を示す構成図である。

【 0 0 1 6 】

球検出スイッチ 1 は、遊技機の各種入賞部に備えられ、入賞部への遊技球入賞を検出するものである。球検出スイッチ 1 からの検出信号（図 2（A）参照）は、遊技制御装置 2 に入力される。

【 0 0 1 7 】

遊技制御装置 2 は、球検出スイッチ 1 からの遊技球検出信号等に基づいて、大当たりの抽選、各種従属制御装置への指令信号の送信等を行い、遊技を統括的に制御する主制御装置である。この遊技制御装置 2 に入力された遊技球検出信号は、まず電圧変換回路 3 においてレベル変換され（図 2（B）参照）、続いてフィルタ回路 4 によりノイズ除去がなされる（図 2（C）参照）。

10

【 0 0 1 8 】

このフィルタ回路 4 の後段には、バッファ回路 2 1 が備えられ、このバッファ回路 5 の出力が、入力ポート回路 5 に入力される。この場合、バッファ回路 2 1 と入力ポート回路 5 としては、同一種類の IC 素子（本実施の形態では、7 4 H C 2 4 4 ）が使用されている。

【 0 0 1 9 】

なお、入力ポート回路 5 は、アドレスデコード回路 8 からセレクトの端子（図 1 の 1 G、2 G の端子）にローレベルの信号（選択信号）が伝達された場合にのみ、IN 側の信号を OUT 側に伝達するように構成している。これに対して、バッファ回路 2 1 は、セレクトの端子をグランド接続することによって、IN 側の信号を OUT 側に常時伝達するように構成している。

20

【 0 0 2 0 】

また、バッファ回路 5 の出力部の信号（図 2（D）参照）は、信号端子取付領域 2 2 から取り出せるようになっている。ここで、信号端子取付領域 2 2 とは、例えば基板のパターン上の特定の領域等であり、ハンダ付け等によって信号端子（コネクタ）を設けることが可能な領域である。検査装置（図示せず）を用いた検査の際には、信号端子取付領域 2 2 に取り付けられた信号端子からバッファ回路 5 の出力部の信号を取り出して検査を行うことになる。このように、信号端子取付領域 2 2 を基板パターン上に設けるようにしたのは、遊技店での営業時等には検査装置のための信号端子が必要とならないことから、検査時には信号端子を取り付ける一方で、営業時等には信号端子を取り外しておくことができるようにしたものである。そして、信号端子取付領域 2 2 を基板ケースに収容して、この基板ケースを開放できないように（あるいは開放困難に）しておけば、営業時に、信号端子取付領域 2 2 から遊技制御装置 2 へ信号を入力する不正行為を防止することができる。

30

【 0 0 2 1 】

このように、バッファ回路 2 1 のような非可逆性の信号伝達回路をフィルタ回路 4 の後段に備え、このバッファ回路 2 1 の出力を検査装置に取り出すようになっているので、検査装置側の入力容量の影響は、フィルタ回路 4 の時定数に影響を与えない。したがって、バッファ回路 2 1 の出力部の信号は、検査装置の接続時と非接続時とで変わらない（時間的な遅れが生じることがない）ので、球検出スイッチ 1 により検出された同一の遊技球検出状況（遊技球検出タイミング）に対して、検査装置を接続している場合でも、接続していない場合と全く同じ信号波形が入力ポート回路 5 へ入力されることになる。

40

【 0 0 2 2 】

なお、フィルタ回路 4 の後段に配置する回路は、出力側の電気信号を入力側に伝達しないような構成の回路、つまり非可逆性の信号伝達回路であれば良いので、バッファ回路 2 1 に限られず、例えばリレー回路やフォトカプラ回路でもよい。

【 0 0 2 3 】

入力ポート回路に入力された信号は、アドレスデコード回路 8 からの選択信号に基づいて、データバス 9 を介してワンチップマイクロコンピュータ 6 の CPU 6 A に取り込まれ

50

る。ここで、アドレスデコード回路 8 からの選択信号は、CPU 6 A からの R / W 信号およびアドレスバス上のアドレス信号に基づいて切り換えられるようになっている。

ワンチップマイクロコンピュータ 6 は、CPU 6 A、ROM、RAM を内蔵している。ROM は、遊技制御のための不変の情報を記憶しているもので、各種プログラムや、遊技制御における大当たりの確率などの定数が記憶されている。RAM は、CPU 6 A による遊技制御時にワークエリアとして利用されるもので、大当たり決定のためのカウンタ（乱数カウンタ）等が記憶されている。

【 0 0 2 4 】

CPU 6 A は、割込信号発生回路 7 からの割込毎に、入力ポート回路 5 から遊技球検出の信号レベルをスキャンして取得することにより、遊技制御を実行する。この遊技制御においては、例えば、大当たりの抽選が行われる。具体的には、CPU 6 A に入力されてきた遊技球検出信号の検出タイミング（例えば信号波形の立ち上がりのタイミング）における乱数カウンタ値を取得し、この乱数カウンタ値が所定の大当たり値であるか否かに基づいて、大当たり発生の決定をする。

【 0 0 2 5 】

また、CPU 6 A からの出力信号は、データバス 9 を介して出力ポート回路 1 0 に取り込まれる。この場合、出力ポート回路 1 0 は、CPU 6 A からの R / W 信号およびアドレス信号に基づくアドレスデコード回路 8 からの選択信号にしたがって、データバス 9 からの信号取り込みを行う。

【 0 0 2 6 】

出力ポート回路 1 0 からの出力信号は、ドライブ回路 1 1 で変換されて、各種被駆動装置 1 2、各種従属制御装置 1 3 に入力される。これにより、被駆動装置 1 2 および従属制御装置 1 3 は、遊技制御装置 2 により統括的に制御されることになる。ここで、被駆動装置 1 2 としては、入賞部に設けられた変動入賞装置の開閉機構等がある。また、従属制御装置 1 3 としては、画像表示装置を制御する表示制御装置、音出力装置を制御する音制御装置、装飾ランプの点滅等を制御する装飾制御装置、排出機構からの遊技球排出を制御する排出制御装置等がある。

【 0 0 2 7 】

なお、出力ポート回路 1 0 からの出力信号は、信号端子取付領域 2 2 から取り出し可能となっている。これにより、信号端子取付領域 2 2 から出力信号を取り出せば、CPU 6 A のポート出力タイミングを的確に把握することができる。例えば、ドライブ回路 1 1 の出力部から信号を取得した場合と比較すると、ドライブ回路 1 1 内で発生する信号伝達の遅れが含まれない分だけ、出力タイミング取得の精度が高まる。

【 0 0 2 8 】

つぎに、図 2 のタイミングチャートにしたがって、本実施の形態の作用について説明する。

【 0 0 2 9 】

図 2 (A) に示すように、球検出スイッチ 1 の遊技球検出信号は、遊技球検出時にハイレベル（12 V）、非検出時にローレベル（4 V）を示すものである。この遊技球検出信号が遊技制御装置 2 に入力されると、図 2 (B) に示すように、電圧変換回路 3 において反転信号（ハイレベル 5 V、ローレベル 0 V）に変換され、さらに図 2 (C) に示すように、フィルタ回路 4 においてノイズ除去された信号波形となる。

【 0 0 3 0 】

このフィルタ回路 4 の後段にはバッファ回路 2 1 が備えられており、このバッファ回路 2 1 を通過した信号（図 2 (D)）が、入力ポート回路 5 に入力される信号、また信号端子取付領域 2 2 から検査用信号として取り出される信号となる。この場合、図 2 (D) の信号波形は、図 2 (C) の電圧がしきい値より大きなときにローレベル（0 V）、しきい値以下のときにハイレベル（5 V）を示すものであって、図 2 (A)、(B) の信号波形と比較して、信号波形の立ち上がりおよび立ち下がり、フィルタ回路 4 の時定数に基づく遅れを持つものではあるが、信号端子取付領域 2 2 に検査装置を接続した場合と接続し

10

20

30

40

50

ていない場合とで変化しない。すなわち、検査装置を接続した場合でも、検査装置側からの電氣的な影響はバッファ回路 2 1 により遮断されるので、フィルタ回路 4 の時定数に影響は出ず、フィルタ回路 4 の時定数に基づく信号の遅れは変わりない。

【 0 0 3 1 】

したがって、図 2 (X) に示すような C P U 6 A による遊技球検出信号のスキャンタイミングは、検査装置を接続した場合と接続していない場合とで同一のものとなる。よって、検査装置を接続している場合でも、球検出スイッチ 1 による同様な検出 (検出タイミング) に対して、検査装置を接続していない場合と全く同様な制御 (例えば、遊技球検出タイミングに基づく大当たりの抽選) が再現されることになる。

【 0 0 3 2 】

このように本実施の形態によれば、フィルタ回路 4 の後段にバッファ回路 2 1 を設け、このバッファ回路の出力を検査用信号として取り出すようにしたので、検査装置を接続した場合でも、C P U 6 A により取り込まれる遊技球検出信号には変化がなく、検査の信頼性が高められる。

【 0 0 3 3 】

また、バッファ回路 2 1 は、入力ポート回路 5 と同一の素子で構成するので、遊技制御装置 2 の組立時に素子の付け間違い等が起こりにくくなり、組立が容易化され、製造コストを削減できる。

【 0 0 3 4 】

なお、上記実施の形態においては、信号端子取付領域 2 2 を形成することにより、バッファ回路 2 1 の出力部から検査用信号を取り出せるように構成してあるが、本発明は、このように信号端子取付領域 2 2 を形成することが必ず必要とされるものではなく、バッファ回路 2 1 の出力部から検査信号を取り出せるものであれば任意の構成をとることができる。例えば、バッファ回路 2 1 を構成する I C パッケージの出力信号ピンに検査装置の信号ケーブルを直結可能として、検査時には遊技制御装置 2 の基板を収容するケースを開放して、この出力信号ピンに信号ケーブルを接続するようにしてもよい。

【 0 0 3 5 】

また、本発明では、電圧変換回路 3、フィルタ回路 4、入力ポート回路 5、バッファ回路 2 1 等の全部または一部が、一つの I C パッケージに収まっているような構成をとることもできる。

【 0 0 3 6 】

また、今回開示された実施の形態は総ての点で例示であって制限的なものではない。また、本発明の範囲は、特許請求の範囲によって示されるもので、特許請求の範囲内での総ての変更を含むものである。

【 0 0 3 7 】

特許請求の範囲に記載した以外の本発明の観点の代表的なものとして、次のものがあげられる。

【 0 0 3 8 】

(1) 遊技球入賞の検出を行う検出手段と、この検出手段からの検出信号のノイズ除去を行うフィルタ回路と、このフィルタ回路からの信号が入力される入力ポート回路と、この入力ポート回路とバスを通じて接続されるとともに前記入力ポート回路を介して入力される前記検出手段からの検出信号に基づいて遊技に関する制御を行う C P U と、を備えた遊技機において、前記フィルタ回路と入力ポート回路の間に非可逆性の信号伝達回路を備え、この非可逆性の信号伝達回路の出力部から検査用信号を取り出し可能としたことを特徴とする遊技機。

【 0 0 3 9 】

(2) 前記非可逆性の信号伝達回路は、バッファ回路であることを特徴とする (1) に記載の遊技機。

【 0 0 4 0 】

(3) 検査装置用の端子を取付可能な信号端子取付領域を前記非可逆性の信号伝達回路

10

20

30

40

50

の出力部に設けたことを特徴とする(1)または(2)に記載の遊技機。

【0041】

(4)前記非可逆性の信号伝達回路と前記入力ポート回路を同じ素子で構成したことを特徴とする(1)から(3)のいずれか一つに記載の遊技機。

【0042】

以上のように、これらの観点では、フィルタ回路の後段には非可逆性の信号伝達回路が備えられ、この非可逆性の信号伝達回路の出力が検査用信号として取り出されるので、検査装置を接続した場合と接続しない場合とで、フィルタ回路の時定数には変化がない。したがって、検査装置を接続した場合でも、検出手段による同様の検出(検出タイミング)に対して、検査装置を接続していない場合と全く同様な制御(例えば、遊技球検出タイミ

10

【0043】

また、非可逆性の信号伝達回路と入力ポート回路を同じ素子で構成したので、組立時に素子の付け間違い等が起こりにくくなり、組立が容易化され、製造コストを削減できる。

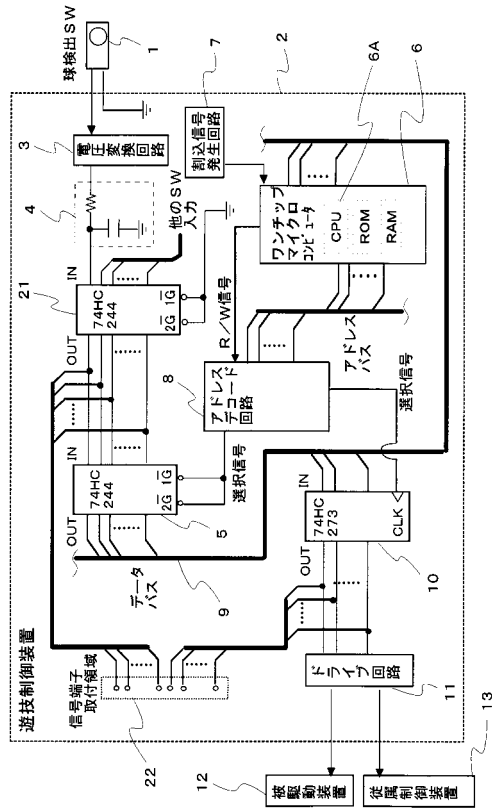
【符号の説明】

【0044】

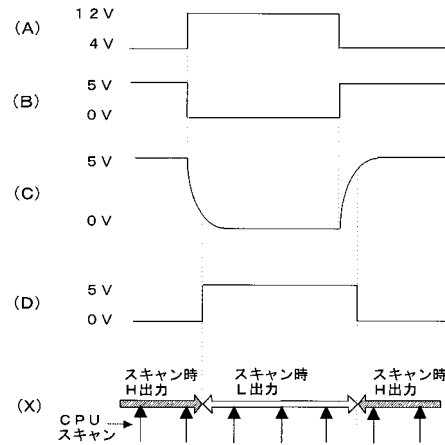
- 1 球検出スイッチ
- 2 遊技制御装置
- 4 フィルタ回路
- 5 入力ポート回路
- 6 ワンチップマイクロコンピュータ
- 6A CPU
- 9 データバス
- 21 バッファ回路
- 22 信号端子取付領域

20

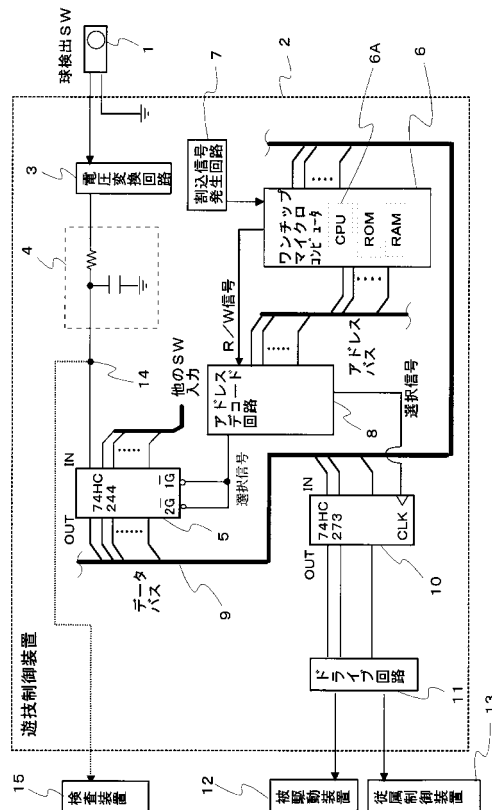
【図 1】



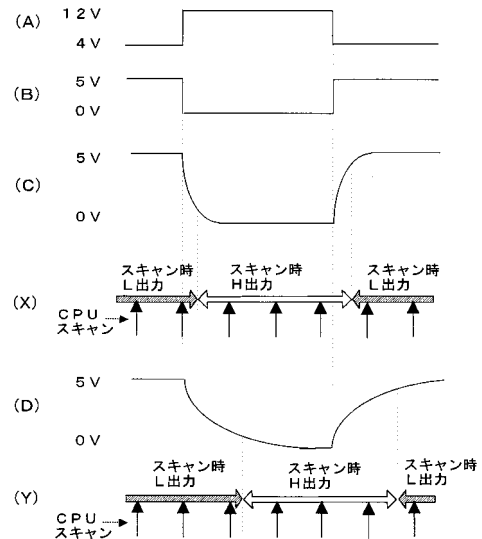
【図 2】



【図 3】



【図 4】



フロントページの続き

(56)参考文献 特開平 1 0 - 0 9 2 3 2 3 (J P , A)
特開平 1 1 - 0 0 0 4 6 4 (J P , A)
特開平 1 1 - 2 0 5 1 1 5 (J P , A)
特開 2 0 0 0 - 0 0 5 4 2 0 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)
A 6 3 F 7 / 0 2