



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2012-0137238
(43) 공개일자 2012년12월20일

(51) 국제특허분류(Int. Cl.)
H01L 21/60 (2006.01) H01L 23/48 (2006.01)
(21) 출원번호 10-2012-0058005
(22) 출원일자 2012년05월31일
심사청구일자 없음
(30) 우선권주장
JP-P-2011-129192 2011년06월09일 일본(JP)

(71) 출원인
소니 주식회사
일본국 도쿄도 미나토쿠 코난 1-7-1
(72) 발명자
와키야마 사토루
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
미나미 마사키
일본국 도쿄도 미나토쿠 코난 1-7-1 소니 주식회사 내
(74) 대리인
최달용

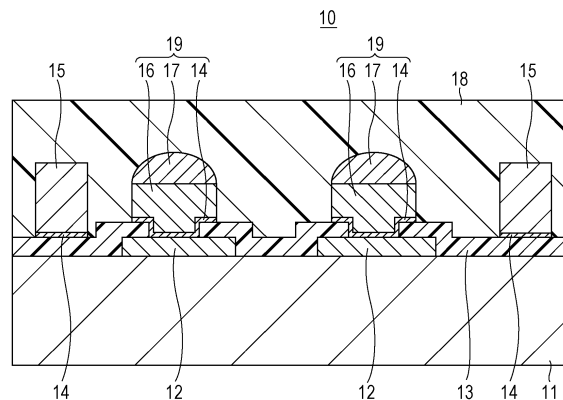
전체 청구항 수 : 총 8 항

(54) 발명의 명칭 반도체 장치 및 반도체 장치의 제조 방법

(57) 요약

반도체 장치는: 반도체 소자와, 상기 반도체 소자에 형성되어 있는 접속 전극과, 상기 반도체 소자에 형성되어 있는 얼라인먼트 마크를 구비하고, 상기 얼라인먼트 마크의 적어도 하나가 자성체로 이루어지는 것을 특징으로 하는 반도체 장치.

대표도 - 도1



특허청구의 범위

청구항 1

반도체 소자와,
상기 반도체 소자에 형성되어 있는 접속 전극과,
상기 반도체 소자에 형성되어 있는 얼라인먼트 마크를 구비하고,
상기 얼라인먼트 마크의 적어도 하나가 자성체로 이루어지는 것을 특징으로 하는 반도체 장치.

청구항 2

제 1항에 있어서,
상기 접속 전극을 덮도록 형성되어 있는 언더필 수지를 구비하는 것을 특징으로 하는 반도체 장치.

청구항 3

제 1항에 있어서,
상기 자성체가, Fe, Co 및 Ni로부터 선택되는 적어도 하나를 포함하는 것을 특징으로 하는 반도체 장치.

청구항 4

제 1항에 있어서,
상기 반도체 소자의, 2개소 이상에 자성체로 이루어지는 얼라인먼트 마크가 형성되어 있는 것을 특징으로 하는 반도체 장치.

청구항 5

제 1항에 있어서,
상기 얼라인먼트 마크의 상기 반도체 소자의 면부터의 높이가, 상기 접속 전극의 높이 이하이고, 또한, 상기 접속 전극이 형성되어 있는 면의 높이 이상인 것을 특징으로 하는 반도체 장치.

청구항 6

반도체 기판과,
상기 반도체 기판 상에 형성된 배선층과,
상기 배선층의 표면에 형성된 접속 전극과,
상기 접속 전극과 같은 층에 형성되어 있는 얼라인먼트 마크를 구비하고,
상기 얼라인먼트 마크의 적어도 하나가 자성체로 이루어진 것을 특징으로 하는 반도체 장치.

청구항 7

반도체 소자가 형성된 기판을 준비하는 공정과,
상기 기판 상에 얼라인먼트 마크를 형성하는 공정과,
상기 기판 상에 접속 전극을 형성하는 공정을 가지며,
상기 얼라인먼트 마크를 형성하는 공정에서, 상기 반도체 소자에 형성되는 하나 이상의 얼라인먼트 마크를 자성체에 의해 형성하는 것을 특징으로 하는 반도체 장치의 제조 방법.

청구항 8

제 7항에 있어서,

상기 자성체를 쿨리 온도 이상으로 가열하고, 상기 얼라인먼트 마크를 소자(消磁; demagnetize)하는 공정을 갖는 것을 특징으로 하는 반도체 장치의 제조 방법.

명세서

기술 분야

[0001] 본 기술은, 접속할 때에 위치맞춤을 행하기 위한 얼라인먼트 마크를 갖는 반도체 장치 및 반도체 장치의 제조 방법에 관한 것이다.

배경 기술

[0002] 종래, 솔더 범프 등을 이용한 플립 칩 실장이나, 반도체 기관끼리의 접속 등에서의 반도체 장치의 접속에서는, 반도체 장치상에 배선층에 형성된 얼라인먼트 마크가 이용되고 있다. 이 얼라인먼트 마크를 이용하여, 카메라 등을 이용한 광학적인 위치맞춤을 행하여, 반도체 장치의 접속이 행하여지고 있다.

[0003] 또한, 반도체 소자와 반도체 소자를 실장하는 회로 기관에 전기적인 접속을 갖지 않는 범프 전극을 자성체(磁性體)로 형성하고, 이 자성체의 자력의 맞당기는 힘으로 셀프 얼라인먼트를 취하는 방법이 개시되어 있다(예를 들면, 일본 특개2005-268623호 공보, 일본 특개2006-41534호 공보 참조). 또한, 반도체 소자를 회로 기관상에 실장할 때에, 반도체 소자와 배선 기관과의 전기적인 접속에서 사용하는 범프 내에 자성체를 마련하고, 자성체의 자력에 의한 셀프 얼라인먼트를 행하는 방법이 개시되어 있다(예를 들면, 일본 특개평10-112477호 공보 참조).

발명의 내용

해결하려는 과제

[0004] 반도체 장치의 접속에서는, 전극 사이의 접속 신뢰성의 향상이 요구되고 있다. 특히, 반도체 소자의 미세화에 의해, 반도체 소자와 회로 기관과의 간격, 및, 전극 사이 피치가 작아짐에 따라, 접속할 때의 위치맞춤 정밀도의 향상이 요구되고 있다.

[0005] 광학식 카메라를 이용한 위치맞춤에서는, 광학식 카메라를 구비하는 장치에 의해, 반도체 소자에 형성된 얼라인먼트 마크를 인식하고 위치맞춤을 행하기 때문에, 위치맞춤 정밀도가 광학식 카메라의 정밀도에 크게 의존한다.

[0006] 일본 특개2005-268623호 공보 및 일본 특개2006-41534호 공보에 기재된 반도체 소자의 실장 방법에서는, 범프 전극 등에 의한 반도체 소자와 회로 기관과의 구체적인 접속 방법이나, 범프 전극의 자화(磁化) 방법이 기재되어 있지 않다. 이 때문에, 이 기술에 의한 반도체 소자와 회로 기관과의 위치맞춤 정밀도의 향상에 의한 전극의 접속 신뢰성의 향상은 얻어지지 않는다.

[0007] 또한, 일본 특개평10-112477호 공보에 기재된 기술에서는, 범프 전극 또는 더미 범프에 자성체가 사용되고 있다. 그리고, 반도체 소자를 배치한 후, 자성체를 자화하여 정확한 위치맞춤이 행하여진다. 이와 같은 방법에서는, 최초에 반도체 소자를 배치할 때에, 범프 전극끼리의 정확한 위치맞춤이 되어 있지 않다. 이 때문에, 최초에 반도체 소자를 배치할 때에, 큰 위치 어긋남이 생기고 있으면, 자력에 의한 셀프 얼라인먼트에 의한 보정을 할 수가 없고, 범프 전극의 위치맞춤의 고정밀화의 요구에는 대응할 수가 없다.

[0008] 상술한 바와 같이, 일본 특개2005-268623호 공보, 일본 특개2006-41534호 공보, 일본 특개평10-112477호 공보에 기재된 기술에서는, 반도체 소자의 전극 접속에서의 고정밀한 위치맞춤이 곤란하고, 접속 신뢰성의 향상이 곤란하다.

[0009] 본 기술에서는, 위치맞춤 정밀도의 향상에 의한 접속 신뢰성의 향상이 가능한 반도체 장치 및 반도체 장치의 제조 방법을 제공하는 것이다.

과제의 해결 수단

[0010] 본 기술의 반도체 장치는, 반도체 소자와, 반도체 소자에 형성되어 있는 접속 전극과, 반도체 소자에 형성되어 있는 얼라인먼트 마크를 구비하고, 얼라인먼트 마크의 적어도 하나가 자성체로 이루어진다.

[0011] 또한, 본 기술의 반도체 장치는, 반도체 기관과, 반도체 기관 상에 형성된 배선층과, 배선층의 표면에 형성된

접속 전극과, 접속 전극과 같은 층에 형성되어 있는 얼라인먼트 마크를 구비하고, 얼라인먼트 마크의 적어도 하나가 자성체로 이루어진다.

[0012] 또한, 본 기술의 반도체 장치의 제조 방법은, 반도체 소자가 형성된 기판을 준비하는 공정과, 기판 상에 얼라인먼트 마크를 형성하는 공정과, 기판 상에 접속 전극을 형성하는 공정을 갖는다. 그리고, 얼라인먼트 마크를 형성하는 공정에서, 반도체 소자에 형성되는 하나 이상의 얼라인먼트 마크를 자성체에 의해 형성한다.

[0013] 상술한 반도체 장치 및 반도체 장치의 제조 방법에 의하면, 반도체 소자의 얼라인먼트 마크의 적어도 하나가 자성체에 의해 형성되어 있다. 반도체 소자의 접속 전극을 접속할 때의 위치맞춤에 있어서, 자성체로 이루어지는 얼라인먼트 마크에 자성을 갖게 함에 의해, 광학적인 위치맞춤을 행하는 일 없이, 얼라인먼트 마크끼리의 정확한 위치맞춤이 자성체의 자력에 의해 행하여진다. 이 때문에, 반도체 장치를 배치하는 위치의 정밀도가 향상하고, 반도체 장치의 전극의 접속 신뢰성이 향상한다.

발명의 효과

[0014] 본 기술에 의하면, 위치맞춤 정밀도의 향상에 의해, 접속 신뢰성의 향상이 가능한 반도체 장치 및 반도체 장치의 제조 방법을 제공할 수 있다.

도면의 간단한 설명

[0015] 도 1은 제 1 실시 형태의 반도체 장치의 구성을 도시하는 단면도.
 도 2는 제 1 실시 형태의 반도체 장치의 범프 전극 형성면의 구성을 도시하는 평면도.
 도 3은 제 1 실시 형태의 반도체 장치끼리를 범프 전극으로 접속한 상태를 도시하는 도면.
 도 4의 A 내지 E는, 제 1 실시 형태의 반도체 장치의 제조 방법을 설명하는 도면.
 도 5의 F 내지 I는, 제 1 실시 형태의 반도체 장치의 제조 방법을 설명하는 도면.
 도 6의 J 내지 M은, 제 1 실시 형태의 반도체 장치의 제조 방법을 설명하는 도면.
 도 7의 N 내지 P는, 제 1 실시 형태의 반도체 장치의 접속 방법을 설명하는 도면.
 도 8은 제 2 실시 형태의 반도체 장치의 구성을 도시하는 단면도.
 도 9는 제 2 실시 형태의 반도체 장치의 얼라인먼트 마크 형성면의 구성을 도시하는 평면도.
 도 10의 A 내지 D는, 제 2 실시 형태의 반도체 장치의 제조 방법을 설명하는 도면.
 도 11의 E 내지 I는, 제 2 실시 형태의 반도체 장치의 제조 방법을 설명하는 도면.
 도 12는 전자 기기의 구성을 도시하는 도면.

발명을 실시하기 위한 구체적인 내용

[0016] 이하, 본 기술을 실시하기 위한 최선의 형태의 예를 설명하지만, 본 기술은 이하의 예로 한정되는 것이 아니다.

[0017] 그리고, 설명은 이하의 순서로 행한다.

- [0018] 1. 반도체 장치의 제 1 실시 형태
- [0019] 2. 제 1 실시 형태의 반도체 장치의 제조 방법
- [0020] 3. 반도체 장치의 제 2 실시 형태
- [0021] 4. 제 2 실시 형태의 반도체 장치의 제조 방법
- [0022] 5. 전자 기기의 실시 형태

[0023] <1. 반도체 장치의 제 1 실시 형태>

[0024] 이하, 반도체 장치의 제 1 실시 형태에 관해 설명한다.

- [0025] 도 1에 제 1 실시 형태의 반도체 장치의 구성을 도시하는 단면도를 도시한다. 도 1에 도시하는 반도체 장치(10)는, 반도체 소자(11)상에 형성된 패드 전극(12)상의 범프 전극(19), 및, 얼라인먼트 마크(15)를 도시하는 단면도이다. 또한, 도 2에, 제 1 실시 형태의 반도체 장치의 범프 전극(19)의 형성면의 구성을 도시하는 평면도를 도시한다.
- [0026] 도 1에 도시하는 바와 같이, 반도체 장치(10)는, 반도체 소자(11)상에 패드 전극(12)을 갖는다. 또한, 반도체 소자(11)상에는, 패드 전극(12)의 개구를 제외한 전면에 패시베이션층(13)이 형성되어 있다.
- [0027] 패드 전극(12)상에는, 외부 기기와의 접속 전극으로서 범프 전극(19)이 형성되어 있다. 범프 전극(19)은, 패드 전극(12)상에 형성되어 있는 배리어층(14), 배리어층(14)상에 형성되어 있는 언더 범프 메탈(UBM)(16), 및, UBM(16)상에 형성되어 있는 범프(17)로 구성되어 있다. 범프 전극(19)은, 도 2에 도시하는 바와 같이, 반도체 소자(11)의 한 주면(主面)상에, 어레이형상으로 형성되어 있다.
- [0028] 패드 전극(12)은, 예를 들면 알루미늄으로 이루어지고, 반도체 소자(11)에서, 도시하지 않은 기판의 전자 회로에 접속되어 있다. 또한, 패드 전극(12)의 표면 주위에 패시베이션층(13)이 형성되고, 중앙 부분에, 배리어층(14)과 UBM(16)이 형성되어 있다.
- [0029] 또한, 반도체 장치(10)는, 패시베이션층(13)상에, 얼라인먼트 마크(15)가 형성되어 있다. 범프 전극(19), 얼라인먼트 마크(15) 및 패시베이션층(13)을 덮고서 반도체 소자(11)의 전면에 언더필 수지(18)가 형성되어 있다.
- [0030] 도 2에 도시하는 바와 같이, 반도체 장치(10)에서, 반도체 소자(11)의 중앙측에 범프 전극(19)이 형성되어 있다. 범프 전극(19)의 외주측에, 얼라인먼트 마크(15)가 형성되어 있다. 얼라인먼트 마크(15)는, 반도체 소자(11)의 4모퉁이에 각각 마련되어 있다.
- [0031] 배리어층(14)은, 패드 전극(12)의 중앙 부분을 피복하도록 형성되어 있다. 또한, 배리어층(14)은, 패드 전극(12)의 표면 주위에 형성된 패시베이션층(13)상에서, UBM(16)이 형성되어 있는 부분의 하층에 형성되어 있다.
- [0032] 또한, 배리어층(14)은, 얼라인먼트 마크(15)에 하부와 패시베이션층(13)과의 사이에 패드 전극(12)상과 마찬가지로 형성되어 있다.
- [0033] 배리어층(14)은, 예를 들면, Ti, Cu 등에 의해 형성되어 있다.
- [0034] UBM(16)은, 상술한 배리어층(14)을 통하여, 패드 전극(12)의 중앙 부분에 형성되어 있다. 또한, UBM(16)상에 범프(17)가 형성되어 있다. 이와 같이, 배리어층(14), UBM(16) 및 범프(17)에 의해, 패드 전극(12)상에 범프 전극(19)이 형성되어 있다.
- [0035] UBM(16)은, 범프(17)를 형성하는 솔더에 의한 침식을 방지하기 때문에, 일정 이상의 두께를 갖고서 형성된다. UBM(16)은, 예를 들면, Ni, Ti, TiW, W 및 Cu 등에 의해 형성되어 있다. 통상, UBM(16)은, UBM(16)상에 형성되는 SnAg 등의 솔더 합금에 의한 AlCu나 Cu 등으로 이루어지는 패드 전극(12)으로의 확산을 막기 위해, 배리어층(14)이나 패드 전극(12)보다도 두껍게 형성된다.
- [0036] 범프(17)는, UBM(16)상에서, 패드 전극(12)상에서 돌출한 구형상(球狀)으로 형성되어 있다. 범프(17)는, 예를 들면, SnAg 등의 솔더 합금에 의해 형성되어 있다. 또한, 범프(17)로서 UBM(16)상에는 솔더 합금 등을 형성하지 않고, UBM(16)상에 Ni/Au 등에 의한 산화 방지 처리를 행하여도 좋다.
- [0037] 얼라인먼트 마크(15)는, 반도체 소자(11)상의 소정의 위치에 양식화하여 형성된다. 예를 들면, 도 2에 도시하는 바와 같이, 범프 전극(19)이 형성되어 있는 영역의 주위이고, 반도체 소자(11)의 단부에 가까운 위치에 복수의 얼라인먼트 마크(15)가 형성된다. 얼라인먼트 마크(15)는, 반도체 장치(10)를 다른 반도체 장치 또는 실장 기판 등에 세트할 때의 위치맞춤을 위해, 통상 1개의 반도체 소자(11)에 대해 2개소 이상에 얼라인먼트 마크가 형성된다.
- [0038] 또한, 도 1에 도시하는 바와 같이, 얼라인먼트 마크(15)는 기둥형상(柱狀)으로 형성되어 있다. 그리고, 기둥형상의 얼라인먼트 마크(15)의 반도체 소자(11)의 면(面)부터의 높이가, 패드 전극(12)상에 형성되어 있는 범프 전극(19)의 높이 이하로 형성되어 있다. 얼라인먼트 마크(15)의 높이는, 언더필 수지(18)를 형성한 후에도, 얼라인먼트 마크(15)를 용이하게 인식할 수 있고, 반도체 장치(10)의 실장시에 부적합함이 발생하지 않는 높이라면 좋다. 예를 들면, 얼라인먼트 마크(15)의 높이는, 언더필 수지(18)의 높이와 같아도 좋다. 또한, 얼라인먼트 마크(15)의 높이는 언더필 수지(18) 이하의 높이로 형성하는 것이 바람직하다.
- [0039] 또한, 반도체 소자(11)상에 형성되는 복수의 얼라인먼트 마크(15) 중, 적어도 하나가 자성체로 구성되어 있다.

반도체 소자(11)상에 형성되는 얼라인먼트 마크(15)는, 상자성체(常磁性體)이고, 자화함에 의해 강자성체(強磁性體)가 되는 자성체 재료를 이용한다. 얼라인먼트 마크(15)를 구성하는 자성체로서는, 예를 들면, 철(Fe), 코발트(Co), 니켈(Ni)로부터 선택되는 적어도 1종 이상을 포함하는 재료를 이용한다. 또한, 상기로부터 선택되는 2종 이상을 포함하는 합금을 이용할 수도 있다.

[0040] 얼라인먼트 마크(15)는, 반도체 장치(10)의 실장시에 행하여지는 위치맞춤할 때에 자화되어 있으면 되고, 위치맞춤 이외일 때는 자화되지 않아도 좋다. 또한, 실장 후에는, 얼라인먼트 마크(15)를 구성하는 자성체가 소자(消磁)되어 있어도 좋다. 자성체의 자화는, 예를 들면, 영구자석 또는 전자석을 이용하여 행할 수 있다. 또한, PLD(펄스 레이저 어브레이전법)를 이용하여 행할 수 있다. 자성체의 소자는, 예를 들면, 자성체를 쿨리 온도 이상으로 가열함에 의해 행할 수 있다.

[0041] 또한, 얼라인먼트 마크(15)는, 도 2에 도시하는 4개로 한정되지 않고, 적어도 2개 이상 형성되어 있으면 된다. 이 때, 얼라인먼트 마크(15)는, 적어도 1개 이상이 자성체에 의해 형성되어 있으면 된다. 특히, 2개 이상의 얼라인먼트 마크(15)가 자성체에 의해 형성되어 있는 것이 바람직하고, 또한, 모든 얼라인먼트 마크(15)가 자성체에 의해 형성되어 있는 것이 바람직하다.

[0042] 또한, 자성체로 이루어지는 얼라인먼트 마크와, 자성체 이외로 이루어지는 얼라인먼트 마크를 혼재하여도 좋다. 이 경우에는, 자성체 이외로 형성되어 있는 얼라인먼트 마크(15)는, 언더 범프 메탈(UBM)(16)과 같은 재료, 예를 들면, Ti, TiW, W 및 Cu 등으로 형성하는 것이 바람직하다. 또한, UBM(16)과 다른 재료에 의해 형성하여도 좋다. 자성체 이외로 얼라인먼트 마크를 형성하는 경우에도, 자성체가로 이루어지는 기둥형상의 얼라인먼트 마크와 같은 높이로, 얼라인먼트 마크를 형성한다.

[0043] 얼라인먼트 마크(15)의 형성 위치는, 도 2에 도시하는 반도체 소자(11)의 모서리부 근처의 4모퉁이로 한정되지 않고, 반도체 소자의 형상 등을 고려하여 임의의 개소에 형성할 수 있다.

[0044] 광학 카메라를 이용하여 위치맞춤을 행한 경우에는, 범프 전극의 형성 위치보다도, 반도체 소자의 단부측에 형성할 필요가 있다. 이것은, 위치맞춤할 때에, 반도체 소자(11)와 실장면과의 사이에 광학 카메라를 삽입하고, 각각의 얼라인먼트 마크의 위치를 확인할 필요가 있기 때문이다. 얼라인먼트 마크(15)를 자성체에 의해 형성하고, 자성체의 자력에 의해 위치맞춤을 하는 경우에는, 광학 카메라의 삽입이 불필요하게 된다. 이 때문에, 자성체에 의한 얼라인먼트 마크(15)는, 상술한 자성체 이외에 의한 얼라인먼트 마크보다도 형성 위치의 자유도가 크다. 예를 들면, 반도체 장치(10)와 실장면과의 사이에 광학 카메라를 삽입할 수가 없는 위치에서도, 얼라인먼트 마크(15)를 형성할 수 있다.

[0045] 자성체로 이루어지는 얼라인먼트 마크(15)를 자화한 후, 반도체 장치(10)를 다른 반도체 장치 또는 실장 기판 등에 실장하면, 리플로 노(爐) 내에서 언더필 수지(18)가 용융한 상태에서, 반도체 장치(10)가 얼라인먼트 마크(15)의 자력에 의해 위치맞춤된다. 이와 같이, 얼라인먼트 마크(15)의 자력에 의해, 리플로시에 셀프 얼라인먼트가 행하여진다.

[0046] 언더필 수지(18)는, 반도체 장치(10)를 실장할 때에, 범프(17)의 접속 부분, 반도체 장치(10)의 실장면이 언더필 수지(18)에 의해 피복되는 두께로 형성한다. 예를 들면, 반도체 소자(11) 표면부터 언더필 수지의 두께가, 실장 후의 반도체 장치(10)의 실장면과, 반도체 장치(10)가 실장되는 반도체 장치 또는 실장 기판 등의 실장면과의 거리 이상의 두께로 형성되어 있는 것이 바람직하다. 반도체 장치(10)와 실장 기판 등과의 사이에 언더필 수지(18)가 충전되는 구성으로 함에 의해, 실장 신뢰성을 확보할 수 있다.

[0047] 언더필 수지(18)로서는, 예를 들면, 페놀계, 아민계, 및 산무수물 경화제를 이용한 열경화성 수지를 이용하는 것이 바람직하다. 또한, 리플로시의 셀프 얼라인먼트 성을 고려하여, 언더필 수지(18)의 최저 용융 점도는, 0.01Pa?s 내지 10Pa?s인 것이 바람직하다. 수지 용융 점도가 너무 낮으면, 언더필 수지(18)의 유동성이 현저하게 상승하고, 반도체 장치(10)의 실장면의 외부로 유출될 우려가 있다. 또한, 수지 용융 점도가 높으면, 수지 유동성이 낮고, 리플로시의 얼라인먼트 마크(15)의 자력(磁力)에 의한 셀프 얼라인먼트의 저항이 될 가능성이 있다.

[0048] 또한, 언더필 수지(18)는, 상기 수지에 플러스 활성력(活性力)을 갖는 재료를 포함하는 것이 바람직하다. 언더필 수지(18)에 플러스 활성력이 부여되어 있으면, 리플로시에 우선 언더필 수지(18)가 용융함에 의해, 범프(17)의 표면의 산화막이 환원된다. 그리고, 자성체로 이루어지는 얼라인먼트 마크(15)의 맞당기는 힘에 의해, 상하의 범프끼리가 접촉하여 금속 접속이 형성된다.

[0049] 또한, 반도체 장치(10)에서 얼라인먼트 마크(15)는, 패시베이션층(13)상에 형성되어 있지만, 패드 전극(12)과

동일면에 형성하는 것도 가능하다. 이 경우에는, 얼라인먼트 마크(15)를 패드 전극(12)과 같은 재료로 형성하는 것도 가능하다.

- [0050] 다음에, 상술한 반도체 장치(10)끼리를 범프 전극(19)으로 접속한 상태를 도 3에 도시한다.
- [0051] 도 3에 도시하는 구성에서는, 같은 구성의 반도체 장치(10)가 서로 범프 전극(19)의 형성면을 대향시켜서 배치되어 있다. 그리고, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)가, 서로의 범프 전극(19)에 의해 접속되어 있다. 범프 전극(19)은, 표면의 범프(17)가 서로 확산하여 일체화함에 의해, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)가 전기적으로 접속되어 있다.
- [0052] 그리고, 언더필 수지(18)에 의해, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)가 기계적으로 접속되고, 범프 전극(19)에 의한 접속부가 언더필 수지(18) 내에 형성되어 있다. 이와 같이, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)의 사이를 언더필 수지(18)가 채움에 의해 필릿이 형성된다.
- [0053] 또한, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)는, 서로 반도체 소자(11)상에 형성되어 있는 상호의 얼라인먼트 마크(15)의 위치를 맞추어서 배치되어 있다.
- [0054] 접속면에 자성체로 이루어지는 얼라인먼트 마크(15)를 구비하고, 이 자성체를 자화함에 의해, 자성체끼리가 위치를 끌어당겨서, 얼라인먼트 마크끼리의 정확한 위치맞춤이 가능해진다. 이 때문에, 광학 카메라 등을 이용하는 일 없이 상부 반도체 장치(10A)와 하부 반도체 장치(10B)와의 정확한 위치맞춤이 가능해진다.
- [0055] 특히, 2개 이상의 얼라인먼트 마크(15)가 자성체로 형성되어 있는 경우에는, 자력에 의한 위치맞춤만으로, 정밀도가 높은 위치맞춤이 가능해진다.
- [0056] 상술한 바와 같이, 범프 전극을 이용한 플립 칩 접속 등을 행하는 상부 반도체 장치(10A)와 하부 반도체 장치(10B)에서, 서로의 반도체 소자(11)에 자성체로 이루어지는 얼라인먼트 마크가 형성된다. 이 때문에, 상하 반도체 소자의 자력에 의한 위치맞춤 후, 리플로 공정에서 범프가 용융하면, 자성체끼리가 맞닿기는 힘에 의해 반도체 소자(11)가 정확한 위치로 이동한다. 이 작용에 의해, 셀프 얼라인먼트에 의한 고정밀한 위치맞춤이 가능해진다.
- [0057] 또한, 도 3에 도시하는 구성에서는, 각 상하 반도체 소자에 형성된 자성체에 각각 반대의 자계를 인가하고, 또한 상하 반도체 소자(11)상의 적어도 어느 한쪽에 미리 플럭스 활성 성분을 갖는 언더필 수지(18)가 형성되어 있다. 미리 반도체 장치(10)의 표면에 플럭스 활성력을 갖는 언더필 수지(18)가 형성되어 있기 때문에, 리플로 공정에서, 범프 접속과, 자성체끼리가 맞닿기에 의한 위치맞춤을 동시에 행하는 셀프 얼라인먼트가 가능해진다. 특히, 광학식 카메라의 정밀도의 한계에 의해, 광학적인 위치맞춤 정밀도의 향상을 바랄 수가 없는 20 μ m 이하의 미세 범프를 이용한 접속에서, 위치 저(低)택트화와 위치맞춤 정밀도 향상이 가능해진다.
- [0058] 또한, 플럭스 활성력을 가지며, 리플로시의 온도에서의 최저 용융 점도가 0.01Pa?s 내지 10Pa?s의 언더필 수지를 이용함으로써, 리플로시에 수지의 저항이 낮아지고, 자화된 자성체끼리의 맞닿기는 힘에 의한 위치맞춤이 용이해진다.
- [0059] 또한, 반도체 장치(10)끼리를 접속한 후, 자성체로 이루어지는 얼라인먼트 마크를 소자하여 자력을 갖지 않는 상태로 하여도 좋다. 이에 의해, 접속 후에, 자력에 의한 반도체 장치(10)의 오작동 등을 막을 수 있다.
- [0060] 다음에, 반도체 장치(10)에서의 얼라인먼트 마크(15)의 높이에 관해 설명한다.
- [0061] 도 3에 도시하는 바와 같이, 자성체 또는 영구자석이 접촉한 때에 발생한 상하 반도체 소자 사이의 거리(A)가, 범프(17)끼리가 접촉하여 전기적인 접속을 확보할 수 있는 높이가 되도록, 상하의 반도체 소자(11)상에 형성되어 있는 얼라인먼트 마크(15)의 높이(B)를 조정한다.
- [0062] 얼라인먼트 마크의 높이(B)로서는, 예를 들면, 기둥형상의 얼라인먼트 마크(15)의 반도체 소자(11)의 면부터의 높이가, 패드 전극(12)상에 형성되어 있는 범프 전극(19)의 높이 이하이고, 또한, 범프(17)가 형성되어 있는 면의 높이 이상으로 할 수 있다. 도 3에 도시하는 구성에서는, 범프(17)가 형성되어 있는 면은 UBM(16)이기 때문에, 얼라인먼트 마크(15)의 높이는, UBM(16)의 높이 이상이고, 또한, 범프(17)의 높이 이하로 할 수 있다. 또한, 예를 들면, 범프(17)로서 UBM(16)상에는 솔더 합금 등을 형성하지 않는 구성으로 한 경우에는, 얼라인먼트 마크(15)의 높이는, 패드 전극(12)의 높이 이상이고, 또한, UBM(16)의 높이 이하로 할 수 있다. 특히, 얼라인먼트 마크(15)의 높이를 UBM(16)과 같은 높이로 하는 것이 바람직하다.
- [0063] 또한, 얼라인먼트 마크(15)의 높이는, 반도체 장치(10)의 실장시에 부적합함이 발생하지 않는 높이라면 좋다.

예를 들면, 얼라인먼트 마크(15)의 높이는 언더필 수지(18) 이하의 높이로 형성하는 것이 바람직하다.

- [0064] 또한, 상하 반도체 소자의 얼라인먼트 마크(15)는, 각각 동일한 높이로 형성되지 않아도 좋고, 예를 들면, 어느 한쪽의 높이가 작아도 좋다. 반도체 소자를 접속한 때에, 상부 반도체 장치(10A)의 얼라인먼트 마크(15)의 높이와, 하부 반도체 장치(10B)의 얼라인먼트 마크(15)의 높이의 합계가, 상술한 거리(A)를 확보할 수 있으면 각각의 얼라인먼트 마크(15)의 높이는 특히 한정되지 않는다.
- [0065] 또한, 상술한 실시 형태에서는, 같은 구성의 반도체 장치(10)끼리를 접속하는 경우에 관해 설명하였지만, 반도체 장치(10)를 접속하는 대상은, 상술한 실시 형태로 한정되지 않는다. 반도체 장치(10)와 마찬가지로 자성체로 이루어지는 얼라인먼트 마크를 구비하고 있으면, 다른 구성으로 이루어지는 반도체 장치나 회로 기관 등에 접속할 수 있다. 또한, 자성체로 이루어지는 얼라인먼트 마크는, 대응하는 위치의 한편이 자력을 갖고 있으면, 다른 쪽의 얼라인먼트 마크가 자화되어 있지 않아도 좋다.
- [0066] <2. 제 1 실시 형태의 반도체 장치의 제조 방법>
- [0067] 다음에, 제 1 실시 형태의 반도체 장치의 제조 방법에 관해 설명한다. 그리고, 이하의 제조 방법의 설명에서는, 상술한 제 1 실시 형태의 반도체 장치와 같은 구성에는, 도 1 내지 3과 같은 부호를 붙이고, 각 구성의 상세한 설명은 생략한다. 또한, 이하의 설명에서는, 반도체 기관 상에 형성되는 복수의 반도체 소자 중, 하나의 반도체 소자의 단면도만을 나타내어 설명한다.
- [0068] 우선, 도 4의 A에 도시하는 바와 같이, 패드 전극(12) 및 패시베이션층(13)을 구비하는 반도체 소자(11)가 형성된 반도체 기관을 준비한다. 그리고, 기관 상의 반도체 소자(11)의 표면에 역스퍼터를 행하여, 패드 전극(12) 표면의 산화막 등을 제거한다.
- [0069] 다음에, 도 4의 B에 도시하는 바와 같이, 스퍼터링법을 이용하여, 패드 전극(12) 및 패시베이션층(13)을 피복하여, 반도체 소자(11)의 전면에 배리어층(14)을 형성한다. 배리어층(14)의 형성은, 예를 들면, 패드 전극(12) 및 패시베이션층(13)상에, 스퍼터링법을 이용하여 Ti층을 형성한다. 그리고, Ti층을 피복하도록, 마찬가지로 스퍼터링법을 이용하여 Cu층을 형성한다.
- [0070] 다음에, 도 4의 C에 도시하는 바와 같이, 배리어층(14)상에 포토레지스트층(21)을 형성한다. 포토레지스트층(21)은, 기관 전면을 덮도록, 예를 들면 스핀 코팅법에 의해 감광성의 레지스트 재료를 도포한 후, 이 도막을 건조시킴에 의해 형성한다. 또한, 포토레지스트층(21)은, 반도체 소자(11)상에 형성하는 얼라인먼트 마크(15)의 높이 이상의 두께로 형성한다.
- [0071] 다음에, 도 4의 D에 도시하는 바와 같이, 포토 마스크(22)를 이용하여 포토레지스트층(21)에 노광 처리를 행한다. 포토 마스크(22)로는, 얼라인먼트 마크를 형성하는 영역에 노광광을 조사하는 패턴을 이용한다. 그리고, 도 4의 E에 도시하는 바와 같이, 포토레지스트층(21)에 현상 처리를 행하여, 포토레지스트층(21)의 노광부를 제거하고, 포토레지스트층(21)에 개구부(23)를 형성한다. 개구부(23)는, 얼라인먼트 마크의 형성 위치와 대응하는 위치에 형성한다.
- [0072] 다음에, 도 5의 F에 도시하는 바와 같이, 포토레지스트층(21)의 개구부(23)에 전해 도금법을 이용하여 얼라인먼트 마크(15)를 형성한다. 반도체 소자(11)상에 형성하는 얼라인먼트 마크(15) 중, 적어도 1개소 이상에 자성체를 이용하여 얼라인먼트 마크(15)를 형성한다. 이에 의해, 반도체 소자(11) 및 배리어층(14) 상에 얼라인먼트 마크(15)가 형성된다.
- [0073] 얼라인먼트 마크(15)를 자성체로 형성하는 경우에는, Ni, Fe 및 Co로부터 선택되는 적어도 1종류 이상을 이용한 도금층에 의해 형성한다.
- [0074] 또한, 자성체로 이루어지는 얼라인먼트 마크(15)와, 상기 자성체 이외로 이루어지는 얼라인먼트 마크(15)를 혼재하는 경우에는, 자성체 이외로 이루어지는 얼라인먼트 마크(15)는, 예를 들면, Ti, TiW, W 및 Cu 등의 도금층에 의해 형성한다.
- [0075] 얼라인먼트 마크(15)의 높이는, 패드 전극(12)상에 형성되어 있는 범프 전극(19)의 높이 이하이고, 또한, 범프(17)가 형성되어 있는 면의 높이 이상으로 형성한다. 또한, 범프(17)로서 UBM(16)상에는 솔더 합금 등을 형성하지 않는 구성의 경우에는, 얼라인먼트 마크(15)의 높이를 UBM(16)과 같은 높이로 형성한다.
- [0076] 다음에, 도 5의 G에 도시하는 바와 같이, 반도체 소자(11) 상에서 포토레지스트층(21)을 제거한다. 그리고, 도 5의 H에 도시하는 바와 같이, 배리어층(14) 상에 포토레지스트층(24)을 형성한다. 포토레지스트층(24)은, 기관

의 면 및 얼라인먼트 마크(15)를 덮도록, 예를 들면 스핀 코팅법을 이용하여 도포한 후, 이 도막을 건조시킴에 의해 형성한다.

[0077] 다음에, 도 5의 I에 도시하는 바와 같이, 포토 마스크(25)를 이용하여 포토레지스트층(24)에 노광 처리를 행한다. 포토 마스크(25)로는, 패드 전극(12)의 중앙 부분에 노광광을 조사한 패턴을 이용한다. 그리고, 노광 후에 포토레지스트층(24)에 현상 처리를 행하여, 노광부를 제거하여 포토레지스트층(24)에 개구부(26)를 형성한다.

[0078] 그리고, 도 6의 J에 도시하는 바와 같이, 전해 도금법을 이용하여 개구부(26) 내에 언더 범프 메탈(UBM)(16)을 형성한다. 또한, 도 6의 K에 도시하는 바와 같이, 개구부(26) 내에서 UBM(16)상에, 전해 도금법을 이용하여 솔더층(17A)을 형성한다. UBM(16)은, 예를 들면, Ni, Ti, TiW, W 및 Cu 등의 전해 도금에 의해 형성한다. 또한, 솔더층(17A)은, SnAg 등의 솔더 합금을 이용한 전해 도금에 의해 형성한다.

[0079] 다음에, 포토레지스트층(24)을 제거한 후, 스퍼터 에칭에 의해 반도체 소자(11)의 표면에 노출하는 배리어층(14)을 제거한다. 그리고, 도 6의 L에 도시하는 바와 같이, 리플로에 의하여 솔더층(17A)을 용융하고 범프(17)를 형성한다. 배리어층(14)의 제거에서는, 기관 전면에 대해, UBM(16) 및 솔더층(17A)을 마스크로 하여 행함에 의해, UBM(16)의 하층에만 배리어층(14)을 잔존시킬 수 있다. 또한, 얼라인먼트 마크(15)도 에칭 마스크가 되기 때문에, 얼라인먼트 마크(15)의 하부에도, 배리어층(14)이 잔존한다. 또한, 리플로에 의해 솔더층(17A)을 구형상의 범프(17)로 형성함으로써, 패드 전극(12)상에 UBM(16)과 범프(17)로 이루어지는 범프 전극(19)을 형성한다.

[0080] 이 상태에서, 형성한 자성체가 상자성인 경우에는, 얼라인먼트 마크를 자화한다. 얼라인먼트 마크의 자화 방법은, 예를 들면, 영구자석 또는 전자석을 이용하여 행한다. 또한, PLD(펄스 레이저 어브레이전법)를 이용하여 행한다. 이 공정에 의해, 자성체에 자계를 가한다. 자계는, 반도체 소자(11)면에 대해 자속이 수직 방향이 되도록 가한다. 그리고, 반도체 장치(10)의 얼라인먼트 마크(15)와, 이 반도체 장치(10)를 실장하는 기기의 얼라인먼트 마크가 반대의 자속이 되도록, 얼라인먼트 마크(15)에 자속이 생긴다.

[0081] 다음에, 도 6의 M에 도시하는 바와 같이, 반도체 소자(11)측의 기관의 면에 언더필 수지(18)를 형성한다. 언더필 수지(18)는, 예를 들면, 언더필 수지를 포함하는 도포액을 이용한 스핀 코팅법, 또는, 언더필 수지의 드라이 필름의 래미네이트에 의해 형성한다. 그리고, 기관으로부터 반도체 소자(11)를 절삭 및 개편화하여, 반도체 장치(10)를 제조한다.

[0082] 이상과 같이, 기관의 반도체 소자(11) 형성면에, 포토 리소그래피와 전해 도금을 이용하여, 얼라인먼트 마크(15)와, UBM(16) 및 솔더 범프(17)를 형성한다. 얼라인먼트 마크(15)는, 윗면이 위치가 반도체 소자(11)의 형성면으로부터 범프 전극(19)의 높이 이하가 되도록 형성한다. 또한, 언더필 수지(18)에 의해 반도체 소자(11)의 범프 전극(19) 형성면을 피복할 때에, 얼라인먼트 마크(15)도 동시에 피복한다. 이 때의 언더필 수지(18)는, 얼라인먼트 마크(15)의 높이 이상의 두께로 형성한다.

[0083] 그리고, 상술한 제조 방법에서는, 얼라인먼트 마크(15)를 구성하는 자성체의 자화 공정을, 기관으로부터 반도체 소자(11)를 절삭 및 개편화하기 전에 행하고 있지만, 얼라인먼트 마크(15)가 형성된 후라면, 자성체의 자화 공정은 언제 행하여도 좋다. 예를 들면, 자성체를 자화하는 공정은, 반도체 소자(11)를 개편화한 후에 행하여도 좋다.

[0084] 또한, 상술한 실시 형태의 제조 방법에서는, 얼라인먼트 마크(15)는, UBM(16) 및 솔더층(17A)의 형성 공정 전에 제작하고 있지만, UBM(16) 및 솔더층(17A)의 형성 공정과 얼라인먼트 마크(15)의 형성 공정의 순서는 특히 한정되지 않는다. 얼라인먼트 마크(15)와, UBM(16) 및 솔더층(17A)의 형성 공정은, 배리어층(14)의 형성 공정 후이고, 배리어층(14)의 에칭 공정 전이라면, 순서를 불문하고에 행할 수 있다.

[0085] 다음에, 상술한 제조 방법에 의해 형성된 반도체 장치(10)를 접속하는 방법에 관해 설명한다. 이하의 설명에서는, 반도체 장치(10)의 접속의 한 예로서, 같은 구성의 반도체 장치(10)를 2개 이용하여, 각각의 범프 전극(19) 형성면끼리를 대향시켜서 접속하는 방법에 관해 나타낸다.

[0086] 우선, 도 7의 N에 도시하는 바와 같이, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)와의 위치맞춤을 행한다. 이때의 위치맞춤에서는, 광학적인 위치맞춤을 행하지 않아도, 얼라인먼트 마크(15)에 의한 자속이 다른 자성체끼리를 이용하여 위치맞춤을 행한다. 이 때문에, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)의 위치를, 어느 정도 거치른 위치맞춤 정밀도로 접속시킨 경우에도, 자력의 맞닿겨짐에 의한 위치맞춤이 가능해진다.

[0087] 다음에, 도 7의 O에 도시하는 바와 같이, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)를 위치맞춤한 상태에

서, 리플로 노(爐) 내에서 가열한다. 리플로에 의해, 범프(17)의 용점 이상, 예를 들면, 범프(17)가 Sn-3.5Ag인 경우에는, 용점 221℃ 이상으로 가열하고, 범프(17)를 용융시켜서 접속한다. 이 때, 플렉스 활성 성분을 갖는 언더필 수지(18)가 범프(17)보다도 우선 용융함으로써, 리플로시에 범프(17)의 표면의 산화막이 환원된다. 그리고, 자성체로 이루어지는 얼라인먼트 마크(15)가 자력에 의한 맞당기는 힘으로, 상하의 범프끼리를 접촉시켜서 금속 접속을 형성할 수 있다.

[0088] 또한, 언더필 수지(18)를 가열하여 경화한다. 언더필 수지(18)는, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)를 접착함에 의해, 반도체 소자끼리의 접착면의 기계적인 접속 신뢰성을 향상시킨다. 또한, 언더필 수지(18)를 경화하기 위한 가열은, 상술한 범프(17)를 접속시키기 위한 리플로와 동시에 행할 수도 있다.

[0089] 상술한 바와 같이, 리플로에 의해 범프(17)가 용융되고, 또한, 언더필 수지(18)가 유동함에 의해, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)가 유동 상태가 된다. 이 때문에, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)는, 서로의 얼라인먼트 마크(15)가 자력으로 맞당기는 힘에 의해, 위치맞춤의 미조정이나 수정이 행하여진다. 이와 같이, 얼라인먼트 마크(15)가 자화된 자성체로 이루어짐에 의해, 리플로 전의 상부 반도체 장치(10A)와 하부 반도체 장치(10B)를 접촉시키는 최초의 위치맞춤 외에, 리플로시에 자력에 의한 셀프 얼라인먼트가 행하여진다.

[0090] 이상의 공정에 의해, 얼라인먼트 마크(15)를 구성하는 자성체의 자력에 의한 위치맞춤을 이용하여, 반도체 장치(10)끼리를 접속할 수 있다.

[0091] 또한, 상부 반도체 장치(10A)와 하부 반도체 장치(10B)를 접속한 후, 자성체로 이루어지는 얼라인먼트 마크(15)를 소자할 수도 있다. 얼라인먼트 마크(15)의 소자는, 자성체로서 사용하는 재료의 큐리 온도 이상으로 가열하여 행한다. 얼라인먼트 마크(15)의 자력을 지움에 의해, 반도체 장치의 자력에 의한 오작동을 없앨 수 있다.

[0092] <3. 반도체 장치의 제 2 실시 형태>

[0093] 다음에, 반도체 장치의 제 2 실시 형태에 관해 설명한다.

[0094] 본 기술의 자성체를 이용한 얼라인먼트 마크에 의한 위치맞춤은, 상술한 제 1 실시 형태에서 나타난 범프를 이용한 반도체 소자의 플립 칩 접속 이외에도, 금속 전극의 3차원 접속을 이용한 반도체 기관끼리의 접속에도 적용할 수 있다.

[0095] 도 8에, 금속 전극에 의해 접속된 반도체 장치의 한 예로서, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)가 금속 전극(45)에 의해 접속된 구성의 반도체 장치(30)를 도시한다.

[0096] 도 8에 도시하는 반도체 장치(30)는, 복수의 화소가 배열된 화소 영역을 구비하는 제 1 반도체 장치(31)와, 신호 처리를 행하는 로직 회로를 구비하는 제 2 반도체 장치(32)를 구비한다. 그리고, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)가, 금속 전극(45)에 의해 서로 전기적으로 접속되어, 하나의 디바이스로서 구성된 고체 촬상 장치이다.

[0097] 제 1 반도체 장치(31)는, 제 1 반도체 기관(50)을 구비한다. 제 1 반도체 기관(50)에는, 화소 영역에, 각 화소의 광전 변환부가 되는 포토 다이오드(PD), 각 화소 트랜지스터의 소스/드레인 영역, 및, 제 1 반도체 기관(50) 상에 형성된 게이트 전극으로 이루어지는 광전 변환부(41)를 구비한다. 그리고, 제 1 반도체 장치(31)의 제 2 반도체 장치(32)와 접속된 면과는 반대의 제 1 반도체 기관(50)의 면에 평탄화막(44)이 형성되고, 광전 변환부(41)상에 컬러 필터(42) 및 온 칩 마이크로 렌즈(43)가 이 순서로 적층되어 있다.

[0098] 또한, 제 1 반도체 장치(31)의 제 2 반도체 장치(32)와 접속되는 측의 제 1 반도체 기관(50)의 면에는, 배선층(33)이 형성되어 있다. 배선층(33)은, 복수의 층으로 이루어지는 절연층(35)과, 각 절연층(35) 내에 형성된 도체층(37)으로 이루어지는 배선과, 각 층의 도체층(37)끼리를 전기적으로 접속하는 접속 도체(36)로 이루어진다.

[0099] 그리고, 배선층(33)의 표면(40)(제 1 반도체 기관(50)과 반대의 면)에, 접속용의 금속 전극(45)이 형성되어 있다. 또한, 금속 전극(45)의 주위에, 얼라인먼트 마크(46)가 형성되어 있다.

[0100] 제 2 반도체 장치(32)는, 제 2 반도체 기관(55)을 구비한다. 제 2 반도체 기관(55)에는, 신호 처리를 위한 신호 처리 회로를 포함하는 로직 회로가 형성되어 있다. 제 2 반도체 장치(32)의 제 1 반도체 장치(31)와 접속되는 측의 제 2 반도체 기관(55)의 면에, 로직 회로를 구성하는 복수의 MOS 트랜지스터를 구비한다. MOS 트랜지스터는, 소자 분리 영역에서 분리된 1쌍의 소스/드레인 영역(39)과, 게이트 절연막을 통하여 형성한 게이트 전극(38)을 갖는다.

- [0101] 또한, 제 2 반도체 기판(55) 상에는, 배선층(34)이 형성되어 있다. 배선층(34)은, 복수의 층으로 이루어지는 절연층(35)과, 각 절연층(35) 내에 형성된 도체층(37)으로 이루어지는 배선과, 각 층의 도체층(37)끼리를 전기적으로 접속하는 접속 도체(36)로 이루어진다.
- [0102] 그리고, 배선층(34)의 최표면(40)(제 2 반도체 기판(55)과 반대의 면)에, 접속용의 금속 전극(45)이 형성되어 있다. 또한, 금속 전극(45)의 주위에, 얼라인먼트 마크(46)가 형성되어 있다. 제 2 반도체 장치(32)에 형성된 금속 전극(45) 및 얼라인먼트 마크(46)는, 상술한 제 1 반도체 장치(31)의 접속용의 금속 전극(45) 및 얼라인먼트 마크(46)와 대응하는 위치에 형성되어 있다.
- [0103] 얼라인먼트 마크(46)는, 도 9에 도시하는 바와 같이, 제 1 반도체 장치(31) 및 제 2 반도체 장치(32)(이하, 반도체 장치(31, 32))의 주변부에 가까운 위치에 복수 형성된다. 통상 1개의 반도체 기판에 대해 적어도 2개소 이상의 얼라인먼트 마크(46)가 형성된다.
- [0104] 또한, 도 8에 도시하는 바와 같이, 얼라인먼트 마크(46)는, 배선층(33)의 표면의 절연층(35)에서, 접속용의 금속 전극(45)과 표면이 동일한 높이가 되도록, 절연층(35) 내에 매입되고 형성되어 있다. 또한, 얼라인먼트 마크(46)는, 자력에 의해 위치맞춤이 가능하고, 반도체 장치(31, 32)의 접속에 이상이 발생하지 않는 높이라면 좋다. 바람직하게는, 도 8에 도시하는 바와 같이 절연층(35) 내에 매입되어 있는 구성으로 할 수 있다. 또한, 얼라인먼트 마크(46)는, 절연층(35)의 표면에서 돌출한 구성으로 하여도 좋다. 또한, 이 경우에, 맞붙인 후에 발생한 간극에는 액상(液狀) 수지를 메울 수도 있다. 단, 얼라인먼트 마크(46)가 접속용의 금속 전극(45)보다도 돌출하고 있는 경우에는 접속이 곤란해지기 때문에 바람직하지가 않다.
- [0105] 또한, 반도체 장치(31, 32)상에 형성된 복수의 얼라인먼트 마크(46) 중, 적어도 하나가 자성체로 구성되어 있다. 특히, 2개 이상의 얼라인먼트 마크(46)가 자성체에 의해 형성되어 있는 것이 바람직하고, 또한, 복수의 얼라인먼트 마크(46)가 형성되는 경우에는, 전부가 자성체에 의해 형성되어 있는 것이 바람직하다.
- [0106] 반도체 장치(31, 32)상에 형성된 얼라인먼트 마크(46)는, 상자성체이고, 실장시에 행하여지는 위치맞춤할 때에 자화되어 있으면 되고, 위치맞춤 이외일 때는 자화되어 있지 않아도 좋다. 또한, 실장 후에는, 얼라인먼트 마크(46)를 구성하는 자성체가 소자되어 있어도 좋다.
- [0107] 얼라인먼트 마크(46)를 구성하는 자성체로서는, 예를 들면, 철(Fe), 코발트(Co), 니켈(Ni)로부터 선택되는 적어도 1종 이상 포함하는 재료를 이용한다. 또한, 상기로부터 선택된 2종 이상을 포함하는 합금을 이용할 수도 있다.
- [0108] 얼라인먼트 마크(46)를 자성체로 형성함에 의해, 반도체 장치(31, 32)의 위치맞춤을 셀프 얼라인먼트로 행할 수 있다. 이 때문에, 광학적인 위치맞춤을 행하는 일 없이 정밀도가 높은 위치맞춤이 가능해진다.
- [0109] 또한, 상술한 얼라인먼트 마크를 이용하여 위치맞춤을 행한 기판끼리의 접속이라면, 접속의 종류는 묻지 않고, 상술한 금속 전극에 의한 접속 이외에도 적용할 수 있다. 예를 들면, 플라즈마 접속에 의한 기판끼리의 접속에도 적용할 수 있다.
- [0110] <4. 제 2 실시 형태의 반도체 장치의 제조 방법>
- [0111] 다음에, 제 2 실시 형태의 반도체 장치의 제조 방법에 관해 설명한다. 또한, 이하의 제조 방법의 설명에서는, 상술한 제 2 실시 형태의 반도체 장치와 같은 구성에는, 도 8, 9와 같은 부호를 붙이고, 각 구성의 상세한 설명은 생략한다.
- [0112] 또한, 이하의 제조 방법에서는, 반도체 장치의 제조 방법의 한 예로서, 상술한 제 1 반도체 장치(31)의 제조 방법에서, 반도체 기판 상의 배선층에 형성하는 얼라인먼트 마크의 형성 방법만 설명한다. 또한, 반도체 기판, 배선층 및 이들에 형성되는 각종 소자의 형성 방법에 관해서는 설명을 생략한다. 반도체 기판, 배선층 및 금속 전극 등은, 종래 공지의 방법에 의해 제조할 수 있다. 또한, 제 2 반도체 장치(32)에 대해서도, 제 1 반도체 장치(31)와 마찬가지로 얼라인먼트 마크를 형성할 수 있고, 반도체 기판, 배선층 및 금속 전극 등은, 종래 공지의 방법에 의해 제조할 수 있다.
- [0113] 우선, 제 1 반도체 기판(50) 상에 종래 공지의 방법에 의해 도시하지 않은 배선층(33)을 형성한다. 그리고, 최표면의 절연층(35)을 형성한 후, 도 10의 A에 도시하는 바와 같이, 절연층(35) 상에 포토레지스트층(47)을 형성한다. 포토레지스트층(47)은, 제 1 반도체 기판(50) 전면을 덮도록, 예를 들면 스핀 코팅법에 의해 감광성의 레지스트 재료를 도포한 후, 이 도막을 건조시킴에 의해 형성한다.

- [0114] 다음에, 도 10의 B에 도시하는 바와 같이, 포토 마스크(48)을 이용하여 포토레지스트층(47)에 노광 처리를 행한다. 포토 마스크(48)에는, 얼라인먼트 마크를 형성하는 영역에 노광광을 조사하는 패턴을 이용한다. 그리고, 도 10의 C에 도시하는 바와 같이, 포토레지스트층(47)에 현상 처리를 행하고, 포토레지스트층(47)의 노광부를 제거하고, 포토레지스트층(47)에 개구부(49)를 형성한다.
- [0115] 다음에, 도 10의 C에 도시하는 바와 같이, 포토레지스트층(47)의 개구부(49)로부터 노출한 절연층(35)을 드라이에칭에 의해 제거한다. 개구부(49) 내의 절연층(35)을 제거함에 의해, 절연층(35)의 얼라인먼트 마크를 형성하는 위치에 오목부(51)를 형성한다. 그리고, 도 11의 E에 도시하는 바와 같이, 절연층(35)상으로부터 포토레지스트층(47)을 박리한다.
- [0116] 포토레지스트층(47)의 박리 후, 도 11의 F에 도시하는 바와 같이, 스퍼터링법을 이용하여, 절연층(35)의 표면, 및, 절연층(35)의 오목부(51) 내를 피복하여, 배리어층(52)을 형성한다. 배리어층(52)의 형성은, 예를 들면, 절연층(35)상에, 스퍼터링법을 이용하여 Ti층을 형성한다. 그리고, Ti층을 피복하도록, 마찬가지로 스퍼터링법을 이용하여 Cu층을 형성한다.
- [0117] 다음에, 도 11의 G에 도시하는 바와 같이, 절연층(35)의 표면, 및, 절연층(35)의 오목부(51)에 전해 도금법을 이용하여 얼라인먼트 마크가 되는 도금층(53)을 형성한다. 이 때, 적어도 1개소 이상의 오목부(51) 내에 자성체에 의한 도금층(53)을 형성한다. 얼라인먼트 마크(46)를 자성체로 형성하는 경우에는, Ni, Fe 및 Co로부터 선택되는 적어도 1종류 이상을 이용한 도금층(53)을 형성한다. 또한, 자성체로 이루어지는 얼라인먼트 마크(46)와, 상기 자성체 이외로 이루어지는 얼라인먼트 마크(46)를 혼재하는 경우에는, 복수회의 전해 도금에 의해 도금층(53)을 형성할 수도 있다. 이 경우에는, 임의의 개소의 오목부(51)를 레지스트 등으로 덮음에 의해, 도금층(53)에 의해 메꾸는 오목부(51)를 선택한다. 상기 자성체 이외로 이루어지는 얼라인먼트 마크(46)를 형성하는 경우에는, 예를 들면, Ti, TiW, W 및 Cu 등의 도금층(53)을 형성한다.
- [0118] 다음에, 도 11의 H에 도시하는 바와 같이, 화학 기계 연마(CMP)법을 이용하여, 절연층(35)상에 형성된 도금층을 제거하고, 오목부(51) 내에만 도금층을 잔존시켜서 얼라인먼트 마크(46)를 형성한다. 이상의 공정에 의해, 제 1 반도체 장치(31)에 얼라인먼트 마크(46)를 형성할 수 있다. 또한, 도 11의 I에 도시하는 바와 같이, 얼라인먼트 마크(46)를 형성한 후, 표면을 보호하기 위해, 제 1 반도체 장치(31)의 표면에 절연층(54)을 형성하여도 좋다.
- [0119] 다음에, 상술한 공정에 의해 제작한 반도체 장치의 접속 방법에 관해 설명한다.
- [0120] 우선, 상술한 방법에 의해 얼라인먼트 마크(46)가 형성된 제 1 반도체 장치(31)와, 제 1 반도체 장치(31)에 대응한 전극(45) 및 얼라인먼트 마크(46)를 구비하는 제 2 반도체 장치(32)를 준비한다.
- [0121] 그리고, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)와의 위치맞춤을 행한다. 이 때의 위치맞춤에서는, 형성한 자성체로 이루어지는 얼라인먼트 마크(46)가 상자성인 경우에는, 자성체를 자화함에 의해, 자성체의 자력에 의한 위치맞춤을 이용한다. 자극이 다른 자성체끼리를 이용하여 위치맞춤을 행함에 의해, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)를 어느 정도 대략적인 위치맞춤 정밀도로 접촉시킨 경우에도, 자력의 맞닿겨짐에 의해 위치가 보정되어, 정밀도가 높은 위치맞춤이 가능해진다.
- [0122] 다음에, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)를 위치맞춘 후, 서로의 금속 전극(45)을 접촉시킨 상태에서, 300℃ 내지 600℃의 온도로 열처리를 실시한다. 이에 의해, 금속 전극(45)끼리가 접합되고, 제 1 반도체 장치(31)와 제 2 반도체 장치(32)가 전기적 및 기계적으로 접속된다.
- [0123] 이상의 공정에 의해, 도 8에 도시하는 제 1 반도체 장치(31)와 제 2 반도체 장치(32)로 이루어지는 반도체 장치(30)를 제조할 수 있다. 또한, 반도체 장치(30)를 형성한 후, 자성체로 이루어지는 얼라인먼트 마크(46)를 소자할 수도 있다. 이 소자는, 상술한 금속 전극(45)을 접합할 때의 가열 공정에서 동시에 행하여도 좋다. 예를 들면, 자성체가 Ni로 이루어지고, 금속 전극(45)이 Cu로 이루어지는 경우에는, Ni의 퀴리 온도 627℃와 Cu 전극의 접합 온도가 가깝기 때문에, 소자와 접합을 같은 공정에서 행할 수 있다.
- [0124] <5. 전자 기기의 실시 형태>
- [0125] 다음에, 상술한 고체 촬상 장치를 구비하는 전자 기기의 실시 형태에 관해 설명한다. 상술한 고체 촬상 장치는, 예를 들면, 디지털 카메라나 비디오 카메라 등의 카메라 시스템, 촬상 기능을 갖는 휴대 전화, 또는, 촬상 기능을 구비하는 다른 기기 등의 전자 기기에 적용할 수 있다. 도 12에, 전자 기기의 한 예로서, 고체 촬상 장치를 정지화상 또는 동화를 촬영이 가능한 카메라에 적용한 경우의 개략 구성을 도시한다.
- [0126] 이 예의 카메라(60)는, 고체 촬상 장치(61)와, 고체 촬상 장치(61)의 수광 센서부에 입사광을 유도하는 광학계

(62)와, 고체 촬상 장치(61) 및 광학계(62) 사이에 마련된 셔터 장치(63)와, 고체 촬상 장치(61)를 구동하는 구동 회로(64)를 구비한다. 또한, 카메라(60)는, 고체 촬상 장치(61)의 출력 신호를 처리하는 신호 처리 회로(65)를 구비한다.

- [0127] 고체 촬상 장치(61)에는, 상술한 제 2 실시 형태의 반도체 장치를 적용할 수 있다. 광학계(광학 렌즈)(62)는, 피사체로부터의 상광(입사광)을 고체 촬상 장치(61)의 촬상면(부도시) 상에 결상시킨다. 이에 의해, 고체 촬상 장치(61) 내에, 일정 기간, 신호 전하가 축적된다. 또한, 광학계(62)는, 복수의 광학 렌즈를 포함하는 광학 렌즈군으로 구성하여도 좋다. 또한, 셔터 장치(63)는, 입사광의 고체 촬상 장치(61)에의 광조사 기간 및 차광 기간을 제어한다.
- [0128] 구동 회로(64)는, 고체 촬상 장치(61) 및 셔터 장치(63)에 구동 신호를 공급한다. 그리고, 구동 회로(64)는, 공급한 구동 신호에 의해, 고체 촬상 장치(61)의 신호 처리 회로(65)에의 신호 출력 동작, 및, 셔터 장치(63)의 셔터 동작을 제어한다. 즉, 이 예에서는, 구동 회로(64)로부터 공급되는 구동 신호(타이밍 신호)에 의해, 고체 촬상 장치(61)로부터 신호 처리 회로(65)에의 신호 전송 동작을 행한다.
- [0129] 신호 처리 회로(65)는, 고체 촬상 장치(61)로부터 전송된 신호에 대해, 각종의 신호 처리를 시행한다. 그리고, 각종 신호 처리가 시행된 신호(영상 신호)는, 메모리 등의 기억 매체(부도시)에 기억되고, 또는, 모니터(부도시)에 출력된다.
- [0130] 또한, 본 개시는 이하와 같은 구성도 취할 수 있다.
- [0131] (1) 반도체 소자와, 상기 반도체 소자에 형성되어 있는 접속 전극과, 상기 반도체 소자에 형성되어 있는 얼라인먼트 마크를 구비하고, 상기 얼라인먼트 마크의 적어도 하나가 자성체로 이루어지는 반도체 장치.
- [0132] (2) 상기 접속 전극을 덮도록 형성되어 있는 언더필 수지를 구비하는 (1)에 기재된 반도체 장치.
- [0133] (3) 상기 자성체가, Fe, Co 및 Ni로부터 선택되는 적어도 하나를 포함하는 (1) 또는 (2)에 기재된 반도체 장치.
- [0134] (4) 상기 반도체 소자의, 2개소 이상에 자성체로 이루어지는 얼라인먼트 마크가 형성되어 있는 (1) 내지 (3)의 어느 하나에 기재된 반도체 장치.
- [0135] (5) 상기 얼라인먼트 마크의 상기 반도체 소자의 면부터의 높이가, 상기 접속 전극의 높이 이하이고, 또한, 상기 접속 전극이 형성되어 있는 면의 높이 이상인 (1) 내지 (4)의 어느 하나에 기재된 반도체 장치.
- [0136] (6) 반도체 기관과, 상기 반도체 기관 상에 형성된 배선층과, 상기 배선층의 표면에 형성된 접속 전극과, 상기 접속 전극과 같은 층에 형성되어 있는 얼라인먼트 마크를 구비하고, 상기 얼라인먼트 마크의 적어도 하나가 자성체로 이루어지는 반도체 장치.
- [0137] (7) 반도체 소자가 형성된 기관을 준비하는 공정과, 상기 기관 상에 얼라인먼트 마크를 형성하는 공정과, 상기 기관 상에 접속 전극을 형성하는 공정을 가지며, 상기 얼라인먼트 마크를 형성하는 공정에서, 상기 반도체 소자에 형성되는 하나 이상의 얼라인먼트 마크를 자성체에 의해 형성하는 반도체 장치의 제조 방법.
- [0138] (8) 상기 자성체를 퀴리 온도 이상으로 가열하고, 상기 얼라인먼트 마크를 소자(消磁; demagnetize)하는 공정을 갖는 (7)에 기재된 반도체 장치의 제조 방법.
- [0139] 본 발명은 2011년 6월 9일자로 일본특허청에 특허출원된 일본특허원 제2011-129192호를 우선권으로 주장한다.
- [0140] 당업자라면, 하기의 특허청구범위 또는 그 등가의 범위 내에서, 설계상의 필요 또는 다른 요인에 따라, 상기 실시예의 형태에 대한 여러 가지 변형예, 조합예, 부분 조합예, 및 수정예를 실시할 수 있을 것이다.

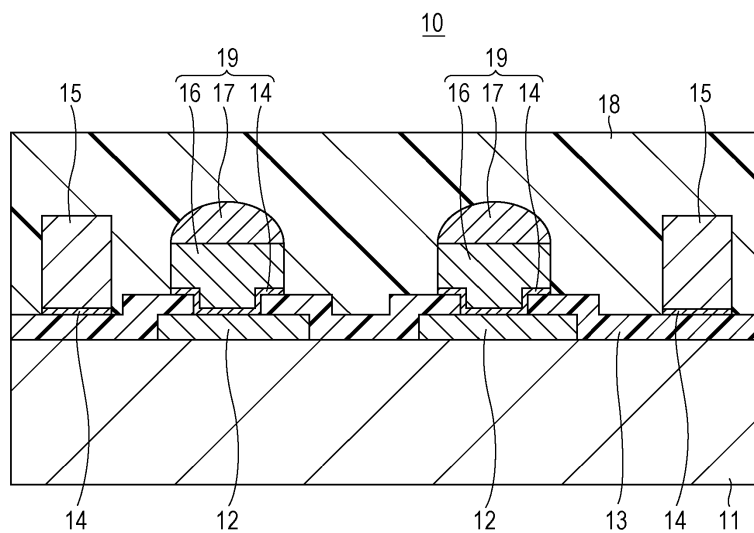
부호의 설명

- | | | |
|--------|-----------------|-------------------|
| [0141] | 10, 30 : 반도체 장치 | 10A : 상부 반도체 장치 |
| | 10B : 하부 반도체 장치 | 11 : 반도체 소자 |
| | 12 : 패드 전극 | 13 : 패시베이션층 |
| | 14, 52 : 배리어층 | 15, 46 : 얼라인먼트 마크 |
| | 16 : UBM | 17 : 범프 |

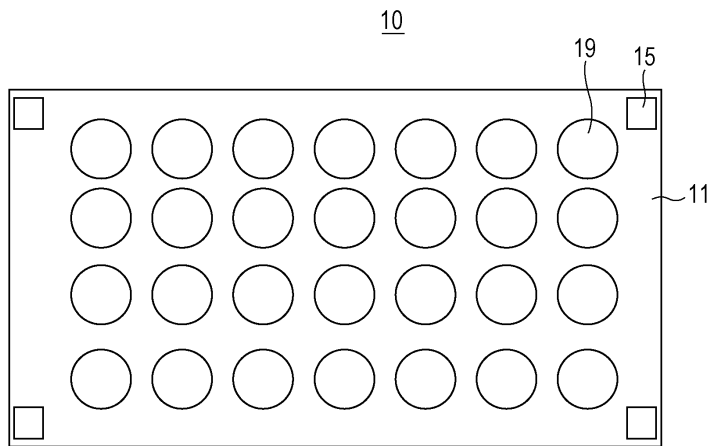
- | | |
|---------------------|----------------------|
| 17A : 솔더층 | 18 : 언더필 수지 |
| 19 : 범프 전극 | 21, 24, 47 : 포토레지스트층 |
| 22, 25, 48 : 포토 마스크 | 23, 26, 49 : 개구부 |
| 31 : 제 1 반도체 장치 | 32 : 제 2 반도체 장치 |
| 33, 34 : 배선층 | 35, 54 : 절연층 |
| 36 : 접속 도체 | 37 : 도체층 |
| 38 : 게이트 전극 | 39 : 소스/드레인 영역 |
| 40 : 최표면 | 41: 광전 변환부 |
| 42 : 컬러 필터 | 43 : 온 칩 마이크로 렌즈 |
| 44 : 평탄화막 | 45 : 금속 전극 |
| 50 : 제 1 반도체 기판 | 51 : 오목부 |
| 53 : 도금층 | 55, : 제 2 반도체 기판 |
| 60 : 카메라 | 61 : 고체 촬상 장치 |
| 62 : 광학계 | 63 : 셔터 장치 |
| 64 : 구동 회로 | 65 : 신호 처리 회로 |

도면

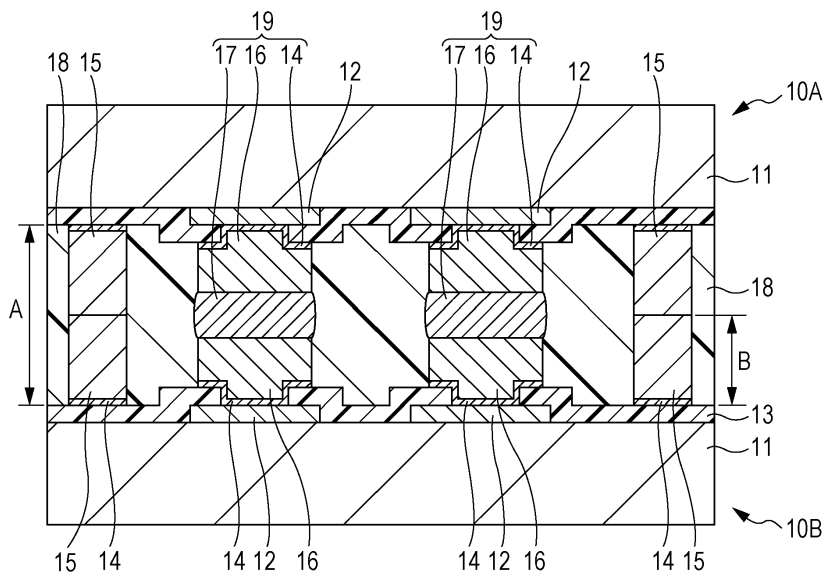
도면1



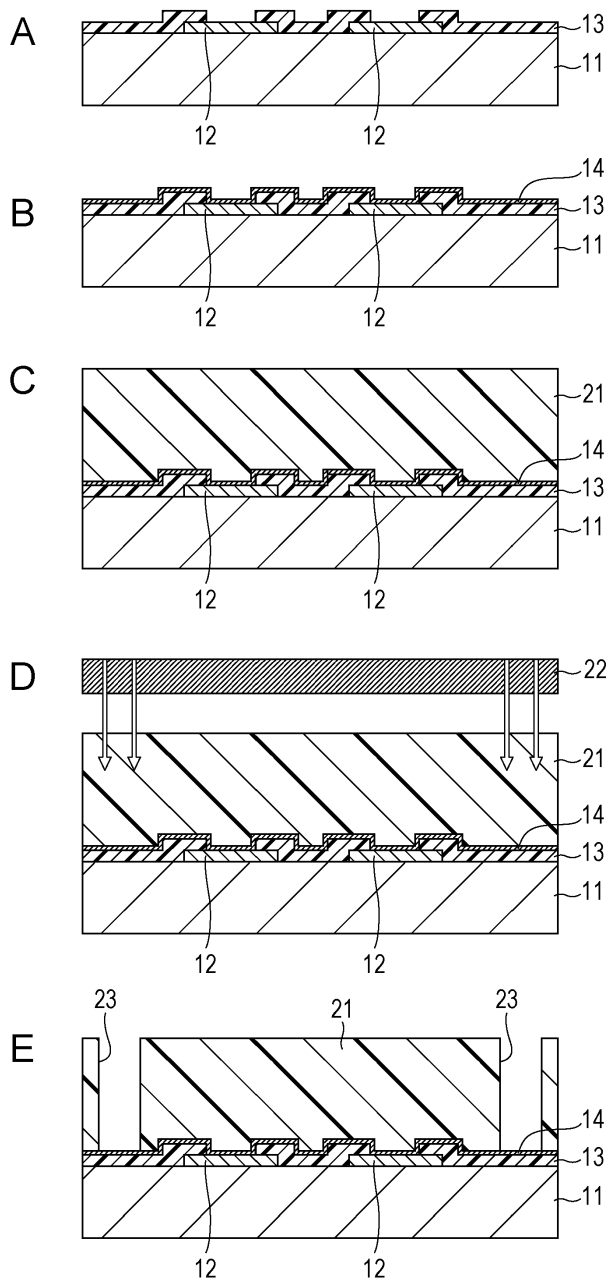
도면2



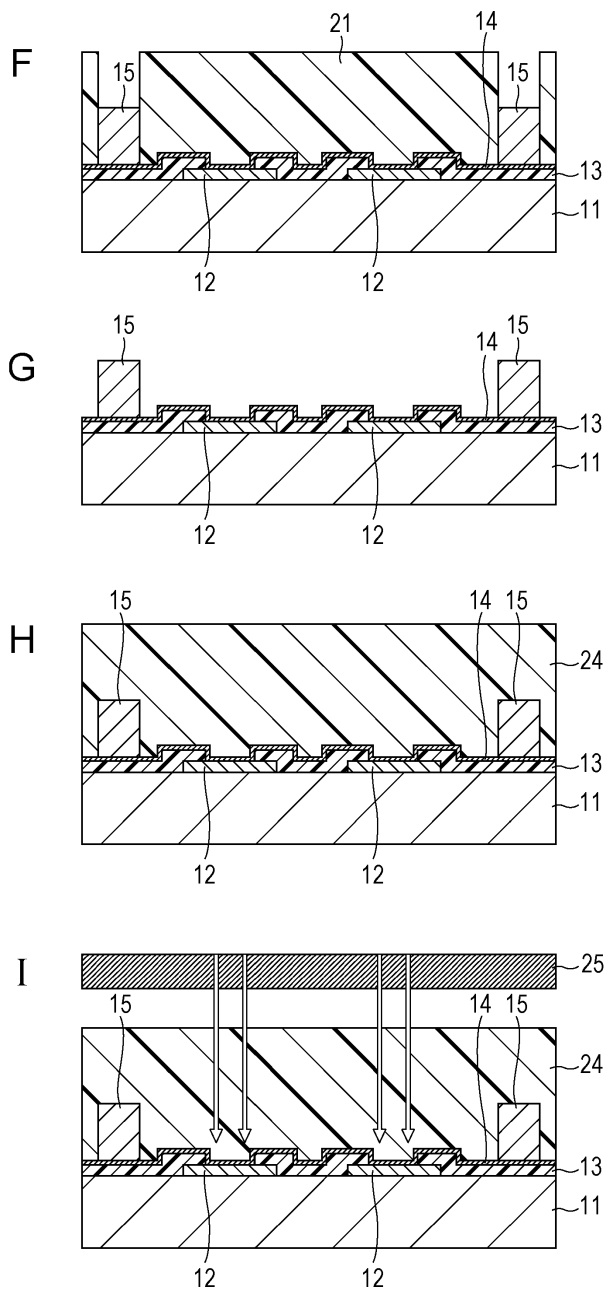
도면3



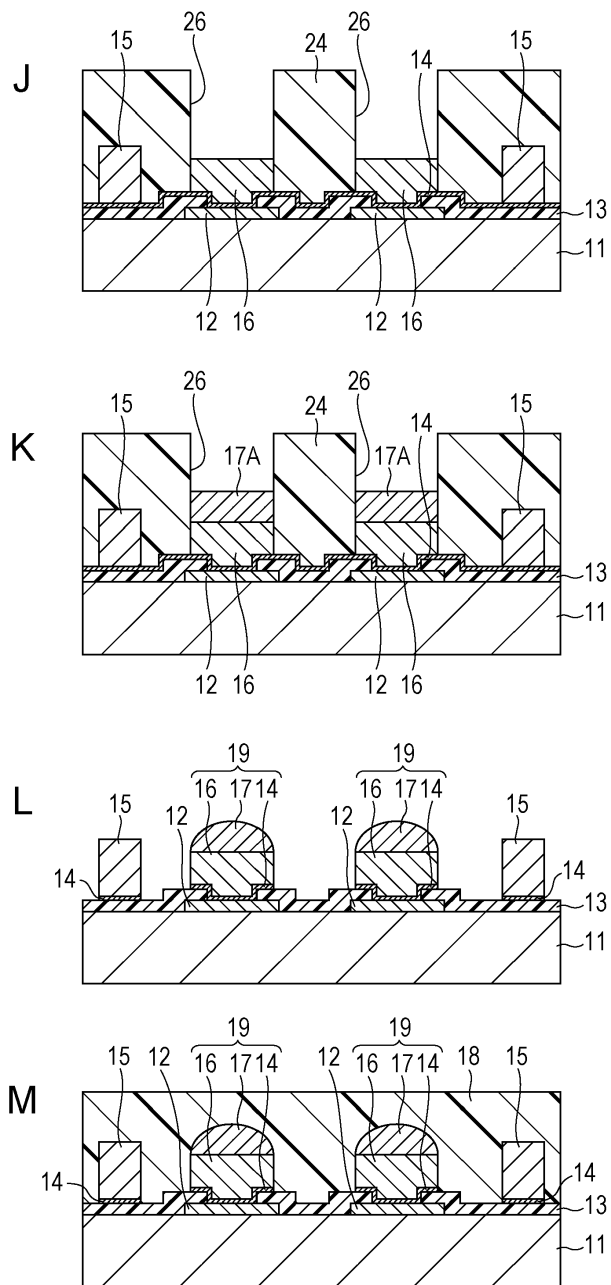
도면4



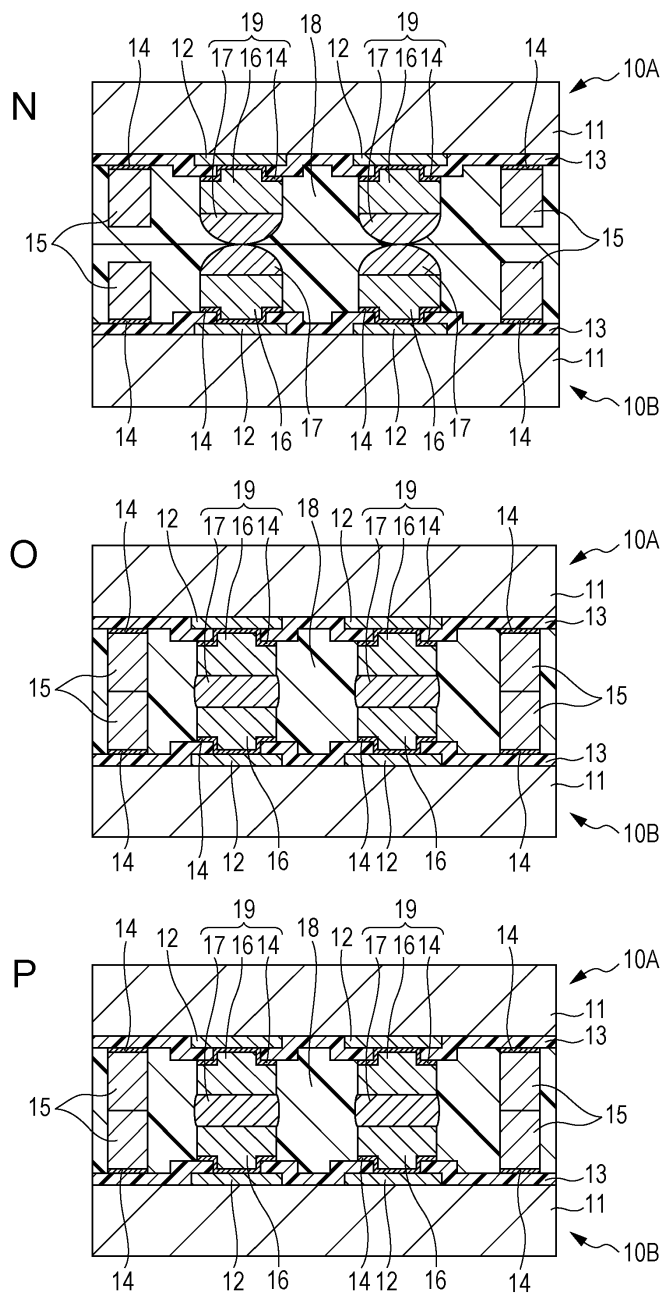
도면5



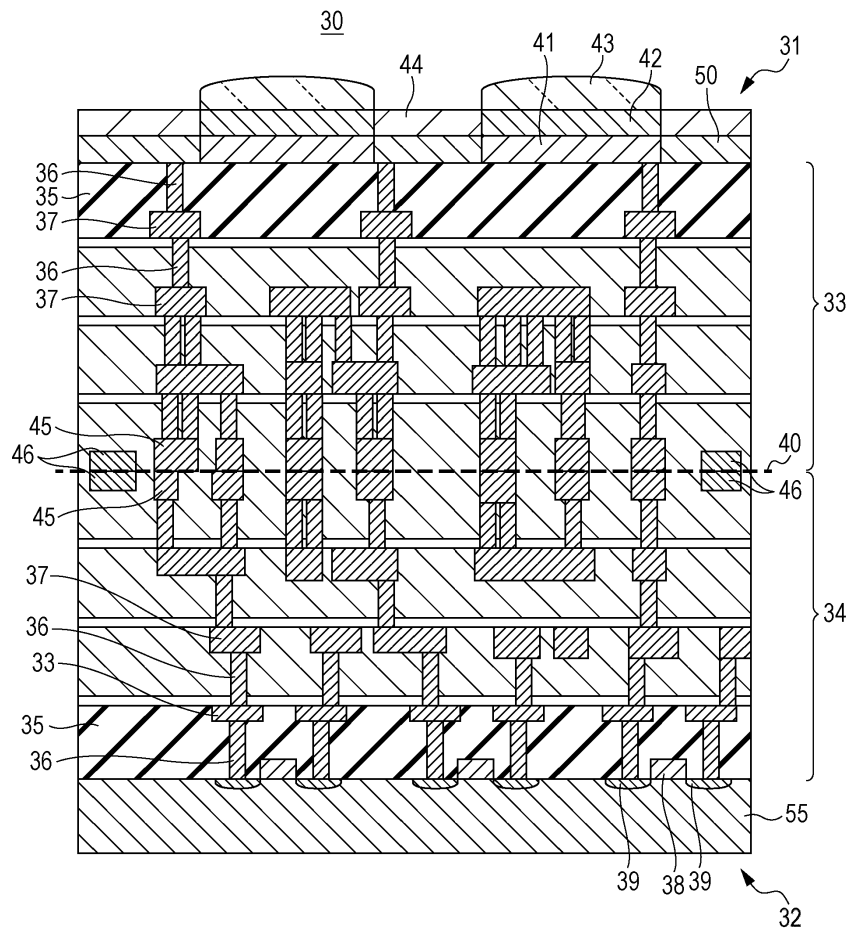
도면6



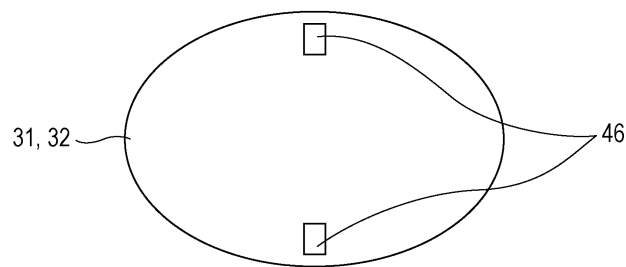
도면7



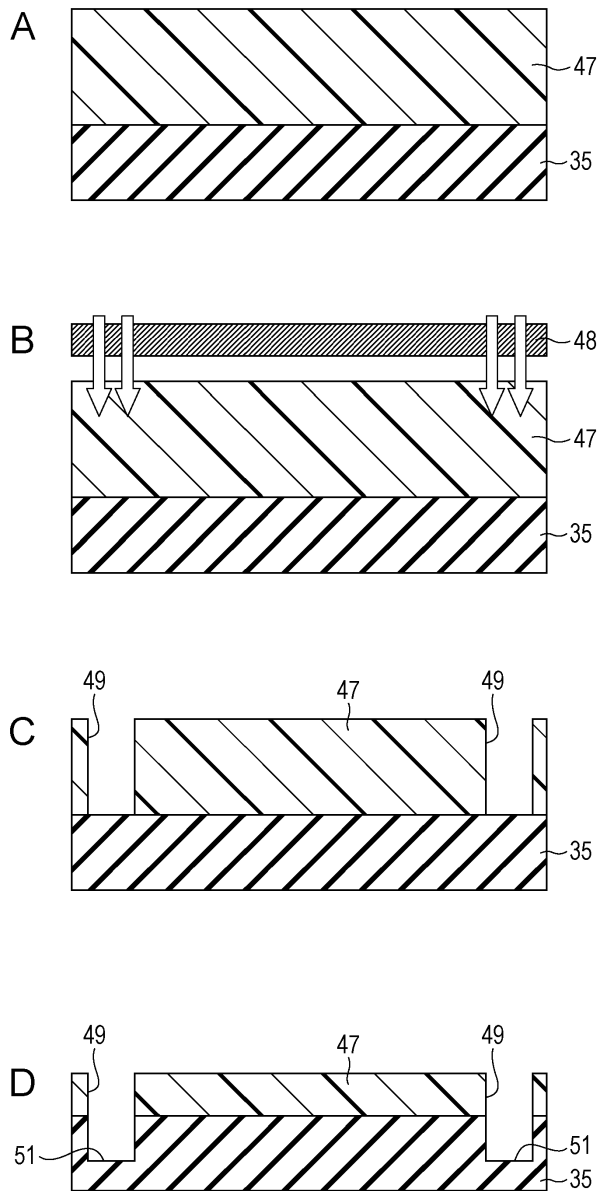
도면8



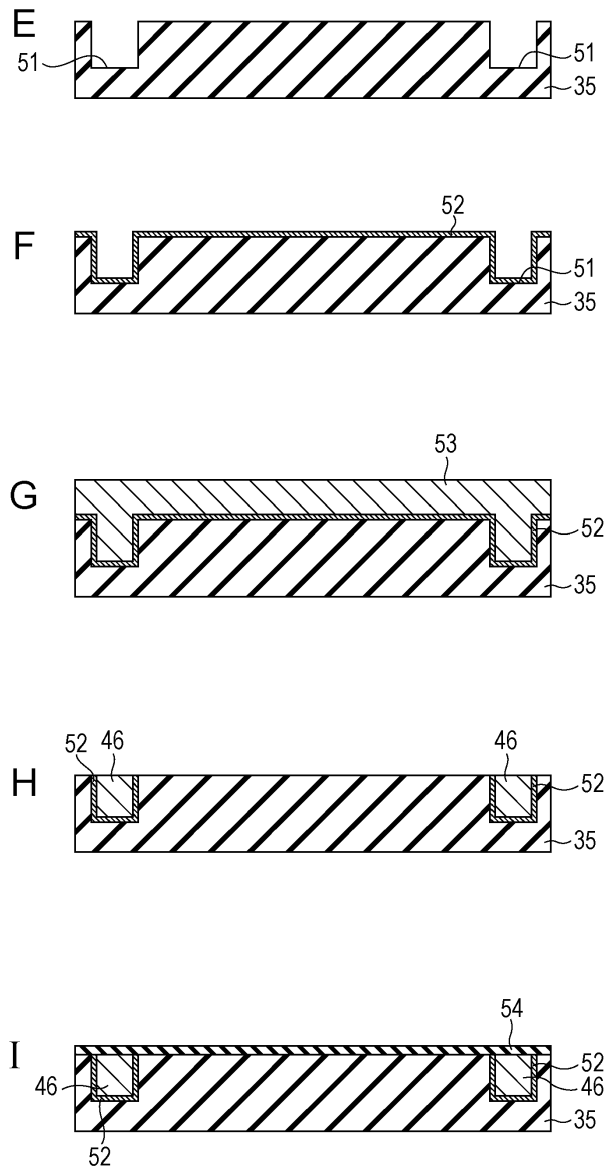
도면9



도면10



도면11



도면12

