(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2014년07월28일
(11) 등록번호 10-1414288
(24) 등록일자 2014년06월25일

(51) 국제특허분류(Int. Cl.)
H04L 27/22 (2006.01)
(21) 출원번호 10-2013-0009057
(22) 출원일자 2013년01월28일
심사청구일자 2013년01월28일
(56) 선행기술조사문헌
KR101167023 B1*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
인하대학교 산학협력단
인천광역시 남구 인하로 100, 인하대학교 (용현동)
(72) 발명자
윤광섭
인천 연수구 앵고개로 183, 106동 301호 (동춘동, 대우3차아파트)
윌커슨벤자민
경기도 의왕시 내손2동 동부시장2길 태광빌라 가동 103호
(74) 대리인
양성보

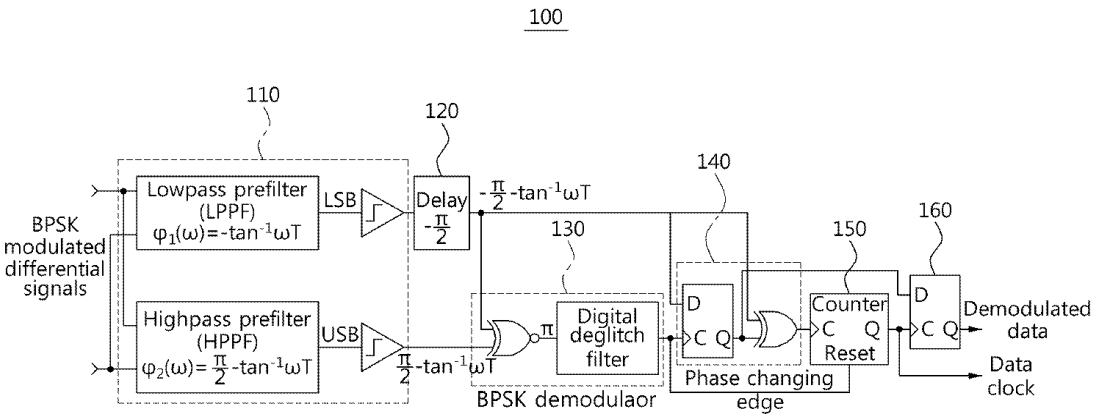
전체 청구항 수 : 총 6 항 심사관 : 문형섭

(54) 발명의 명칭 **디지털 글리치 제거 회로를 사용한 생체 이식용 저전력 비동기식 이산 위상 편이 복조 회로**

(57) 요 약

본 발명의 실시예는 비동기식 고속 BPSK 복조 방법과 그 회로의 구성에 관한 것이다. 복조 회로 구성에 있어서, 변조된 차동 신호를 상측대역과 하측대역으로 분리하여 디지털 신호로 각각 변환하는 디지털 변환부; 하측대역의 디지털 신호를 지연시키는 신호 지연부; 상측대역과 하측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하는 디지털 디글리치 필터(Digital Deglitch Filter)를 통해 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호를 생성하는 제1 클럭부; 지연된 하측대역의 디지털 신호를 데이터로 입력하고 심볼엣지 신호를 클럭으로 입력하여 1차 동기화된 1차 동기 신호와, 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원하는 캐리어 복원부; 캐리어 주파수 성분과 심볼엣지 신호를 이용하여 데이터를 동기화하는 데이터 클럭을 발생하는 제2 클럭부; 및 1차 동기 신호를 데이터 클럭으로 동기화하여 디지털 데이터를 복조하는 데이터 복조부를 포함하는 비동기식 고속 이산 위상 편이 복조 회로가 제공될 수 있다.

대 표 도



이 발명을 지원한 국가연구개발사업

과제고유번호	NRF-2010-0020163
부처명	교육과학기술부
연구사업명	중점연구소 지원사업
연구과제명	그린 생체모방형 임플란티블 전자칩 및 U-생체정보처리 플랫폼 융합기술개발
기 여 율	1/1
주관기관	인하대학교 산학협력단
연구기간	2010.05.01 ~ 2013.04.30

특허청구의 범위

청구항 1

디지털 글리치 제거 회로를 사용한 생체 이식용 저전력 비동기식 고속 이산 위상 편이 복조 회로에 있어서,

변조된 차동 신호를 상측대역과 하측대역으로 분리하여 디지털 신호로 각각 변환하는 디지털 변환부;

상기 하측대역의 디지털 신호를 지연시키는 신호 지연부;

상기 상측대역과 하측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하는 디지털 디글리치 필터(Digital Deglitch Filter)를 통해 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호를 생성하는 제1 클럭부;

상기 지연된 하측대역의 디지털 신호를 입력하고 상기 심볼엣지 신호를 클럭으로 입력하여 1차 동기화된 1차 동기 신호와, 상기 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원하는 캐리어 복원부;

상기 캐리어 주파수 성분과 상기 심볼엣지 신호를 이용하여 데이터를 동기화하는 데이터 클럭을 발생하는 제2 클럭부; 및

상기 1차 동기 신호를 상기 데이터 클럭으로 동기화하여 디지털 데이터를 복조하는 데이터 복조부

를 포함하고,

상기 디지털 변환부는,

상기 차동 신호를 상측대역으로 분리하는 HPPF(High-pass Pre-Filter);

상기 HPPF로 분리된 상측대역을 디지털 신호로 변환하는 제1 비교기(Comparator);

상기 차동 신호를 하측대역으로 분리하는 LPPF(Low-pass Pre-Filter); 및

상기 LPPF로 분리된 하측대역을 디지털 신호로 변환하는 제2 비교기(Comparator)

를 포함하고,

상기 신호 지연부는,

상기 하측대역의 디지털 신호를 기설정된 위상만큼 지연시키는 지연 회로

를 포함하고,

상기 제2 비교기는 상기 상측대역의 디지털 신호보다 위상이 π/2만큼 지연된 상기 하측대역의 디지털 신호를 상기 지연 회로로 출력하고,

상기 지연 회로는 상기 제2 비교기에서 출력된 상기 하측대역의 디지털 신호의 위상을 π/2만큼 더 지연시켜 상기 상측대역의 디지털 신호와 π만큼의 위상 차가 나는 상기 하측대역의 디지털 신호를 출력하는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 회로.

청구항 2

삭제

청구항 3

삭제

청구항 4

제1항에 있어서,

상기 제1 클럭부는 상기 상측대역과 하측대역의 디지털 신호의 위상 변화를 감지하는 Exclusive-NOR 게이트를 더 포함하고,

상기 Exclusive-NOR를 통해 발생하는 상기 펄스 신호를 상기 디지털 디글리치 필터를 통과시켜 상기 심볼엣지 신호로써 필요한 신호의 라이징 엣지(Rising Edge)를 디지털 방식으로 잘라내어 상기 심볼엣지 신호를 출력하는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 회로.

청구항 5

제1항에 있어서,

상기 캐리어 복원부는 D 플립플롭과 Exclusive-OR를 포함하여 구성되며,

상기 D 플립플롭의 데이터 입력에 상기 지연된 하측대역의 디지털 신호를 입력하고, 클럭에 상기 심볼엣지 신호를 입력함으로써 상기 1차 동기 신호를 생성하고.

상기 Exclusive-OR에 상기 1차 동기 신호와 상기 지연된 하측대역의 디지털 신호를 입력하여 캐리어 주파수 성분을 복원하는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 회로.

청구항 6

제1항에 있어서,

상기 제2 클럭부는 카운터를 포함하고,

상기 카운터는 연속적으로 같은 데이터를 구분하기 위해 상기 캐리어 주파수 성분 신호를 클럭으로 사용하며 상기 심볼엣지 신호를 리셋 신호로 이용하여 데이터를 동기화하는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 회로.

청구항 7

제1항에 있어서,

상기 데이터 복조부는 D 플립플롭을 포함하며,

상기 D 플립플롭의 데이터 입력으로 상기 1차 동기 신호를 입력하고, 클럭에 상기 데이터 클럭을 입력하며,

상기 D 플립플롭의 출력으로 상기 복조된 디지털 데이터 신호가 생성되는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 회로.

청구항 8

디지털 글리치 제거 회로를 사용한 생체 이식용 저전력 비동기식 고속 이산 위상 편이 복조 방법에 있어서,

변조된 차동 신호를 상측대역과 하측대역으로 분리하여 디지털 신호로 각각 변환하는 단계;

상기 하측대역의 디지털 신호를 지연시키는 단계;

상기 상측대역과 하측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하는 디지털 디글리치 필터를 통해 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호를 생성하는 단계;

상기 지연된 하측대역의 디지털 신호를 입력하고 상기 심볼엣지 신호를 클럭으로 입력하여 1차 동기된 디지털 데이터 신호와, 상기 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원하는 단계;

상기 캐리어 주파수 성분과 상기 심볼엣지 신호를 이용하여 데이터를 동기화하는 데이터 클럭을 발생하는 단계; 및

상기 1차 동기된 디지털 데이터 신호를 상기 데이터 클럭으로 동기화하여 디지털 데이터를 복조하는 단계

를 포함하고,

상기 변환하는 단계는,

상기 차동 신호를 HPPF(High-pass Pre-Filter)에 의해 상측대역으로 분리하는 단계;

상기 HPPF로 분리된 상측대역을 제1 비교기(Comparator)에 의해 디지털 신호로 변환하는 단계;

상기 차동 신호를 LPPF(Low-pass Pre-Filter)에 의해 하측대역으로 분리하는 단계; 및

상기 LPPF로 분리된 하측대역을 제2 비교기(Comparator)에 의해 디지털 신호로 변환하는 단계

를 포함하고,

상기 지연시키는 단계는,

상기 제2 비교기의 출력단과 연결된 지연회로에 의해 상기 하측대역의 디지털 신호를 기설정된 위상만큼 지연시키고,

상기 제2 비교기는 상기 상측대역의 디지털 신호보다 위상이 π/2만큼 지연된 상기 하측대역의 디지털 신호를 상기 지연 회로로 출력하고,

상기 지연 회로는 상기 제2 비교기에서 출력된 상기 하측대역의 디지털 신호의 위상을 π/2만큼 더 지연시켜 상기 상측대역의 디지털 신호와 π만큼의 위상 차가 나는 상기 하측대역의 디지털 신호를 출력하는 것

을 특징으로 하는 비동기식 고속 이산 위상 편이 복조 방법.

명 세 서

기 술 분 야

[0001] 본 발명의 실시예는 비동기식 고속 BPSK 복조 방법과 그 회로의 구성에 관한 것이다.

배 경 기 술

[0002] BPSK(Binary Phase Shift Keying, 이산 위상 편이 변조) 신호는 캐리어가 없는 양측파대 신호로써 캐리어 신호를 추출할 수 없는 문제로 VCO(Voltage Controlled Oscillator)를 만들어 동기화 시키는 동기식의 이산 위상 편이 복조 방법(BPSK)을 사용한다.

[0003] BPSK의 대표적 방식으로 COSTAS loop가 있는데 전력소모가 많고 회로가 복잡하고 VCO를 통한 귀환루프를 사용하므로 전송속도에 한계가 있다. Analog Integrator와 Switched-capacitor Units을 사용한 비동기식 이산 위상 편이 복조 회로는 내부 발진회로와 Analog integrator로 인해 전력소모가 많고 회로가 복잡하며 회로를 포함하는 칩의 면적이 커지는 문제점이 발생한다.

[0004] BPSK 복조 회로와 관련하여 한국공개특허 제10-2010-0089697호에서는 복잡도와 전력 소비를 감소하기 위하여 절대값 비교를 이용한 이진 위상 편이 변조와 복조 장치에 대해서 기재하는데 동기식으로 국부발진기를 사용하여 정밀도와 전력 감소에 한계가 있다.

발명의 내용

해결하려는 과제

[0005] 본 발명의 실시예는 기존 BPSK(Binary Phase Shift Keying, 이산 위상 편이 변조) 신호의 복조 방식에 있어서, 전송 속도와 회로의 복잡도, 또한 전력 소모에 대한 문제점을 해결하기 위해 BPSK 복조 회로와 그 방법을 제공하고자 한다.

[0006] 이에, 광대역 디지털 데이터를 전송하며 저전력용인 동시에, 회로가 간단한 비동기식 BPSK 복조 회로를 CMOS 비교기로 디지털화하며, 디지털 펄스 샤프닝 필터(Digital Pulse Sharpening Filter)로 글리치를 제거한 후 디지털 회로로 구현한다.

과제의 해결 수단

[0007] 디지털 글리치 제거 회로를 사용한 생체 이식용 저전력 비동기식 고속 이산 위상 편이 복조 회로에 있어서, 변조된 차동 신호를 상측대역과 하측대역으로 분리하여 디지털 신호로 각각 변환하는 디지털 변환부; 하측대역의 디지털 신호를 지연시키는 신호 지연부; 상측대역과 하측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스

신호를 이용하는 디지털 디글리치 필터(Digital Deglitch Filter)를 통해 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호를 생성하는 제1 클럭부; 지연된 하측대역의 디지털 신호를 입력하고 심볼엣지 신호를 클럭으로 입력하여 1차 동기화된 1차 동기 신호와, 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원하는 캐리어 복원부; 캐리어 주파수 성분과 심볼엣지 신호를 이용하여 데이터를 동기화하는 데이터 클럭을 발생하는 제2 클럭부; 및 1차 동기 신호를 데이터 클럭으로 동기화하여 디지털 데이터를 복조하는 데이터 복조부를 포함하는 비동기식 고속 위상 편이 복조 회로가 제공될 수 있다.

[0008] 일측에 있어서, 디지털 변환부는 차동 신호를 상측대역으로 분리하는 HPPF(High-pass Pre-Filter)와 하측대역으로 분리하는 LPPF(Low-pass Pre-Filter); 및 상측대역과 하측대역을 각각 디지털 신호로 변환하는 비교기(Comparator)를 포함할 수 있다.

[0009] 또 다른 측면에 있어서, 신호 지연부는 지연회로를 포함하고, 지연회로는 하측대역의 디지털 신호를 기설정된 위상만큼 지연시킬 수 있다.

[0010] 또 다른 측면에 있어서, 제1 클럭부는 상측대역과 하측대역의 디지털 신호의 위상 변화를 감지하는 Exclusive-NOR 게이트를 더 포함하고, Exclusive-NOR를 통해 발생하는 펄스 신호를 디글리치 필터를 통과시켜 심볼엣지 신호로써 필요한 신호의 라이징 엣지(Rising Edge)를 디지털 방식으로 잘라내어 심볼엣지 신호를 출력할 수 있다.

[0011] 또 다른 측면에 있어서, 캐리어 복원부는 D 플립플롭과 Exclusive-OR를 포함하여 구성되며, D 플립플롭의 데이터 입력에 지연된 하측대역의 디지털 신호를 입력하고, 클럭에 심볼엣지 신호를 입력함으로써 상기 1차 동기 신호를 생성하고. Exclusive-OR에 1차 동기 신호와 지연된 하측대역의 디지털 신호를 입력하여 캐리어 주파수 성분을 복원할 수 있다.

[0012] 또 다른 측면에 있어서, 제2 클럭부는 카운터를 포함하고, 카운터는 연속적으로 같은 데이터를 구분하기 위해 캐리어 주파수 성분 신호를 클럭으로 사용하며 심볼엣지 신호를 리셋 신호로 이용하여 데이터 클럭을 동기화할 수 있다.

[0013] 또 다른 측면에 있어서, 상기 데이터 복조부는 D 플립플롭을 포함하며, D 플립플롭의 데이터 입력으로 1차 동기 신호를 입력하고, 클럭에 데이터 클럭을 입력하며, D 플립플롭의 출력으로 복조된 디지털 데이터 신호가 생성될 수 있다.

[0014] 디지털 글리치 제거 회로를 사용한 생체 이식용 저전력 비동기식 고속 이산 위상 편이 복조 방법에 있어서, 변조된 차동 신호를 상측대역과 하측대역으로 분리하여 디지털 신호로 각각 변환하는 단계; 하측대역의 디지털 신호를 지연시키는 단계; 상측대역과 하측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하는 디지털 디글리치 필터를 통해 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호를 생성하는 단계; 지연된 하측대역의 디지털 신호를 입력하고 심볼엣지 신호를 클럭으로 입력하여 1차 동기된 디지털 데이터 신호와, 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원하는 단계; 캐리어 주파수 성분과 심볼엣지 신호를 이용하여 데이터를 동기화하는 데이터 클럭을 발생하는 단계; 및 1차 동기된 디지털 데이터 신호를 데이터 클럭으로 동기화하여 디지털 데이터를 복조하는 단계를 포함하는 비동기식 고속 위상 편이 복조 방법이 제공될 수 있다.

발명의 효과

[0015] 본 발명의 실시예를 통해서, 광대역 디지털 데이터를 전송하며 저전력용인 동시에, 회로가 간단한 비동기식 BPSK 복조 회로와 그 방법을 제공할 수 있다.

[0016] 이에 더불어 저전력 소모가 필요한 생체 이식용 소자의 디지털 통신에도 사용할 수 있으며, 모바일 통신기기에도 적용할 수 있는 복조방식을 제공하고, 디지털 펄스 샤프닝 필터(Digital Pulse Sharpening Filter)로 글리치를 제거한 후 디지털 회로로 제공하며, 편리함과 경제성을 가지는 System on Chip(SoC)을 구현하기에 적합하다.

도면의 간단한 설명

[0017] 도 1은 본 발명의 일실시예에 있어서, 비동기식 BPSK 복조 회로 구성을 설명하기 위한 회로도이다.

도 2는 본 발명의 일실시예에 있어서, 송신 신호와 수신 신호, 그리고 프리 필터(Pre-Filter)를 통과한 신호를 도시한 것이다.

도 3은 본 발명의 일실시예에 있어서, 프리 필터(Pre-Filter)의 주파수와 위상 특성을 도시한 그래프이다.

도 4는 본 발명의 일실시예에 있어서, BPSK 복조 과정에서 나타나는 신호들을 도시한 그래프이다.

도 5는 본 발명의 일실시예에 있어서, 비동기식 BPSK 복조 회로에서 수행되는 복조 방식을 설명하기 위한 흐름도이다.

발명을 실시하기 위한 구체적인 내용

[0018] 이하, BPSK 복조 회로의 구성과 복조 방법에 대해서 첨부된 도면을 참조하여 자세히 설명한다.

[0019] 도 1은 본 발명의 일실시예에 있어서, 비동기식 BPSK 복조 회로의 구성을 설명하기 위한 회로도(100)를 도시한 것이다. 도 1과 같은 회로의 구성에 대해 설명하면, BPSK 회로(100)는 디지털 변환부(110), 신호 지연부(120), 제1 클럭부(130), 캐리어 복원부(140), 제2 클럭부(150), 그리고 데이터 복조부(160)를 포함하여 구성될 수 있다.

[0020] 먼저, 디지털 변환부(110)는 복조를 위해 회로에 입력되는 신호, 즉 변조된 차동 신호를 상측대역(USB)과 하측대역(LSB)의 양측대역으로 분리하고, 각각에 대해서 디지털 신호로 변환할 수 있다. 여기서, 측대역의 분리는 프리 필터를 통해 이루어지는데, 하측대역은 저역 통과 프리 필터(Low-pass Pre-filter)로 분리되고, 상측대역은 고역 통과 프리 필터(High-pass Pre-filter)로 분리될 수 있다.

[0021] 이렇게 분리된 각각의 신호는 각각의 프리 필터 출력 부분에 구비된 비교기(Comparator)를 통해 디지털 신호로 변환될 수 있다.

[0022] 이중, 비교기의 출력으로 나온 하측대역의 디지털 신호는 상측대역의 디지털 신호보다 그 위상이 π/2 정도 늦게 나타나는데, 하측대역의 디지털 신호를 신호 지연부(120)에 연결하여 위상을 π/2 더 늦추어 상측대역과 하측대역의 위상이 반전되도록, 즉 위상 차가 π만큼 나타나도록 한다. 이때, 신호 지연부(120)는 신호 위상을 지연시키도록 지연(Delay) 회로를 포함할 수 있다.

[0023] 제1 클럭부(130)는 신호 지연부(120)를 통과한 하측대역과 상측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하여 데이터를 검출하기 위한 클럭으로 사용되는 심볼엣지 신호를 생성할 수 있다.

[0024] 제1 클럭부(130)는 두 측대역의 신호 위상 차이를 감지하는 Exclusive-NOR(배타적 부정 논리합) 게이트와 심볼엣지(Phase Changing Edge) 신호를 만드는 디지털 디글리치 필터(Digital Deglitch Filter)를 포함하여 구성될 수 있다.

[0025] 실시예에 있어서, Exclusive-NOR를 통해 위상이 변화한 각각의 시점에서 π/3 이상의 펄스 신호가 발생하는데, 약 π/18 정도 위상 변화인 지터(Jitter) 때문에 생긴 글리치(Glitch)가 섞인 신호이기 때문에, 이를 제거하기 위해서 π/18 이하의 변화인 지터를 제거하는데 심볼엣지 신호로 나타나는 신호의 라이징 엣지(Rising Edge)만 디지털 방식으로 깎아내는 디지털 디글리치 필터를 통과시켜 심볼엣지(Phase Changing Edge) 신호를 만들게 된다. 그리고, 제1 클럭부(130)의 출력 신호인 심볼엣지 신호는 데이터 검출을 위한 검출 클럭으로 사용될 수 있다.

[0026] 캐리어 복원부(140)는 도시된 바와 같이 D 플립플롭(Flip-flop)과 Exclusive-OR(배타적 논리합) 게이트를 포함하여 구성될 수 있다.

[0027] 여기서, D 플립플롭의 데이터(D) 입력에 π/2만큼 지연된 하측대역의 디지털 신호를 입력하고, 설명한 바와 같이 심볼엣지 신호를 검출 클럭(C)에 입력하게 되면, D 플립플롭을 통해 1차 동기화된 디지털 데이터 신호가 생성될 수 있다. 이 신호는 이하 1차 동기 신호로 표기된다.

[0028] 1차 동기 신호와 지연된 하측대역의 디지털 신호에 대해서 Exclusive-OR 계산함으로써 캐리어 주파수 성분을 복원할 수 있다.

[0029] 제2 클럭부(150)는 데이터를 동기화시키기 위한 데이터 클럭을 발생시키는데, 데이터 클럭은 카운터(Counter)를 통해서 생성될 수 있다. 실시예에 있어서, 연속적으로 1이나 0이 나타나는 데이터에 대해서 구분하기 위해 복원된 캐리어 주파수 성분의 신호를 클럭(C)으로 사용하고, 심볼엣지 신호를 리셋(Reset)으로 입력하여 심볼엣지 신호마다 카운터가 리셋되도록 하여, 카운터의 출력 신호를 최종적으로 데이터를 복조하는 데이터 복조부(160)의 데이터 클럭 신호로서 이용할 수 있다.

[0030] 데이터 복조부(160)는 캐리어 복원부(140)와 같이 D 플립플롭을 통해 구성될 수 있다. 최종적인 데이터를 복조하기 위해서, D 플립플롭의 데이터 입력(D)으로 1차 동기 신호를 수신하고, 제2 클럭부(150)에서 생성된 데이터

클럭을 클럭(C)으로 수신하여 동기화할 수 있다. 이렇게 D 플립플롭을 통해 출력되는 신호가 복조된 디지털 데이터 신호에 해당한다.

[0031] 도 2는 본 발명의 일실시예에 있어서, 송신 신호와 수신 신호, 그리고 프리 필터(Pre-Filter)를 통과한 신호를 도시한 것이다.

[0032] 도 2에 도시된 신호는 2MHz 주파수의 캐리어를 중심으로 변조된 송신측의 신호(TX)와 광대역 공진 회로를 통해 수신측(RX)에서 나타나는 신호, 그리고 저역 통과 프리 필터와 고역 통과 프리 필터의 두 프리 필터에서 출력되는 신호이며, 비교기의 차동 입력단의 신호에 대한 주파수 스펙트럼을 각각 도시한 것이다.

[0033] 각 그래프에 대해서 비교하면, 캐리어 주파수를 중심으로 스펙트럼의 모양은 유사하나, 스펙트럼의 세기 즉, y축을 비교하면 그 크기가 각각 다름을 알 수 있다.

[0034] 도 3은 본 발명의 일실시예에 있어서, 프리 필터(Pre-Filter)의 주파수와 위상 특성을 도시한 그래프이다.

[0035] 실시예에 있어서, 그래프 (a)는 저역 통과 프리 필터에서의 캐리어 주파수의 위상과 주파수 특성을 도시한 것이며, 그래프 (b)는 고역 통과 프리 필터에서의 캐리어 주파수 위상과 주파수 특성을 도시한 것으로 위상 차는 약 π/2로 나타나고, 주파수 특성은 그래프 (a)는 낮은 주파수 중심으로 그래프 (b)는 높은 주파수 중심으로 형성된다.

[0036] 또한, 그래프 (c)는 두 프리 필터를 통과한 신호들의 위상의 차이와 이러한 위상 차이에 오차를 만드는 지터(Jitter)의 영역을 표시하기 위한 것이다.

[0037] 도 4는 본 발명의 일실시예에 있어서, BPSK 복조 과정에서 나타나는 신호들을 도시한 그래프이다.

[0038] 그래프에 대해서 위로부터 아래의 방향으로 설명하면, 그래프 (a)는 송신측에서 측정되는 위상 편이 변조 신호의 실시예를 도시한 것이고, 그래프 (b)는 수신측 공진회로를 통과한 신호를 도시한 것이며, 그래프 (c)는 저역 통과 프리 필터(LPPF)의 출력 신호, 그래프 (d)는 고역 통과 프리 필터(HPPF)를 통과한 신호를 도시한 것이다.

[0039] 또한, 그래프 (e)는 LPPF에 연결된 비교기의 출력 신호를 π/2 만큼 지연 시킨 신호를 도시한 것이고, 그래프 (f)는 HPPF에 연결된 비교기의 출력 신호이며, 그래프 (g)는 두 비교기의 출력을 Exclusive-NOR로 계산한 글리치(Glitch)가 포함된 신호이고, 그래프 (h)는 디글리치 필터를 통과한 심볼엣지 신호를 나타낸 것이다. 그리고, 그래프 (i)는 1차 동기된 신호이고, 그래프 (j)는 복원된 캐리어 주파수 성분이고, 그래프 (k)는 카운터에서 생성된 데이터 클럭 신호이고, 마지막으로 그래프 (l)은 최종적으로 복조된 디지털 데이터 신호를 도시한 것이다.

[0040] 도시된 각 신호는 대체적으로 깨끗한 신호로 나타나며, 복조 신호는 명확한 신호로 복조됨을 확인할 수 있다. 이와 같은 기술은 고속동작에도 실현될 수 있는 복조 방식이다.

[0041] 도 5는 본 발명의 일실시예에 있어서, 비동기식 BPSK 복조 회로에서 수행되는 복조 방식을 설명하기 위한 흐름도를 도시한 것으로서, 도 1을 통해 설명한 BPSK 복조 회로의 구성을 통해서 각 단계가 수행될 수 있다.

[0042] 단계(510)에서는 변조된 차동 신호를 상측대역과 하측대역으로 분리되어 디지털 신호로 각각 변환될 수 있으며, 이때 LPPF와 HPPF로 즉, 하측대역과 상측대역으로 분리되며 각 프리 필터에 연결된 비교기를 통해 디지털 신호로 변환될 수 있다.

[0043] 단계(520)에서는 단계(510)에서 변환된 디지털 신호 중, 하측대역의 디지털 신호가 기설정된 만큼 지연될 수 있다. 실시예에 있어서, 지연 회로를 통해 위상이 지연되며, 이는 상측대역과 하측대역의 위상 차이를 정반대로 하여 위상이 π만큼 나타나도록 하기 위함이다.

[0044] 단계(530)에서는 하측대역과 상측대역의 디지털 신호의 위상 변화에 따라 발생하는 펄스 신호를 이용하여 데이터 검출을 위한 검출 클럭으로 사용되는 심볼엣지 신호가 생성될 수 있다. 복조 회로의 Exclusive-NOR에서 하측대역과 상측대역의 위상 변화를 감지하고, 위상이 변화한 각각의 시점에서 펄스신호를 발생시키는데 약 π/18 정도 위상의 변화인 지터(Jitter) 때문에 생긴 글리치(Glitch)가 섞여 있으므로 실시예에 있어서, 펄스 신호를 심볼엣지(Phase Changing Edge) 신호로 생성할 때에, 신호의 라이징 엣지만을 디지털 방식으로 잘라내기 위한 디지털 디글리치 필터는 심볼엣지 신호를 생성하도록 하고, 이렇게 생성된 신호는 데이터를 검출하는 클럭으로 사용될 수 있다.

[0045] 단계(540)에서는 D 플립플롭이 단계(520)에서 지연된 하측대역의 디지털 신호와 심볼엣지 신호를 수신함으로써

1차 동기된 디지털 데이터 신호를 생성하고, Exclusive-OR가 이렇게 1차 동기된 신호와 지연된 하측대역 디지털 신호를 이용하여 캐리어 주파수 성분을 복원할 수 있다.

[0046] 단계(550)에서는 캐리어 주파수 성분과 상기 심볼엣지 신호가 이용되어 데이터를 동기화하는 데이터 클럭이 발생하는데, 이때 카운터가 이용되며, 복원된 캐리어 주파수 성분의 신호를 클럭으로 사용하고 심볼엣지 신호마다 리셋되는 카운터에 이용할 수 있다.

[0047] 마지막으로 단계(560)에서 D 플립플롭은 1차 동기된 디지털 데이터 신호를 단계(550)에서 생성된 데이터 클럭으로 동기화하여 디지털 데이터를 최종적으로 복조할 수 있다.

[0048] 이와 같은 본 발명의 실시예를 통해서, 광대역 디지털 데이터를 전송하며 저전력용인 동시에, 회로가 간단한 비동기식 BPSK 복조 회로와 그 방법을 제공할 수 있다.

[0049] 이에 더불어 저전력 소모가 필요한 생체 이식용 소자의 디지털 통신에도 사용할 수 있고, 모바일 통신기기에도 적용할 수 있는 복조방식을 제공하며, 본 발명의 복조 회로는 System on Chip(SoC)을 구현하기에 적합하여 편리함과 경제성이 높다.

[0050] 실시예에 따른 비동기식의 BPSK 복조 방법은 다양한 컴퓨터 수단을 통하여 수행될 수 있는 프로그램 명령 형태로 구현되어 컴퓨터 판독 가능 매체에 기록될 수 있다. 상기 컴퓨터 판독 가능 매체는 프로그램 명령, 데이터 파일, 데이터 구조 등을 단독으로 또는 조합하여 포함할 수 있다. 상기 매체에 기록되는 프로그램 명령은 실시예를 위하여 특별히 설계되고 구성된 것들이거나 컴퓨터 소프트웨어 당업자에게 공지되어 사용 가능한 것일 수도 있다. 컴퓨터 판독 가능 기록 매체의 예에는 하드 디스크, 플로피 디스크 및 자기 테이프와 같은 자기 매체(Magnetic media), CD-ROM, DVD와 같은 광기록 매체(Optical media), 플롭티컬 디스크(Floptical disk)와 같은 자기-광 매체(Magneto-optical media), 및 롬(ROM), 램(RAM), 플래시 메모리 등과 같은 프로그램 명령을 저장하고 수행하도록 특별히 구성된 하드웨어 장치가 포함된다. 프로그램 명령의 예에는 컴파일러에 의해 만들어지는 것과 같은 기계어 코드뿐만 아니라 인터프리터 등을 사용해서 컴퓨터에 의해서 실행될 수 있는 고급 언어 코드를 포함한다. 상기된 하드웨어 장치는 실시예의 동작을 수행하기 위해 하나 이상의 소프트웨어 모듈로서 작동하도록 구성될 수 있으며, 그 역도 마찬가지이다.

[0051] 이상과 같이 실시예들이 비록 한정된 실시예와 도면에 의해 설명되었으나, 해당 기술분야에서 통상의 지식을 가진 자라면 상기의 기재로부터 다양한 수정 및 변형이 가능하다. 예를 들어, 설명된 기술들이 설명된 방법과 다른 순서로 수행되거나, 및/또는 설명된 시스템, 구조, 장치, 회로 등의 구성요소들이 설명된 방법과 다른 형태로 결합 또는 조합되거나, 다른 구성요소 또는 균등한 것들에 의하여 대치되거나 치환되더라도 적절한 결과가 달성될 수 있다.

[0052] 그러므로, 다른 구현들, 다른 실시예들 및 특허청구범위와 균등한 것들도 후술하는 특허청구범위의 범위에 속한다.

부호의 설명

[0053] 110: 디지털 변환부

120: 신호 지연부

130: 제1 클럭부

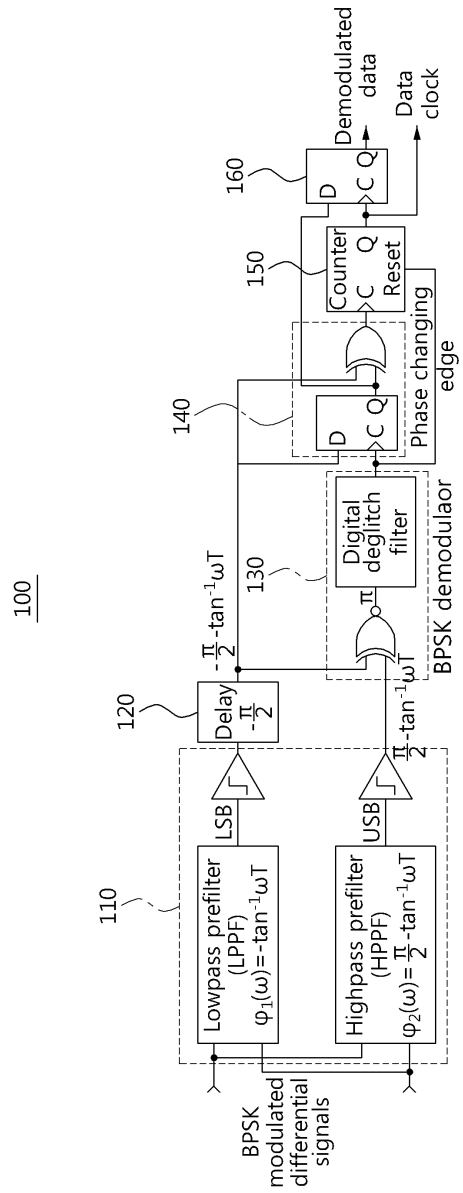
140: 캐리어 복원부

150: 제2 클럭부

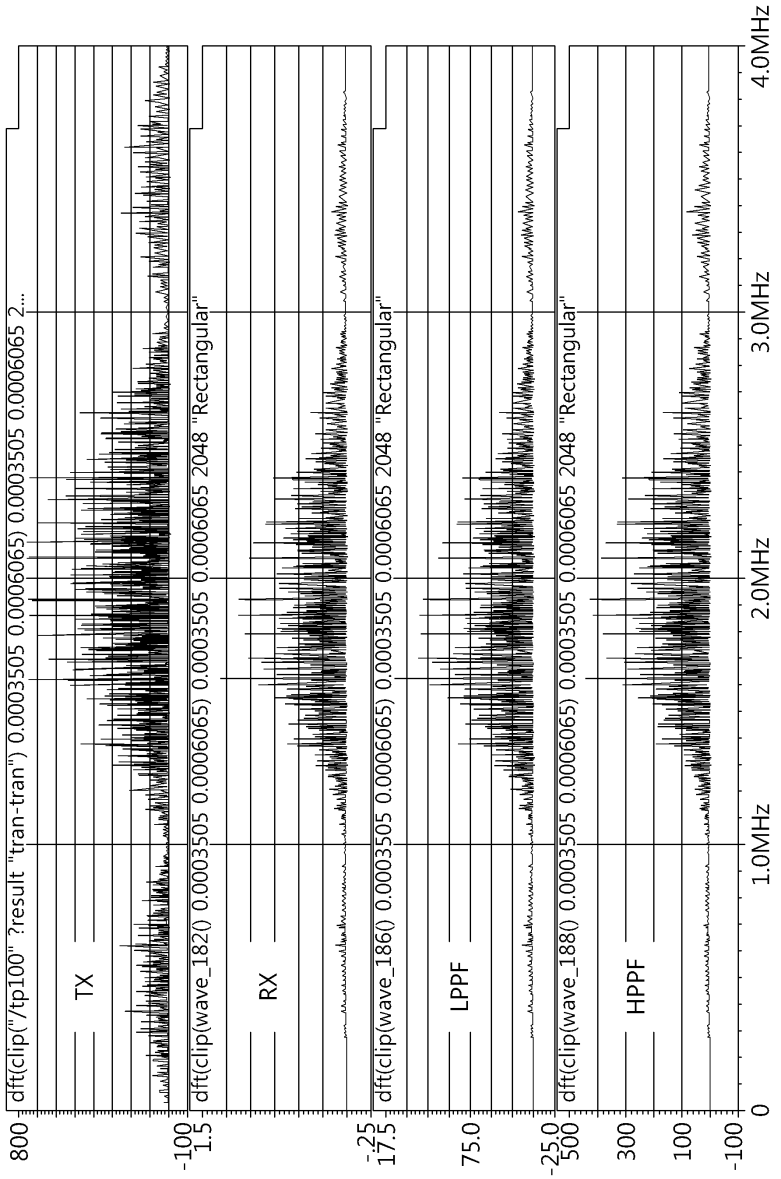
160: 데이터 복조부

도면

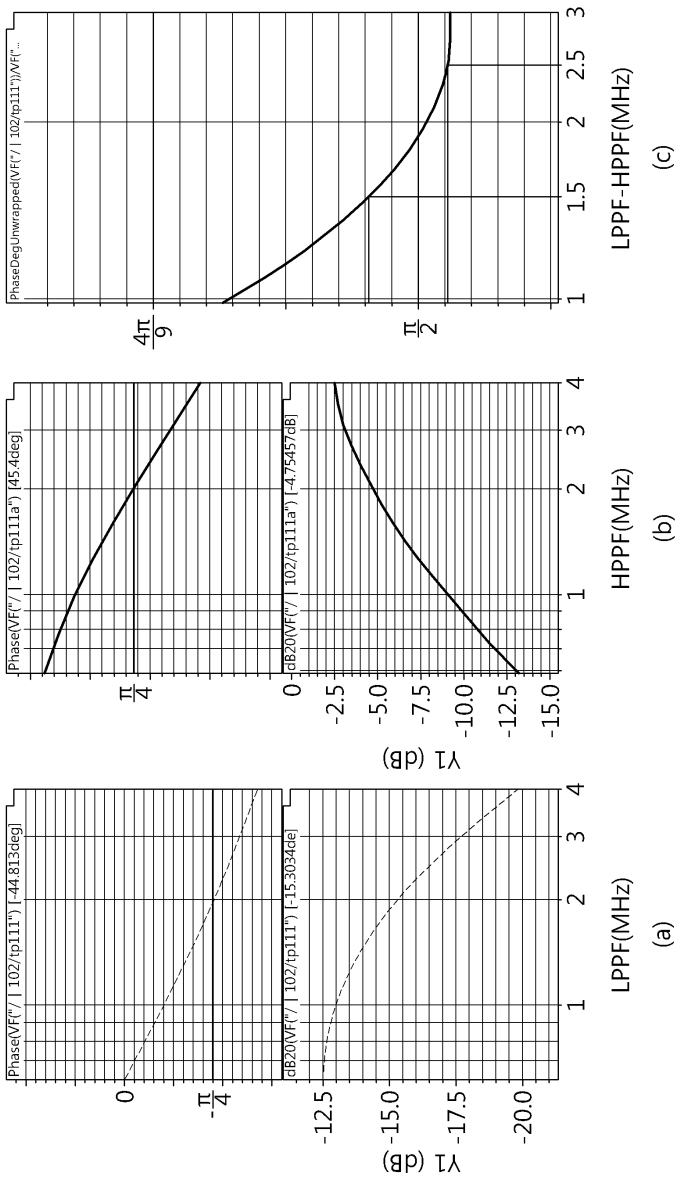
도면1


100
110
120
130
140
150
160
BPSK modulated differential signals
Lowpass prefilter (LPPF)
$\varphi_1(\omega)=-\tan^{-1}\omega T$
Highpass prefilter (HPPF)
$\varphi_2(\omega)=\frac{\pi}{2}-\tan^{-1}\omega T$
LSB
USB
Delay $-\frac{\pi}{2}$
$-\frac{\pi}{2}-\tan^{-1}\omega T$
$\frac{\pi}{2}-\tan^{-1}\omega T$
Digital deglitch filter
BPSK demodulaor
Phase changing edge
Counter
Reset
D
C
Q
Demodulated data
Data clock

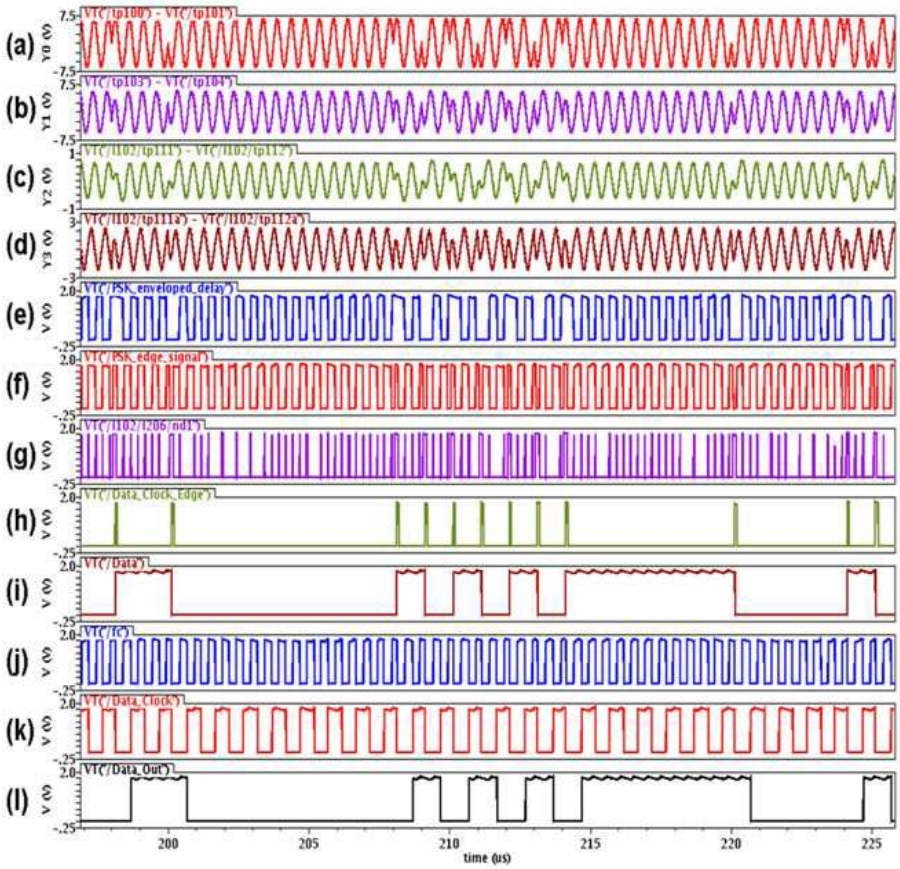
도면2


dft(clip("/tp100" ?result "tran-tran") 0.0003505 0.0006065) 0.0003505 0.0006065 2...
TX
800
-100
dft(clip(wave_182() 0.0003505 0.0006065) 0.0003505 0.0006065 2048 "Rectangular"
RX
1.5
-25
dft(clip(wave_186() 0.0003505 0.0006065) 0.0003505 0.0006065 2048 "Rectangular"
LPPF
17.5
75.0
-25.0
dft(clip(wave_188() 0.0003505 0.0006065) 0.0003505 0.0006065 2048 "Rectangular"
HPPF
500
300
100
-100
0
1.0MHz
2.0MHz
3.0MHz
4.0MHz

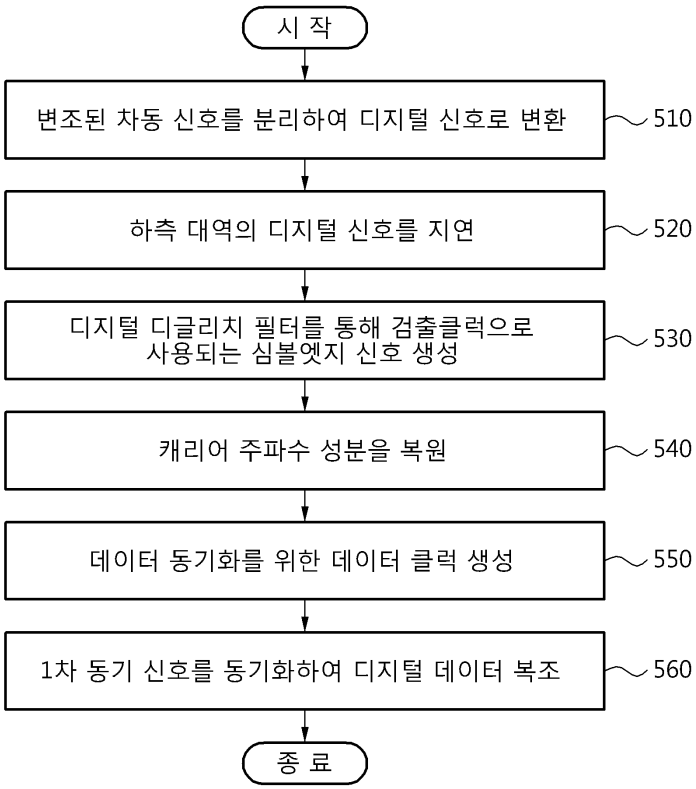
도면3


Phase(VF("/ | 102/tp111")) [-44.813deg]
dB20(VF("/ | 102/tp111")) [-15.3034de]
Y1 (dB)
LPPF(MHz)
(a)
Phase(VF("/ | 102/tp111a")) [45.4deg]
dB20(VF("/ | 102/tp111a")) [-4.75457dB]
Y1 (dB)
HPPF(MHz)
(b)
PhaseDegUnwrappedVF("/ | 102/tp111"))/VF("...
LPPF-HPPF(MHz)
(c)

도면4



도면5



【심사관 직권보정사항】

【직권보정 1】

【보정항목】 청구범위

【보정세부항목】 청구항 7

【변경전】

디지털 데이터를 신호

【변경후】

디지털 데이터 신호