

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4988082号
(P4988082)

(45) 発行日 平成24年8月1日(2012.8.1)

(24) 登録日 平成24年5月11日(2012.5.11)

(51) Int.Cl.	F I
G06F 12/06 (2006.01)	G06F 12/06 570B
G06F 9/22 (2006.01)	G06F 12/06 570D
G06F 9/30 (2006.01)	G06F 9/22 360
G06F 9/34 (2006.01)	G06F 9/30 350A
G06F 9/40 (2006.01)	G06F 9/36 330C

請求項の数 8 (全 18 頁) 最終頁に続く

(21) 出願番号	特願2000-147111 (P2000-147111)	(73) 特許権者	390019839
(22) 出願日	平成12年5月18日 (2000.5.18)		三星電子株式会社
(65) 公開番号	特開2000-357088 (P2000-357088A)		Samsung Electronics
(43) 公開日	平成12年12月26日 (2000.12.26)		Co., Ltd.
審査請求日	平成19年2月9日 (2007.2.9)		大韓民国京畿道水原市靈通区三星路129
審判番号	不服2011-5472 (P2011-5472/J1)		129, Samsung-ro, Yeon
審判請求日	平成23年2月18日 (2011.2.18)		gtong-gu, Suwon-si, G
(31) 優先権主張番号	1999P-18342		yeonggi-do, Republic
(32) 優先日	平成11年5月20日 (1999.5.20)		of Korea
(33) 優先権主張国	韓国 (KR)	(74) 代理人	100086368
			弁理士 萩原 誠
		(72) 発明者	安 鍾 根
			大韓民国ソウル市江西区嘉梁洞 嘉梁アパート411-406号

最終頁に続く

(54) 【発明の名称】 マイクロプロセッサ及びデータ処理システム

(57) 【特許請求の範囲】

【請求項1】

マイクロプロセッサにおいて、

外部から入力される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別し、制御信号を発生する制御ユニットと、

前記制御ユニットからの出力に応じて、前記ノーマルアドレスモード用命令語が入力されたときと識別された場合及び前記拡張アドレスモード用命令語が入力されたときと識別された場合のどちらの場合においても第1命令語アドレスを発生するプログラムカウンタと、

前記制御ユニットからの出力に応じて、前記拡張アドレスモード用命令語が入力されたときと識別された場合にのみ第2命令語アドレスを変更して発生するアドレス発生器と、

アドレス転送のための第1及び第2アドレスバスと、

データ転送のためのデータバスと、を備え、

前記第1命令語アドレスは前記第1アドレスバスを通じて外部に伝達され、前記第2命令語アドレスは前記第2アドレスバスを通じて外部に伝達され、

前記ノーマルアドレスモード用命令語が前記制御ユニットに入力されたときと識別された場合には、前記第2命令語アドレスは変更されずに前記第2アドレスバスを通じて外部に伝達されるものであり、

前記拡張アドレスモード用命令語は、拡張する先の前記第2命令語アドレスを設定する第1マイクロ命令と、拡張する先の前記第1命令語アドレスを指定して実行する第2マイクロ命令とを有し、

10

20

前記制御ユニットは、前記外部から入力される命令語が前記拡張アドレスモード用命令語であると識別したとき、前記第1 マイクロ命令が実行された後かつ前記第2 マイクロ命令が実行される前に外部インタラプトが入力されないようにマスキング信号を発生することを特徴とするマイクロプロセッサ。

【請求項2】

前記データバスを介して前記第2 命令語アドレスを受け入れ外部に伝達するアドレスインタフェース回路を備えることを特徴とする請求項1に記載のマイクロプロセッサ。

【請求項3】

前記アドレスインタフェース回路は、

前記データバスを介して入力される前記第2 命令語アドレスを貯蔵するためのアドレスレジスタと、

前記アドレスレジスタに貯蔵された前記第2 命令語アドレスを留保するラッチ回路とを備えることを特徴とする請求項2に記載のマイクロプロセッサ。

【請求項4】

データ処理システムにおいて、

マイクロプロセッサを備え、

前記マイクロプロセッサは、

外部から入力される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別し、制御信号を発生する制御ユニットと、

前記制御ユニットからの出力に応じて、前記ノーマルアドレスモード用命令語が入力されたときと識別された場合及び前記拡張アドレスモード用命令語が入力されたときと識別された場合のどちらの場合においても第1 命令語アドレスを発生するプログラムカウンタと、

前記制御ユニットからの出力に応じて、前記拡張アドレスモード用命令語が入力されたときと識別された場合にのみ第2 命令語アドレスを変更して発生するアドレス発生器と、

アドレス転送のための第1及び第2アドレスバスと、

データ転送のためのデータバスと、

前記マイクロプロセッサ内の前記データバスを介して前記第2 命令語アドレスを受け入れ外部に伝達するアドレスインタフェース回路と、を備え、

前記第1 命令語アドレスは前記第1アドレスバスを通じて外部に伝達され、前記第2 命令語アドレスは前記第2アドレスバスを通じて外部に伝達され、

前記ノーマルアドレスモード用命令語が前記制御ユニットに入力されたときと識別された場合には、前記第2命令語アドレスは変更されずに前記第2アドレスバスを通じて外部に伝達されるものであり、

前記拡張アドレスモード用命令語は、拡張する先の前記第2 命令語アドレスを設定する第1 マイクロ命令と、拡張する先の前記第1 命令語アドレスを指定して実行する第2 マイクロ命令とを有し、

前記制御ユニットは、前記外部から入力される命令語が前記拡張アドレスモード用命令語であると識別したとき、前記第1 マイクロ命令が実行された後かつ前記第2 マイクロ命令が実行される前に外部インタラプトが入力されないようにマスキング信号を発生することを特徴とするデータ処理システム。

【請求項5】

前記アドレスインタフェース回路は、

前記データバスを介して入力される前記第2 命令語アドレスを貯蔵するためのアドレスレジスタと、

前記アドレスレジスタに貯蔵された前記第2 命令語アドレスを留保するラッチ回路とを備えることを特徴とする請求項4に記載のデータ処理システム。

【請求項6】

マイクロプロセッサにおいて、

外部から入力される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別し、制御信号を発生する制御ユニットと、

前記制御ユニットからの出力に応じて、前記制御ユニットに入力される命令語がデータへのアクセスを行うための命令語ではない場合には、前記ノーマルアドレスモード用命令語が入力されたと識別された場合及び前記拡張アドレスモード用命令語が入力されたと識別された場合のどちらの場合においても第1命令語アドレスを発生するプログラムカウンタと、

前記制御ユニットからの出力に応じて、前記制御ユニットに入力される命令語がデータへのアクセスを行うための命令語である場合には、前記ノーマルアドレスモード用命令語が入力されたと識別された場合及び前記拡張アドレスモード用命令語が入力されたと識別された場合のどちらの場合においても第1データアドレスを発生し、前記制御ユニットに入力される命令語がデータへのアクセスを行うための命令語ではない場合で、かつ、前記拡張アドレスモード用命令語が入力されたと識別された場合にのみ第2命令語アドレスを変更して発生し、前記制御ユニットに入力される命令語がデータへのアクセスを行うための命令語である場合で、かつ、前記拡張アドレスモード用命令語が入力されたと識別された場合にのみ第2データアドレスを変更して発生するアドレス発生器と、

前記第1及び第2命令語アドレス転送のための第1及び第2命令語アドレスバスと、
前記第1及び第2データアドレス転送のための第1及び第2データアドレスバスと、
データ転送のためのデータバスと、を備え、

前記第1命令語アドレスは前記第1命令語アドレスバスを通じて外部に伝達され、前記第1データアドレスは前記第1データアドレスバスを通じて外部に伝達され、前記第2命令語アドレスは前記第2命令語アドレスバスを通じて外部に伝達され、前記第2データアドレスは前記第2データアドレスバスを通じて外部に伝達され、

前記ノーマルアドレスモード用命令語が前記制御ユニットに入力されたと識別された場合には、前記第2命令語アドレスは変更されずに前記第2命令語アドレスバスを通じて外部に伝達されるものであり、

前記ノーマルアドレスモード用命令語が前記制御ユニットに入力されたと識別された場合には、前記第2データアドレスは変更されずに前記第2データアドレスバスを通じて外部に伝達されるものであり、

前記拡張アドレスモード用命令語は、拡張する先の前記第2命令語アドレスまたは前記第2データアドレスを設定する第1マイクロ命令と、拡張する先の前記第1命令語アドレスまたは前記第1データアドレスを指定して実行する第2マイクロ命令とを有し、

前記制御ユニットは、前記外部から入力される命令語が前記拡張アドレスモード用命令語であると識別したとき、前記第1マイクロ命令が実行された後かつ前記第2マイクロ命令が実行される前に外部インタラプトが入力されないようにマスキング信号を発生することを特徴とするマイクロプロセッサ。

【請求項7】

前記データバスを介して前記第2命令語アドレス及び前記第2データアドレスを受け入れ外部に伝達するアドレスインタフェース回路を備えることを特徴とする請求項6に記載のマイクロプロセッサ。

【請求項8】

前記アドレスインタフェース回路は、

前記データバスを介して入力される前記第2命令語アドレスを貯蔵するための命令語アドレスレジスタと、

前記命令語アドレスレジスタに貯蔵された前記第2命令語アドレスを留保する第1ラッチ回路と、

前記データバスを介して入力される前記第2データアドレスを貯蔵するためのデータアドレスレジスタと、

前記データアドレスレジスタに貯蔵された前記第2データアドレスを留保する第2ラッチ回路と

を備えることを特徴とする請求項7に記載のマイクロプロセッサ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明はマイクロプロセッサ及びデータ処理システムに係り、より具体的には拡張されたメモリ装置をアドレッシングすることができるマイクロプロセッサ及びデータ処理システムに関するものである。

【0002】

【従来の技術】

現在マイクロプロセッサは製造技術の向上と使用者の要求によって次第に高性能に設計されて、その応用分野も多様になっている。これによって応用プログラム（アプリケーションプログラム）は質的向上だけでなく大きさも増加している。

10

【0003】

しかし、マイクロプロセッサがアクセスすることができるメモリ装置の大きさには制限がある。例えば、16ビットマイクロプロセッサは最大64Kバイトのメモリをアクセスすることができ、16ビットマイクロプロセッサで1Mバイトのメモリをアクセスするためには16ビットメモリアドレスを20ビットメモリアドレスに拡張すべきである。

【0004】

この分野でよく知られたように、メモリアドレスを拡張するスキムにはセグメンテーションスキム、簡単なバンクスイッチングスキム、そしてメモリマネージメントユニット（Memory Management Unit；MMU）を使用する方法がある。MMUを利用する方法は最も優秀な性能を備えるが、ハードウェアの大きさが増加し、生産費用が増加する短所がある。

20

【0005】

図1および図2はメモリアドレス拡張のためのセグメンテーションスキムを示す図である。セグメンテーションスキム10で、16ビット論理的セグメントベースアドレスは論理的アドレスバス18を通じて16ビットセグメントベースレジスタ12に伝達される。セグメントベースアドレスは左側に4ビットシフトされ20ビット論理的セグメントベースアドレスに変換される。16ビット論理的オフセットアドレスはオフセットレジスタ14に貯蔵され、16真数‘0’が挿入され20ビット論理的オフセットアドレスに変換される。次に、加算器16によって20ビット論理的セグメントベースアドレスと20ビット論理的オフセットアドレスが加わって20ビット（拡張された）物理的地址が発生される。20ビット物理的地址は物理的地址バス17を通じて外部メモリ（図示せず）に伝達される。しかし、セグメンテーションスキム10は他のアドレス体系を有するマイクロプロセッサには適用することができない短所がある。

30

【0006】

図3および図4はメモリ拡張のための簡単なバンクスイッチングスキムを示す図である。簡単なバンクスイッチングスキム20において、各メモリバンクには固有のバンク番号が割り当てられる。例えば、メインメモリは16個のメモリバンクに分けられて、16個のメモリバンクのうちの一つを選択するために4ビットのバンク番号が使用される。16ビット論理的ベースアドレスは論理的アドレスバスを通じてアドレスレジスタ22に貯蔵される。オフセットレジスタ23に貯蔵された16ビットオフセットアドレスは加算器26によって16ビット論理的ベースアドレスと加算されて、その結果は結合ロジックブロック27に供給される。結合ロジックブロック27はバンク番号レジスタ24からの4ビット論理的メモリバンクアドレスと加算器26からの16ビット論理的アドレスを結合しその結果を20ビット（拡張された）物理的地址として物理的地址バス28に伝達する。簡単なバンクスイッチングスキム20はインタラプトが発生する場合インタラプトサービスのために同一のインタラプトサービスルーチンを全てバンクの同一の位置に貯蔵する方法を使用することや、バンク毎に独立したプログラムが実行されることを考慮して独立したスイッチング方法を使用する。かつ、プログラムが実行される途中にメモリバンクがスイッチングされるから各メモリバンクの同一の位置にバンクスイッチングのための連関されたコードを予め動くことができないように制限する。このようなバンクスイッチ

40

50

ング方法はインタラプトサービスルーチンを使用するときやバンクスイッチング時に多くの制約が発生する。

【0007】

【発明が解決しようとする課題】

ハーバードアーキテクチャ (Harvard Architecture) は処理速度向上のためにプログラムメモリとデータメモリが分離された構造を有する。しかし従来はこのようなハーバードアーキテクチャのプログラムメモリ又はデータメモリを拡張して使用することができる方法がなかった。

【0008】

従って、本発明は上記の問題点を解決するために提案されたもので、その目的は拡張されたデータメモリをアクセスすることができるボンノイマン構造のマイクロプロセッサを提供することにある。

10

【0009】

本発明の他の目的は、拡張されたプログラムメモリ又は拡張されたデータメモリをアクセスすることができるハーバード構造のマイクロプロセッサを提供することにある。

【0010】

本発明の更に他の目的は、上記のマイクロプロセッサを備えたデータ処理システムを提供することにある。

【0011】

【課題を解決するための手段】

20

本発明の特徴によると、マイクロプロセッサは、外部から提供される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別しそれによるシステム制御動作を実行する制御ユニットと、ノーマルアドレスモード及び拡張アドレスモードの間に制御ユニットによる制御のもと第1アドレスを発生するプログラムカウンタと、アドレス転送のためのアドレスバスと、拡張アドレスモードの間だけ制御ユニットによる制御のもと第2アドレスを発生するアドレス発生器と、データ転送のためのデータバスとを含む。この時、第1アドレスはアドレスバスを通じて外部に伝達され、第2アドレスはデータバスを通じて外部に伝達される。

【0012】

アドレスインタフェース手段はデータバスから第2アドレスを受け入れて外部に伝達する。

30

【0013】

好ましい形態として、アドレスインタフェース手段は、データバスから入力される第2アドレスを貯蔵するためのアドレスレジスタと、このアドレスレジスタに貯蔵された第2アドレスをラッチするラッチ手段とを含む。

【0014】

好ましい形態として、制御ユニットは外部から提供される命令語が拡張アドレスモード用命令語である時、第1及び第2アドレスが各々アドレスバス及びデータバスを通じて外部に伝達される時までインタラプトをディセーブル (disable) する。

【0015】

40

本発明の他の特徴によると、データ処理システムは、マイクロプロセッサ及びアドレスインタフェース手段を含む。マイクロプロセッサは、外部から提供される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別しそれによるシステム制御動作を実行する制御ユニットと、ノーマルアドレスモード及び拡張アドレスモードの間に制御ユニットによる制御のもと第1アドレスを発生するプログラムカウンタと、アドレス転送のためのアドレスバスと、拡張アドレスモードの間だけ制御ユニットによる制御のもと第2アドレスを発生するアドレス発生器と、データ転送のためのデータバスとを含む。第1アドレスはアドレスバスを通じて外部に伝達され、第2アドレスはデータバスを通じて外部に伝達される。アドレスインタフェース手段は、マイクロプロセッサ内のデータバスから出力される第2アドレスを受け入れて外部に伝達する。

50

【0016】

好ましい形態として、アドレスインタフェース手段は、データバスから入力される第2アドレスを貯蔵するためのアドレスレジスタと、このアドレスレジスタに貯蔵された第2アドレスをラッチするラッチ手段とを含む。

【0017】

本発明の更に異なる特徴によると、マイクロプロセッサは、外部から提供される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であるかを識別しそれによるシステム制御動作を実行する制御ユニットと、ノーマルアドレスモード及び拡張アドレスモードの間に制御ユニットによる制御のもと第1命令語アドレスを発生するプログラムカウンタと、命令語アドレス転送のための命令語アドレスバスと、ノーマルアドレスモード及び拡張アドレスモードの間に制御ユニットによる制御のもと第1データアドレスを発生し、拡張アドレスモードの間だけ制御ユニットによる制御のもと第2命令語アドレス及び第2データアドレスを発生するアドレス発生器と、データアドレス転送のためのデータアドレスバスと、データ転送のためのデータバスとを含み、第1命令語アドレスは命令語アドレスバスを通じて外部に伝達され、第1データアドレスはデータアドレスバスを通じて外部に伝達され、第2命令語アドレス及び第2データアドレスはデータバスを通じて外部に伝達される。ここでこのマイクロプロセッサはハーバード構造を有する。

10

【0018】

好ましい形態としては、データバスから第2命令語アドレス及びデータアドレスを受け入れて外部に伝達するアドレスインタフェース手段を付加的に含む。

20

【0019】

アドレスインタフェース手段は、データバスから入力される第2命令語アドレスを貯蔵するための命令語アドレスレジスタと、このアドレスレジスタに貯蔵された命令語アドレスをラッチするラッチ手段と、データバスから入力される第2データアドレスを貯蔵するためのデータアドレスレジスタと、このデータアドレスレジスタに貯蔵されたデータアドレスをラッチする第2ラッチ手段とを含む。

【0020】

好ましい形態として、制御ユニットは外部から提供される命令語が拡張アドレスモード用命令語である時、第1命令語アドレス、第1データアドレスそして第2命令語アドレスおよび第2データアドレスが各々アドレスバス及びデータバスを通じて外部に伝達される時まで外部から入力されるインタラプトをディセーブルする。

30

【0021】

【発明の実施の形態】

以下本発明の実施の形態を添付された図5ないし図18を参照して詳細に説明する。以下の説明で図面中に付した同一または類似の参照番号及び符号は、同一または類似の構成要素を示す。

【0022】

マイクロプロセッサのメモリアドレス拡張において、重要なことは、既存のマイクロプロセッサとの互換性を維持することである。例えば、16ビット（2バイト）のビット幅を有するアドレスを指定する命令語だけを使用するマイクロプロセッサの場合、アドレス拡張のために命令語を24ビット（3バイト）命令語に修正すると既存のコードとの互換性を維持することができなくなる。既存のマイクロプロセッサとの互換性を維持しながらアドレスを拡張することができる方法には大きく二通りがある。即ち、拡張アドレスモード用命令語を新設する方法と、既存命令語の組み合わせにアドレス拡張を誘導する方法である。

40

【0023】

まず、拡張アドレスモード用命令語を新設する方法は既存の命令語を変更しなくても互換性を維持することができるが、メモリアドレスッシングに関連した全ての命令語を新設することや使用頻度が高い命令語と関連した命令語セットを定義すべきである。この方法は殆ど全ての命令語がメモリ参照を実行するCISC（Complex Instruction

50

ons Set Computer) タイプのマイクロプロセッサにおいてハードウェア的な負担を招来する。使用頻度が高い命令語だけを新設する方法はハードウェア的な負担を減少させることができるが、拡張されたアドレスモードを実行することができる命令語の数が制限される短所がある。

【0024】

次に、既存命令の組み合わせで拡張されたメモリをアクセスする方法は“LOAD”命令にバンクレジスタを設定し、バンクレジスタに貯蔵されたアドレスをメモリ最上位アドレスに指定するようにした後、後続命令語は選択されたバンク内だけ実行されるようにするものである。この方法はハードウェア的負担は殆どないが、サブルーチン呼出／リターン(CALL／RET)命令語実行時バンクレジスタのアドレスを貯蔵／復旧(SAVE／RESTORE)するための命令語配列が複雑になり、インタラプト発生時バンクレジスタのアドレスを貯蔵することができないという短所がある。その上に、ハーバードアーキテクチャのようにプログラムメモリとデータメモリが分離された場合データメモリに対してアクセス方法が提示されていない。

10

【0025】

従って、本発明では既存の命令語をノーマルアドレスモード用命令語にし、拡張アドレス領域を使用するために拡張アドレスモード用命令語を新設する。マイクロプロセッサ内のプログラム可能なコントロールユニットは外部から入力される命令語がノーマルアドレスモード用命令語であるか又は拡張アドレスモード用命令語であることを識別しそれによるシステム制御動作を実行する。

20

【0026】

図5は外部メモリ装置の構造を示す図である。図5に図示されたように、外部メモリ装置200はビット幅が8ビットであり、下位4ビットアドレスが‘000h’～‘fffh’である16個のバンク(メモリ領域)に分離されている。従って、各バンクは64Kバイトの大きさを持って、メモリ装置200全体の容量は1Mバイトである。

【0027】

図6は図5に図示されたメモリ装置のアドレスを示すプログラムカウンタの構成を示す図である。図6を参照すると、16ビットマイクロプロセッサは16ビットのプログラムカウンタを具備し、プログラムカウンタは外部メモリ装置200の下位16ビットアドレスを示す。拡張プログラムカウンタ(extra program counter; PCX)は外部メモリ装置200の上位4ビットアドレスを示す。

30

【0028】

図7は本発明の実施形態によるボンノイマン(von Neumann)構造のマイクロプロセッサの構成を示すブロック図である。

【0029】

図7を参照すると、マイクロプロセッサ100は16ビットのアドレスバスと8ビットのデータバスを持って、外部メモリ装置200に接続される。外部メモリ装置200は8ビットのビット幅を持って、全体の大きさは1Mバイトである。マイクロプロセッサ100は16ビットのアドレスバスを通じて外部メモリ装置200の20ビットアドレス中の下位16ビットを指定し、拡張された4ビットアドレスは外部メモリ装置200の上位4ビットを指定する。

40

【0030】

マイクロプロセッサ100はプログラマブルコントロールユニット102、命令語デコーダ104、命令語レジスタ106、バスタイミングコントローラ108、レジスタファイル110、インタラプトコントローラ112、ALU(Arithmetic Logic Unit)114、プログラムカウンタ(program counter; PC)116、拡張アドレスインタフェース120、8ビットデータバスDB[7:0]、16ビットアドレスバスA[15:0]、コントロールバスCONTROL BUS、そしてレジスタアドレスバスRA[7:0]を含む。

【0031】

50

命令語レジスタ106はフェッチ段階でデータバスDB[7:0]を通じてメモリ装置200から入力される命令語を貯蔵する。命令語デコーダ104は実行段階で命令語レジスタ106に貯蔵された命令語を受け入れデコーディングした後命令語に対応するアドレスを出力する。プログラマブルコントロールユニット102はマイクロコードROM(micro-code ROM)等で構成され命令語デコーダ104から入力されるアドレスに対応する制御信号を出力する。プログラマブルコントロールユニット102から出力される制御信号はバスタイミングコントローラ108、レジスタファイル110、インタラプトコントローラ112、ALU114、及びプログラムカウンタ116を制御するための信号である。レジスタファイル110はデータ又はアドレスを臨時的に貯蔵するために使用されるレジスタの集団で、この実施形態でレジスタファイルはスタックに動作する。インタラプトコントローラ112は外部から入力されるインタラプト信号に応答してマイクロプロセッサ100の全般的なインタラプト制御を実行する。ALU114はプログラマブルコントロールユニット102からの制御信号と命令語デコーダ104からの入力データ又はアドレスを受け入れ算術論理演算を実行する。プログラムカウンタ116はメモリ装置の下位16ビットアドレスを示すが、この実施形態でプログラムカウンタは各々が64Kバイトの大きさを有するメモリバンクのアドレスを示す。

10

【0032】

拡張アドレスインタフェース120は図8に図示されたように、拡張プログラムカウンタ(以下PCXと言う)122、拡張データアドレスカウンタ(extra data address counter、以下DCXと言う)124、マルチプレックス126、そしてラッチ回路128を含む。

20

【0033】

ボンノイマン構造はプログラムメモリとデータメモリが分離されていないので、必要によってPCX122とDCX124をアドレスバスに載せる方式でメモリ装置のプログラム領域又はデータ領域をアクセスすることができる。即ち、メモリ装置から命令語をフェッチする場合にはPCX122をアドレスバスの上位ビットに出力させ、メモリからデータをフェッチする場合にはアクセスタイミングに合わせてアドレスバスの上位ビットにDCX124を出力することでデータをアクセスすることができる。プログラム可能なコントロールユニット102でこのようなタイミング信号を作るとは通常の技術で容易に具現することができる。マルチプレックス126の選択信号ADDRはプログラマブルコントロールユニット102から入力される。

30

【0034】

本発明で特に留意する点は、ノーマルアドレスモード命令語が入力されるとメモリ装置200のアドレスがプログラムカウンタ116からアドレスバスA[15:0]を通じてメモリ装置200に提供され、拡張アドレスモード命令語が入力されるとメモリ装置200の下位16ビットアドレスがプログラムカウンタ116からアドレスバスA[15:0]を通じてメモリ装置200に提供され、メモリ装置200の上位4ビットアドレスはデータバスDB[7:0]を通じて拡張アドレスインタフェース120でラッチされた後メモリ装置200に提供される点である。この時、メモリ装置200の上位4ビットアドレスがまず設定されラッチされた後下位16ビットアドレスが出力される時20ビットアドレスが同時にメモリ装置200に提供される。

40

【0035】

上述したようなマイクロプロセッサの拡張アドレスモード命令語は次のような特徴を有する。例えば、プログラムの制御順序が変更されるジャンプ(JUMP)又はサブルーチン呼出(CALL)と同じような命令によって拡張プログラムカウンタのアドレスが変更される場合、拡張アドレスモード命令語のマイクロオペレーションが変更される。

【0036】

図9ないし図11は外部メモリ装置のバンク1から命令語が順次に入力されているときにアドレス'0001h'の'LCALL 4h、TARGET'と言う拡張アドレスモード命令語が入力されることを例示している。'LCALL 4h、TARGET'命令語は

50

バンク4のサブルーチン‘T A R G E T’に分岐しろと言う命令語である。命令語が入力されると次のようなマイクロプログラムが実行される。

LD PCX、4h

CALL TARGET

【0037】

マイクロプログラムによってPCX122にはバンク4が設定され、プログラムカウンタはレイブル‘T A R G E T’の番地である‘1521h’が入力される。この時、現在のPCX122とプログラムカウンタ116のアドレスに1を加えた‘0002h’はデータバスを通じてマイクロプロセッサ100のレジスタファイル110に貯蔵される。バンク4の‘1521h’から次拡張アドレスモード命令語が入力される時までPCX122の値は変更されなくプログラムカウンタ116の値だけ増加されプログラムが実行される。バンク4から命令語が入力されているときにリターン命令‘RET’が入力されるとレジスタファイル110に貯蔵されたリターンアドレス即ち、バンク1の‘0002h’アドレスがPCX122とプログラムカウンタ116にポップされる。従って、プログラムカウンタはサブルーチン呼出が実行されたバンク1の‘0001h’の次アドレスである‘0002h’を示す。

10

【0038】

従来はサブルーチン分岐時拡張されたPCX122のアドレスを貯蔵する方法がなかったが、本発明ではサブルーチン分岐又はインタラプト発生時拡張されたPCX122のアドレスをレジスタファイル110にプッシュした後サブルーチンリターン又はインタラプト実行終了時にレジスタファイル110に貯蔵されたアドレスをポップして元来のアドレスに復帰させることができるようにした。このような方法はRET(Return)/IRET(Interrupt Return)/FINT(Fast Interrupt)等にも同様に適用される。従って、メモリのいずれの領域でも他の領域のプログラム又はデータをアクセスすることができる。

20

【0039】

次に、図12を参照して拡張されたメモリ領域にあるデータをアクセスする拡張アドレスモード命令語の一例が説明される。‘LADD 4h、[RRO]、RO’はバンク4のアドレス‘RRO’のデータにROを加えろと言う命令語である。この命令語のマイクロプログラムは次のようである。

30

LD DCX、4h

ADD [RRO]、RO

【0040】

拡張されたメモリ領域のデータをアクセスする前に‘LD DCX、4h’命令を実行してDCX124をバンク4に設定した後、‘ADD’命令語によってアドレスRROがアドレスバスを通じて出力される時DCX124に貯蔵された値を同時に出力する。従って、DCX124とアドレスRROによって拡張されたメモリ領域をアクセスすることができる。

【0041】

表1は三星電子のマイクロプロセッサ‘SAM87RC’でノーマルアドレスモード命令語によるマイクロプログラムの実行サイクルとノーマルアドレスモード命令語を拡張アドレスモード命令語に変更した時のマイクロプログラムの実行サイクルを比較して示している。

40

【表1】

命令語	変更前	変更後
INT	16 cycle	18 cycle
INT (fast)	8 cycle	6 cycle
IR (int/ext)	1 byte / 10(12)cycle	1 byte / 12(14) cycle
IR (fast)	1 byte / 6 cycle	1 byte / 6 cycle
CALL DA	3 byte / 14cycle	3 byte / 16 cycle
CALL IA / IRR	2 byte / 14 cycle	2 byte / 15 cycle

【0042】

10

表1で分かるように、ノーマルアドレスモード命令語を拡張アドレスモード命令語に変更した時PCX122をレジスタファイルにプッシュ／ポップする動作によって実行サイクルが2サイクル程度増加する。これはデータバスが8ビットであるからである。

【0043】

次に、表2は三星電子のマイクロプロセッサ‘SAM87RC’で使用される命令語の使用頻度に関する統計資料のうち上位80%を占める19個のノーマルアドレスモード命令語の使用頻度とノーマルアドレスモード命令語を拡張アドレスモード命令語に変更した時の実行サイクル、そしてノーマルアドレスモード命令語を拡張アドレスモード命令語に変更した時の遅延率を示している。

【表2】

20

順位	命令語	使用頻度 (%)	Cycle 数	遅延率
1	JR cc、RA	11.06	6	$11.06 * 4 / 6 = 7.3\%$
3	CALL DA1	7.45	14	$7.45 (4+2) / 14 = 3.1\%$
5	JP cc、DA	5.90	8	$5.9 * 4 / 8 = 2.95\%$
10	RET	2.96	10	$2.96 * 2 / 10 = 1.78\%$
17	LDW RR1、IML	1.74	8	$1.74 * 4 / 8 = 0.87\%$
18	BTJR r2、B、RA	1.61	10	$1.61 * 4 / 10 = 0.64\%$
19	LDC r2、Irr2、xL	1.46	14	$1.46 * 4 / 14 = 0.42\%$
73	IRET	0.12	10	$0.12 * 2 / 10 = 0.02\%$
	INT	0.12	16	$0.12 * 2 / 16 = 0.01\%$
合計				17.11%

30

【0044】

表2を参照すると、拡張アドレスモード命令語を使用する時約17%程度実行サイクルが増加することが分かる。これは使用頻度が高い‘JMP’、‘CALL’命令語前に‘LOAD’命令語を実行すべきだからである。しかし、FASTインタラプトは動作中にプログラムカウンタの値をスタックに貯蔵しないのでノーマルアドレスモード命令語と同様に速い速度でインタラプト処理を実行することができる。

【0045】

40

ここで、一つ留意すべきことは、相対アドレスモード又はインデックスアドレスモード命令語でオフセットアドレスを使用することである。命令語を上記の方法と同一に適用するとベースアドレスからオフセットアドレスを加えることや減算する演算を実行することになる。この時、メモリバンクの境界(boundary)アドレスを越える場合が発生するにも係わらずバンクアドレスは変更されず正しいバンクスイッチングが行われない問題点がある。この問題点を解決するために従来は専用加算器を利用する方法とマイクロプロセッサ内部のALUを利用して演算する方法を使用した。専用加算器を利用する方法はベースアドレスとオフセットアドレスを加えることや引く時発生するキャリ(carry)やブロー(borrow)信号利用してバンクアドレスを変更する方法である。内部ALUを利用する方法はコンディションコードのキャリビット／ブロービットを利用してバン

50

クアドレスを自動的に変更する方法である。しかし、二つ方法はバンクアドレスを増加又は減少させるための加算器を必要としこれを制御するための信号を作らなければならない負担がある。

【0046】

従って、本発明ではアセンブラ又はコンパイラがオフセットアドレスを使用するアドレスモード命令語を識別し、ベースアドレスにオフセットアドレスを加えることや引く時バンク境界を越えるかを判断するようにアセンブラ又はコンパイラを変更する方法を使用する。

【0047】

この方法によると、オフセットアドレスを使用するアドレスモード命令語によってプログラムカウンタのアドレスがバンク境界を越えるかを容易に識別することができ、別度のアダーを具備しなくてもPCX122のアドレスを自動的に又は手動で容易に変更することができる。この時、アセンブラ又はコンパイラには相対アドレスモード命令語又はインデックスアドレスモード命令語であるかの可否を判断した後バンク境界を越えると警告メッセージを出力した後該当命令語前に自動でバンクスイッチングのための‘LD’命令を挿入する。又は使用者が警告メッセージを見て手動で‘LD’命令を挿入する。現在大部分のマイクロプロセッサがアセンブラ言語でプログラミングされたコードによって動作するので、使用者がコンパイラの助けを受けなくても容易にバンクアドレスを変更することもできる。

【0048】

プログラムが実行される途中に外部からインタラプトが発生すると、現在のプログラムカウンタとPCX122のアドレスをレジスタファイル110に貯蔵しインタラプト処理ルーチンに分岐する。しかし、拡張アドレスモード命令語が入力されPCX122又はDCX124を設定し次命令を処理する前にインタラプトが発生する場合には問題が発生する。例えば、‘LCALL 4h、TARGET’命令語が入力されマイクロプログラム‘LOAD PCX、4h’が実行された後マイクロプログラム‘CALL TARGET’が実行される前にインタラプトが発生しPCX122のアドレスがバンク5を示すように変更される場合、インタラプトサービスルーチンを終了しリターンする時は‘CALL TARGET’にリターンすることになる。この時、‘TARGET’はバンク4のアドレスであるがこの場合にはバンク5の‘TARGET’を指定することになる。即ち、PCX122又はDCX124を設定し次命令を処理する前にインタラプトが発生するとPCX122又はDCX124に貯蔵されたアドレスが変更されることになる。

【0049】

従って、拡張アドレスモード命令語が入力されるとプログラマブルコントロールユニットインタラプトマスキング信号(INT_MASK)を発生してPCX122又はDCX124を設定し次命令語が実行される時まで外部インタラプトが入力されないようにする。

【0050】

図13は拡張アドレスモード命令語が実行される時外部から入力されるインタラプト要求信号をマスキングするためのプログラマブルコントロールユニット及びインタラプトコントロール構成を示す図であり、図14は拡張アドレスモード命令語が実行される時のタイミング図である。

【0051】

図13を参照すると、プログラマブルコントロールユニット102は命令語デコーダ104(図7参照)から入力された命令語が拡張アドレスモード命令語であるかの可否を判断し、拡張アドレスモード命令語である時それに対応するマイクロプログラムを実行する。プログラマブルコントロールユニット102は例えば、‘LCALL 4h、TARGET’と言う拡張アドレスモード命令語が入力されると‘LOAD PCX、4h’が実行される時点から‘CALL TARGET’が実行される時までハイレベル(論理‘1’)のインタラプトマスキング信号INT_MASKを発生してインタラプトコントローラ112に提供する。インタラプトコントローラ112はアンドゲートAND_Gを含む。

アンドゲートAND__Gの一入力端子には反転されたインタラプトマスキング信号INT__MASKが入力され、他入力端子には外部インタラプト要求信号IRQ__INが入力される。従って、インタラプトマスキング信号INT__MASKがハイレベルであると、インタラプト要求信号IRQ__INがイネーブルされるとしてもマイクロプロセッサ100の各ブロックに提供されるインタラプト要求信号IRQはディセーブルされる。

【0052】

次に考慮する事項はバンク境界間の連続性を具現することである。本発明ではベースアドレスにアドレスオフセットを加えるときや引く時バンクスイッチングのための専用加算器を別度に具備しないからバンク境界では次のような方法で命令語を挿入する。第1の方法はバンクの最終アドレスからPCX122を1ほど増加させジャンプ命令語を使用して次

10

バンクの一番目アドレスに移動させる方法である。第2の方法はスイッチング命令語LD PCX、xhを使用してPCX122を変更した後バンクの最終アドレスまでノーオペレーション(NOP)命令を挿入する方法である。これはプログラム進行にどんな影響も及ぼさないのでプログラム使用者の便宜によって選択的に使用することができる。

【0053】

図15は本発明の他の実施形態によるデータ処理システムの構成を示す図である。図15に図示されたマイクロプロセッサ300はボンノイマン(von Neumann)構造であり図7に図示されたマイクロプロセッサ100との差異点は拡張アドレスインタフェース400がマイクロプロセッサ300の外部に構成されていることである。拡張アドレスインタフェース400はマイクロプロセッサ300と外部メモリ装置200間の拡張アドレスインタフェースとして作用し、マイクロプロセッサ300のデータバスDB[7:0]、コントロールバスCONTROL BUS、そしてレジスタアドレスバスRA[7:0]と接続される。マイクロプロセッサ300及び拡張アドレスインタフェース400を具備したデータ処理システムの動作は図7に図示されたマイクロプロセッサと同一なので詳細な説明は省略する。

20

【0054】

図16は本発明の実施形態によるハーバード(Harvard)構造のマイクロプロセッサの構成を示すブロック図である。

【0055】

図16を参照すると、ハーバード構造のマイクロプロセッサ500は外部メモリ装置がプログラムメモリ装置600とデータメモリ装置650に分離されている。マイクロプロセッサ500は図7に図示されたマイクロプロセッサ100と同一の構成を有するがアドレスバスが16ビットの命令語アドレスバスIA[15:0]と16ビットのデータアドレスバスDA[15:0]で構成される。データアドレスバスはALU114で発生される。

30

【0056】

図17は図16に図示された拡張アドレスインタフェース120の構成を詳細に示すブロック図である。図17を参照すると、拡張アドレスインタフェース120は拡張プログラムカウンタ522、拡張データアドレスカウンタ536、そしてラッチ回路524、528を含む。

40

【0057】

ハーバード構造ではプログラムメモリとデータメモリが各々分離されて構成されており、それによって命令語アドレスバスとデータアドレスバスが分離されている。従って、ハーバード構造ではPCX522のアドレスをラッチ回路524でラッチした後命令語アドレスバスIA[19:16]を通じてプログラムメモリ装置600に伝達し、DCX536のアドレスをラッチ回路528でラッチした後データアドレスバスDA[19:16]を通じてデータメモリ装置650に伝達する。

【0058】

図18はPCX/DCXを利用したバンクスイッチング方法をより拡張させインタラプトサービスルーチン位置、スタックポインタ、ファストインタラプトサービスルーチンを貯

50

蔵するレジスタを別度に構成した拡張アドレスインタフェース 800 を示すブロック図である。

【0059】

図 18 に図示されたように、拡張アドレスインタフェース 800 は、IPCX802、IPX804、SPX808 に予め設定されたバンクでインタラプト、ファストインタラプト、スタックプッシュ／ポップ動作を実行することができるので、インタラプトサービスルーチンとスタックをメモリの特徴領域に限定しなくてもよい。

【0060】

実施形態を利用して本発明を説明したが、本発明の範囲は開示された実施形態に限定されないことがよく理解される。むしろ、本発明の範囲には多様な変形例及びその類似な構成が全て含まれる。従って、請求範囲はそのような変形例及びその類似な構成全てを含むように可能な限り広く解析されるべきである。

【0061】

【発明の効果】

以上のように本発明によると、ハードウェア変更及び新設を最小化しながらも拡張されたメモリ装置をアクセスすることができるマイクロプロセッサが具現される。特に、ベースアドレスにオフセットアドレスを加えることや減算する時、別途の加算器を具備しなくてもよいので生産費用を減少できる。

【図面の簡単な説明】

【図 1】 メモリアドレス拡張のためのセグメンテーションスキムを示す図。

【図 2】 メモリアドレス拡張のためのセグメンテーションスキムを示す図。

【図 3】 メモリ拡張のための簡単なバンクスイッチングスキムを示す図。

【図 4】 メモリ拡張のための簡単なバンクスイッチングスキムを示す図。

【図 5】 外部メモリ装置の構造を示す図。

【図 6】 図 5 に図示されたメモリ装置のアドレスを示すプログラムカウンタの構成を示す図。

【図 7】 本発明の実施形態によるボンノイマン構造のマイクロプロセッサの構成を示すブロック図。

【図 8】 図 7 に図示された拡張アドレスインタフェースの構成を示すブロック図。

【図 9】 メモリ装置に貯蔵された拡張アドレスモード命令語の例を示す図。

【図 10】 メモリ装置に貯蔵された拡張アドレスモード命令語の例を示す図。

【図 11】 メモリ装置に貯蔵された拡張アドレスモード命令語の例を示す図。

【図 12】 メモリ装置に貯蔵された拡張アドレスモード命令語の例を示す図。

【図 13】 拡張アドレスモード命令語が実行される時外部から入力されるインタラプト要求信号をマスキングするためのプログラマブルコントロールユニット及びインタラプトコントロールの構成を示す図。

【図 14】 拡張アドレスモード命令語が実行される時のタイミング図。

【図 15】 本発明の他の実施形態によるデータ処理システムの構成を示す図。

【図 16】 本発明の実施形態によるハーバード構造のマイクロプロセッサの構成を示すブロック図。

【図 17】 図 16 に図示された拡張アドレスインタフェースの構成を詳細に示すブロック図。

【図 18】 PCX/DCX を利用したバンクスイッチング方法をより拡張させインタラプトサービスルーチン位置、スタックポインタ、ファストインタラプトサービスルーチンを貯蔵するレジスタを別度に構成した拡張アドレスインタフェースを示すブロック図。

【符号の説明】

100 マイクロプロセッサ

102 プログラマブルコントロールユニット

104 命令語デコーダ

106 命令語レジスタ

10

20

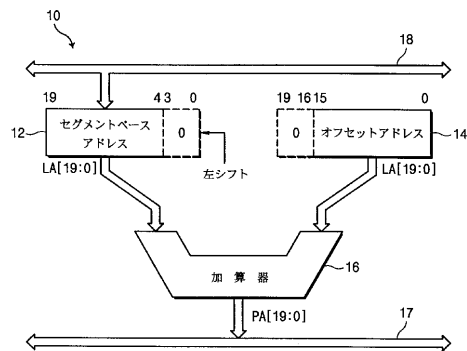
30

40

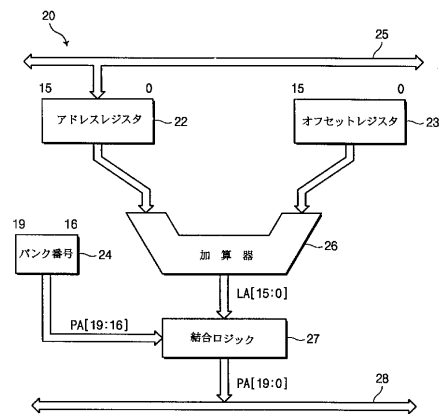
50

- 108 バスタイミングコントローラ
- 110 レジスタファイル
- 112 インタラプトコントローラ
- 114 ALU
- 116 プログラムカウンタ
- 120 拡張アドレスインタフェース
- 122 拡張プログラムカウンタ
- 124 拡張データアドレスカウンタ
- 126 マルチプレックス
- 128 ラッチ回路
- 200 メモリ装置

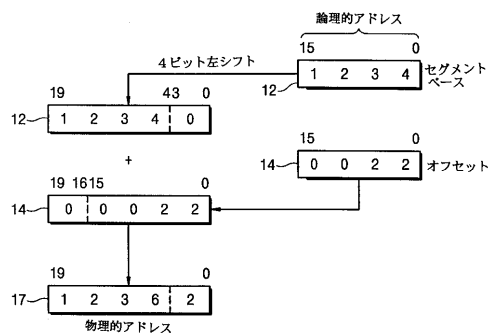
【図 1】



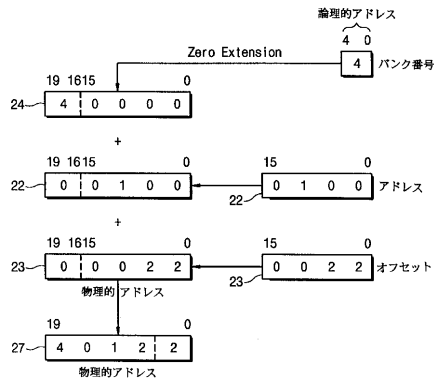
【図 3】



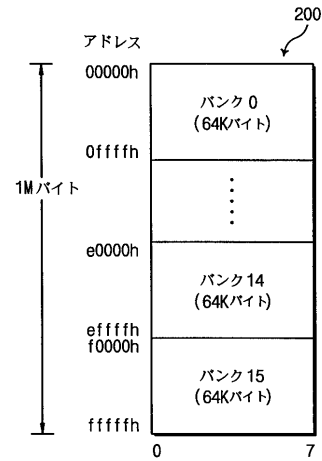
【図 2】



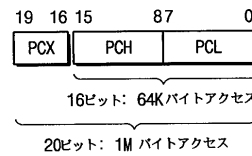
【図 4】



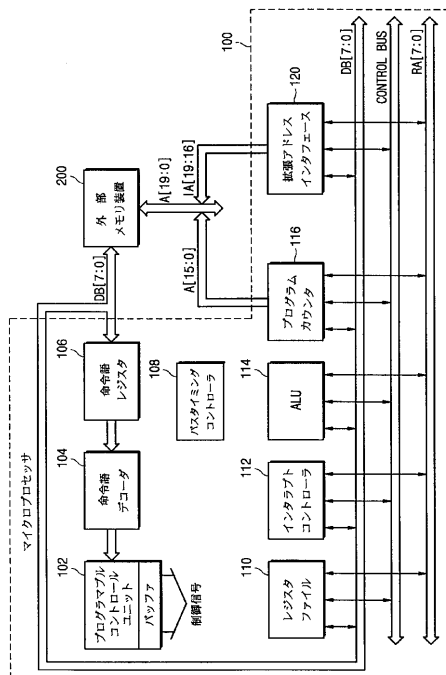
【図 5】



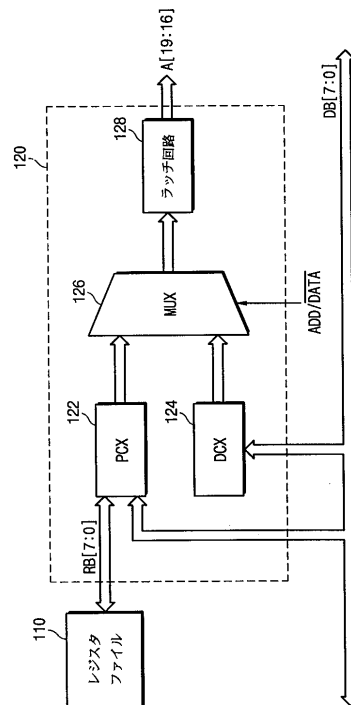
【図 6】



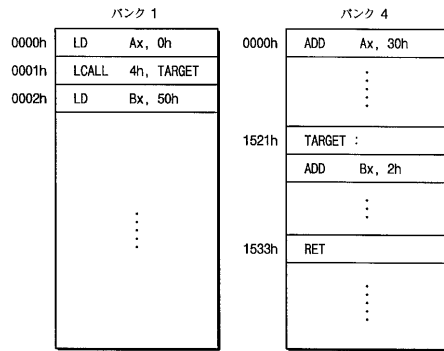
【図 7】



【図 8】



【図 9】



【図 10】

Call 命 令 時	
LCALL 4h, TARGET :	Pseudo instruction
(LD PCX, 4h : Set bank 4 call target) :	① Call subroutine (Target - 16 bit address)
RET 命 令 時	
TARGET : ...	
RET :	② Return

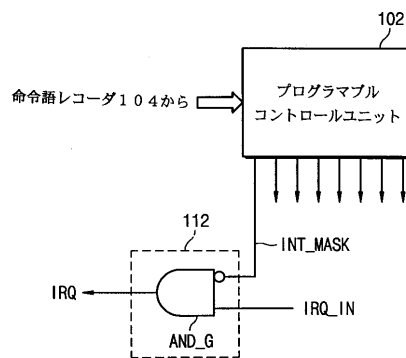
【図 11】

INT 遂 行 時	
Interrupt/Fast Interrupt code sequence 変更 (PCL/PCH/PCXに貯蔵する)	
IRET 命 令 時	
IRET :	② Return

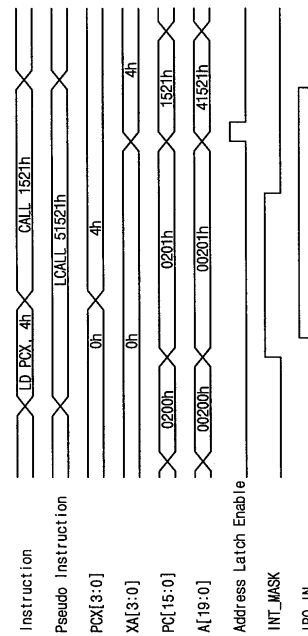
【図 12】

Data Access 命 令 時	
LADD 4H, [RR0], R0 :	Pseudo Instruction
(LD DCX, 4h : Set bank 4 ADD [RR0], R0) :	Indexed ADD

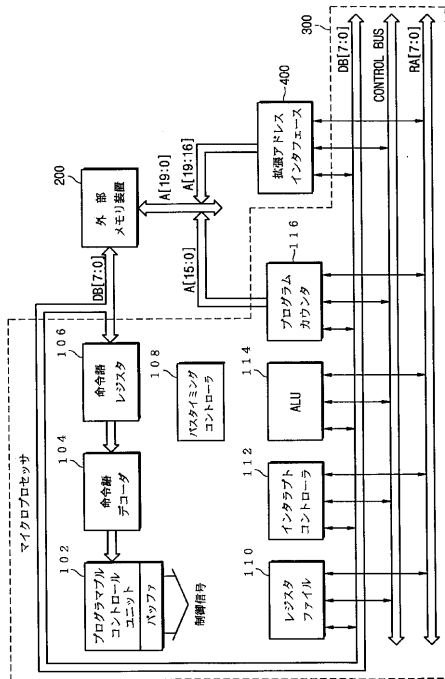
【図 13】



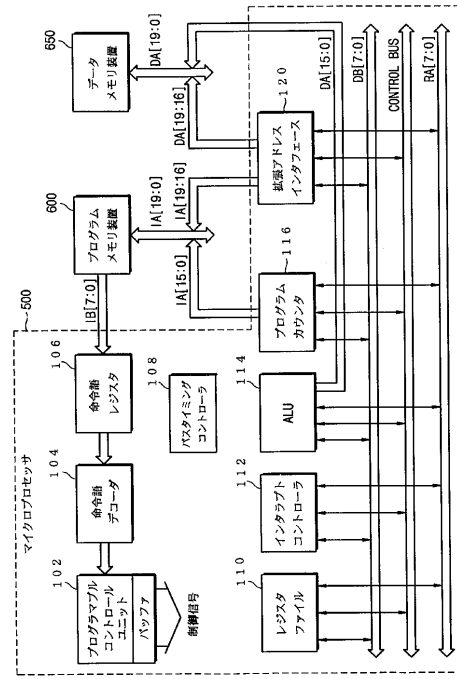
【図 14】



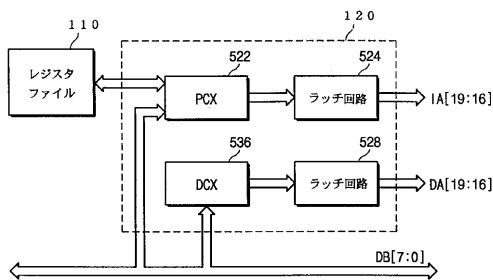
【図 15】



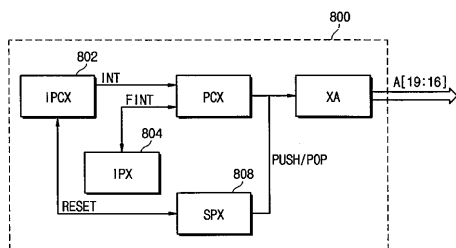
【図 16】



【図 17】



【図 18】



フロントページの続き

(51)Int.Cl. F I
G 0 6 F 9/48 (2006.01) G 0 6 F 9/40 3 1 0 D
G 0 6 F 9/46 3 1 0 L
G 0 6 F 9/46 3 1 1 E

合議体
審判長 酒井 伸芳
審判官 清木 泰
審判官 石井 茂和

(56)参考文献 特開昭51-149735 (JP, A)
特開昭62-50941 (JP, A)
特開昭64-53233 (JP, A)
特開昭62-20033 (JP, A)
「iAPX86ファミリ・ユーザーズマニュアル」, 第3版, インテルジャパン株式会社, 1982年5月20日, Pages: 20, 21, 46
中川圭介, 「ミニコンインタフェース」, 第1版第1刷, 株式会社オーム社, 昭和50年8月31日, Page: 22
寺田浩詔監訳, 「Z-80マイクロコンピュータ」, 初版第5刷, 丸善株式会社, 昭和55年9月20日, Page: 29

(58)調査した分野(Int.Cl., DB名)
G06F12/00, 550-12/06
G06F13/16-13/18
G06F9/30-9/355
G06F9/40-9/42
G06F9/46-9/54
G06F9/22-9/28