

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5063706号
(P5063706)

(45) 発行日 平成24年10月31日(2012.10.31)

(24) 登録日 平成24年8月17日(2012.8.17)

(51) Int.Cl.	F I
G 1 1 C 19/28 (2006.01)	G 1 1 C 19/28 D
G 1 1 C 19/00 (2006.01)	G 1 1 C 19/00 H
G 0 9 G 3/36 (2006.01)	G 1 1 C 19/00 J
G 0 9 G 3/20 (2006.01)	G 0 9 G 3/36
	G 0 9 G 3/20 6 2 3 H
	請求項の数 12 (全 29 頁) 最終頁に続く

(21) 出願番号 特願2009-547924 (P2009-547924)
 (86) (22) 出願日 平成20年8月18日(2008.8.18)
 (86) 国際出願番号 PCT/JP2008/064703
 (87) 国際公開番号 W02009/084267
 (87) 国際公開日 平成21年7月9日(2009.7.9)
 審査請求日 平成22年4月20日(2010.4.20)
 (31) 優先権主張番号 特願2007-336235 (P2007-336235)
 (32) 優先日 平成19年12月27日(2007.12.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町22番22号
 (74) 代理人 100104695
 弁理士 島田 明宏
 (74) 代理人 100121348
 弁理士 川原 健児
 (74) 代理人 100114247
 弁理士 奥田 邦廣
 (72) 発明者 大河 寛幸
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 (72) 発明者 古田 成
 大阪府大阪市阿倍野区長池町22番22号
 シャープ株式会社内
 最終頁に続く

(54) 【発明の名称】 シフトレジスタおよび表示装置

(57) 【特許請求の範囲】

【請求項1】

同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、第1および第2のクロック信号からなる2相のクロック信号に基づいて動作するシフトレジスタであって、

前記単位回路は、

外部に第1の出力信号を出力するための第1の出力端子と、

後段の単位回路の入力端子に第2の出力信号を出力するための第2の出力端子と、

前記第1の出力端子にオン電圧およびオフ電圧のいずれか一方を前記第1の出力信号として出力する第1の出力信号生成回路と、

前記第2の出力端子にオン電圧およびオフ電圧のいずれか一方を前記第2の出力信号として出力する第2の出力信号生成回路と、

前記第1の出力端子にオン電圧を前記第1の出力信号として出力する全オン出力信号生成回路とを備え、

アクティブな全オン制御信号が前記単位回路に与えられると、前記第1の出力信号生成回路が前記オン電圧の第1の出力信号の出力を停止すると同時に前記全オン出力信号生成回路が前記オン電圧の第1の出力信号を前記第1の出力端子に出力するとともに、前記第2の出力信号生成回路が前記オフ電圧の第2の出力信号を前記第2の出力端子に出力することを特徴とする、シフトレジスタ。

【請求項2】

前記第 1 の出力信号生成回路は、

一方の導通端子に前記第 1 のクロック信号が与えられ、他方の導通端子が前記第 1 の出力端子に接続された第 1 の出力制御トランジスタと、

一方の導通端子が前記第 1 の出力制御トランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第 1 の出力リセットトランジスタとを備え、

前記第 2 の出力信号生成回路は、

一方の導通端子に前記第 1 のクロック信号が与えられ、他方の導通端子が前記第 2 の出力端子に接続された第 2 の出力制御トランジスタと、

一方の導通端子が前記第 2 の出力制御トランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられた第 2 の出力リセットトランジスタとを備え、

前記全オン出力信号生成回路は、

一方の導通端子にオン電圧が与えられ、他方の導通端子に前記第 1 の出力端子が接続された第 3 の出力制御トランジスタを備え、

前記アクティブな全オン制御信号が前記単位回路に与えられると、前記第 1 および第 2 の出力制御トランジスタならびに前記第 1 の出力リセットトランジスタはその制御端子にオフ電圧を与えられてオフ状態になるとともに、前記第 2 の出力リセットトランジスタおよび前記第 3 の出力制御トランジスタは、その制御端子にオン電圧を与えられてオン状態になることを特徴とする、請求項 1 に記載のシフトレジスタ。

【請求項 3】

一方の導通端子にオン電圧が与えられ、制御端子に前記全オン制御信号が与えられ、他方の導通端子の電圧をリセット信号として前記第 2 の出力リセットトランジスタの制御端子に与えるリセット信号出力トランジスタと、

前記リセット信号がオン電圧である間、前記第 1 および前記第 2 の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路と

をさらに備えることを特徴とする、請求項 2 に記載のシフトレジスタ。

【請求項 4】

前段の単位回路の第 2 の出力信号がオフ電圧のときにはオン電圧に、前記前段の単位回路の第 2 の出力信号がオン電圧になるとオフ電圧に変化するリセット信号を生成するリセット信号生成回路と、

前記リセット信号がオン電圧である間、前記第 1 および前記第 2 の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路と、

制御端子に前記全オン制御信号の反転信号が与えられ、一方の導通端子が前記リセット信号生成回路に接続され、他方の導通端子が前記第 1 の出力リセットトランジスタの制御端子に接続されたりセット信号遮断トランジスタと、

制御端子に前記全オン制御信号が与えられ、一方の導通端子にオフ電圧が与えられ、他方の導通端子が前記第 1 の出力リセットトランジスタの前記制御端子に接続されたオフ電圧供給トランジスタとをさらに備えることを特徴とする、請求項 2 に記載のシフトレジスタ。

【請求項 5】

前記単位回路は、前記アクティブな全オン制御信号が与えられると、前段の単位回路から与えられる入力信号を遮断し、当該入力信号を受け取るための入力端子にオフ電圧を与える入力信号制御回路をさらに備えることを特徴とする、請求項 2 に記載のシフトレジスタ。

【請求項 6】

前段の単位回路の第 2 の出力信号がオフ電圧のときにはオン電圧に、前記前段の単位回路の第 2 の出力信号がオン電圧になるとオフ電圧に変化するリセット信号を生成するリセット信号生成回路と、

前記リセット信号がオン電圧である間、前記第 1 および第 2 の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とをさらに備え、

前記リセット信号生成回路は、

10

20

30

40

50

一方の端子にオン電圧が与えられた抵抗素子と、

制御端子に前記第2のクロック信号が与えられ、一方の導通端子が前記抵抗素子の他方の端子に接続された第1のトランジスタと、

制御端子に前記前段の単位回路からの入力信号が与えられ、一方の導通端子が前記第1のトランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられた第2のトランジスタとを含み、

前記第1のトランジスタと前記第2のトランジスタとの接続点の電圧を前記リセット信号として出力することを特徴とする、請求項2に記載のシフトレジスタ。

【請求項7】

2次元状に配置された複数の表示素子と、請求項1～6のいずれかに記載のシフトレジスタを含む駆動回路とを備え、前記複数の表示素子と前記シフトレジスタとが同一導電型のトランジスタで構成されていることを特徴とする、表示装置。

10

【請求項8】

表示すべき映像を表示するアクティブマトリクス型の表示装置であって、

複数の走査信号線と、前記走査信号線と交差する複数のデータ信号線と、前記走査信号線および前記データ信号線の交差点にそれぞれ対応してマトリクス状に配置された複数の表示素子とを含む表示部と、

請求項1～6のいずれかに記載のシフトレジスタを含み、前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示部に表示すべき映像を表す映像信号を伝達する映像信号線と、

20

前記映像信号線によって伝達された映像信号に基づき前記データ信号線にデータ信号を出力するデータ信号線駆動回路と、

前記走査信号線駆動回路および前記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、

前記電源回路をオンしたとき、アクティブな全オン制御信号を前記走査信号線駆動回路に与えてすべての前記走査信号線をアクティブにすることを特徴とする、表示装置。

【請求項9】

前記データ信号線駆動回路は、請求項1～6のいずれかに記載のシフトレジスタを含み、

前記電源回路をオンしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えてすべての前記複数のデータ信号線に同一の電圧を与えることを特徴とする、請求項8に記載の表示装置。

30

【請求項10】

前記データ信号線駆動回路は、請求項1～6のいずれかに記載のシフトレジスタと、前記映像信号線と前記複数のデータ信号線の各々とを接続する複数のスイッチング素子とをさらに含み、

前記電源回路をオフしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えて前記複数のスイッチング素子をすべてオフすることを特徴とする、請求項8に記載の表示装置。

【請求項11】

40

前記データ信号線駆動回路は、請求項1～6のいずれかに記載のシフトレジスタと、前記映像信号線と前記複数のデータ信号線の各々とを接続する複数のスイッチング素子とをさらに含み、

前記電源回路をオフしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えて前記複数のスイッチング素子をすべてオンすることを特徴とする、請求項8に記載の表示装置。

【請求項12】

前記電源回路の出力端子と接地端子との間に容量素子が接続されていることを特徴とする、請求項8に記載の表示装置。

【発明の詳細な説明】

50

【技術分野】

【0001】

本発明は、シフトレジスタおよび表示装置に関し、特に、表示装置や撮像装置の駆動回路などに好適に使用されるシフトレジスタおよびそのシフトレジスタを用いた表示装置や撮像装置に関する。

【背景技術】

【0002】

アクティブマトリクス型の表示装置は、2次元状に配置された表示素子を行単位で選択し、選択した表示素子に表示データに応じた電圧を書き込むことにより、映像を表示する。表示素子を行単位で選択するためには、走査信号線駆動回路として、クロック信号に基づき出力信号を順にシフトするシフトレジスタが用いられる。また、点順次駆動を行う表示装置では、データ信号線駆動回路の内部に同様のシフトレジスタが設けられる。

10

【0003】

液晶表示装置では、表示素子内のTFT(Thin Film Transistor)を形成するための製造プロセスを用いて、表示素子の駆動回路を表示素子と一体に形成することがある。この場合には、製造コストを削減するために、シフトレジスタを含む駆動回路をTFTと同じ導電型のトランジスタで形成することが好ましい。また、シフトレジスタに与えるクロック信号の本数を多くすると、クロック配線用のレイアウト面積や消費電力などが増加する。このような背景から、同一導電型のトランジスタを用いて、2相のクロック信号に基づき動作するシフトレジスタが必要とされている。このようなシフトレジスタを液晶表示装置に用いる場合、液晶表示装置の電源回路をオンまたはオフしたときに発生する映像の乱れが人間の目に見えるため、視聴者が不快感を覚える場合がある。

20

【0004】

そこで、電源回路をオンしたときに、シフトレジスタのすべての出力端子からハイレベルの出力信号を出力させる全オン動作をさせることができれば、画面に表示される映像の乱れを緩和することができる。このような全オン動作をさせることができるシフトレジスタとして、日本特開2002-197885号公報に記載されたシフトレジスタが知られている。

【0005】

図21は、日本特開2002-197885号公報に記載されたシフトレジスタに含まれる信号保持ブロックの回路図である。図21に示す信号保持ブロックの動作を説明する。この信号保持ブロックに含まれるトランジスタはすべてNチャネル型トランジスタである。シフトレジスタが全オン動作をするとき、トランジスタT11、T12、T13はオフ状態になる。また、ダイオード接続したトランジスタT16のドレイン端子に電源電圧VDDが与えられるので、節点NBの電位はハイレベルになり、トランジスタT14はオン状態になる。このため、外部からレベルがVa(ハイレベル)の出力制御信号SETが制御端子CTLに与えられると、節点Noutの電位は(Va - Vth)(ただし、VthはトランジスタT14の閾値電圧)になる。このため、出力端子OUTからは電位が(Va - Vth)の出力信号OTkが出力される。他の信号保持ブロックでも同様に、ハイレベルの出力信号が同時に出力される。したがって、このような信号保持ブロックによって構成されたシフトレジスタは、全オン動作をすることができる。

30

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、上記従来の回路では、通常動作時に外部からノイズが入ると、トランジスタT13がオン状態になる場合がある。このとき、トランジスタT13、T14に貫通電流が流れるので、シフトレジスタを駆動する電源の消費電力が増大するという問題がある。また、制御端子CTLは、トランジスタT14を介して、出力端子OUTから液晶表示パネルの走査信号線に接続されているので、出力制御信号線の負荷が大きくなるという問題もある。

50

【 0 0 0 7 】

それ故に、本発明は、単位回路内に貫通電流が流れず、また全オン制御信号線の負荷が大きくなるシフトレジスタを提供することを目的とする。

【 課題を解決するための手段 】

【 0 0 0 8 】

本発明の第 1 の局面は、同一導電型のトランジスタで構成された単位回路を多段接続した構成を有し、第 1 および第 2 のクロック信号からなる 2 相のクロック信号に基づいて動作するシフトレジスタであって、

前記単位回路は、

外部に第 1 の出力信号を出力するための第 1 の出力端子と、

後段の単位回路の入力端子に第 2 の出力信号を出力するための第 2 の出力端子と、

前記第 1 の出力端子にオン電圧およびオフ電圧のいずれか一方を前記第 1 の出力信号として出力する第 1 の出力信号生成回路と、

前記第 2 の出力端子にオン電圧およびオフ電圧のいずれか一方を前記第 2 の出力信号として出力する第 2 の出力信号生成回路と、

前記第 1 の出力端子にオン電圧を前記第 1 の出力信号として出力する全オン出力信号生成回路とを備え、

アクティブな全オン制御信号が前記単位回路に与えられると、前記第 1 の出力信号生成回路が前記オン電圧の第 1 の出力信号の出力を停止すると同時に前記全オン出力信号生成回路が前記オン電圧の第 1 の出力信号を前記第 1 の出力端子に出力するとともに、前記第 2 の出力信号生成回路が前記オフ電圧の第 2 の出力信号を前記第 2 の出力端子に出力することを特徴とする。

【 0 0 0 9 】

本発明の第 2 の局面は、本発明の第 1 の局面において、

前記第 1 の出力信号生成回路は、

一方の導通端子に前記第 1 のクロック信号が与えられ、他方の導通端子が前記第 1 の出力端子に接続された第 1 の出力制御トランジスタと、

一方の導通端子が前記第 1 の出力制御トランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられる第 1 の出力リセットトランジスタとを備え、

前記第 2 の出力信号生成回路は、

一方の導通端子に前記第 1 のクロック信号が与えられ、他方の導通端子が前記第 2 の出力端子に接続された第 2 の出力制御トランジスタと、

一方の導通端子が前記第 2 の出力制御トランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられた第 2 の出力リセットトランジスタとを備え、

前記全オン出力信号生成回路は、

一方の導通端子にオン電圧が与えられ、他方の導通端子に前記第 1 の出力端子が接続された第 3 の出力制御トランジスタを備え、

前記アクティブな全オン制御信号が前記単位回路に与えられると、前記第 1 および第 2 の出力制御トランジスタならびに前記第 1 の出力リセットトランジスタはその制御端子にオフ電圧を与えられてオフ状態になるとともに、前記第 2 の出力リセットトランジスタおよび前記第 3 の出力制御トランジスタは、その制御端子にオン電圧を与えられてオン状態になることを特徴とする。

【 0 0 1 0 】

本発明の第 3 の局面は、本発明の第 2 の局面において、

一方の導通端子にオン電圧が与えられ、制御端子に前記全オン制御信号が与えられ、他方の導通端子の電圧をリセット信号として前記第 2 の出力リセットトランジスタの制御端子に与えるリセット信号出力トランジスタと、

前記リセット信号がオン電圧である間、前記第 1 および前記第 2 の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とをさらに備えることを特徴とする。

【0011】

本発明の第4の局面は、本発明の第2の局面において、

前段の単位回路の第2の出力信号がオフ電圧のときにはオン電圧に、前記前段の単位回路の第2の出力信号がオン電圧になるとオフ電圧に変化するリセット信号を生成するリセット信号生成回路と、

前記リセット信号がオン電圧である間、前記第1および前記第2の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路と、

制御端子に前記全オン制御信号の反転信号が与えられ、一方の導通端子が前記リセット信号生成回路に接続され、他方の導通端子が前記第1の出力リセットトランジスタの制御端子に接続されたりセット信号遮断トランジスタと、

制御端子に前記全オン制御信号が与えられ、一方の導通端子にオフ電圧が与えられ、他方の導通端子が前記第1の出力リセットトランジスタの前記制御端子に接続されたオフ電圧供給トランジスタとをさらに備えることを特徴とする。

10

【0012】

本発明の第5の局面は、本発明の第2の局面において、

前記単位回路は、前記アクティブな全オン制御信号が与えられると、前段の単位回路から与えられる入力信号を遮断し、当該入力信号を受け取るための入力端子にオフ電圧を与える入力信号制御回路をさらに備えることを特徴とする。

【0013】

本発明の第6の局面は、本発明の第2の局面において、

前段の単位回路の第2の出力信号がオフ電圧のときにはオン電圧に、前記前段の単位回路の第2の出力信号がオン電圧になるとオフ電圧に変化するリセット信号を生成するリセット信号生成回路と、

前記リセット信号がオン電圧である間、前記第1および第2の出力制御トランジスタの制御端子にオフ電圧を与えるディスチャージ回路とをさらに備え、

前記リセット信号生成回路は、

一方の端子にオン電圧が与えられた抵抗素子と、

制御端子に前記第2のクロック信号が与えられ、一方の導通端子が前記抵抗素子の他方の端子に接続された第1のトランジスタと、

制御端子に前記前段の単位回路からの入力信号が与えられ、一方の導通端子が前記第1のトランジスタの前記他方の導通端子に接続され、他方の導通端子にオフ電圧が与えられた第2のトランジスタとを含み、

前記第1のトランジスタと前記第2のトランジスタとの接続点の電圧を前記リセット信号として出力することを特徴とする。

20

30

【0014】

本発明の第7の局面は、2次元状に配置された複数の表示素子と、本発明の第1から第6のいずれかの局面に係るシフトレジスタを含む駆動回路とを備え、前記複数の表示素子と前記シフトレジスタとが同一導電型のトランジスタで構成されていることを特徴とする。

【0015】

本発明の第8の局面は、表示すべき映像を表示するアクティブマトリックス型の表示装置であって、

複数の走査信号線と、前記走査信号線と交差する複数のデータ信号線と、前記走査信号線および前記データ信号線の交差点にそれぞれ対応してマトリクス状に配置された複数の表示素子とを含む表示部と、

本発明の第1から第6のいずれかの局面に係るシフトレジスタを含み、前記走査信号線を選択的に活性化する走査信号線駆動回路と、

前記表示部に表示すべき映像を表す映像信号を伝達する映像信号線と、

前記映像信号線によって伝達された映像信号に基づき前記データ信号線にデータ信号を出力するデータ信号線駆動回路と、

40

50

前記走査信号線駆動回路および前記データ信号線駆動回路に電源電圧を供給する電源回路とを備え、

前記電源回路をオンしたとき、アクティブな全オン制御信号を前記走査信号線駆動回路に与えてすべての前記走査信号線をアクティブにすることを特徴とする。

【0016】

本発明の第9の局面は、本発明の第8の局面において、

前記データ信号線駆動回路は、本発明の第1から第6のいずれかの局面に係るシフトレジスタを含み、

前記電源回路をオンしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えてすべての前記複数のデータ信号線に同一の電圧を与えることを特徴とする

10

【0017】

本発明の第10の局面は、本発明の第8の局面において、

前記データ信号線駆動回路は、本発明の第1から第6のいずれかの局面に係るシフトレジスタと、前記映像信号線と前記複数のデータ信号線の各々とを接続する複数のスイッチング素子とをさらに含み、

前記電源回路をオフしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えて前記複数のスイッチング素子をすべてオフすることを特徴とする。

【0018】

本発明の第11の局面は、本発明の第8の局面において、

前記データ信号線駆動回路は、本発明の第1から第6のいずれかの局面に係るシフトレジスタと、前記映像信号線と前記複数のデータ信号線の各々とを接続する複数のスイッチング素子とをさらに含み、

前記電源回路をオフしたとき、前記アクティブな全オン制御信号を前記データ信号線駆動回路に与えて前記複数のスイッチング素子をすべてオンすることを特徴とする。

20

【0019】

本発明の第12の局面は、本発明の第8の局面において、

前記電源回路の出力端子と接地端子との間に容量素子が接続されていることを特徴とする。

【発明の効果】

30

【0020】

本発明の第1の局面によれば、アクティブな全オン制御信号が単位回路に与えられると、第1の出力信号生成回路はオン電圧の第1の出力信号の出力を停止し、同時に全オン出力信号生成回路はオン電圧の第1の出力信号を第1の出力端子に出力する。また、第2の出力信号生成回路はオフ電圧の第2の出力信号を第2の出力端子に出力する。このようにして、シフトレジスタは、全オン動作時に、オン電圧の第1の出力信号およびオフ電圧の第2の出力信号を、第1の出力端子および第2の出力端子にそれぞれ出力することができる。

【0021】

本発明の第2の局面によれば、アクティブな全オン制御信号が単位回路に与えられると、第1出力制御トランジスタ、第2の出力制御トランジスタおよび第1の出力リセットトランジスタはオフ状態になる。一方、第2の出力リセットトランジスタおよび第3の出力制御トランジスタはオン状態になる。このため、シフトレジスタが全オン動作をしているときに、第3の出力制御トランジスタから第1の出力リセットトランジスタに貫通電流が流れることはない。また、クロック信号のレベルにかかわらず、第3の出力制御トランジスタから第1の出力制御トランジスタに貫通電流が流れることもない。さらに、全オン制御信号は、第3の出力制御トランジスタの制御端子に与えられているので、全オン制御端子が外部回路に直接接続されることはない。このため、全オン制御信号線の負荷を小さくすることができる。また、通常動作時に、第1の出力リセットトランジスタがオン状態になるとき、第1の出力制御トランジスタの他方の導通端子とその制御端子には同じオフ電

40

50

圧が与えられる。このとき、電源回路がノイズの影響を受けてオフ電圧の電圧値に変動が生じて、第1の出力制御トランジスタの他方の導通端子と制御端子との間に電位差が生じないので、第1の出力制御トランジスタがオン状態になることはない。したがって、第1の出力制御トランジスタから第1の出力リセットトランジスタに貫通電流が流れることはない。

【0022】

本発明の第3の局面によれば、リセット信号出力トランジスタは、その制御端子に全オン制御信号が与えられると、オン電圧のリセット信号を第2の出力リセットトランジスタの制御端子に与える。一方、ディスチャージ回路は、リセット信号がオン電圧である間、第1および第2の出力制御トランジスタの制御端子にオフ電圧を与える。このため、全オン制御信号が単位回路に与えられると、第2の出力リセットトランジスタがオン状態になって、第2の出力端子にオフ電圧の第2の出力信号を出力し、第1および第2の出力制御トランジスタはオフ状態になって第1の出力信号の出力を停止する。また、全オン制御信号は、リセット信号出力トランジスタの制御端子に与えられているので、全オン制御端子が外部回路に直接つながることはない。このため、全オン制御信号線の負荷を小さくすることができる。

10

【0023】

本発明の第4の局面によれば、リセット信号生成回路から出力されるオン電圧のリセット信号が第1の出力リセットトランジスタの制御端子に与えられないように、リセット信号遮断トランジスタは、リセット信号生成回路と第1の出力リセットトランジスタの制御端子とを遮断する。オフ電圧供給トランジスタは、第1の出力リセットトランジスタの制御端子にオフ電圧を与える。また、リセット信号がオン電圧の間、ディスチャージ回路は、第1および第2の出力制御トランジスタの制御端子にオフ電圧を与える。このため、全オン動作の間、第1の出力制御トランジスタ、第2の出力制御トランジスタおよび第1の出力リセットトランジスタが、第1または第2の出力信号を出力することを停止させることができる。また、全オン動作から通常動作に復帰するとき、リセット信号遮断トランジスタの制御端子にオン電圧が与えられるとともに、オフ電圧供給トランジスタの制御端子にオフ電圧が与えられる。このため、第1の出力リセットトランジスタはオン状態となり、オフ電圧の第1の出力信号が第1の出力端子に出力される。したがって、全オン動作から通常動作に復帰するとき、シフトレジスタは、初期化動作を行う必要がない分だけ通常動作に早く復帰することができる。

20

30

【0024】

本発明の第5の局面によれば、入力信号制御回路は、アクティブな全オン制御信号が与えられているとき、前段の単位回路からの入力信号を遮断し、入力信号を受け取るための入力端子にオフ電圧を与える。このため、シフトレジスタは、前段の単位回路からの入力信号のレベルにかかわらず、全オン動作をすることができる。

【0025】

本発明の第6の局面によれば、第2のクロック信号がその制御端子に与えられることによって第1のトランジスタがオン状態になったとき、リセット信号生成回路は、リセット信号をオフ電圧からオン電圧に急速に立ち上げることができる。

40

【0026】

本発明の第7の局面によれば、全オン動作時および通常動作時に貫通電流が流れず、また全オン制御信号線の負荷が小さなシフトレジスタを含む駆動回路を用いることによって、全オン動作時および通常動作時に貫通電流が流れず、また全オン制御信号線の負荷が小さな表示装置を得ることができる。

【0027】

本発明の第8の局面によれば、電源回路をオンしたとき、複数の走査信号線がアクティブになるので、導通したスイッチング素子から表示素子に蓄積された電荷を瞬時に抜くことができる。このため、電源回路をオンしたときに表示部に表示される映像の乱れを、人間の目に感じられなくなるまで低減することができる。

50

【 0 0 2 8 】

本発明の第 9 の局面によれば、電源回路をオンしたとき、複数のデータ信号線に同一の電圧が与えられる。このため、電源回路をオンしたときに表示部に表示される映像の乱れを防止することができる。

【 0 0 2 9 】

本発明の第 10 の局面によれば、電源回路をオフしたとき、複数のスイッチング素子がすべてオフされるので、同一のデータ信号線に接続された表示素子が互いに導通する。この結果、各表示素子の電荷状態がほぼ揃うので、電源回路をオフしたときに表示部に表示される映像の乱れを防止することができる。

【 0 0 3 0 】

本発明の第 11 の局面によれば、電源回路をオフしたとき、複数のスイッチング素子がすべてオンされるので、すべての表示素子が互いに導通し、各表示素子に蓄積された電荷の状態が揃う。このため、さらに表示部に表示される映像の乱れを防止することができる。

【 0 0 3 1 】

本発明の第 12 の局面によれば、電源回路が強制的にオフされた場合でも、全オン動作をさせて、表示部に表示される映像の乱れを防止することができる。

【 図面の簡単な説明 】

【 0 0 3 2 】

【 図 1 】 本発明の第 1 の実施形態に係るシフトレジスタの構成を示すブロック図である。

【 図 2 】 図 1 に示すシフトレジスタに含まれる単位回路の回路図である。

【 図 3 】 図 2 に示す単位回路の真理値表である。

【 図 4 】 図 1 に示すシフトレジスタの通常動作時のタイミングチャートである。

【 図 5 】 図 1 に示すシフトレジスタの全オン動作時のタイミングチャートである。

【 図 6 】 本発明の第 2 の実施形態に係るシフトレジスタに含まれる単位回路の回路図である。

【 図 7 】 図 6 に示す単位回路の真理値表である。

【 図 8 】 本発明の第 3 の実施形態に係るシフトレジスタに含まれる単位回路の回路図である。

【 図 9 】 図 8 に示す単位回路に含まれる抵抗素子の他の形態を示す回路図である。

【 図 10 】 図 8 に示す単位回路を多段接続したシフトレジスタの通常動作時のタイミングチャートである。

【 図 11 】 本発明の第 4 の実施形態に係るシフトレジスタに含まれる単位回路の回路図である。

【 図 12 】 図 10 に示す単位回路を多段接続したシフトレジスタの通常動作時のタイミングチャートである。

【 図 13 】 図 10 に示す単位回路を多段接続したシフトレジスタの全オン動作時のタイミングチャートである。

【 図 14 】 図 1 に示すシフトレジスタを備えた液晶表示装置の構成を示すブロック図である。

【 図 15 】 図 1 に示すシフトレジスタを備えた他の液晶表示装置の構成を示すブロック図である。

【 図 16 】 図 15 に示す液晶表示装置のタイミングチャートである。

【 図 17 】 図 1 に示すシフトレジスタを備えたさらに他の液晶表示装置の構成を示すブロック図である。

【 図 18 】 図 16 に示す液晶表示装置の電源投入時のタイミングチャートである。

【 図 19 】 図 16 に示す液晶表示装置の電源遮断時のタイミングチャートである。

【 図 20 】 図 16 に示す液晶表示装置の電源強制遮断時のタイミングチャートである。

【 図 21 】 従来シフトレジスタの構成を示す回路図である。

【 符号の説明 】

10

20

30

40

50

【 0 0 3 3 】

- 1 0 ... シフトレジスタ
- 1 1、2 1、3 1、4 1 ... 単位回路
- 1 2 ... 全オン出力信号生成回路
- 2 2 ... 入力信号制御回路
- 3 2 ... リセット生成回路
- 1 1 0、1 2 0、1 3 0 ... 液晶表示装置
- 1 1 1、1 2 1、1 3 1 ... 表示部
- 1 1 3、1 2 3、1 3 3 ... 走査信号線駆動回路
- 1 1 4、1 2 4、1 3 4 ... データ信号線駆動回路
- 1 3 6 ... 電源回路
- 1 3 7 ... 容量素子

10

【 発明を実施するための最良の形態 】

【 0 0 3 4 】

< 1 . 第 1 の実施形態 >

図 1 は、本発明の第 1 の実施形態に係るシフトレジスタ 1 0 の構成を示すブロック図である。図 1 に示すシフトレジスタ 1 0 は、 n 個 (n は 2 以上の整数) の単位回路 1 1 を多段接続して構成されている。単位回路 1 1 は、クロック端子 CK 、 CKB 、入力端子 IN 、第 1 の出力端子 $OUT 1$ 、第 2 の出力端子 $OUT 2$ および全オン制御端子 AON 、 $AONB$ を有する。以下、各端子経由で入出力される信号を当該端子と同じ名称で呼ぶ (例えば、クロック端子 CK 経由で入力される信号をクロック信号 CK という)。

20

【 0 0 3 5 】

シフトレジスタ 1 0 には外部から、スタートパルス ST 、2 相のクロック信号 $CK 1$ 、 $CK 2$ および全オン制御信号 AON 、 $AONB$ (AON の否定) が供給される。スタートパルス ST は、1 段目の単位回路 1 1 の入力端子 IN に与えられる。クロック信号 $CK 1$ は、奇数段目の単位回路 1 1 のクロック端子 CK と偶数段目 (偶数にはゼロも含まれる、以下同じ) の単位回路 1 1 のクロック端子 CKB に与えられる。クロック信号 $CK 2$ は、奇数段目の単位回路 1 1 のクロック端子 CKB と偶数段目の単位回路 1 1 のクロック端子 CK に与えられる。全オン制御信号 AON 、 $AONB$ は、単位回路 1 1 の全オン制御端子 AON 、 $AONB$ にそれぞれ与えられる。単位回路 1 1 の第 1 の出力信号 $OUT 1$ は、出力信号 $SROUT 1 \sim SROUT n$ として外部に出力され、第 2 の出力信号 $OUT 2$ は、後段の単位回路 1 1 の入力端子 IN に与えられる。

30

【 0 0 3 6 】

図 2 は、シフトレジスタ 1 0 に含まれる単位回路 1 1 の回路図である。図 2 に示すように、単位回路 1 1 は、同一導電型のトランジスタで構成され、1 3 個の N チャネル型トランジスタ $T 1 \sim T 7$ 、 $T 2 1 \sim T 2 4$ 、 $T 3 1$ 、 $T 3 2$ と 3 個の容量 $C 1 \sim C 3$ を含んでいる。以下、ゲート端子に与えたときにトランジスタをオン状態にする電圧 (信号のレベル) をオン電圧 (オンレベル) といい、ゲート端子に与えたときにトランジスタをオフ状態にする電圧 (信号のレベル) をオフ電圧 (オフレベル) という。 N チャネル型トランジスタでは、ハイ電圧がオン電圧 (ハイレベルがオンレベル)、ロー電圧がオフ電圧 (ローレベルがオフレベル) になり、 P チャネル型トランジスタではその逆になる。

40

【 0 0 3 7 】

トランジスタ $T 1$ のドレイン端子には電源電圧 VDD が与えられ、ゲート端子は入力端子 IN に接続される。トランジスタ $T 1$ のソース端子は、トランジスタ $T 2$ のゲート端子とトランジスタ $T 4$ のドレイン端子に接続される。以下、この接続点を節点 $N 1$ という。トランジスタ $T 2$ のドレイン端子はクロック端子 CK に接続され、ソース端子は第 1 の出力端子 $OUT 1$ とトランジスタ $T 3$ のドレイン端子に接続される。トランジスタ $T 3$ 、 $T 4$ のソース端子は接地される。

【 0 0 3 8 】

トランジスタ $T 2 3$ のドレイン端子はトランジスタ $T 3$ のゲート端子に接続され、ゲ-

50

ト端子は全オン制御端子AONに接続され、ソース端子は接地される。トランジスタT21のドレイン端子には電源電圧VDDが与えられ、ゲート端子は全オン制御端子AONに接続される。トランジスタT21のソース端子は、トランジスタT22のドレイン端子に接続され、トランジスタT22のソース端子はトランジスタT23のドレイン端子とトランジスタT3のゲート端子とに接続される。トランジスタT24のドレイン端子には電源電圧VDDが与えられ、ソース端子は第1の出力端子OUT1に接続され、ゲート端子は全オン制御端子AONに接続される。

【0039】

トランジスタT31のゲート端子は節点N1に接続され、ドレイン端子はクロック端子CKに接続され、ソース端子はトランジスタT32のドレイン端子に接続される。トランジスタT32のゲート端子は節点N2に接続され、ソース端子は接地される。また、トランジスタT31のソース端子とトランジスタT32のドレイン端子との接続点は、第2の出力端子OUT2に接続される。

10

【0040】

トランジスタT5のドレイン端子には電源電圧VDDが与えられ、トランジスタT5のソース端子はトランジスタT6のドレイン端子に接続される。トランジスタT6のソース端子はトランジスタT7のドレイン端子に接続され、トランジスタT7のソース端子は接地される。トランジスタT5～T7のゲート端子は、それぞれ、クロック端子CK、CKBおよび入力端子INに接続される。トランジスタT6、T7の接続点は、トランジスタT4、T32のゲート端子にも接続される。以下、この接続点を節点N2といい、トランジスタT5、T6の接続点を節点N3という。

20

【0041】

容量C1～C3は、容量素子で構成される。容量C1はトランジスタT2のゲート端子とソース端子の間に設けられ、容量C2は節点N3と接地端子との間に設けられ、容量C3は節点N2と接地端子との間に設けられる。容量C1はブートストラップ容量として機能し、容量C2、C3はチャージポンプ容量として機能する。以下、容量C2、C3の容量値は等しいとする。

【0042】

トランジスタT21は、全オン制御信号AONがハイレベルのとき、 $(VDD - V_{th})$ (ただし、 V_{th} はトランジスタT21の閾値電圧)をトランジスタT32のゲート端子に与えてトランジスタT32をオン状態にするリセット信号を出力する。全オン制御信号AONがハイレベルのとき、全オン制御信号AONBがローレベルになるので、トランジスタT22はオフ状態になり、トランジスタT3のゲート端子に与えられるべきリセット信号を遮断する。トランジスタT23は、そのゲート端子に全オン制御信号AONが与えられるので、トランジスタT3のゲート端子にオフ電圧を与えて、トランジスタT3を強制的にオフ状態にする。一方、トランジスタT24は、全オン制御信号AONがハイレベルであるとき、第1の出力端子OUT1にハイレベルの第1の出力信号OUT1を出力する。

30

【0043】

単位回路11では、トランジスタT5～T7と容量C2、C3はリセット信号生成回路を形成し、トランジスタT21～T24はそれぞれ、リセット信号出力トランジスタ、リセット信号遮断トランジスタ、オフ電圧供給トランジスタ、全オン出力信号生成回路12として機能し、トランジスタT4はディスチャージ回路として機能する。また、トランジスタT2、T31、T24はそれぞれ第1、第2および第3の出力制御トランジスタとして機能し、トランジスタT3、T32はそれぞれ第1および第2の出力リセットトランジスタとして機能する。トランジスタT2とトランジスタT3とは第1の出力信号生成回路として機能し、トランジスタT31とトランジスタT32とは第2の出力信号生成回路として機能する。

40

【0044】

図3は、シフトレジスタ10の動作を示す真理値表である。この真理値表でHはハイレ

50

ベルを、Lはローレベルをそれぞれ表している。なお、この真理値表は簡易的なものであるため、真理値表のHには、電源電圧VDDよりもトランジスタの閾値電圧だけ小さくなる場合も含まれている。図3に示すように、シフトレジスタ10は、ハイレベルの出力信号を1つずつ順に出力する通常動作の他に、すべての第1の出力端子OUT1にハイレベルの第1の出力信号OUT1を同時に出力し、すべての第2の出力端子OUT2にローレベルの第2の出力信号OUT2を同時に出力する全オン動作をする。以下、クロック信号CK1、CK2を含め、シフトレジスタ10の内部の信号と入出力信号の電位は、特に断らない限り、ハイレベルのときにはVDD、ローレベルのときにはVSS（ゼロ）であるとする。

【0045】

全オン動作時には、入力端子INにローレベルの入力信号INが、全オン制御端子AONにハイレベルの全オン制御信号AONが、全オン制御端子AONBにローレベルの全オン制御信号AONBがそれぞれ入力されると、クロック信号CK、CKBのレベルにかかわらず、節点N1の電位はローレベルになり、節点N2の電位はハイレベルになる。その結果、単位回路11の第1の出力端子OUT1にはハイレベルの第1の出力信号OUT1が出力されるとともに、第2の出力端子OUT2にはローレベルの第2の出力信号OUT2が出力される。

【0046】

一方、入力端子INにハイレベルの入力信号INが入力されるとともに、全オン制御端子AONにハイレベルの全オン制御信号AONが、全オン制御端子AONBにローレベルの全オン制御信号AONBがそれぞれ入力された場合には、トランジスタT21、T7はオン状態となる。この場合、トランジスタT21、T7に貫通電流が流れるので、禁止モードにされている。なお、入力端子INには、シフトレジスタ10が誤動作しない限り、ローレベルである前段の第2の出力信号OUT2が入力される。したがって、ハイレベルの入力信号INが入力されるのは、初段の単位回路11に外部からハイレベルのスタートパルスSTが入力される場合である。

【0047】

次に、通常動作時の場合について説明する。通常動作時には、全オン動作時とは逆に、全オン制御端子AONにローレベルの全オン制御信号AONが、全オン制御端子AONBにハイレベルの全オン制御信号AONBがそれぞれ入力される。入力信号INがハイレベルのときには、第1の出力信号OUT1および第2の出力信号OUT2としてクロック信号CKと同じレベルの信号が出力される。なお、入力信号IN、クロック信号CK、CKBがすべてハイレベルのときには、トランジスタT5、T6、T7はすべてオン状態になるので、トランジスタT5、T6、T7に貫通電流が流れる。このため、入力信号IN、クロック信号CK、CKBがすべてハイレベルのモードは禁止モードにされている。

【0048】

また、入力信号INがローレベルのときに、クロック信号CKがローレベルであれば、節点N1、N2の電位とは関係なく、第1および第2の出力信号OUT1、OUT2はローレベルになる。入力信号INがローレベルのときに、節点N2の電位をVDDに、節点N1の電位をVSSにすれば、第1の出力信号OUT1および第2の出力信号OUT2はいずれもローレベルになる。逆に、節点N2の電位をVSSに、節点N1の電位をVDDにすれば、第1の出力信号OUT1および第2の出力信号OUT2としてクロック信号CKが出力される。なお、入力信号がローレベルで、クロック信号CK、CKBがいずれもハイレベルの場合、第1の出力信号OUT1および第2の出力信号OUT2はともにローレベルになる。このモードは、クロック信号を停止させる場合に使用される。

【0049】

タイミングチャートを用いて通常動作を説明する。図4は、期間 $t_0 \sim t_{n+1}$ におけるシフトレジスタ10の通常動作時のタイミングチャートである。図4において、期間 $t_0 \sim t_{n+1}$ はそれぞれ前半と後半に分けられ、また通常動作の期間中、全オン制御信号AONはローレベル、全オン制御信号AONBはハイレベルである。

10

20

30

40

50

【 0 0 5 0 】

スタートパルス $S T$ は期間 t_0 の前半でハイレベルになり、クロック信号 $C K 1$ は期間 t_{od} (od は奇数 ; 以下、奇数期間という) の前半でハイレベルになり、クロック信号 $C K 2$ は期間 t_{ev} (ev は偶数 ; 以下、偶数期間という) の前半でハイレベルになる。それ以外のときには、これら 3 つの信号はローレベルになる。このようにクロック信号 $C K 1$ 、 $C K 2$ は、ハイレベル期間が重複しないという性質を有する。

【 0 0 5 1 】

図 4 に示すように、入力信号 $I N$ としてスタートパルス $S T$ が与えられたとき、1 段目の単位回路 $1 1$ (以下、単位回路 $S R 1$ という) は、以下のように動作する。単位回路 $S R 1$ では、入力信号 $I N$ は期間 t_0 の前半でハイレベルになり、クロック信号 $C K$ は奇数期間の前半でハイレベルになり、クロック信号 $C K B$ は偶数期間の前半でハイレベルになる。

10

【 0 0 5 2 】

期間 t_0 より前では、スタートパルス $S T$ はローレベルであるので、トランジスタ $T 1$ 、 $T 7$ はオフ状態である。このとき、節点 $N 2$ 、 $N 3$ の電位は $V D D$ であるので (理由は後述)、トランジスタ $T 3$ 、 $T 4$ はオン状態である。したがって、節点 $N 1$ と第 1 の出力端子 $O U T 1$ の電位は $V S S$ であり、トランジスタ $T 2$ はオフ状態である。この時点では、容量 $C 1$ には電荷が蓄積されておらず、容量 $C 2$ 、 $C 3$ には電源電圧 $V D D$ に応じた電荷が蓄積されている。

【 0 0 5 3 】

期間 t_0 の前半では、スタートパルス $S T$ とクロック信号 $C K B$ がハイレベルになるので、トランジスタ $T 1$ 、 $T 6$ 、 $T 7$ はオン状態になる。このため、容量 $C 2$ 、 $C 3$ に蓄積されていた電荷は放電され、節点 $N 2$ 、 $N 3$ の電位は $V S S$ になり、トランジスタ $T 3$ 、 $T 4$ 、 $T 3 2$ はオフ状態になる。また、トランジスタ $T 1$ がオン状態になると、節点 $N 1$ の電位は $(V D D - V_{th})$ (ただし、 V_{th} はトランジスタ $T 1$ の閾値電圧) になり、トランジスタ $T 2$ 、 $T 3 1$ はオン状態になる。このとき、クロック信号 $C K$ はローレベルであるので、第 1 の出力信号 $O U T 1$ および第 2 の出力信号 $O U T 2$ はいずれもローレベルのままである。このため、容量 $C 1$ には、トランジスタ $T 2$ のゲート - ソース間の電位差 $(V D D - V_{th})$ に応じた電荷が蓄積される。

20

【 0 0 5 4 】

期間 t_0 の後半では、スタートパルス $S T$ とクロック信号 $C K B$ がローレベルになるので、トランジスタ $T 1$ 、 $T 6$ 、 $T 7$ はオフ状態になる。トランジスタ $T 1$ がオフ状態になると、節点 $N 1$ はフローティング状態になるが、節点 $N 1$ の電位は容量 $C 1$ によって $(V D D - V_{th})$ に保持される。

30

【 0 0 5 5 】

期間 t_1 の前半では、クロック信号 $C K$ がハイレベルになる。このとき、トランジスタ $T 2$ 、 $T 3 1$ はオン状態であるので、第 1 の出力信号 $O U T 1$ 、第 2 の出力信号 $O U T 2$ はいずれもハイレベルになる。節点 $N 1$ はフローティング状態であり、節点 $N 1$ とトランジスタ $T 2$ のソース端子は電位差 $(V D D - V_{th})$ を保持した容量 $C 1$ を介して接続されている。トランジスタ $T 2$ のソース端子の電位が $V S S$ から $V D D$ に変化すると、節点 $N 1$ の電位は同じ量だけ変化して電源電圧 $V D D$ よりも高くなる (ブートストラップ効果)。このため、最大電圧が $V D D$ であるクロック信号 $C K$ はトランジスタ $T 2$ を電圧降下なく通過し、第 1 の出力端子 $O U T 1$ からはクロック信号 $C K$ がそのままの電圧レベルで出力される。また、第 2 の出力端子 $O U T 2$ からは、トランジスタ $T 3 1$ のソース端子の電位 $(V D D - V_{th})$ が出力される。

40

【 0 0 5 6 】

クロック信号 $C K$ がハイレベルになると、トランジスタ $T 5$ はオン状態になる。このとき、トランジスタ $T 6$ はオフ状態であるので、節点 $N 3$ の電位は $V D D$ になり、容量 $C 2$ には電源電圧 $V D D$ に応じた電荷が蓄積される。

【 0 0 5 7 】

50

期間 t_1 の後半では、クロック信号 CK がローレベルになる。このときトランジスタ T_2 、 T_3 はオン状態であるので、第1の出力信号 OUT_1 および第2の出力信号 OUT_2 もローレベルになり、節点 N_1 の電位は $(V_{DD} - V_{th})$ に戻る。また、トランジスタ T_5 はオフ状態になる。期間 t_1 の終端では、節点 N_2 の電位は V_{SS} であり、節点 N_3 の電位は V_{DD} である。

【0058】

期間 t_2 の前半では、クロック信号 CKB がハイレベルになるので、トランジスタ T_6 はオン状態になる。このとき、容量 C_2 に蓄積されていた電荷の一部が容量 C_3 に移動し、節点 N_2 の電位は上昇する。容量 C_2 、 C_3 の容量値が等しい場合、節点 N_2 、 N_3 は等電位になり、節点 N_2 の電位は $V_{DD}/2$ まで上昇する。容量 C_2 、 C_3 の容量値を決定するときには、この時点での節点 N_2 の電位がトランジスタ T_3 、 T_4 の閾値電圧よりも高くなるように決定される。このため、期間 t_2 の前半で、トランジスタ T_3 、 T_4 、 T_3 はオン状態になり、節点 N_1 、第1の出力端子 OUT_1 および第2の出力端子 OUT_2 の電位は V_{SS} になる。

【0059】

これ以降、単位回路 SR_1 内のリセット信号生成回路は、以下のように動作する。奇数期間の前半では、クロック信号 CK はハイレベル、クロック信号 CKB はローレベルになるので、トランジスタ T_5 はオン状態、トランジスタ T_6 はオフ状態になる。このとき、節点 N_3 の電位は V_{DD} になり、容量 C_2 には電源電圧 V_{DD} に応じた電荷が蓄積される。一方、偶数期間の前半では、クロック信号 CK はローレベル、クロック信号 CKB はハイレベルになるので、トランジスタ T_5 はオフ状態、トランジスタ T_6 はオン状態になる。このとき、容量 C_2 に蓄積されていた電荷の一部が容量 C_3 に移動し、節点 N_2 の電位は上昇する。容量 C_2 、 C_3 の容量値が等しい場合、節点 N_2 の電位は、段階的に上昇して最終的には V_{DD} に到達する。

【0060】

この結果、図4に示すように、単位回路 SR_1 内の節点 N_1 の電位 ($SR_1_N_1$ と記載；以下同じ) は、期間 t_0 と、期間 t_1 の後半では $(V_{DD} - V_{th})$ になり、期間 t_1 の前半では V_{DD} よりも高いレベルになり、それ以外では V_{SS} になる。単位回路 SR_1 内の節点 N_2 の電位は、期間 t_0 と期間 t_1 では V_{SS} になり、期間 t_2 以降では段階的に上昇して最終的には V_{DD} になる。単位回路 SR_1 の第1の出力信号 OUT_1 (シフトレジスタ10の出力信号 $SROUT_1$)、および第2の出力信号 OUT_2 は、期間 t_1 の前半ではハイレベル、それ以外ではローレベルになる。

【0061】

同様に、 i 段目 (i は1以上 n 以下の整数) の単位回路 1_1 の第1の出力信号 OUT_{1i} (シフトレジスタ10の出力信号 $SROUT_i$)、および第2の出力信号 OUT_{2i} は、期間 t_i の前半ではハイレベル、それ以外ではローレベルになる。このようにシフトレジスタ10は、2相のクロック信号 CK_1 、 CK_2 に基づき、出力信号 $SROUT_1 \sim SROUT_n$ を1つずつ順にハイレベルにする。なお、通常動作の場合、上述のように、 i 段目の単位回路 1_1 の第1の出力信号 $SROUT_i$ と第2の出力信号 OUT_{2i} とは、同じ期間に同じレベルで出力される信号である。このため、図4には、 i 段目の単位回路 1_1 の第1の出力信号 $SROUT_{1i}$ と第2の出力信号 OUT_{2i} とをまとめて $SROUT_i$ と表している。

【0062】

次に、タイミングチャートを用いて全オン動作を説明する。図5は、全オン動作時のシフトレジスタ10のタイミングチャートである。全オン動作の期間中、全オン制御信号 AON はハイレベル、全オン制御信号 $AONB$ はローレベルである。この場合、トランジスタ T_1 、 T_7 のゲート端子に入力される入力信号 IN がローレベルであるため、トランジスタ T_1 、 T_7 はオフ状態を保持している。また、全オン制御信号 AON によってトランジスタ T_{21} がオン状態になるので、節点 N_2 の電位は $(V_{DD} - V_{th})$ になる。

【0063】

10

20

30

40

50

また、節点N2の電位($V_{DD} - V_{th}$)は、トランジスタT4のゲート端子に与えられるので、トランジスタT4はオン状態になり、節点N1の電位は V_{SS} になる。つまり、クロック信号CK、CKBのレベルにかかわらず、節点N1の電位は V_{SS} 、節点N2の電位は($V_{DD} - V_{th}$)になる。そこで、図5では、期間 $t_0 \sim t_{n+1}$ に渡ってクロック信号CK、CKBのレベルをローレベルにする。

【0064】

節点N2の電位が($V_{DD} - V_{th}$)になると、トランジスタT32はオン状態になる。このため、第2の出力端子OUT2から、レベルが V_{SS} の第2の出力信号OUT2が出力される。一方、節点N1の電位が V_{SS} になると、トランジスタT2、T31がオフ状態になる。このとき、トランジスタT24のゲート端子にハイレベルの全オン制御信号AONが与えられているので、トランジスタT24はオン状態になる。したがって、第1の出力端子OUT1から、レベルが($V_{DD} - V_{th}$) (ただし、 V_{th} はトランジスタT24の閾値電圧)の第1の出力信号OUT1が出力される。

10

【0065】

また、ローレベルの全オン制御信号AONBがトランジスタT22のゲート端子に与えられるので、トランジスタT22はオフ状態になる。したがって、節点N2の電位($V_{DD} - v_{th}$)は、トランジスタT3のゲート端子に与えられない。一方、ハイレベルの全オン制御信号AONがトランジスタT23のゲート端子に与えられるので、トランジスタT23はオン状態になる。その結果、トランジスタT3のゲート端子に電位 V_{SS} が与えられ、トランジスタT3はオフ状態になる。

20

【0066】

このように、全オン動作時には、期間 $t_0 \sim t_{n+1}$ に渡って、第1の出力端子OUT1からはハイレベル($V_{DD} - V_{th}$)の第1の出力信号OUT1が出力され、第2の出力端子OUT2からはローレベル V_{SS} の第2の出力信号OUT2が出力される。

【0067】

つまり、1段目の単位回路SR1の第1の出力端子OUT1からは常にハイレベルの出力信号SROUT1が出力され、第2の出力端子OUT2からは常にローレベルの出力信号OUT21が出力される。また、2段目の単位回路SR2の第1の出力端子OUT1からは常にハイレベルの出力信号SROUT2が出力され、第2の出力端子OUT2からは常にローレベルの出力信号OUT22が出力される。同様に、 i 段目の単位回路SR i の第1の出力端子OUT1からは常にハイレベルの出力信号SROUT i が出力され、第2の出力端子OUT2からは常にローレベルの出力信号OUT2 i が出力される。

30

【0068】

次に、本実施形態に係るシフトレジスタ10の効果について説明する。シフトレジスタ10が全オン動作するとき、トランジスタT3はオフ状態なので、トランジスタT24、T3に貫通電流が流れることはない。また、クロック端子CKに与えられるクロック信号CKがローレベルになっても、トランジスタT2はオフ状態なので、トランジスタT24、T2に貫通電流が流れることはない。このため、シフトレジスタ10の消費電力を抑えることができる。

【0069】

全オン制御端子AON、AONBは、トランジスタT21~24のゲート端子に接続されているだけで、第1の出力端子OUT1を介して外部の機器には接続されていない。したがって、全オン動作時に全オン制御信号線の負荷を小さくすることができる。

40

【0070】

単位回路11から外部への第1の出力信号OUT1と、後段の単位回路11の入力信号となる第2の出力信号OUT2を分離して出力することができるので、全オン動作時に、第1の出力信号OUT1と第2の出力信号OUT2のレベルを変えることができる。またシフトレジスタ10は、クロック信号CK、CKBに影響されることなく全オン動作をすることができる。

【0071】

50

また、通常動作時に、トランジスタT3がオン状態になると、トランジスタT2のソース端子とゲート端子に同じオフ電圧が与えられる。このとき、電源回路がノイズの影響を受けてオフ電圧の電圧値が変動しても、トランジスタT2のソース端子とゲート端子との間に電位差が生じないので、トランジスタT2がオン状態になることはない。したがって、トランジスタT2、T3に貫通電流が流れることはない。

【0072】

次に、シフトレジスタ10の単位回路11とは異なる単位回路を備えたシフトレジスタの第2の実施形態～第4の実施形態について説明する。

【0073】

< 2. 第2の実施形態 >

本発明の第2の実施形態に係るシフトレジスタの構成は、シフトレジスタ10と同じであるため、そのブロック図および説明を省略する。

【0074】

図6は、シフトレジスタに含まれる単位回路21の回路図である。単位回路21の構成要素のうち、図2に示す単位回路11の構成要素に対応する構成要素には同じ参照符号を付して、その説明を省略する。単位回路21は、単位回路11に設けられた2つの入力回路となるトランジスタT1、T7のゲート端子に、入力信号制御回路22の出力端子が接続される。

【0075】

入力信号制御回路22は、2つのNチャンネル型トランジスタT41、T42を含み、トランジスタT41のドレイン端子は入力端子INに、ゲート端子は全オン制御端子AONBにそれぞれ接続される。また、トランジスタT42のゲート端子は全オン制御端子AONに接続され、ソース端子は接地される。入力信号制御回路22の出力端子であるトランジスタT41のソース端子およびトランジスタT42のドレイン端子はいずれも、トランジスタT1、T7のゲート端子に接続される。

【0076】

入力信号制御回路22の動作について説明する。通常動作時には、全オン制御信号AONはローレベルであり、全オン制御信号AONBはハイレベルになるので、トランジスタT41はオン状態になり、トランジスタT42はオフ状態になる。このため、トランジスタT41のドレイン端子に接続された入力端子INに、前段の単位回路21の第2の出力端子OUT2から第2の出力信号OUT2が入力信号INとして入力されると、トランジスタT7のゲート端子に、前段の単位回路21の第2の出力信号OUT2が与えられる。その結果、トランジスタT1、T7は、入力端子INに与えられる入力信号INのレベルによって、オン状態またはオフ状態になる。

【0077】

一方、全オン動作時には、全オン制御信号AONはハイレベルになり、全オン制御信号AONBはローレベルになる。したがって、入力信号制御回路22では、通常動作時とは逆に、トランジスタT41はオフ状態になり、トランジスタT42はオン状態になる。したがって、トランジスタT1、T7のゲート端子には常にVSSが与えられるので、入力信号INのレベルにかかわらず、トランジスタT1、T7はオフ状態を保つ。

【0078】

図7は、シフトレジスタの動作を示す真理値表である。上述の説明からわかるように、全オン動作時には、入力端子INに与えられる入力信号INのレベルにかかわらず、トランジスタT1、T7はオフ状態を保つので、節点N1の電位はVSS、節点N2の電位はVDDになる。このとき、トランジスタT24はオン状態になるので、第1の出力端子OUT1からレベルが(VDD - V_{th})の第1の出力信号OUT1が出力される。また、トランジスタT32もオン状態になるので、第2の出力端子OUT2からレベルがVSSの出力信号OUT2が出力される。このように、単位回路11とは異なり、入力信号INがハイレベルの場合にもトランジスタT21、T7に貫通電流が流れないので、入力信号INがハイレベルのモードを禁止モードにする必要はない。

10

20

30

40

50

【 0 0 7 9 】

なお、通常動作時の真理値表は、図 3 の通常動作時の真理値表と同一であるので、その説明を省略する。また、通常動作時および全オン動作時のシフトレジスタのタイミングチャートも、第 1 の実施形態の場合と同一であるため、タイミングチャートおよびその説明を省略する。

【 0 0 8 0 】

本実施形態に係るシフトレジスタは、トランジスタ T 1、T 7 のゲート端子 I N に入力信号制御回路 2 2 が接続されることによって、入力信号 I N のレベルにかかわらず全オン動作をすることができる。

【 0 0 8 1 】

< 3 . 第 3 の実施形態 >

本発明の第 3 の実施形態に係るシフトレジスタの構成は、シフトレジスタ 1 0 と同じであるため、そのブロック図および説明を省略する。

【 0 0 8 2 】

図 8 は、シフトレジスタに含まれる単位回路 3 1 の回路図である。単位回路 3 1 の構成要素のうち、図 2 に示す単位回路 1 1 の構成要素に対応する構成要素には同じ参照符号を付して、その説明を省略する。単位回路 3 1 は、単位回路 1 1 に設けられたリセット信号生成回路の構成が一部異なるリセット信号生成回路 3 2 を備える。

【 0 0 8 3 】

リセット信号生成回路 3 2 には、図 1 のリセット生成回路と異なり、トランジスタ T 5 の代わりに抵抗素子 R 1 が設けられ、また容量素子 C 2 が取りはずされている。このため、リセット信号生成回路 3 2 では、クロック信号 C K B がハイレベルになると、トランジスタ T 6 はオン状態になり、電源電圧 V D D に応じた電荷が容量 C 3 に蓄積される。したがって、節点 N 2 の電位は $(V D D - V t h)$ になる。

【 0 0 8 4 】

つまり、図 1 のリセット信号生成回路では、クロック信号 C K、C K B のレベルを交互に変えることによって、容量 C 2 に蓄積された電荷を容量 C 3 に移動させ、節点 N 2 の電位を V D D にまで段階的に上昇させていた。これに対して、リセット信号生成回路 3 2 は、ハイレベルのクロック信号 C K B がトランジスタ T 6 のゲート端子に与えられたとき、トランジスタ T 6 がオン状態になり、節点 N 2 の電位は急速に $(V D D - V t h)$ まで上昇する。なお、抵抗素子 R 1 の代わりに、図 9 に示すような、ドレイン端子とゲート端子を接続したトランジスタを用いてもよい。

【 0 0 8 5 】

この場合のシフトレジスタの動作を示す真理値表は図 3 と同じであり、全オン動作時のタイミングチャートは図 5 と同じであるので、それらの記載および説明を省略する。

【 0 0 8 6 】

図 1 0 は、単位回路 3 1 を多段接続したシフトレジスタの通常動作時のタイミングチャートである。図 4 のタイミングチャートと異なり、単位回路 S R 1、S R 2 ... のそれぞれの節点 N 2 の電位 S R 1 __ N 2、S R 2 __ N 2 ... が、期間 t 1、t 2 ... のそれぞれの終端で V S S から $(V D D - V t h)$ に急速に立ち上がっている。なお、タイミングチャートの他の部分は、図 4 と同一であるため、その説明を省略する。

【 0 0 8 7 】

本実施形態に係るシフトレジスタでは、単位回路 3 1 のリセット信号生成回路 3 2 に含まれるトランジスタの 1 つを抵抗素子 R 1 に置き換えることによって、節点 N 2 の電位が V S S から $(V D D - V t h)$ まで急速に立ち上がる。

【 0 0 8 8 】

< 4 . 第 4 の実施形態 >

本発明の第 4 の実施形態に係るシフトレジスタの構成は、シフトレジスタ 1 0 と同じであるため、そのブロック図および説明を省略する。

【 0 0 8 9 】

10

20

30

40

50

図 1 1 は、シフトレジスタに含まれる単位回路 4 1 の回路図である。図 1 1 に示すように、単位回路 4 1 は、単位回路 1 1 に含まれるすべての N チャンネル型トランジスタを P チャンネル型トランジスタに置き換えた構成になっている。また、図 1 2 は単位回路 4 1 を多段接続したシフトレジスタの通常動作時のタイミングチャートであり、図 1 3 は単位回路 4 1 を多段接続したシフトレジスタの全オン動作時のタイミングチャートである。単位回路 4 1 の構成の詳細および動作は単位回路 1 1 の場合と同様であるので、その説明を省略する。また、本実施形態に係るシフトレジスタの効果は、第 1 の実施形態に係るシフトレジスタ 1 0 の効果と同一であるため、その記載を省略する。

【 0 0 9 0 】

なお、この実施形態では、単位回路 1 1 のすべての N チャンネル型トランジスタを P チャンネル型トランジスタに置き換えた単位回路 4 1 について説明した。しかし、単位回路 2 1、3 1 についても同様に、すべての N チャンネル型トランジスタを P チャンネル型トランジスタに置き換えた単位回路にしてもよい。

【 0 0 9 1 】

< 5 . シフトレジスタを備えた液晶表示装置 >

上述のシフトレジスタはいずれも、例えば、表示装置や撮像装置の駆動回路などに使用される。図 1 4 は、シフトレジスタ 1 0 を備えた液晶表示装置の構成を示すブロック図である。図 1 4 に示す液晶表示装置 1 1 0 は、表示部 1 1 1、表示制御回路 1 1 2、走査信号線駆動回路 1 1 3、およびデータ信号線駆動回路 1 1 4 を備えたアクティブマトリクス型の表示装置である。液晶表示装置 1 1 0 では、シフトレジスタ 1 0 は走査信号線駆動回路 1 1 3 として使用される。

【 0 0 9 2 】

図 1 4 に示す表示部 1 1 1 は、 n 本の走査信号線 $G_1 \sim G_n$ 、 m 本のデータ信号線 $S_1 \sim S_m$ 、および、 $(m \times n)$ 個の表示素子 P_{ij} を含んでいる（ただし、 m は 2 以上の整数、 j は 1 以上 m 以下の整数）。走査信号線 $G_1 \sim G_n$ は互いに平行に配置され、データ信号線 $S_1 \sim S_m$ は走査信号線 $G_1 \sim G_n$ と直交するように互いに平行に配置される。走査信号線 G_i とデータ信号線 S_j の交点近傍には、表示素子 P_{ij} が配置される。このように $(m \times n)$ 個の表示素子 P_{ij} は、行方向に m 個ずつ、列方向に n 個ずつ、2次元状に配置される。走査信号線 G_i は i 行目に配置された表示素子 P_{ij} に共通して接続され、データ信号線 S_j は j 列目に配置された表示素子 P_{ij} に共通して接続される。

【 0 0 9 3 】

液晶表示装置 1 1 0 の外部からは、水平同期信号 $H SYNC$ 、垂直同期信号 $V SYNC$ などの制御信号と表示データ DT が供給される。表示制御回路 1 1 2 は、これらの信号に基づき、走査信号線駆動回路 1 1 3 に対してクロック信号 CK_1 、 CK_2 、スタートパルス ST および全オン制御信号 $GAON$ 、 $GAONB$ を出力し、データ信号線駆動回路 1 1 4 に対して制御信号 SC と表示データ DT を出力する。

【 0 0 9 4 】

走査信号線駆動回路 1 1 3 は、 n 段のシフトレジスタ 1 0 によって構成されている。このシフトレジスタ 1 0 に、ローレベルの全オン制御信号 $GAON$ とハイレベルの全オン制御信号 $GAONB$ が与えられると、シフトレジスタ 1 0 は通常動作をする。つまり、シフトレジスタ 1 0 は、クロック信号 CK_1 、 CK_2 に基づき、順にハイレベルになる出力信号 $SROUT_1 \sim SROUT_n$ を出力し、それぞれ走査信号線 $G_1 \sim G_n$ に与える。これにより、走査信号線 $G_1 \sim G_n$ が 1 本ずつ順に選択され、1 行分の表示素子 P_{ij} が一括して選択される。

【 0 0 9 5 】

データ信号線駆動回路 1 1 4 は、制御信号 SC と表示データ DT に基づき、データ信号線 $S_1 \sim S_m$ に表示データ DT に応じた電圧をそれぞれ与える。これにより、表示データ DT に応じた電圧が選択された 1 行分の表示素子 P_{ij} に書き込まれる。このようにして、液晶表示装置 1 1 0 は映像を表示する。

【 0 0 9 6 】

10

20

30

40

50

一方、ハイレベルの全ON制御信号GAONとローレベルの全オン制御信号GAONBが走査信号線駆動回路113に与えられたときには、シフトレジスタ10は全オン動作をする。このため、走査信号線駆動回路113から走査信号線G1~Gnに、それぞれハイレベルの出力信号SROUT1~SROUTnが同時に与えられ、すべての表示素子Pijに表示データDTに応じた電圧が書き込まれる。

【0097】

図15は、シフトレジスタ10を備えた他の液晶表示装置120の構成を示すブロック図である。図15に示す液晶表示装置120は、表示部121、表示制御回路122、走査信号線駆動回路123、および、データ信号線駆動回路124を備えたアクティブマトリクス型の表示装置である。液晶表示装置120では、シフトレジスタ10は、点順次駆動を行うデータ信号線駆動回路124に内蔵されて使用される。

10

【0098】

図15に示す表示部121は、図14に示す表示部111と同様の構成を有する。ただし、表示部121では、走査信号線の本数がm本、データ信号線の本数がn本であり、(m×n)個の表示素子Pijは行方向にn個ずつ、列方向にm個ずつ2次元状に配置される。

【0099】

表示制御回路122は、外部から供給された制御信号と表示データDTに基づき、走査信号線駆動回路123に対して制御信号GCを出力し、データ信号線駆動回路124に対してクロック信号CK1、CK2、スタートパルスST、アナログ映像データADTおよび全オン制御信号SAON、SAONBを出力する。走査信号線駆動回路123は、制御信号GCに基づき、走査信号線G1~Gmを1本ずつ順に選択する。

20

【0100】

データ信号線駆動回路124は、n段のシフトレジスタ10とNチャンネル型トランジスタからなるn個のサンプリングスイッチSW1~SWnを含んでいる。サンプリングスイッチSW1~SWnの一端はデータ信号線S1~Snにそれぞれ接続され、他端はアナログ映像データADTを伝達する映像信号線VSIgに接続される。サンプリングスイッチSW1~SWnであるNチャンネル型トランジスタのゲート端子には、それぞれ、シフトレジスタ10の出力信号SROUT1~SROUTnが与えられる。

【0101】

30

ローレベルの全オン制御信号SAONとハイレベルの全オン制御信号SAONBがデータ信号線駆動回路124に与えられると、シフトレジスタ10は通常動作をする。この場合、出力信号SROUT1~SROUTnは1つずつ順にハイレベルになるので、サンプリングスイッチSW1~SWnは1つずつ順にオンされ、アナログ映像データADTはオンされたサンプリングスイッチに接続されたデータ信号線に与えられる。この結果、走査信号線駆動回路123によって選択された1行分の表示素子Pijに、アナログ映像データADTに応じた電圧が1つずつ順に書き込まれる。このようにして、液晶表示装置120は映像を表示する。

【0102】

一方、ハイレベルの全ON制御信号SAONとローレベルの全オン制御信号SAONBがデータ信号線駆動回路124に与えられたときには、シフトレジスタ10は全オン動作をする。このとき、シフトレジスタ10からハイレベルの出力信号SROUT1~SROUTnがサンプリングスイッチSW1~SWnのゲート端子のそれぞれに同時に与えられる。この結果、サンプリングスイッチSW1~SWnは同時にオンし、アナログ映像データADTがすべてのデータ信号線S1~Snに同時に与えられる。これにより、走査信号線駆動回路123によって選択された1行分の表示素子Pijに、アナログ映像データADTに応じた電圧が同時に書き込まれる。

40

【0103】

図16は、液晶表示装置120のタイミングチャートである。図16に示すように、データ信号線駆動回路124に含まれるシフトレジスタ10は、期間t0~tnでは通常動

50

作している。このとき、データ信号線 $S_1 \sim S_n$ にハイレベルの出力信号 $SROUT_1 \sim SROUT_n$ がそれぞれ 1 つずつ順に出力される。期間 $t(n+2)$ では、全オン制御信号 $SAON$ がハイレベルになり、シフトレジスタ 10 は全オン動作をする。このとき、データ信号線 $S_1 \sim S_n$ に、ハイレベルの出力信号 $SROUT_1 \sim SROUT_n$ が同時に出力される。

【0104】

シフトレジスタ 10 を内蔵する走査信号線駆動回路またはデータ信号線駆動回路を備えた液晶表示装置では、電源回路をオンしたとき、オフしたとき、および強制的にオフしたときにそれぞれ映像の乱れが生じる場合がある。しかし、走査信号線駆動回路またはデータ信号線駆動回路に含まれるシフトレジスタを全オン動作させることによって、映像の乱れを人間の目にわからなくなる程度まで抑えることができる。以下、それぞれの場合について説明する。

10

【0105】

< 6 . 電源回路をオンしたときの液晶表示装置の動作 >

図 17 は、さらに他の液晶表示装置 130 の構成を示すブロック図である。図 17 に示す液晶表示装置 130 は、表示部 131、走査信号線駆動回路 133 およびデータ信号線駆動回路 134 を備えたアクティブマトリクス型の表示装置である。走査信号線駆動回路 133 およびデータ信号線駆動回路 134 は、シフトレジスタ 10 を内蔵し、液晶表示装置 130 は点順次駆動によって駆動される。また、走査信号線駆動回路 133 およびデータ信号線駆動回路 134 は、電源電圧 VH 、 VL を供給する電源回路 136 に接続されており、電源回路 136 の端子と接地端子との間には、容量素子 137 が設けられている。

20

【0106】

表示部 131 は、 n 本の走査信号線 $G_1 \sim G_n$ 、 n 本のデータ信号線 $S_1 \sim S_n$ 、および、 $(n \times n)$ 個の表示素子 P_{ij} を含んでいる。走査信号線 $G_1 \sim G_n$ は互いに平行に配置され、データ信号線 $S_1 \sim S_n$ は走査信号線 $G_1 \sim G_n$ と直交するように互いに平行に配置される。走査信号線 G_i とデータ信号線 S_j の交点近傍には、表示素子 P_{ij} が配置される。このように $(n \times n)$ 個の表示素子 P_{ij} は、行方向、列方向ともに n 個ずつ、2次元状に配置される。走査信号線 G_i は i 行目に配置された表示素子 P_{ij} に共通して接続され、データ信号線 S_j は j 列目に配置された表示素子 P_{ij} に共通して接続される。

30

【0107】

表示素子 P_{ij} にはスイッチング素子としての TFT_{135} が設けられている。 TFT_{135} のゲート電極は走査信号線 $G_1 \sim G_n$ に接続され、ドレイン電極は画素電極 E_p に接続される。画素電極 E_p と対向して共通電極 E_c が設けられ、画素電極 E_p と共通電極 E_c とによって液晶容量が形成される。また、画素電極 E_p が設けられた基板には補助電極 E_s も設けられており、画素電極 E_p と補助電極 E_s とによって補助容量が形成される。補助電極 E_s は補助電極駆動信号線 C_s に接続され、補助電極駆動信号線 C_s は走査信号線駆動回路 133 または外部回路に接続される。

【0108】

走査信号線駆動回路 133 およびデータ信号線駆動回路 134 は、いずれも n 段のシフトレジスタ 10 で構成される。走査信号線駆動回路 133 には、クロック信号 GCK_1 、 GCK_2 、スタートパルス GST および全オン制御信号 $GAON$ が与えられ、データ信号線駆動回路 134 には、クロック信号 SCK_1 、 SCK_2 、スタートパルス SST および全オン制御信号 $SAON$ が与えられる。走査信号線駆動回路 133 およびデータ信号線駆動回路 134 の動作は、それぞれ液晶表示装置 110 の走査信号線駆動回路 113、液晶表示装置 120 のデータ信号線駆動回路 124 の動作と同じであるため、その説明を省略する。

40

【0109】

このような構成の液晶表示装置 130 の電源回路 136 をオンしたとき、オンした直後に表示部 131 に表示される映像が乱れることがある。これは、以下の理由によるものと

50

考えられる。電源回路 136 をオンした直後には、電源電圧 V_H 、 V_L が十分なレベルまで立ち上がっていない。その結果、液晶表示装置 130 のロジック制御が正常に行われず、映像信号線 $VSIG$ から不要な電荷が表示素子 P_{ij} に流入したり、対向電極 E_c の電位 COM や、補助電極 E_s の電位が不安定化して、対向電極 E_c と画素電極 E_p との間に電荷が蓄積されたりすることがその原因であると考えられる。

【0110】

そこで、蓄積された電荷を瞬時に抜くことができれば、人間の目には映像の乱れが見えなくなることを利用する。すなわち、電源回路 136 をオンしたときに、すべての表示素子 P_{ij} の $TFT135$ をオン状態にして、蓄積された電荷を瞬時に抜く。このため、電源電圧 V_H 、 V_L が十分なレベルまで立ち上がると、走査信号線駆動回路 133 およびデータ信号線駆動回路 134 にそれぞれハイレベル（アクティブ）の全オン制御信号 $GAON$ 、 $SAON$ を与えて、走査信号線駆動回路 133 およびデータ信号線駆動回路 134 を全オン動作させる。

10

【0111】

図 18 は、液晶表示装置 130 の動作を示すタイミングチャートである。図 18 に示すように、期間 t_0 の始端で電源回路 136 をオンすると、電源電圧 V_H 、 V_L は、期間 t_0 の間に十分なレベルまで立ち上がる。次に、期間 t_1 の始端で全オン制御信号 $GAON$ 、 $SAON$ をハイレベルにする。このとき、走査信号線駆動回路 133 が全オン動作を開始して、走査信号線 $G_1 \sim G_n$ にそれぞれハイレベルの出力信号 $GOUT11$ （1 段目の単位回路 $SR1$ の第 1 の出力信号）～ $GOUT1n$ （ n 段目の単位回路 SRn の第 1 の出力信号）を与える。このとき、データ信号線駆動回路 134 も全オン動作をして、ハイレベルの出力信号をサンプリングスイッチ $SW_1 \sim SW_n$ に同時に与える。

20

【0112】

その結果、すべての走査信号線 $G_1 \sim G_n$ にハイレベルの出力信号 $GOUT11 \sim GOUT1n$ がそれぞれ与えられるので、 $TFT135$ はすべてオン状態になる。また、サンプリングスイッチ $SW_1 \sim SW_n$ もすべてオンし、データ信号線 $S_1 \sim S_n$ は映像信号線 $VSIG$ に接続される。また期間 t_1 の始端で、映像信号線 $VSIG$ の電位、対向電極 E_c の電位 COM および補助電極 E_s の電位をそれぞれローレベルにすることによって、表示素子 P_{ij} に蓄積された電荷を映像信号線 $VSIG$ に抜く。

30

【0113】

そして、期間 t_3 の始端で、映像信号線 $VSIG$ の電位、対向電極 E_c の電位 COM および補助電極 E_s の電位をそれぞれ初期電位レベルにして、映像信号線 $VSIG$ から表示素子 P_{ij} に初期値の電荷を充電する。初期値の電荷を充電するのは、画素電極 E_p がフローティング状態のときに、対向電極 E_c の電位 COM および補助電極 E_s の電位を変化させると、映像が乱れる場合があるからである。期間 t_3 の終端で全オン制御信号 $GAON$ 、 $SAON$ をローレベルにした後、走査信号線駆動回路 133 およびデータ信号線駆動回路 134 が、期間 t_5 の始端から通常動作を開始し、期間 t_6 の始端からアナログ映像データ ADT が映像信号線 $VSIG$ に伝達されるようにする。

【0114】

なお、上述の動作タイミングの説明では、期間 t_0 の始端で電源回路 136 をオンし、期間 t_1 の始端から全オン動作を開始させたが、期間 t_0 の始端で電源回路 136 をオンにするだけでなく、同時に全オン動作を開始させてもよい。また、図 18 には、通常動作時に、対向電極 E_c および補助電極 E_s を交流駆動する場合を示したが、直流駆動してもよい。

40

【0115】

また、電源回路 136 をオンしたときに、シフトレジスタ 10 を全オン動作させれば、節点 N_2 の電位は $(V_{DD} - V_{th})$ になるので、トランジスタ T_{32} はオン状態になる。一方、節点 N_1 の電位はローレベルになるので、トランジスタ T_2 、 T_{31} はオフ状態になる。また、トランジスタ T_{23} のゲート端子にハイレベルの全オン制御信号 AON が与えられるので、トランジスタ T_{23} はオン状態になる。このため、トランジスタ T_3 も

50

オフ状態になる。

【0116】

次に、全オン動作から通常動作に復帰するとき、全オン制御信号AONはローレベルになるので、トランジスタT21、T23はオフ状態になる。一方、全オン制御信号AONBはハイレベルになるので、トランジスタT22はオン状態になる。このため、トランジスタT3はオン状態となり、第1の出力端子OUT1にローレベルの第1の出力信号OUT1が出力される。したがって、全オン動作から通常動作に復帰するとき、シフトレジスタ10の初期化動作を行う必要がない。この結果、シフトレジスタ10は、初期化動作が不要な分だけ通常動作に早く復帰することができる。また、シフトレジスタ10の単位回路11内に初期化回路を設ける必要がないので、シフトレジスタ10のレイアウト面積を小さくすることができる。なお、図18の出力信号GOUT21(1段目の単位回路SR1の第2の出力信号)~GOUT2n(n段目の単位回路SRnの第2の出力信号)は、出力信号GOUT11~GOUT1nがそれぞれハイレベルになるときにハイレベルになり、それぞれローレベルになるときにローレベルになる。しかし、全オン動作によって出力信号GOUT11~GOUT1nがすべてハイレベルになっても、出力信号GOUT21~GOUT2nはいずれもローレベルのままである。

10

【0117】

<7. 電源回路をオフしたときの液晶表示装置の動作>

次に、外部からの指示または内部で発生する指示に基づいて、液晶表示装置130の電源回路136をオフしたときに発生する映像の乱れを抑制する方法について説明する。

20

【0118】

図19は、液晶表示装置130の電源回路136をオフする場合のタイミングチャートである。図19に示すように、期間t0~t2では、全オン制御信号GAONはローレベル(非アクティブ)であるため、走査信号線駆動回路133は通常動作をし、それぞれハイレベルの走査信号GOUT11~GOUT12を走査信号線G1~G2に1つずつ順に与えている。同様に、データ信号線駆動回路134も、ハイレベルの出力信号をサンプリングスイッチSW1~SWnに1つずつ順に与えて、サンプリングスイッチSW1~SWnを順にオンする。

【0119】

期間t3の始端で、液晶表示装置130の電源回路136をオフする指示が与えられると、ハイレベル(アクティブ)の全オン制御信号GAONが走査信号線駆動回路133に与えられる。このため、走査信号線駆動回路133は全オン動作を開始し、ハイレベルの出力信号GOUT11~GOUT1nをそれぞれ走査信号線G1~Gnに同時に与える。また、サンプリングスイッチSW1~SWnはすべてオフしているので、同一のデータ信号線に接続された表示素子Pijは互いに導通する。この結果、液晶表示装置130がドット反転駆動または走査信号線反転駆動されていれば、同一のデータ信号線に接続された、隣接または近傍の表示素子Pijに蓄積された正電荷と負電荷が互いに打消しあう。そして、対向電極Ecの電位COMが無電圧状態に向かって移行するとき、すべての表示素子Pij間でほぼ揃った表示状態に移行する。さらに、期間t3の終端で、それまで映像信号線VSI Gの電位、対向電極Ecの電位COMおよび補助電極Esの電位をローレベルにして、表示素子Pijに蓄積された電荷を映像信号線VSI Gに抜く。その後、期間t4の終端で全オン動作を終了し、さらに期間t5の終端で電源回路136をオフ状態にする。このようにして、電源回路136をオフ状態にしたときに表示部131に表示される映像の乱れを抑制することができる。なお、この動作は、ドット反転駆動および走査信号線反転駆動を行う液晶表示装置に適用することができる。

30

40

【0120】

また、期間t3の始端で走査信号線G1~Gnを同時にハイレベルにするだけでなく、さらに全オン制御信号SAONをハイレベルにすることによって、データ信号線S1~Snも同時にハイレベルにしてもよい。この場合には、表示部131上のすべての表示素子

50

P i j の電荷状態が揃うように放電させることができるので、液晶表示装置 1 3 0 の電源回路 1 3 6 をオフしたときに表示部 1 3 1 に表示される映像の乱れを抑制することができる。なお、この動作は、ドット反転駆動および走査信号線反転駆動だけでなく、データ信号線反転駆動などの交流駆動を行う液晶表示装置に適用することができる。

【 0 1 2 1 】

< 8 . 電源回路が強制的にオフされた液晶表示装置の動作 >

液晶表示装置 1 3 0 の表示部 1 3 1 に映像が表示されているときに、液晶表示装置 1 3 0 の電源回路 1 3 6 が強制的にオフ（視聴者が意図しないオフ）された場合について説明する。図 2 0 は、通常動作している液晶表示装置 1 3 0 の電源回路 1 3 6 が強制的にオフされた場合のタイミングチャートである。この場合、容量素子 1 3 7 の一端は電源回路 1 3 6 の出力端子に接続され、他端は接地される。

10

【 0 1 2 2 】

図 2 0 に示すように、期間 t 0 ~ t 3 では、走査信号線駆動回路 1 3 3 は通常動作をしている。このとき、全オン制御信号 G A O N、S A O N はいずれもハイレベル（非アクティブ）である。

【 0 1 2 3 】

期間 t 4 の始端で電源回路 1 3 6 が強制的にオフされると、全オン制御信号 G A O N、S A O N を同時にローレベル（アクティブ）にする。この結果、走査信号線駆動回路 1 3 3 は全オン動作を開始し、走査信号線 G 1 ~ G n にそれぞれハイレベルの出力信号 G O U T 1 1 ~ G O U T 1 n を出力する。同様に、データ信号線駆動回路 1 3 4 も全オン動作を開始し、データ信号線 S 1 ~ S n にハイレベルの出力信号（図示しない）を出力する。

20

【 0 1 2 4 】

しかし、電源回路 1 3 6 の出力端子に接続された容量素子 1 3 7 のために、電源電圧 V H、V L は瞬時にローレベルにはならず、容量素子 1 3 7 によって決まる時定数にしたがって徐々に低下し、期間 t 4 の終端でローレベルになる。したがって、走査信号線駆動回路 1 3 3 の出力信号 G O U T 1 1 ~ G O U T 1 n、およびデータ信号線駆動回路 1 3 4 の出力信号も電源電圧 V H と同様に、ハイレベルから徐々に低下して期間 t 4 の終端でローレベルになる。この場合も、前述の電源回路 1 3 6 をオフしたときと同一の効果を生じる。なお、図示しないが、出力信号 G O U T 2 1 ~ G O U T 2 n は、通常動作時にはそれぞれ出力信号 G O U T 1 1 ~ G O U T 1 n と同様に变化し、全オン動作時にはすべてロー

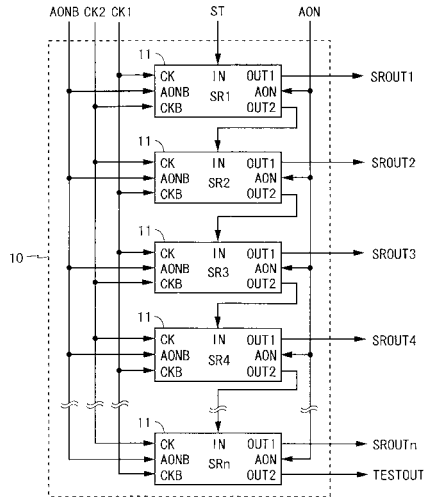
30

【産業上の利用可能性】

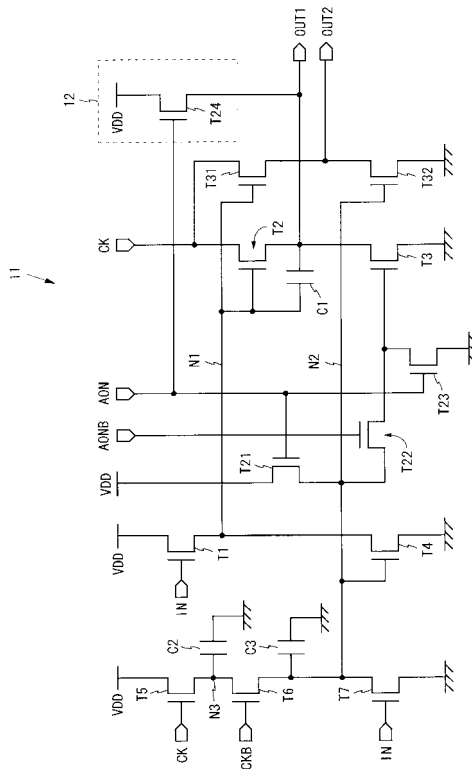
【 0 1 2 5 】

本発明は、同一導電型のトランジスタを用いて、2相のクロック信号に基づき動作するシフトレジスタに適用されるものであって、特に、表示装置や撮像装置の駆動回路などに適している。

【図1】



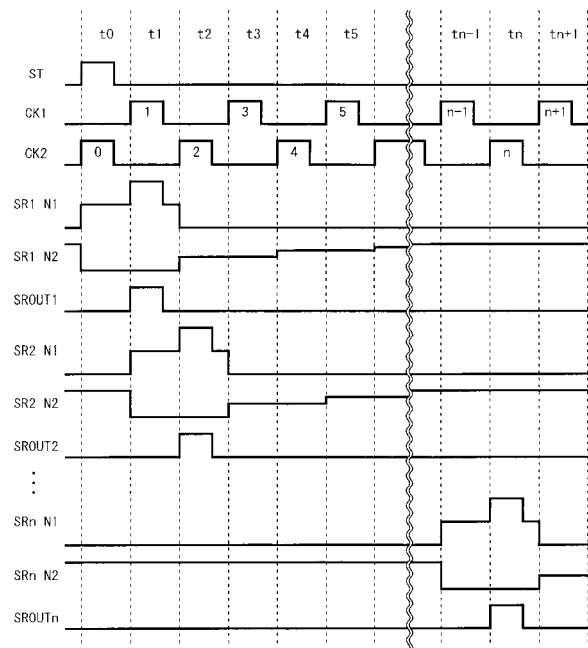
【図2】



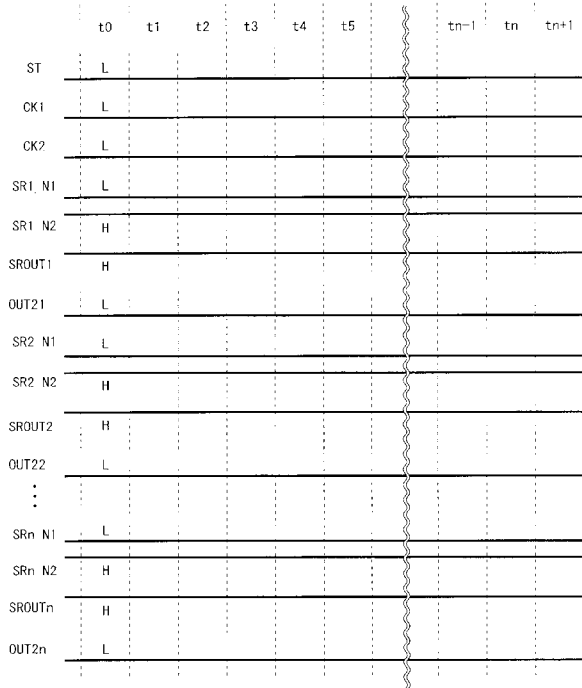
【図3】

	IN	CK	CKB	N1	N2	AON	AONB	OUT1	OUT2
全ON	H	H	H	L	H	H	L	—	—
	H	H	L	L	H			—	—
	H	L	H	L	H			—	—
	H	L	L	L	H			—	—
	L	H	H	L	H			H	L
	L	H	L	L	H			H	L
通常	L	L	L	L	H	L	H	L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L
	L	L	L	L	H			L	L

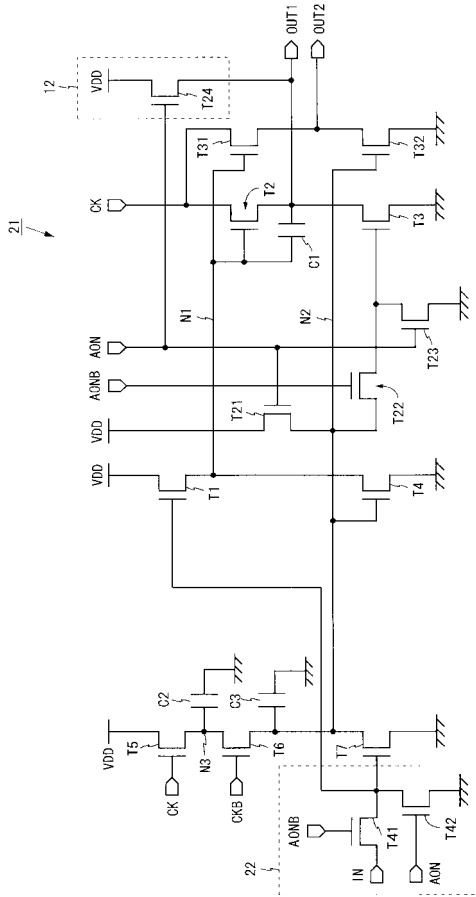
【図4】



【図5】



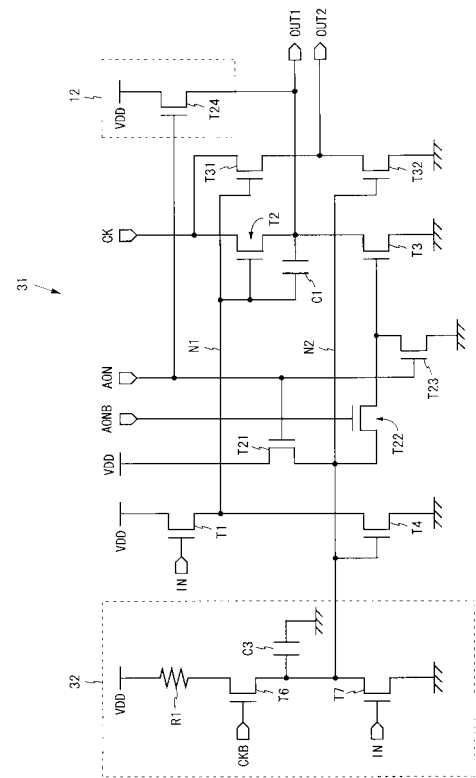
【図6】



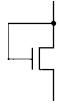
【図7】

	IN	CK	CKB	N1	N2	AON	AONB	OUT1	OUT2
全ON	H	H	H	L	H	H	L	H	L
	H	H	L	L	H			H	L
	H	L	H	L	H			H	L
	H	L	L	L	H			H	L
	L	H	H	L	H			H	L
	L	H	L	L	H			H	L
通常	L	L	L	L	H	L	H	x	x
	H	H	L	H	L			H	H
	H	L	H	H	L			L	L
	H	L	L	L	H			L	L
	L	H	H	L	H			L	L
	L	H	L	L	H			L	L
	L	L	H	L	H			L	L
	L	L	L	L	H			L	L

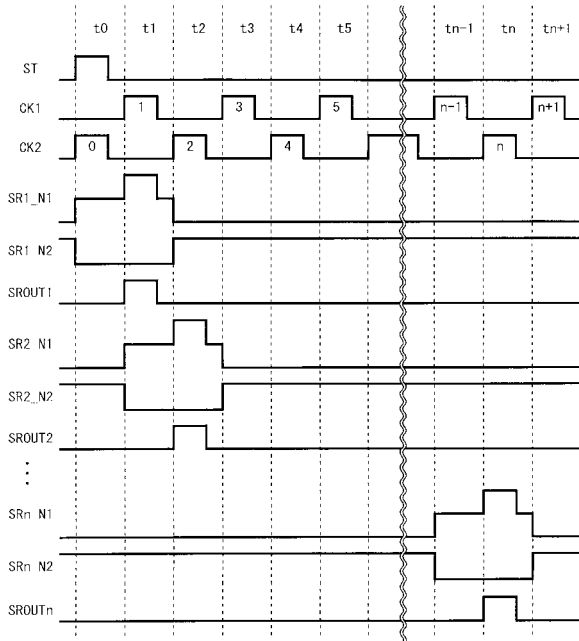
【図8】



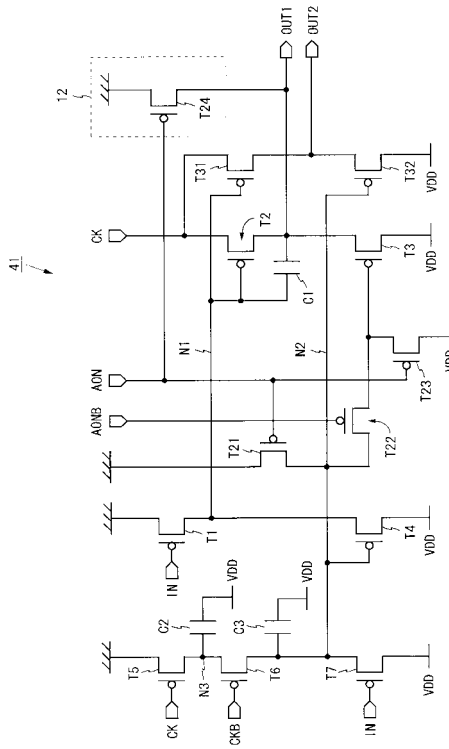
【 図 9 】



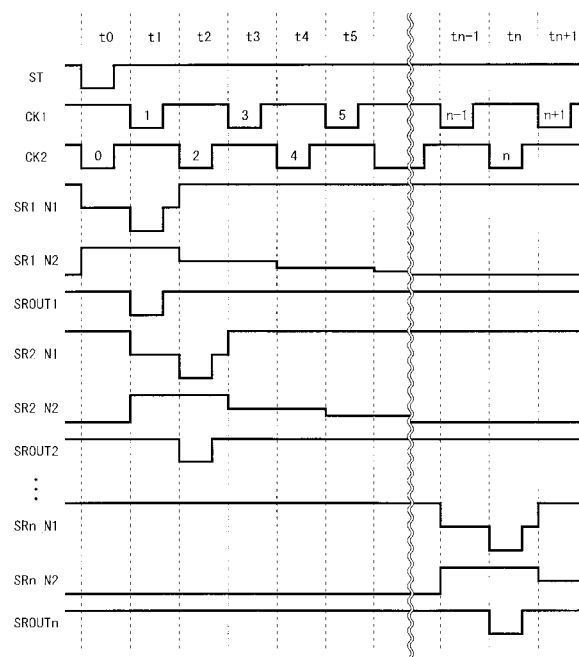
【 図 10 】



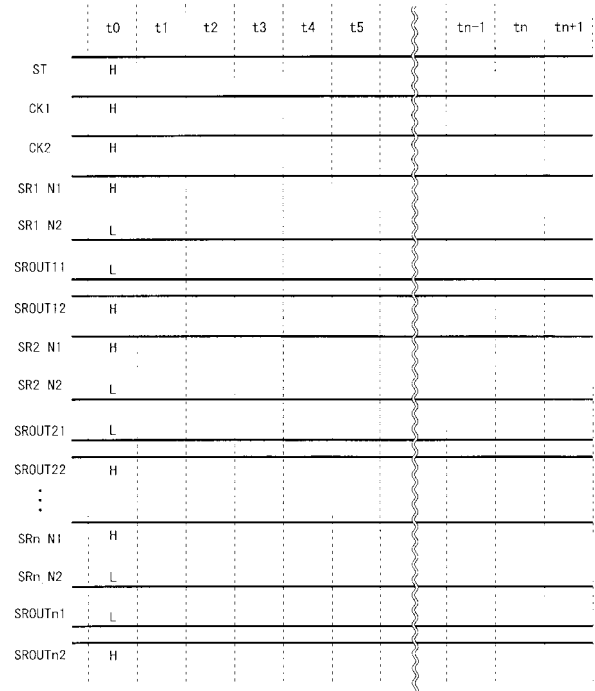
【 図 11 】



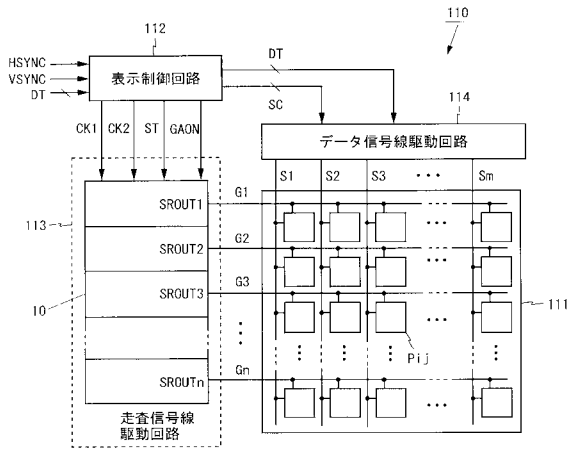
【 図 12 】



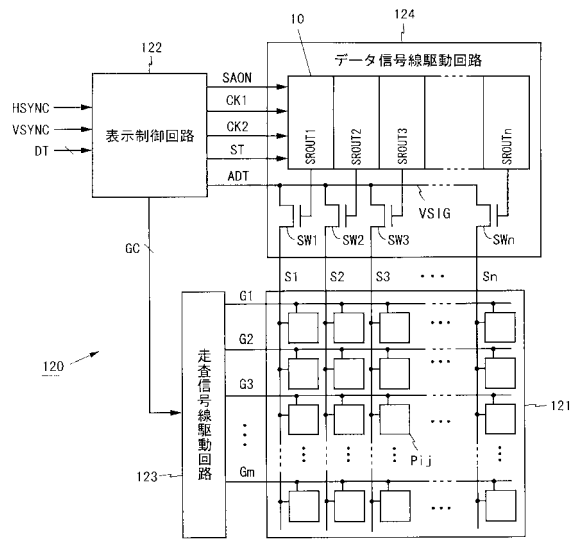
【 図 13 】



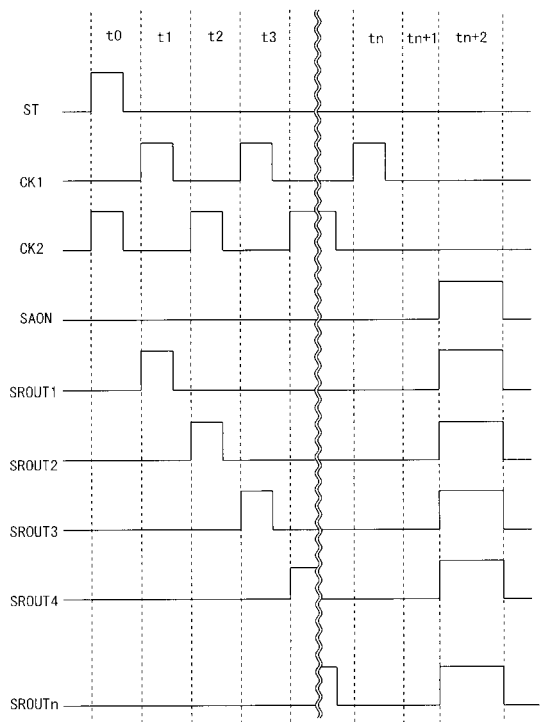
【図14】



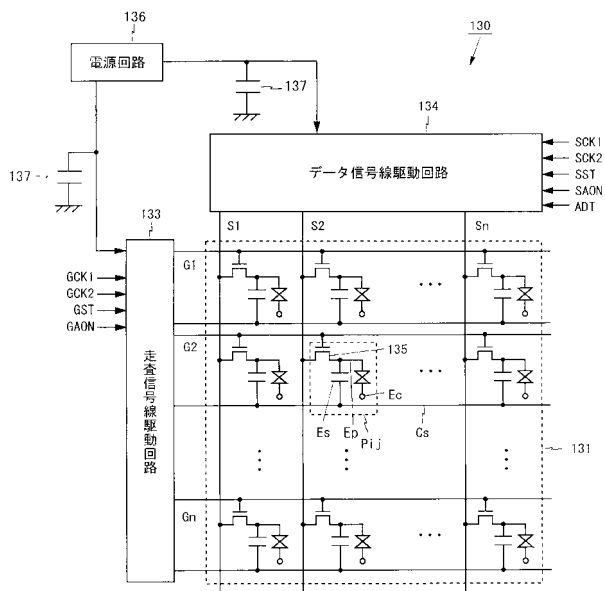
【図15】



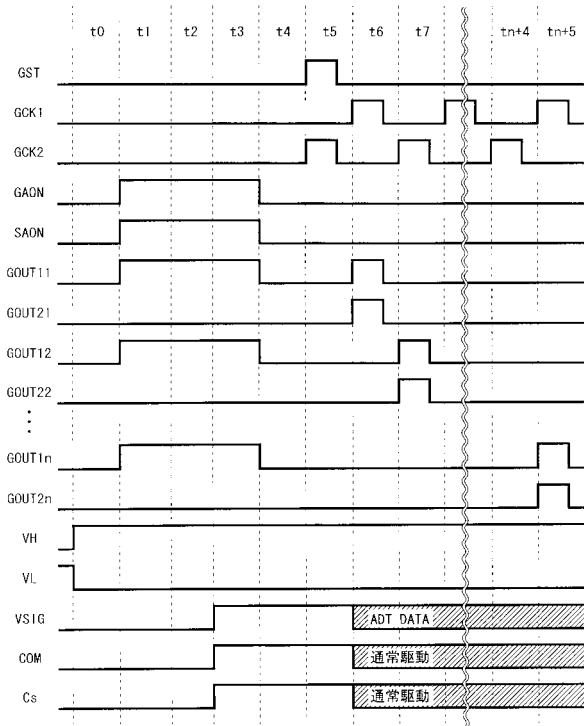
【図16】



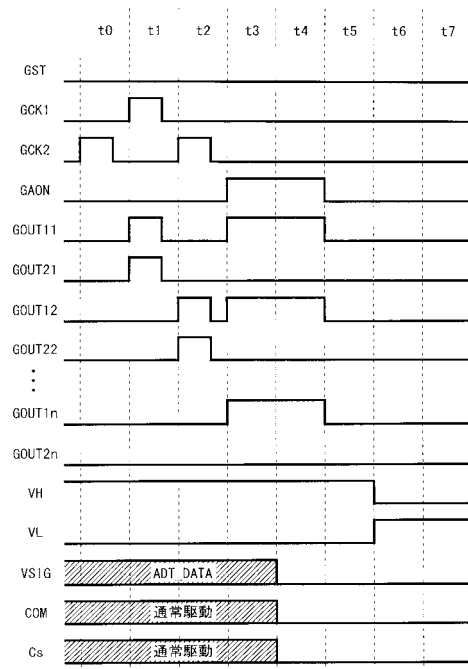
【図17】



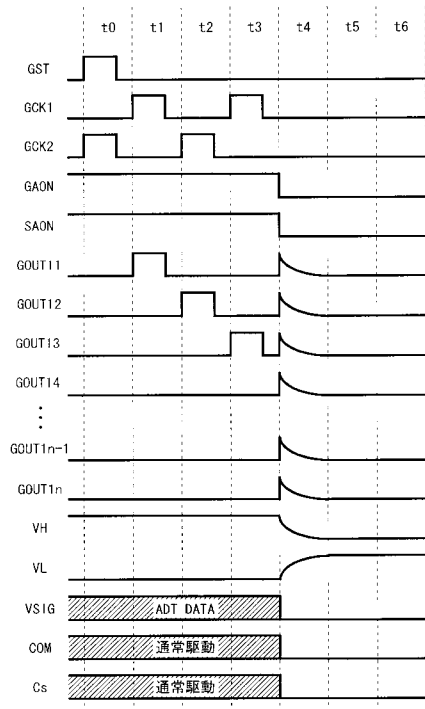
【図18】



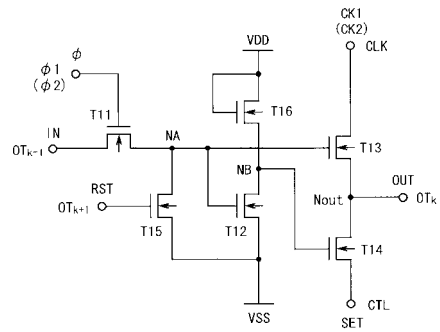
【図19】



【図20】



【図21】



フロントページの続き

(51)Int.Cl. F I
G 0 9 G 3/20 6 2 2 E

(72)発明者 佐々木 寧
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

(72)発明者 村上 祐一郎
大阪府大阪市阿倍野区长池町2番2号 シャープ株式会社内

審査官 堀田 和義

(56)参考文献 国際公開第2009/034749(WO, A1)
国際公開第2009/034750(WO, A1)
国際公開第2012/029799(WO, A1)

(58)調査した分野(Int.Cl., DB名)
G11C 19/28