



(12) 发明专利

(10) 授权公告号 CN 101425502 B

(45) 授权公告日 2012. 07. 11

(21) 申请号 200810176729. 9

(22) 申请日 2006. 03. 30

(30) 优先权数据

099404/05 2005. 03. 30 JP

103642/05 2005. 03. 31 JP

101481/05 2005. 03. 31 JP

(62) 分案原申请数据

200610073319. 2 2006. 03. 30

(73) 专利权人 雅马哈株式会社

地址 日本静冈县

(72) 发明人 大村昌良 关本康彦

(74) 专利代理机构 北京市柳沈律师事务所

11105

代理人 张波

(51) Int. Cl.

H01L 23/525(2006. 01)

H01L 21/768(2006. 01)

(56) 对比文件

CN 1419289 A, 2003. 05. 21, 全文.

JP 特开平 11-195753 A, 1999. 07. 21, 全文.

JP 特开平 11-307640 A, 1999. 11. 05, 全文.

US 2004/0150054 A1, 2004. 08. 05,

附图 1, 3A, 3B、说明书第

[0037]-[0061], [0073]-[0076] 段.

CN 1254941 A, 2000. 05. 31, 全文.

审查员 季茂源

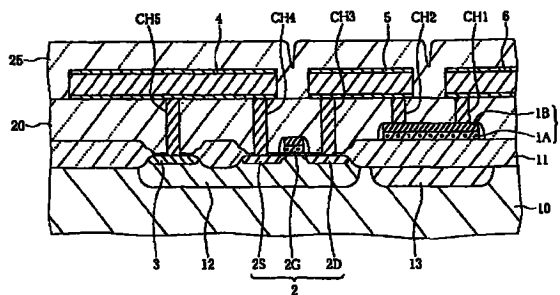
权利要求书 1 页 说明书 43 页 附图 35 页

(54) 发明名称

适合半导体器件的熔丝断开方法

(57) 摘要

本发明提供了一种适合半导体器件的熔丝断开方法。向目标熔丝连续施加多个脉冲以引起断开,每个脉冲都具有相对低的能量,其中脉冲的总能量根据预先计算所得的断开阈值而设置。目标熔丝具有成对的端子和互联部分,该互联部分被构建为在中间被狭窄地压缩,从而易于实现熔丝断开。脉冲发生器产生脉冲,该脉冲通过晶体管重复施加到目标熔丝;然后,在探测到熔丝断开的基础上该脉冲发生器停止产生脉冲。侧壁分隔件形成在熔丝的侧壁上,该侧壁分隔件被处理成渐缩的形状以减小施加到外覆的绝缘膜的热应力。此外,脉冲能量被适当调节以在目标熔丝中引起电迁移,因此目标熔丝电阻增加而不引起瞬时的熔断或蒸发。



1. 一种半导体器件,包括:  
半导体衬底;  
所述半导体衬底上的层间绝缘膜;  
设置在所述层间绝缘膜上的熔丝;以及  
所述熔丝的形成成为渐缩形状的侧壁分隔件和覆盖所述熔丝并形成成为渐缩形状的第一绝缘膜中的至少一个。
2. 根据权利要求1所述的半导体器件,其中所述熔丝包括:  
成对的端子,彼此分开形成;和  
用于互联所述端子的互联部分,其中所述互联部分与所述端子相比宽度减小。
3. 根据权利要求1所述的半导体器件,其中绝缘膜形成来覆盖所述熔丝,随后通过各向异性蚀刻,所述绝缘膜的平面部分被除去,于是所述绝缘膜转变成在所述熔丝的侧壁上的具有渐缩形状的所述侧壁分隔件。
4. 根据权利要求1所述的半导体器件,其中覆盖所述熔丝的所述第一绝缘膜经历 Ar 或  $O_2$  蚀刻,从而形成成为渐缩形状。
5. 根据权利要求1所述的半导体器件,其中覆盖所述熔丝的所述第一绝缘膜被进行磨制,从而形成成为渐缩形状。
6. 一种用于半导体器件的制造方法,包括如下步骤:  
在半导体衬底上形成层间绝缘膜;  
在所述层间绝缘膜上形成熔丝;  
形成绝缘膜,其覆盖形成在所述层间绝缘膜上的所述熔丝;和  
进行各向异性蚀刻,以除去所述绝缘膜的平面部分,因此在所述熔丝的侧壁上形成具有渐缩形状的侧壁分隔件。

## 适合半导体器件的熔丝断开方法

[0001] 本申请是申请日为 2006 年 3 月 30 日、申请号为 No. 200610073319.2、发明名称为“适合半导体器件的熔丝断开方法”专利申请的分案申请。

### 技术领域

[0002] 本发明涉及一种熔丝断开方法，其采用电脉冲施加到合并并在半导体器件中的熔丝。

### 背景技术

[0003] 需要超过通常施加到电路的操作功率的相对高的功率来引起形成在半导体衬底上的熔丝的断开。例如，MOSFET 被串连到熔丝从而引起高电流，导致熔丝的熔断和断开，其中这些 MOSFET 必须具有大的栅宽度，其大于用于通常用作数字处理的 MOSFET 的常规栅宽度的几十倍到几百倍。然而，具有大栅极宽度的 MOSFET 增加了其总尺寸；且这是与电路的高集成度相矛盾的。

[0004] 日本未审专利申请公开第 H10-189741 号教导了通过采用形成在半导体衬底上的寄生双极晶体管的集电极电流而熔断和断开熔丝的电路。日本未审专利申请公开第 S63-299139 号教导了基于雪崩断开而熔断和断开熔丝的电路。日本未审专利申请公开第 S59-105354 号教导了基于寄生晶闸管 (thyristor) 的闭锁现象而熔断和断开熔丝的电路。

[0005] 日本未审专利申请公开第 H11-203888 号教导了通过使用激光束熔断和断开熔丝的电路，其中由于激光束入射位置的偏离，熔丝可能不能被完全断开，导致微小的电流流过熔丝。因此，在激光束照射之后，检查断开是否完全；然后，电脉冲被再次施加到未完全断开的熔丝，因此避免了断开失败。

[0006] 为了产生引起半导体器件中的熔丝断开的高功率，需要基于具有高电流驱动能力的双极晶体管的操作、CMOS 电路的寄生双极电路的操作、以及 MOS 晶体管的不可恢复和破坏性操作例如回扫 (snapback) 而产生引起高电流的高功率（例如电子雪崩断开）。日本专利申请公开第 2002-158289、H06-37254 和 H07-307389 教导用在半导体器件中的熔丝的熔断和断开方法。

[0007] 在上述方法中，电能施加到每个熔丝从而立刻引起断开；然而，当每个熔丝断开时，难以立刻停止施加电能。为此，需要相对长的时间向熔丝施加电能。

[0008] 对于上述方法，断开不是一直以稳定方式发生在熔丝上的；因此，采用例如激光束的能量束的熔丝断开方法最近形成用于合并于例如 DRAM 的存储器中的备用电路中的熔丝断开的主流技术。这在例如日本未审专利申请公开第 H11-203888 中教导。

[0009] 在熔丝被能量束断开的上述方法中，需要用高电能的一次照射把熔丝完全断开。这允许当熔丝材料被熔化、分散和蒸发时熔丝断开。然而，产生了另一问题，即熔化的物质分散在熔丝的周围区域内且再次附着到半导体器件的其他电子元件。

[0010] 虽然熔丝可以被高电流或高能束断开，当高电流或高能束被施加到熔丝时，在半导体电路中包括的熔丝和其他元件上均可能发生破坏。

[0011] 此外,对于 CMOS 电路的寄生双极电路的操作和 MOS 晶体管的例如回扫的不可恢复和破坏性的操作,难以精确控制施加到熔丝的电能。可能施加超过引起熔丝断开的预定电流的很高的电流。这因此引起高能散射并使围绕熔丝的周边电路不能工作或破坏。

[0012] 虽然熔丝被很高能的束断开,熔丝材料被物理改变,因为它们是被瞬时熔化或蒸发的;且难以控制熔丝材料的这种爆发性的变化。换言之,即使当熔丝被电流和能量束断开,熔丝材料由于施加到其上的能量所引起的迅速加热而被熔化、蒸发和分散。这导致与熔丝连接的导电电路和围绕熔丝的绝缘膜的不希望的破坏。

[0013] 当被熔化和被分散的熔丝材料物质附着到围绕熔丝的周边电路时,发生涉及电路的其他问题,例如线路短路。具体地,层间绝缘膜、钝化膜和覆盖熔丝的保护树脂膜可能容易地被破坏和分散;裂缝可能容易形成在半导体器件中;以及半导体器件可能容易被熔化所变形。这减少了半导体器件的制造产量;因此,半导体器件的可靠性降低。

[0014] 因此,可能需要进行额外的制造工艺,其中为了断开而预先除去层间绝缘膜、钝化膜和覆盖熔丝的保护树脂膜从而暴露熔丝,为了提高可靠性而在断开之后再次形成这些膜以覆盖熔丝。

[0015] 当熔丝被低能发射所熔断并断开从而不引起物理破坏时,由于热能的传播和分散所导致的快速的温度升高和降低,热应力积聚在绝缘膜、线路、和围绕熔丝的周边电路中。这导致线路电阻的变化并影响电路的可靠性。

[0016] 熔丝被使用容易控制的公知的晶体管产生的电能所断开;然而,需要大尺寸晶体管以产生高电流;且这增加了总芯片尺寸和制造成本。电阻、电流和电压与熔丝的断开之间的关系可以如下获得:

[0017] 根据下面公式 (1),采用熔丝电阻  $R_{fuse}$ 、晶体管的驱动能力(即晶体管的内部电阻,换言之,具有开放沟道的晶体管的导通电阻  $R_{on}$ )、和驱动电压(或电源电压)  $V_{dd}$  来定义实现熔丝断开的熔丝电流  $I_{fuse}$ 。

$$[0018] \quad I_{fuse} = \frac{V_{dd}}{R_{fuse} + R_{on}} \quad \dots (1)$$

[0019] 在上述公式 (1) 中,导通电阻  $R_{on}$  取决于晶体管的驱动能力,其中  $R_{on}$  随着驱动能力的增加而减小。驱动电压  $V_{dd}$  增加从而增加熔丝电流  $I_{fuse}$ 。然而,驱动电压  $V_{dd}$  在半导体电路设计阶段中预先确定,且当驱动电压  $V_{dd}$  变高时 LSI 电路的功耗通常趋向于增加;因此,难以为了引起熔丝断开而增加驱动电压  $V_{dd}$ 。

[0020] 因为上述原因,可能需要降低电阻  $R_{fuse}$  和  $R_{on}$ 。导通电阻  $R_{on}$  在晶体管设计阶段根据栅长度  $L_g$  和栅宽度  $W_g$  而预先确定。为了减小导通电阻  $R_{on}$ ,需要减小栅长度  $L_g$ ,栅长度是由关于 LSI 电路的设计和制造的预定规则所确定的,从而栅长度  $L_g$  的最小值是预先固定的。这使得需要增加栅宽度  $W_g$  以减小导通电阻  $R_{on}$ 。

[0021] 熔丝电阻  $R_{fuse}$  由取决于熔丝材料和厚度的薄层电阻  $pf$  以及均在设计阶段确定的熔丝宽度  $W_f$  和熔丝长度  $L_f$  而根据下面公式 (2) 而确定。

$$[0022] \quad R_{fuse} = pf * \frac{L_f}{W_f} \quad \dots (2)$$

[0023] 薄层电阻  $pf$  基于 LSI 制造工艺中的导电材料和厚度的选择而确定。为了允许熔丝容易断开,熔丝宽度  $W_f$  设为由 LSI 设计阶段的预定设计规则所限定的最小值。这使得熔

丝电阻  $R_{\text{fuse}}$  可以根据熔丝长度  $L_f$  而变化,其中随着  $L_f$  变小  $R_{\text{fuse}}$  变低。

[0024] 上述关系由下面公式 (3) 表示。

$$[0025] \quad I_{\text{fuse}} = A * F(1/L_f, W_g) \quad \dots (3)$$

[0026] 其中“A”是在设计和工艺中确定的常数。

[0027] 通常,当熔丝被采用晶体管所产生的电流断开时,宽度  $W_g$  应该几十倍到几百倍地大于通常用作数字信号处理的 MOS 晶体管的宽度。即,熔丝断开需要大量大尺寸的晶体管。这增加了半导体芯片的总尺寸且因此增加了制造成本。此外,对高度集成的半导体存储芯片的备用电路使用大尺寸晶体管可能是不实际的。

[0028] 熔丝长度  $L_f$  由熔丝的断开特性所限制且因此不能如此减小。需要熔丝具有预定电阻  $R'_{\text{fuse}}$  (即,在实际中,熔丝的熔化部分的电阻; $R'_{\text{fuse}}$  基本等于或小于  $R_{\text{fuse}}$ ),因为熔丝由于熔丝电流  $I_{\text{fuse}}$  所引起的焦耳热的积聚而熔化。加热值  $J'_{\text{fuse}}$  如下表示:

$$[0029] \quad J'_{\text{fuse}} = (I_{\text{fuse}} * R'_{\text{fuse}} * T) \quad \dots (4)$$

[0030] 其中  $T$  代表电流流过熔丝的时刻与熔丝断开时刻之间所计数的时间。

[0031] 因此,当  $R'_{\text{fuse}}$  减小时,  $I_{\text{fuse}}$  相应增加;然而,可以减小引起熔丝断开的总加热值  $J'_{\text{fuse}}$ 。由于这种倒数关系,  $R'_{\text{fuse}}$  (或  $R_{\text{fuse}}$ ) 受限且不能任意减小。

[0032] 由于形成在熔丝上的层间绝缘膜的干涉,难以使熔丝断开,因为层间绝缘膜吸收电子或光束的能量。因此,层间绝缘层、钝化层和保护树脂膜被从熔丝的预定区域和它们的周围区域移除。然而,这需要复杂的工艺,因为半导体器件是临时从制造线上取出并使用电子或光束的能量进行涉及存储器的电路操作和熔丝的断开操作的测试,且然后返回制造线进行构图和形成上层。这由于制造工艺的复杂而增加了制造成本。此外,由于半导体电路的精细加工,熔丝尺寸被相应减小;且这使得难以进行能量束关于熔丝的精确定位。这增加了调节它们之间精确定位的时间消耗。

[0033] 涉及半导体元件的精细加工和复杂设计规则的最近技术允许能量束对熔丝的照射变得非常小。此外,关于熔丝尺寸和形状的优化、适合晶体管驱动能力的熔丝电阻的优化实现了各种发展,因此在通过晶体管实现的预定可控范围内适当地产生类脉冲电流,并用于非常短的时间周期内加热熔丝,因此使熔丝断开。这可以避免在熔丝断开过程中层间绝缘膜、钝化膜和保护树脂膜物理破坏的发生。

[0034] 然而,当相当大数目的绝缘膜施加到熔丝上,引起熔丝断开过程中产生的热通过其被传送时,由于通过绝缘膜传送的热所引起的脱气反应 (degassing reaction),含水气体可以在层间绝缘膜中放出;且这会降低 LSI 电路的可靠性。此外,当热收缩局部发生在这种厚绝缘膜中时,层间绝缘膜可能稍微变形,且在绝缘膜中可能发生裂纹。

[0035] 日本未审专利申请公开第 H07-307389 号的图 1 示出了其中熔丝和 MOS 晶体管被串连接并平行设置的电路,其中用于产生熔丝的断开电流的电流驱动能力根据下面公式计算。

$$[0036] \quad I_D = \mu C_{\text{ox}} (W/L) \times (1/2) \times (V_{\text{GS}} - V_T) \quad \dots (5)$$

[0037] 在上述公式中,  $I_D$  代表在晶体管饱和区域中的漏极电流;  $\mu$  代表载流子迁移率;  $C_{\text{ox}}$  代表晶体管的栅容量;  $W$  代表栅宽度;  $L$  代表栅长度;  $V_{\text{GS}}$  代表栅-源电压;且  $V_T$  代表阈值电压。

[0038] 当已知饱和漏极电流  $I_D$  时,可以根据上述公式估计引起熔丝断开的晶体管的栅宽

度。

[0039] 为了产生引起熔丝断开的非常高的电能,需要大大增加晶体管的尺寸(即栅宽度),这因此增加总芯片尺寸。当施加非常高的电能时,熔丝可以被瞬时熔化并蒸发,从而断开发生;同时,熔丝周围区域会受到影响。即,连接到熔丝的导电电路和围绕熔丝的绝缘膜被破坏。此外,熔化的物质被分散而引起短路。即使当它们不被破坏时,电阻可能由于热应力而变化,这降低了半导体器件的可靠性。

[0040] 当在半导体集成电路中形成包括熔丝的微调电路和备用电路时,微调可能在半导体集成电路的制造中间或之后进行,因此实现优化的特性。

[0041] 采用上述用于电路选择的相对小数量的熔丝,并采用能量束对其进行断开处理。为了使熔丝被一次能量束的照射完全断开,非常高的能量被施加到预先暴露的熔丝。当熔丝由于应用非常高的能量而被熔化、分散和蒸发时它们被完全断开;然而,熔化的物质在熔丝的周围区域中分散且可以被再次附着到电路。

[0042] 使用能量束的断开方法对于大量熔丝是不实际的,因为它需要长时间来实现照射在熔丝上的能量束的精确定位。在封装之后,不能把信息写入熔丝。

## 发明内容

[0043] 本发明的目的是提供一种在半导体器件中采用低电流断开熔丝的方法,其中向熔丝施加几次低功率电脉冲以断开熔丝。

[0044] 在本发明的第一方面,提供了一种熔丝断开方法,其中多个脉冲连续施加到经由绝缘层形成在半导体衬底上的目标熔丝,从而引起断开,其中施加到目标熔丝的总能量根据预先计算的预定断开阈值而设定。目标熔丝通过成对的端子和互联所述端子的互联部分而构建。互联部分被收缩变窄具有在中间的三角形凹陷;它具有至少一个弯曲部分;或者它具有例如螺旋形状。

[0045] 由于每个脉冲的能量减小,可以减小由引起熔丝断开的电能所导致的温度增加;因此,可以显著减小施加到熔丝周围区域和绝缘层的影响。这使得可以设置多个熔丝,它们在半导体衬底上沿垂直方向部分重叠。每个熔丝可以具有在中间收缩变窄的互联部分,使得其容易断开。当互联部分具有至少一个弯曲部分或螺旋形状时,可以增加熔丝的有效长度。

[0046] 在本发明的第二方面,每个都具有相对低能量的多个脉冲被重复施加到熔丝,从而基于重复施加热应力可能导致迁移现象的假设而断开熔丝,因此可以减小施加到熔丝周围的热破坏。即,虽然由施加到熔丝的电能所引起热被传送到周围,但它可以与熔丝温度成比例且与传送速度的立方成反比例迅速减少。通过适当设置连续施加到熔丝的脉冲的数目,熔丝温度可以在脉冲间隔的时间中降低,因此减小被传送到熔丝周围的热量。

[0047] 与其中熔丝被施加到其上的单个脉冲所断开的常规熔丝断开方法相比,本发明的熔丝断开方法的优点在于(由脉冲所导致的热传送引起的)热应力减小;因此,可以引起熔丝断开,而同时其周围电路例如绝缘膜和线路基本不受该热应力的影响。这减小了线路电阻的变化并提高了电路的可靠性。

[0048] 此外,可以引入用于探测熔丝是否被多个脉冲断开的断开探测电路,因此可以防止过多的脉冲不必要地施加到熔丝上;且因此可以减小有关熔丝断开程序的总处理时间。

[0049] 在本发明的第三方面,形成绝缘膜以覆盖熔丝的侧壁分隔件,从而增加与覆盖其上的上层(即外覆的绝缘膜)之间的距离,其中形成在熔丝周围的外覆绝缘膜被除去以防止当熔丝断开时发生的高热传播到形成在熔丝以外的其他区域中的施加的绝缘膜,因此抑制了外覆的绝缘膜中的脱气(degasification);因此,可以防止裂纹形成在外覆的绝缘膜中并防止外覆的绝缘膜被不期望地变形。这可靠地提高了制造中半导体器件的可靠性。

[0050] 作为选择,形成绝缘膜以整个覆盖熔丝;然后,在绝缘膜中具有减小的覆盖率的熔丝侧壁上形成侧壁分隔件。这增加了绝缘膜与覆盖在其上的上层(即外覆的绝缘膜)之间的距离,因此减小了热应力。此外,还形成绝缘膜以整个覆盖具有侧壁分隔件的熔丝;然后,在具有减小的覆盖率的熔丝的侧壁上进一步形成侧壁分隔件。这进一步增加绝缘膜与其上的外覆绝缘膜之间的距离,因此进一步减小热应力。

[0051] 作为选择,形成绝缘膜以整个覆盖熔丝并通过 Ar 蚀刻、O<sub>2</sub> 蚀刻或磨制而进行渐缩处理;因此可以增加绝缘膜与其上的外覆绝缘膜之间的距离,因此减小热应力。可以进一步形成一绝缘膜,覆盖具有渐缩部分的所述绝缘膜;因此,可以进一步增加绝缘膜与其上的外覆的绝缘膜之间的距离,因此进一步减小热应力。

[0052] 由施加到其上的电能引起的熔丝的热可以通过充当热传播媒质的绝缘膜而传送到熔丝周围,其中被传播的热温度与熔丝的温度成比例且与热传播体积(即大约为距离的立方)与比热的乘积成反比地迅速降低。外覆的绝缘膜在约 400°C 的预定温度被进行淬火(quenching)热处理。因此,由于熔丝相对低的热,外覆的绝缘膜的质量可以不降低;因此,可以不发生裂纹和脱气。因此,需要外覆的绝缘膜被预先从传送高热的熔丝周围除去,或者远离熔丝,因此减少传送到外覆的绝缘膜的热。

[0053] 通过把外覆的绝缘膜从熔丝除去或者通过使外覆的绝缘膜远离熔丝,可以保证采用外覆的绝缘膜的半导体集成电路表面的平整,从而证明上述优点。具体地,形成在熔丝上的外覆绝缘膜被进行回蚀;侧壁分隔件形成在所施加的绝缘膜的侧壁上;并应用可能难以被热应力膨胀或收缩的绝缘膜;因此,可以显著减小热应力。

[0054] 在本发明的第四方面,能量低于断开能量但足以引起固体相移的脉冲被重复施加到由导电材料构成的熔丝,因此熔丝电阻由于积聚的热应力而增加,但不引起熔丝的瞬时熔断或蒸发。

## 附图说明

[0055] 将参照附图更详细描述本发明这些和其他目的、方面和实施例,附图中:

[0056] 图 1 是示出具有不同宽度的脉冲数与熔丝断开率之间关系的图;

[0057] 图 2A 是示出关于引起熔丝断开的脉冲电压和电势的波形的图;

[0058] 图 2B 是包括熔丝和使用晶体管的断开电路的等效电路图;

[0059] 图 3 是示出熔丝断开的有效时间与熔丝断开率之间关系的图;

[0060] 图 4 是示出根据本发明第一实施例的熔丝断开方法的流程图;

[0061] 图 5 是示出脉冲电流和熔丝断开的积聚时间之间关系的图;

[0062] 图 6 是示出包括熔丝和 MOS 晶体管的半导体器件的平面图;

[0063] 图 7 是沿图 6 中的线 A8-A8 所取的截面图;

[0064] 图 8A 是示出制造半导体器件的第一步骤的截面图;

- [0065] 图 8B 是示出制造半导体器件的第二步骤的截面图；
- [0066] 图 8C 是示出制造半导体器件的第三步骤的截面图；
- [0067] 图 8D 是示出制造半导体器件的第四步骤的截面图；
- [0068] 图 8E 是示出制造半导体器件的第五步骤的截面图；
- [0069] 图 9 是示出图 7 所示的半导体器件的变化的截面图；
- [0070] 图 10 是示出图 7 所示的半导体器件的其他变化的截面图；
- [0071] 图 11A 是示出熔丝的第一实例的平面图；
- [0072] 图 11B 是示出熔丝的第二实例的平面图；
- [0073] 图 11C 是示出熔丝的第三实例的平面图；
- [0074] 图 11D 是示出熔丝的第四实例的平面图；
- [0075] 图 11E 是示出熔丝的第五实例的平面图；
- [0076] 图 11F 是示出熔丝的第六实例的平面图；
- [0077] 图 11G 是示出熔丝的第七实例的平面图；
- [0078] 图 12A 是示出熔丝的第八实例的平面图；
- [0079] 图 12B 是示出熔丝的第九实例的平面图；
- [0080] 图 12C 是示出熔丝的第十实例的平面图；
- [0081] 图 12D 是示出熔丝的第十一实例的平面图；
- [0082] 图 12E 是示出熔丝的第十二实例的平面图；
- [0083] 图 13A 是示出熔丝的第十三实例的平面图；
- [0084] 图 13B 是示出熔丝的第十四实例的平面图；
- [0085] 图 13C 是示出熔丝的第十五实例的平面图；
- [0086] 图 14 是示出脉冲势能变化与熔丝势能变化之间关系的图；
- [0087] 图 15 是示出关于断开率和断开时间之间关系的实验结果的图；
- [0088] 图 16A 是示出根据本发明第二实施例的熔丝断开方法的一部分的流程图；
- [0089] 图 16B 是示出所述熔丝断开方法的另一部分的流程图；
- [0090] 图 17 是示出脉冲电流与熔丝断开的积聚时间之间关系的图；
- [0091] 图 18 是示出熔丝断开电路的第一实例的电路图；
- [0092] 图 19 是示出熔丝断开电路的第二实例的电路图；
- [0093] 图 20 是示出熔丝断开电路的第三实例的电路图；
- [0094] 图 21 是示出熔丝断开电路的第四实例的电路图；
- [0095] 图 22 是示出熔丝断开电路的第五实例的电路图；
- [0096] 图 23 是示出熔丝断开电路的第六实例的电路图；
- [0097] 图 24 是图解示出实现 CMOS 集成电路的半导体器件的元件布局的平面图；
- [0098] 图 25A 是沿图 24 的线 A-A 所取的截面图, 示出制造半导体器件的第一步骤；
- [0099] 图 25B 是示出制造半导体器件的第二步骤的截面图；
- [0100] 图 25C 是示出制造半导体器件的第三步骤的截面图；
- [0101] 图 25D 是示出制造半导体器件的第四步骤的截面图；
- [0102] 图 25E 是示出制造半导体器件的第五步骤的截面图；
- [0103] 图 25F 是示出制造半导体器件的第六步骤的截面图；



- [0104] 图 26 是示出半导体器件的实例的截面图；
- [0105] 图 27 是示出半导体器件的另一实例的截面图；
- [0106] 图 28 是图解示出实现 CMOS 集成电路的半导体器件的元件布置的平面图；
- [0107] 图 29A 是沿图 28 的线 A-A 所取的截面图；
- [0108] 图 29B 是沿图 28 的线 A-A 所取的截面图；
- [0109] 图 30 是沿图 28 的线 B-B 所取的截面图，示出了熔丝与第一绝缘膜、SOG 膜和第二绝缘膜相连形成的基本结构；
- [0110] 图 31 是沿图 28 的线 B-B 所取的截面图，示出了熔丝结构的第一实例，其中侧壁分隔件形成在熔丝的侧壁上；
- [0111] 图 32 是示出熔丝结构的第二实例的截面图；
- [0112] 图 33 是示出熔丝结构的第三实例的截面图；
- [0113] 图 34 是示出熔丝结构的第四实例的截面图；
- [0114] 图 35 是示出熔丝结构的第五实例的截面图；
- [0115] 图 36 是示出熔丝结构的第六实例的截面图，其中采用多个绝缘膜形成多个熔丝阵列；
- [0116] 图 37 是示出熔丝断开电路的电路图；
- [0117] 图 38 是示出根据本发明第四实施例的包括图 37 的熔丝断开电路的半导体器件的平面图；
- [0118] 图 39 是沿图 38 的线 C-C 所取的截面图；
- [0119] 图 40 是示出采用熔丝的存储电路的电路图；
- [0120] 图 41 是示出包括在图 40 的存储电路中的选择器的操作的真值表；
- [0121] 图 42 示出用于解释熔丝断开操作的信号波形；以及
- [0122] 图 43 示出用于解释确定熔丝断开 / 非断开状态的信号波形。

## 具体实施方式

[0123] 将通过参考附图更详细地描述实例的方式描述本发明。

### [0124] 1、第一实施例

[0125] 首先，将描述关于熔丝断开的基本原理。需要具有高能的单个脉冲来引起熔丝断开。具体地，每个都具有相对低能量的多个脉冲重复施加到熔丝从而引起热应力，基于重复施加热应力或其他因素可能导致迁移现象的假设而断开熔丝。

[0126] 假设断开阈值  $E_{th}$  定义为代表足够引起熔丝断开的每个脉冲的能量。要求当多个脉冲用于引起熔丝断开时，它们的总能量  $E_{total}$  高于断开阈值  $E_{th}$ 。例如，当熔丝被具有  $5 \times 10^7$  [J] 能量的单个脉冲发生断开时，需要施加每个都具有  $2.5 \times 10^7$  [J] 能量的两个脉冲。为了用  $n$  个脉冲引起熔丝断开（其中  $n$  是不小于 2 的整数），每个脉冲具有  $5 \times 10^7/n$  [J] 的能量。

[0127] 不必所有脉冲都具有同样能量；因此，要求总能量变得高于  $5 \times 10^7$  [J]。例如，当熔丝被两个脉冲发生断开时，第一脉冲具有  $2 \times 10^7$  [J] 的能量，且第二脉冲具有  $3 \times 10^7$  [J] 以上的能量。

[0128] 当  $n$  个脉冲产生熔丝断开时，每个脉冲具有同样的能量，该能量减小到断开阈值

$E_{th}$  的  $1/n$ 。因此,可能难以发生由于熔丝熔断而导致的分散现象;因此,可以减小对绝缘膜和熔丝周围元件的影响。

[0129] 不必所有  $n$  个脉冲都具有设为断开阈值  $E_{th}$  的  $1/n$  的相同能量;因此,每个脉冲仅需要  $E_{th}/n$  或更多。例如,当每个脉冲具有断开阈值  $E_{th}$  的 60% 时,两个以上脉冲发生熔丝断开。当每个脉冲具有断开阈值  $E_{th}$  的 30%,四个以上脉冲发生熔丝断开。

[0130] 一个脉冲的能量是电压、电流和脉冲宽度(或时间长度)的乘积;因此,当熔丝随着多个脉冲发生断开时,与具有断开阈值  $E_{th}$  的单个脉冲相比,每个脉冲的电压或电流减小,或者脉冲宽度减小。作为选择,每个脉冲的电流或电压和脉冲宽度减小。

[0131] 图 1 示出了熔丝断开率与具有不同时间长度(或脉冲宽度)的脉冲数之间的关系。其中,通过改变每个脉冲的脉冲宽度而改变每个脉冲的能量。为了消除由于在先脉冲的应用所导致的温度升高的影响,每个脉冲以预定时间间隔施加到每个熔丝,该时间间隔允许每个熔丝被完全冷却并从几秒到几十秒变化。

[0132] 在图 1 中,水平轴代表引起熔丝断开的脉冲数目,且垂直轴代表断开的熔丝的断开率。5000 个熔丝用作实验,且每个熔丝具有由多晶硅层和金属硅化物层构成的两层结构,其中采用相同电压和电流产生具有不同宽度(即 1200ns, 860ns, 600ns, 480ns 和 250ns) 的每个脉冲。

[0133] 所有熔丝被宽度为 1200ns 具有能量  $E(1200)$  的单个脉冲所断开。5000 个熔丝中,4050 个熔丝每个被宽度为 860ns 具有能量  $E(860)$  的单个脉冲所断开,其中剩下的 950 个熔丝每个都被两个或三个具有能量 (860) 的脉冲所断开。由于制造因素例如熔丝宽度和厚度、形成熔丝的多晶硅晶粒以及金属硅化物晶粒的形状和尺寸、熔丝侧壁的形状和围绕熔丝的绝缘膜的厚度的分散,在实验结果中发生断开特性的分散。

[0134] 根据熔丝断开特性的分散,假定以高的再现性利用 1200ns 的单个脉冲而发生熔丝断开。因此,能量  $E(1200)$  基本上与断开阈值  $E_{th}$  相匹配。

[0135] 15% 的熔丝每个都被具有能量  $E(600)$  的 600ns 的单个脉冲所断开;且大约 70% 的熔丝每个都被 600ns 的两个脉冲所断开。这是因为能量  $E(600)$  是能量  $E(1200)$  的一半;因此,两个脉冲能量之和变得等于断开阈值  $E_{th}$ 。此外,大约 85% 的熔丝每个都被两个脉冲所断开,其能量之和等于断开阈值  $E_{th}$ 。剩下的 15% 的熔丝每个都被三个脉冲所断开。这可能是制造因素的波动导致的。

[0136] 三个具有能量  $E(480)$  的 480ns 的脉冲能量之和超过断开阈值  $E_{th}$ 。理论上来说,假定大多数熔丝每个都被三个脉冲断开。实际上,相当多数量的熔丝不能被三个脉冲所断开;需要七个脉冲引起 80% 或以上的熔丝断开;且所有熔丝每个被十个脉冲完全断开。即,引起完全的熔丝断开的脉冲的实际数目大于基于关于能量  $E(480)$  的断开阈值  $E_{th}$  所预言的预定的脉冲数目。对于具有能量  $E(250)$  的 250ns 脉冲,发生类似的结果。

[0137] 将参考图 2A 和 2B 详细描述实际脉冲数目大于预计脉冲数目的原因。

[0138] 图 2B 示出了包括熔丝和断开电路的等效电路。5V 的驱动电压施加到熔丝 Fu 的第一端子,该第一端子是串连到源极接地的  $n$  沟道 MOS 晶体管 Tr 的。电压 V1 施加到该 MOS 晶体管 Tr 的栅极。在 MOS 晶体管 Tr 的漏极与熔丝 Fu 的第二端子之间的连接点出现 V2 的电势。当具有电压 V1 的脉冲施加到 MOS 晶体管 Tr 的栅极时,该 MOS 晶体管 Tr 被导通,从而允许电流通过熔丝 Fu 流动。当积聚在熔丝 Fu 内的能量超过断开阈值  $E_{th}$  时,熔丝 Fu 被

断开。

[0139] 如图 2A 所示,电压 V1 具有方波形,其水平随着某时间常数而增加,且随后维持一段时间。当脉冲水平增加时(见电压 V1),电流开始流过熔丝 Fu;因此,电势 V2 由于熔丝 Fu 所引起的电压降而迅速降低,且然后临时保持在预定水平。当熔丝 Fu 断开时,电势 V2 迅速降到接地电势。

[0140] 当脉冲宽度与上升时间相比足够长时,可以忽略由引导部分所引起的影响。然而,当脉冲宽度变短达到 480ns 或 250ns 时,变得难以忽略由引导部分引起的影响。例如,当脉冲在到达常数水平之前其水平增加和降低,则流过熔丝 Fu 的电流在到达常数水平之前迅速降低。这增加了引起熔丝断开的脉冲的数目,使其大于预定的脉冲数目。

[0141] 所有熔丝每个可以被十五到二十个 250ns 的脉冲完全断开。这预示着能量 E(250)基本上从断开阈值  $E_{th}$  的 1/15 到 1/20 变化。即,虽然 250ns 的脉冲每个与断开阈值  $E_{th}$  相比能量都少一位,但可以通过增加脉冲的数目而可靠地引起熔丝断开。

[0142] 每个 480ns 的脉冲都在到达常数水平之前水平增加。这预示着对于 480ns 的脉冲脉冲宽度和电压都同时减小。换言之,尽管脉冲每个都在电压上减小,但可以通过增加脉冲的数目而可靠地引起熔丝断开。

[0143] 进行了其他实验以确定通过改变流过熔丝的电流而实现熔丝断开的有效时间,且将参考图 3 详细描述其结果,其中水平轴代表实现熔丝断开的有效时间,以毫秒 [ms] 为单位,且垂直轴代表熔丝断开率 [%]。实现熔丝断开的有效时间由脉冲宽度与脉冲数目的乘积所定义,其中关于不同电流即 70mA、60mA、50mA 和 40mA 画出了线,每个都具有相同的脉冲宽度  $1 \times 10^{-3}$ ms。

[0144] 关于 70mA 画出的线示出约 90% 的熔丝每个需要 1000ms 实现断开。至于由 40mA 电流产生的 1200ns 的脉冲,其预言了实现熔丝断开的脉冲总数目为“834”。为了实现所有熔丝被 40mA 电流的断开,可能需要把有效时间设为 10000ms。10000ms 的有效时间可以通过 40000 个 250ns 的脉冲实现。

[0145] 接着,将参考图 4 和 5 及表 1 详细描述本实施例的熔丝断开方法。通过随着时间改变脉冲宽度而进行此方法。

[0146] 图 4 示出了流程图,示出本实施例的熔丝断开方法。在步骤 S1 中,通过施加电流为 1mA 或以下且宽度为 1ms 或以下的脉冲而测量待断开的目标熔丝的初始电阻。在步骤 S2 中,比较了关于目标熔丝的该初始电阻与目标电阻。当初始电阻等于或小于目标电阻的两倍时,流程进行到步骤 S3。当初始电阻大于目标电阻的两倍时,流程进行到步骤 4,其输出错误命令;然后,流程进行到步骤 S3。决定初始电阻是否大于或小于目标电阻的两倍的原因是为了避免初始故障所导致的产量减少。因此,可以设定目标电阻的任何倍数以代替两倍。

[0147] 在步骤 S3 中,变量 m 设定为“1”,该变量 m 代表将被连续施加到目标熔丝的脉冲数目。在步骤 S5 中,m 个脉冲被连续施加到目标熔丝。

[0148] 表 1 示出了具有不同宽度的脉冲数目与脉冲积聚时间之间的关系。

[0149] 表 1

[0150]

脉冲数目	脉冲宽度 (msec)	积聚时间 (msec)
1	0.10	0.10
2	0.15	0.25
3	0.25	0.50
4	0.50	1.0
5	1.0	2.0
6	3.0	5.0
7	5.0	10
8	10	20
9	30	50
10	50	100
11	100	200
12	300	500
13	500	1000
14	1000	2000

[0151] 在上表中,较长脉冲宽度用于大数目的脉冲。由于在步骤 S3 中  $m = 1$ ,在步骤 S5 中其宽度为 0.1ms 的脉冲施加到目标熔丝。在步骤 S6 中,在上述关于步骤 S1 所述的条件下测量目标熔丝的电阻。

[0152] 在步骤 S7 中,决定目标熔丝被暴露于电能的积聚时间是否小于 2000ms。根据表 1 所示的变量  $m$  与积聚时间之间的关系能容易地计算积聚时间。当积聚时间等于或大于 2000ms 时,流程达到步骤 S10。当积聚时间小于 2000ms 时,流程进行到步骤 S8,在该步骤中,决定目标熔丝的电阻是否等于或大于  $1M\Omega$ 。当目标熔丝的电阻等于或大于  $1M\Omega$  时,确定目标熔丝断开;然后流程进行到步骤 S10。在步骤 S10 中,记录关于目标熔丝电阻的测量结果,因此完成熔丝断开方法。

[0153] 当步骤 S8 中目标熔丝的电阻小于  $1M\Omega$  时,换言之,当确定目标熔丝未断开时,流程进行到步骤 S9,在该步骤中,向变量  $m$  加“1”;因此流程再次进行到步骤 S5。

[0154] 如上所述,直到积聚时间达到 2000ms 或以上,或直到确定目标熔丝断开,脉冲连续施加到目标熔丝以测量电阻。如表 1 所示,较长的脉冲宽度用于较大数目的脉冲。

[0155] 关于多个熔丝进行了上述熔丝断开方法,且其结果在图 5 中示出。

[0156] 图 5 示出了流过熔丝的电流与熔丝断开的积聚时间之间的关系,其中水平轴代表以毫秒为单位测量的脉冲电流,且垂直轴代表以毫秒为单位测量的熔丝断开的积聚时间。根据脉冲电压即 2.1V、2.3V、2.5V、2.7V、3.0V 和 3.5V 把各种目标熔丝族分类。发生在每组中的脉冲电流分散取决于目标熔丝的初始电阻的波动。

[0157] 当脉冲电流为 45mA 或以上时,每个熔丝被 0.1ms 的单个脉冲所断开。随着脉冲电流变小,熔丝断开的积聚时间变长。当脉冲电流变得小于 42mA 时,熔丝断开的积聚时间显著变长。为了通过使用其宽度为常数的脉冲来保证熔丝断开的较长积聚时间,需要大大增加脉冲的数目;且这因此增加实现熔丝断开的处理时间。例如,为了通过使用以 0.25ms 时间间隔输出的 0.25ms 的脉冲实现 2000ms 的积聚时间,需要 4000ms 的处理时间。

[0158] 虽然表 1 没有示出,但随着脉冲宽度逐渐增加,处理时间到达 2003.5ms 以实现 2000ms 的积聚时间。随着连续施加到每个目标熔丝的脉冲数目变大,可能通过增加脉冲宽度而减少处理时间。

[0159] 当然,适合本实施例的脉冲宽度不需要局限于表 1 所示的那些。例如,可以设置适

合  $m$  个脉冲中的每个的  $A \times 2^m$  的脉冲宽度；通常，该脉冲宽度可以计算为  $A \times i^m$ （其中  $A$  和  $i$  是任意选择的整数常数）。作为选择，脉冲宽度可以计算为  $A \times m^i$ 。

[0160] 作为选择，连续脉冲之间的时间间隔可以设为常数，或者该时间间隔可以随着脉冲宽度变长而增加。然而，当时间间隔增加到与脉冲宽度相匹配时，变得难以减小处理时间。因此，时间间隔设为某段时间，在该段之内每个熔丝在被施加到其上的在先脉冲加热后恢复温度。

[0161] 在图 4 所示的步骤 S8 中，参考预定电阻决定目标熔丝是否断开，该预定电阻设为  $1M\Omega$ ，然而其也可以设为实现熔丝断开确定的其他高电阻值。例如，该电阻可以设为几百千欧姆 ( $k\Omega$ ) 或任何其他高阻抗，这使得可以通过读出电路确定熔丝断开。当电阻从几十欧姆到几百欧姆变化的微调电路用于半导体器件时，例如，在熔丝电阻从几千欧姆到几十千欧姆变化时可以确定熔丝断开。一旦探测到熔丝断开，不再向目标熔丝施加脉冲。这可靠地防止了不必要地向目标熔丝施加脉冲。因此，可以减少熔丝断开的的时间。

[0162] 接着，将描述包括熔丝和断开电路的半导体器件，其中基本结构与图 2B 所示的等效电路相同，其中驱动电压不必限制在 5V。流过熔丝  $F_u$  的电流取决于熔丝  $F_u$  的电阻、被导通的 MOS 晶体管  $T_r$  的导通电阻、和驱动电压。当熔丝  $F_u$  被断开时，对于施加到 MOS 晶体管  $T_r$  的栅极上的脉冲电压，没有漏极电流流过。

[0163] 图 2B 示出了熔丝  $F_u$  和 MOS 晶体管  $T_r$  的简单串连电路。可以提供包括具有单个半导体器件的多组上述串连电路的熔丝阵列。作为选择，单个断开电路可以用于多个熔丝，其中施加到单个熔丝的每个脉冲的能量减小，但通过施加多个脉冲可能在多个熔丝上同时引起断开。

[0164] 作为选择，为单个熔丝设置多个晶体管以提供相对高的断开电流，其中晶体管可以构建为 CMOS 晶体管或双极晶体管。闭锁电路可以用于产生施加到晶体管的高栅极电压，因此增加流过晶体管多次的断开电流的脉冲宽度。

[0165] 脉冲发生器可以用于产生与半导体集成电路的时钟信号同步的流过熔丝的脉冲。此外，分频器可以用于把时钟信号的频率转换为分频信号，从而与分频信号同步产生脉冲。此外，延迟电路可以用于把脉冲从时钟信号延迟。

[0166] 导电探测电路可以用于确定每个熔丝是否完全断开。作为选择，可以改进电路使得响应来自导电探测电路的表明每个熔丝完全断开的反馈，没有脉冲施加到每个熔丝。可以采用程序进行此控制。

[0167] 图 6 是示出其中熔丝 1、MOS 晶体管 2 和 p 阱抽头 (tap) 3 形成在半导体衬底上的半导体器件的平面图。MOS 晶体管 2 包括栅电极 2G、源区 2S、和漏区 2D。熔丝 1 的一端通过接触孔 CH1 被连接到电源线 6（位于上层中）。熔丝 1 的另一端通过接触孔 CH2、互联线 5（位于上层中）和多个接触孔 CH3 与漏区 2D 相互连接。

[0168] 源区 2S 和阱抽头 3 通过多个接触孔 CH4 和多个接触孔 CH5 被连接到接地线 4（位于上层中）。此外，栅电极 2G 通过接触孔 CH6 被连接到布线层 7（位于上层）。

[0169] 图 7 是沿图 6 中的线 A8-A8 所取的截面图。绝缘层 11 形成在由 p 型硅构成的半导体衬底 10 的表面上以划分多个有源区。p 阱 12 和 n 阱 13 形成在半导体衬底 10 的表面上。p 阱 12 包括两个有源区。n 阱 13 形成在绝缘层 11 下面。

[0170] p 阱抽头 3 形成在 p 阱 12 中的一个有源区的表面上；且在另一个有源区中形成具

有源区 2S、漏区 2D 和栅电极 2G 的上述 n 沟道 MOS 晶体管 2。熔丝 1 形成在绝缘层 11 上。从垂直于半导体衬底 10 的法线方向观测，n 阱 13 形成为把熔丝 1 包括在其中。每个栅电极 2G 和熔丝 1 都具有双层结构，包括多晶硅层和高熔点金属硅化物层。

[0171] 层间绝缘层 20 形成为覆盖熔丝 1、MOS 晶体管 2 和 p 阱抽头 3。层间绝缘层 20 具有双层结构，包括磷硅酸玻璃 (PSG) 层和硼磷硅酸玻璃 (BPSG) 层，且其总厚度从  $0.6\ \mu\text{m}$  到  $0.8\ \mu\text{m}$  变化。接触孔 CH1 到 CH5 形成在层间绝缘层 20 中。接触孔 CH1 和 CH2 形成在熔丝 1 的两端。从垂直于半导体衬底 10 的法线方向观测，接触孔 CH3、CH4 和 CH5 分别位于漏区 2D、源区 2S 和阱抽头 3 内。每个都由钨构成的导电栓分别嵌入接触孔 CH1 到 CH5 中。可以在接触孔 CH1 到 CH5 中形成由 TiN 和 TiON 构成的附着层。

[0172] 接地线 4、互联线 5 和电源线 6 形成在层间绝缘层 20 上。这些线每个都由 Al、AlSi 合金、AlSiCu 合金等构成。作为选择，它们可以每个都由 Cu、CuCr 合金、CuPd 合金等构成。可以在上述线下面形成由 Ti、TiN 和 TiON 构成的阻隔层。或者，可以在上述线上面额外形成由 Ti 和 TiN 构成的盖层。

[0173] 接地线 4 通过接触孔 CH4 中的导电栓被连接到源区 2S，并且还通过接触孔 CH5 中的导电栓被连接到阱抽头 3。互联线 5 将熔丝 1 的一端和漏区 2D 通过接触孔 CH2 和 CH3 中的导电栓互相连接。电源线 6 通过接触孔 CH1 中的导电栓被连接到熔丝 1 的其他端子。保护层 25 覆盖接地线 4、互联线 5 和电源线 6。保护层 25 具有双层结构，包括氧化硅层和氮化硅层，且其厚度从例如  $0.8\ \mu\text{m}$  到  $1.4\ \mu\text{m}$  变化。

[0174] 将参考图 8A 到 8E 描述上述半导体器件的制造方法。

[0175] 如图 8A 所示，通过 LOCOS 方法或 STI (shallow trench isolation, 浅沟槽隔离) 方法，在由 p 型硅构成的半导体衬底 10 的被选择区域中形成由氧化硅构成的  $500\text{nm}$  厚的绝缘层 11。进行离子注入以形成 p 阱 12 和 n 阱 13。除去用于形成绝缘层 11 的抗氧化掩膜，从而暴露出半导体衬底 10 相应于有源区的表面。通过热氧化方法在有源区表面上形成氧化硅层 15。此外，形成在用于 MOS 晶体管形成的有源区中的氧化硅层 15 用作栅绝缘层。

[0176] 取代氧化硅层 15，可以采用包括氧化硅层和氮化硅层的双层结构，包括氧化钽层和氧化硅层的双层结构，或者其中氮化硅层插入在两个氧化硅层之间的三层结构。其中，氮化硅层可以被氧化硅层取代。形成氮化硅层的方式为采用  $\text{N}_2$  气体或  $\text{NO}_x$  气体对热氧化形成的氧化硅层进行热处理并因此对其进行氮化。作为选择，可以通过采用原硅酸四乙酯 (tetra-ethyl-ortho-silicate, TEOS)，氧 ( $\text{O}_2$ )、臭氧 ( $\text{O}_3$ )、和  $\text{NO}_x$  的等离子体激发 CVD 或者通过采用 ECR 等离子体的化学气相淀积 (CVD) 的方法形成氮化硅层。此外，仅氮化硅层的表面在氧化气氛中被进行热氧化以形成三层结构，其中氮化硅层插入在两个氧化硅层之间。

[0177] 如图 8B 所示，在下列条件下，通过采用硅烷 ( $\text{SiH}_4$ ) 和氮 ( $\text{N}_2$ ) 的方法在半导体衬底 10 的表面上形成多晶硅层 16。

[0178] 硅烷与氮之间的流量比 :20:80

[0179] 气体流量 :200sccm

[0180] 压力 :30Pa

[0181] 衬底温度 :600°C

[0182] 通过把衬底温度设置得低于上述值，可以实现非晶硅的淀积。作为选择，在非晶硅淀积之后加热衬底且因此对其进行多晶化处理。当然，可以直接采用非晶硅层。多晶硅层

16 的厚度适当地从 20nm 到 1000nm, 优选从 80nm 到 200nm 变化。在从例如 800°C 到 900°C 变化的预定温度下, 磷 (P) 材料被均匀地扩散进多晶硅层 16 以实现  $1 \times 10^{20} \text{cm}^{-3}$  的杂质浓度。在扩散之前, 优选通过采用缓冲 (buffered) 氢氟酸除去多晶硅层 16 表面上形成的自然氧化层。

[0183] 通过溅射法或 CVD 法, 在多晶硅层 16 上形成由硅化钨 (WSix) 构成的高熔点金属硅化物层 17, 其中其厚度从 25nm 到 500nm, 优选从 80nm 到 200nm 变化。可以取代 WSix 而采用 MoSix、TiSix 和 TaSix 形成高熔点金属硅化物层 17。取代高熔点金属层 17, 例如可以形成由例如 Mo、Ti、Ta 和 W 的高熔点金属、例如 Co、Cr、Hf、Ir、Nb、Pt、Zr 和 Ni 的过渡金属、以及包括高熔点金属和过渡金属的合金所构成的金属层。

[0184] 在 1100°C 下进行十秒钟的快速热退火 (rapid thermal annealing, RTA) 从而实现多晶硅层 16 和高熔点金属硅化物层 17 的低电阻。此热处理可靠地避免了多晶硅层 16 与高熔点金属层 17 之间界面分离的发生。退火时间从 1 秒到 120 秒, 优选从 5 秒到 30 秒。退火温度从 800°C 到 1150°C, 优选从 900°C 到 1100°C 变化。取代 RTA, 可以采用电炉在预定时间内进行热处理, 该预定时间从 5 分钟到 90 分钟, 优选从 15 分钟到 30 分钟。

[0185] 如图 8C 所示, 对多晶硅层 16 和高熔点金属硅化物层 17 进行构图, 因此形成栅电极 2G 和熔丝 1, 其每个都具有两层结构。采用蚀刻气体通过 ECR 等离子体蚀刻器件而在双层上进行蚀刻, 该蚀刻气体是氯 ( $\text{Cl}_2$ ) 和氧 ( $\text{O}_2$ ) 的混合物。

[0186] 如图 8D 所示, 磷离子被注入半导体衬底 10 关于用作掩膜的栅电极 2G 的两侧, 因此形成相应于低浓度漏极 (LDD) 结构的低浓度区 2Sa 和 2Da。硼离子被注入到 p 阱 12 的有源区的表面, 因此形成 p 阱抽头 3。硼离子注入到 p 阱抽头 3 是与离子注入进根据 p 沟道 MOS 晶体管 (未示出) 的 LDD 结构的低浓度区同时进行的。

[0187] 如图 8E 所示, 在栅电极 2G 两侧和熔丝 1 两侧形成由氧化硅构成的侧壁分隔件 18。在相应于栅电极 2G 及其侧壁分隔件 18 的掩膜两侧的半导体衬底的表面上进行磷离子注入, 因此形成源和漏的高浓度区。因此, 可以形成相应于 LDD 结构的源区 2S 和漏区 2D。

[0188] 当硼离子被注入进 p 沟道 MOS 晶体管的高浓度源区和漏区时, 硼离子也被注入 p 阱抽头 3。在完成离子注入后, 进行激活退火。

[0189] 然后, 进行公知的步骤以形成层间绝缘层、接触孔、接触孔中的导电栓、和线及导线。因此, 可以获得图 7 所示的半导体器件。

[0190] 可以在图 8E 所示的半导体器件上额外进行自对准处理, 以在源区 2S、漏区 2D 和 p 阱抽头 3 上形成金属硅化物层。在此情形, 高熔点硅化物层被暴露在栅电极 2G 和熔丝 1 上; 因此, 可能不在其上进行硅化反应。因此, 可以改进制造方法使得在图 8B 的步骤中, 不形成高熔点金属硅化物层 17, 且在图 8E 的步骤中完成向源区和漏区的离子注入后, 进行自对准处理以在栅电极 2G 和熔丝 1 上形成高熔点金属硅化物层。

[0191] 形成在熔丝 1 下面的 n 阱 13 减小熔丝 1 与半导体衬底 10 间的寄生电容。

[0192] 图 9 示出了作为图 7 所示的半导体器件的变形的半导体器件, 其中连接到 MOS 晶体管 2 的熔丝 1 形成为接触绝缘层 11 的表面。在图 9 所示的半导体器件中, 熔丝 30 (相应于熔丝 1) 形成在第一层间绝缘层 20 上。熔丝 30 的一个端子通过嵌入在接触孔 CH3 中穿过第一层间绝缘层 20 的导电栓连接到 MOS 晶体管 2 的漏区 2D。第二层间绝缘层 22 覆盖熔丝 30。

[0193] 接地线 4 和电源线 6 形成在第二层间绝缘层 22 上。p 阱抽头 3 通过嵌入在接触孔 CH5 中穿过第一层间绝缘层 20 的导电栓、形成在第一层间绝缘层 20 上的中间导电元件 31、和嵌入在接触孔 CH5a 中穿过第二层间绝缘层 22 的导电栓连接到接地线 4。MOS 晶体管 2 的源区 2S 通过嵌入在接触孔 CH4 中穿过第一层间绝缘层 20 的导电栓、形成在第一层间绝缘层 20 上的中间导电元件 32、和嵌入在接触孔 CH4a 中穿过第二层间绝缘层 22 的导电栓连接到接地线 4。

[0194] 熔丝不与 MOS 晶体管 2 连接的另一端子通过嵌入在接触孔 CH10 中穿过第二层间绝缘层 22 的导电栓连接到电源线 6。

[0195] 熔丝 35 形成为与绝缘层 11 的表面接触。熔丝 35 的相对端分别连接到形成在第二层间绝缘层 22 上的导线 36 和 37。形成保护层 25 以覆盖接地线 4、电源线 6、和导线 36 和 37。

[0196] 形成在第一层间绝缘层 20 表面上的熔丝和中间元件 31 和 32 的每个都具有包括多晶硅层和高熔点金属硅化物层的双层结构。下面的描述给出关于形成上述两层结构的方法。

[0197] 首先,根据 CVD 方法形成多晶硅层;和例如磷的杂质扩散到该多晶硅层中。根据 CVD 方法在多晶硅层上形成高熔点金属硅化物层。在双层结构的形成完成后,在 850°C 进行十秒快速热退火 (RTA)。这里,热处理是在从 500°C 到 1000°C 优选从 700°C 到 950°C 变化的预定温度进行的。确定进行热处理的温度的上限从而基本不发生杂质在 MOS 晶体管 2 的源区和漏区分布的变化,且基本不发生由于回流 (reflow) 导致的第一层间绝缘层 20 表面形状的变化。此外,进行热处理预定时间,从 1 秒到 120 秒,优选 5 秒到 30 秒。

[0198] 取代快速热退火 (RTA),可以采用电炉在从 5 分钟到 90 分钟优选从 10 分钟到 30 分钟变化的预定时间进行热处理。在完成热处理之后,对高熔点金属硅化物层和多晶硅层进行构图,因此暴露熔丝 30 和中间导电元件 31 和 32。

[0199] 当然,可以通过使用单个多晶硅层形成中间导电元件 31 和 32。在此情形,采用单个多晶硅层形成的电阻器可以设置在第一层间绝缘层 20 上。

[0200] 上述熔丝断开方法可以用于图 9 的半导体器件,其中多个脉冲施加到熔丝以断开。这里,在周围区域中发生由熔丝 30 的熔断所导致的相对低的影响。这允许熔丝 30 设置在 MOS 晶体管 2 附近。换言之,MOS 晶体管 2 的有源区可以设置为在半导体衬底 10 表面上与熔丝 30 部分重叠。这有助于熔丝及其电路尺寸的减少。

[0201] 图 10 是示出半导体器件结构的截面图,其中类似于图 7 所述的半导体器件,形成绝缘层 11 以部分覆盖半导体衬底 10,其中在被绝缘层 11 围绕的有源区内形成 MOS 晶体管 2。多个熔丝 40 形成为接触绝缘层 11 的表面从而形成熔丝阵列。第一层间绝缘层 41 覆盖熔丝 40 和 MOS 晶体管 2。

[0202] 多个熔丝 42 形成在第一层间绝缘层 41 上以形成熔丝阵列并被第二层间绝缘层 43 覆盖。多个熔丝 44 形成在第二层间绝缘层 43 上并被第三层间绝缘层 45 覆盖。导线 50 形成在第三层间绝缘层 45 上并被保护层 51 覆盖。

[0203] 图 10 示出多个熔丝设置得与多个导线层连接,其中每个熔丝具有包括多晶硅层和高熔点硅化物层的双层结构或者具有单个多晶硅层的简单结构。

[0204] 上述熔丝断开方法适用于图 10 的半导体器件,从而可以减小当每个熔丝断开时



对围绕每个熔丝的元件的影响。这允许下面的熔丝和上面的熔丝在半导体衬底 10 的表面上沿垂直方向部分重叠。

[0205] 图 11A 到 11G 示出了熔丝的各种实例,其每个都具有成对的端子和互联部分,每个端子都具有方形,每个互联部分都具有宽度  $W$  和长度  $L$ 。

[0206] 具体地,图 11A 示出了熔丝的第一实例,其中互联部分互联端子的中心部分。图 11B 示出了熔丝的第二实例,其中互联部分互联端子的顶部。

[0207] 图 11C 示出了熔丝的第三实例,其中互联部分互联端子的中心部分,该互联部分的一侧在中间由具有直角的等腰三角形凹陷狭窄地压缩。图 11D 示出了熔丝的第四实例,其中互联部分互联端子的顶部,该互联部分在中间由具有直角的等腰三角形凹陷狭窄地压缩。

[0208] 图 11E 示出了熔丝的第五实例,其中互联部分互联端子的中心部分,该互联部分的两侧都在中间由具有直角的等腰三角形凹陷狭窄地压缩。图 11F 示出了熔丝的第六实例,其中互联部分互联端子的顶部,该互联部分的两侧都在中间由具有直角的等腰三角形凹陷狭窄地压缩。

[0209] 图 11G 示出了熔丝的第七实例,其中互联部分互联端子顶部,该互联部分的两侧都在中间由具有锐角的三角形凹陷狭窄地压缩。这里,分别形成在互联部分相对侧的三角形凹陷靠近并彼此平行地形成。

[0210] 互联部分的缩窄部分使得每个熔丝容易被相对小的能量断开。

[0211] 图 12A 到 12C 示出了熔丝的其他类型,其每个包括成对的端子和互联部分,每个端子均具有方形,互联部分(具有宽度  $W$  和长度  $L$ ) 在某些部分弯曲成直角。

[0212] 具体地,图 12A 示出了熔丝的第八实例,其中互联部分具有两个弯曲区域,从而互联一个端子的顶部和另一端子的下部。图 12B 示出了熔丝的第九实例,其中互联部分具有四个弯曲区域,从而互联端子的顶部。图 12C 示出了熔丝的第十实例,其中互联部分具有六个弯曲区域,从而互联一个端子的顶部和另一端子的下部。

[0213] 图 12D 和 12E 示出了熔丝的其他类型,其每个都包括每个均为方形的成对的端子以及具有长度  $L$  的互联部分。

[0214] 具体地,图 12D 示出了熔丝的第十一实例,其中在中间以  $45^\circ$  角向上弯曲的互联部分(具有宽度  $W_1$ ) 互联端子的顶部。图 12E 示出了熔丝的第十二实例,其中在中间以矩形部分(具有大于宽度  $W$  的宽度  $W_2$  和短于长度  $L$  的长度  $L_2$ ) 展宽的互联部分互联端子的中心部分。

[0215] 图 13A 示出了熔丝的第十三实例,其中具有锯齿形的互联部分互联一个端子的上部 and 另一端子的下部。图 13B 示出了熔丝的第十四实例,其中具有螺旋形的互联部分互联彼此相邻设置的端子的中心部分。图 13C 示出了熔丝的第十五实例,其中具有锯齿和螺旋形的互联部分互联彼此相对设置的端子的上部。

[0216] 2. 第二实施例

[0217] 类似于第一实施例,第二实施例基于每个熔丝被每个都具有相对低功率的多个脉冲断开的原理而设计。

[0218] 施加到熔丝的脉冲的总能量  $E'$  必须等于或大于单个脉冲足够引起断开的最小能量  $E$ ; 因此,  $E' \geq E$ 。假设具有断开能量  $E = 5.0E-7[J]$  的单个脉冲引起熔丝断开。如果两

个电脉冲引起熔丝断开,总能量即  $E'(1+2)$  等于或高于  $E$ ; 因此  $E'(1+2) \geq 5.0E-7[J]$ 。

[0219] 如果断开能量  $E$  均匀除“2”以产生两个脉冲,每个脉冲具有等于或高于  $2.5E-7[J]$  的能量  $E/2$ 。即,每个脉冲需要断开能量的一半。不必要求第一脉冲能量  $E'(1)$  等于第二脉冲能量  $E'(2)$ ; 即它们中的一个可以设为高于另一个; 因此,  $E \geq E'(1) \geq E'(2)$  或  $E \geq E'(2) \geq E'(1)$ 。表示为  $E'(1+2)$  的第一脉冲能量和第二脉冲能量之和应该等于或高于  $E$ ; 因此  $E \leq E'(1+2)$ 。

[0220] 当断开能量均匀除“ $n$ ”以产生  $n$  个脉冲时,每个脉冲具有等于或高于  $(5.0E-7)/n$  的能量,因此可以减少(由  $E'(1)$ 、 $E'(2)$ 、...  $E'(n)$  表示的)每个脉冲的能量,即  $E'(1)$ 、 $E'(2)$ 、...  $E'(n) \leq E$ ; 且总能量  $E'(1+2+...+n)$  等于或高于  $E$ ; 因此,  $E'(1+2+...+n) \geq E$ 。

[0221] 能量减少到断开能量  $E$  的  $1/n$  的每个脉冲没有高到足以引起熔丝材料的熔化和分散; 因此,可以防止在熔丝周围发生物理破坏。这是因为  $E'(1+2+...+n) \geq E$ , 且最后施加的基本上等于  $E/n$  的脉冲  $E'(n)$  可以最终引起熔丝断开。

[0222] 在上述中,“ $n$ ”不必设为整数且因此可以设置为任意值,只要每个熔丝能被  $E'(1+2+...+n) \geq E$  的多个脉冲可靠断开。

[0223] 例如,当每个脉冲具有断开能量  $E = 5.0E-7[J]$  (其中  $n = 1.25$ ) 的 80% 时,第一脉冲能量  $E'(0) = 4.0E-7[J]$  不引起断开; 然而,第一脉冲能量和第二脉冲能量之和即  $E'(1+2) = 8.0E-7[J]$ , 超过断开能量  $E = 5.0E-7[J]$ ; 因此,每个熔丝被连续施加到其上的第一和第二脉冲完全断开。类似地,当每个脉冲具有断开能量  $E = 5.0E-7[J]$  (其中  $n = 3.333$ ) 的 30% 时,三个脉冲的能量之和计算为  $E'(1+2+3) = 4.5E-7[J]$ , 其足够引起断开; 然而,四个脉冲的能量之和计算为  $E'(1+2+3+4) = 6.0E-7[J]$ , 从而每个脉冲被连续施加到其上的四个脉冲完全断开。

[0224] 在实际中,在理想条件下理论确定的数目的多个脉冲可能不会把熔丝完全断开; 因此,在关于引起熔丝断开的脉冲数目分布中可能发生分散; 然而,上述计算在确定引起熔丝断开的脉冲数目中可能是有用的。

[0225] 提出三种方法 (A)、(B) 和 (C) 来根据  $E = W*s = V*A*s$  的关系 (其中  $E$  代表能量;  $W$  代表电功率;  $V$  代表电压;  $A$  代表电流; 且  $s$  代表时间) 通过积累  $E'(1)$ 、 $E'(2)$ ...  $E'(n)$  而建立上述关系  $E'(1+2+...+n) \geq E$ , 其中方法 (A) 是对于每个脉冲减少时间长度 (或宽度), 方法 (B) 是对于每个脉冲减小电流  $A$  或电压  $V$ , 且方法 (C) 是方法 (A) 和 (B) 的组合。

[0226] 而且,方法 (C) 涉及根据断开来设置每个脉冲的能量,其中时间除“ $n$ ”,且电流 (或电压) 除“ $m$ ”从而能量除“ $n*m$ ”,且因此减小到  $1/(n*m)$ 。为了方便,在  $n = n*m$  的假设下进行后面的描述。

[0227] (A) 时间长度 (或时间) 除“ $n$ ”从而对脉冲建立  $s \geq s'(1), s'(2), \dots, s'(n)$  且  $s \leq s'(1)+s'(2)+\dots+s'(n)$  的关系。这表示对于脉冲  $E'(1) = E*s'(1)/s$ ,  $E'(2) = E*s'(2)/s, \dots, E'(n) = E*s'(n)/s$ ; 因此  $E'(1), E'(2), \dots, E'(n) \leq E$ , 且  $E'(1+2+...+n) \geq E$ 。

[0228] (B) 电流除“ $n$ ”从而对于脉冲建立  $A \geq A'(1), A'(2), \dots, A'(n)$  且  $A \leq A'(1)+A'(2)+\dots+A'(n)$  的关系。这表示对于脉冲  $E'(1) = E*A'(1)/A$ ,  $E'(2) = E*A'(2)/A, \dots, E'(n) = E*A'(n)/A$ ; 因此  $E'(1), E'(2), \dots, E'(n) \leq E$ , 且  $E'(1+2+...+n) \geq E$ 。可以类似地分割电压因为  $V = A*R$  (其中  $R$  代表熔丝电阻,其假定为

常数)。

[0229] (C) 方法 (C) 是方法 (A) 和 (B) 的组合。即, 时间长度和电流 (或电压) 都被均匀除“n”, 从而对于脉冲建立上述  $s \geq s'(1), s'(2), \dots, s'(n)$  且  $s \leq s'(1) + s'(2) + \dots + s'(n)$  的关系和上述  $A \geq A'(1), A'(2), \dots, A'(n)$  且  $A \leq A'(1) + A'(2) + \dots + A'(n)$  的关系。这表示对于脉冲  $E'(1) = E * s'(1) / s * A'(1) / A, E'(2) = E * s'(2) / s * A'(2) / A, \dots, E'(n) = E * s'(n) / s * A'(n) / A$ ; 因此,  $E'(1), E'(2), \dots, E'(n) \leq E$ , 且  $E'(1+2+\dots+n) \geq E$ 。

[0230] (1) 实例 A

[0231] 图 1 示出了关于熔丝断开率与引起熔丝断开的脉冲数目的实验结果, 每个熔丝被通过把时间长度除“n”而实现的 n 个脉冲所断开。图 1 示出了随着每个脉冲时间长度变短, 引起断开的脉冲数目增加; 然而能够以每个都具有减小的时间长度的预定数目的脉冲引起断开。即, 证实了每个熔丝被多个施加到其上的脉冲完全断开。

[0232] 通过基于图 1 所示的实验结果的进一步分析, 知道任何类型的熔丝每个都被时间长度设为 1200ns 具有能量 E(1200) 的单个脉冲所完全断开。

[0233] 时间长度为 860ns 的单个脉冲向熔丝施加能量  $E(860) = E(1200) * 860 / 1200$ , 大致地,  $E(860) = 0.717 * E(1200)$ 。这表明每个都具有能量 E(860) 的两个脉冲之和可以满足  $E'(1+2) \geq E$  的关系。在实践中, 大约 80% 的熔丝每个被具有能量 E(860) 的单个脉冲断开。图 1 示出了在剩余的 20% 的熔丝中, 仅 10% 的熔丝每个都被两个脉冲断开, 且仅 8% 的熔丝每个都被三个脉冲断开。

[0234] 由于制造因素的波动而导致上述现象的发生, 该制造因素例如熔丝的尺寸和厚度、晶粒的形状和尺寸、蚀刻中的侧壁形状变化、围绕熔丝的绝缘膜的厚度和温度、晶片上芯片位置、批量晶片的定位、处理批次的日期差异、器件加工差异等。这引起破碎性方面的涉及熔丝的制造因素的分散。

[0235] 假设在理想条件下引起断开的最小能量可以设为 E(860); 然而, 由于破碎性方面的熔丝制造因素的波动, 可靠引起断开所需的最小能量可以设为 E(1200)。

[0236] 进行了实验以确定向熔丝施加脉冲的计时, 其中每个脉冲以从几秒到几十秒的预定时间间隔施加到每个熔丝, 这保证了每个熔丝在被先前施加的脉冲加热之后可靠地冷却下来。

[0237] 如果脉冲在其热量消散之前被连续施加到每个熔丝, 由于连续施加的脉冲而在每个熔丝中积聚热, 从而每个熔丝容易断开。为了避免这样的错误结果, 进行了实验使得脉冲 (m-1) 和脉冲 m 之间的时间间隔可以任意设置, 其中  $2 \leq m \leq n$ 。

[0238] 根据图 1 所示的断开率的分布, 知道可以在关于具有实现能量 E(600) 的相对短时间长度的每个脉冲所画出的线中发现熔丝的波动。图 1 示出了在图 1 所画出的五条线中, 关于具有相应于具有能量 E(1200) 的每个脉冲时间长度一半的能量 E(600) 的脉冲的线, 在“2”处 (见图 1 的水平轴) 显示了最高的百分比, 即 70% 或以下。这表示上述关系  $E'(1+2) \geq E$  成立。看起来每个都被具有能量 E(600) 的两个脉冲断开的熔丝的数目变成最高的。假设如果在尺寸和制造因素中不发生波动, 所有熔丝每个都可以被具有能量 E(600) 的两个脉冲断开。

[0239] 每个都具有较短时间长度的关于脉冲的能量 E(480) 的线在分布上展宽, 其中没有熔丝保持不被断开。这保证了通过增加施加到熔丝上的脉冲的数目而可靠断开所有每个

熔丝。能量  $E(480)$  低于能量  $E(1200)$ ，相差  $0.4 (= 480/1200)$  的因子，其倒数为 2.5。即，基于具有能量  $E(480)$  的三个脉冲的施加，可以建立上述  $E'(1+2+\dots+n) \geq E$  的关系；换言之，假定每个熔丝被连续施加到其上的三个脉冲完全断开。

[0240] 图 1 示出了关于断开率分布的峰值出现在水平轴的“7”处，表示连续施加到每个熔丝的七个脉冲。此数目与假定数目即“3”很不同，因为每个脉冲由于其前沿 (leading edge) 的延迟而不具有完全的矩形波形，该延迟可能是由包括在电源电路、测试电路、LSI 器件的内部电路、导线等中的电导和电感所引起的。

[0241] 在图 14 中，曲线 C1 代表引起熔丝断开的脉冲的电势变化，且曲线 C2 代表被施加到其上的脉冲断开的熔丝的电势变化。

[0242] 曲线 C1 基本上具有矩形波形，其中脉冲的电势在前沿迅速增加达到预定常数水平且然后在后沿 (trailing edge) 突然降低。这显示出脉冲的前沿可以变钝化 (dull)。在实际中，脉冲的前沿由于包括在用于噪音消除的目的的电路中的小电容而变得进一步钝化。

[0243] 曲线 C2 示出了在脉冲的前沿处电流被迫流过熔丝从而引起电势迅速降低；然后，电势保持常数一会；此后，当熔丝断开时，电势突然降到 0[V]；此后，电势保持在基本为零。

[0244] 由于引起熔丝断开的脉冲钝化的前沿，其时间长度设为 480ns 或 250ns 的脉冲必须在断开电势保持常数一段时间之前降低电势。图 1 所示的实验结果是根据其中流过熔丝的电流到达常数断开电势的前述缺点而得到的。

[0245] 上述预言表示，基于  $E'(1+2+\dots+n) \geq E$  的关系，每个熔丝可以被具有能量  $E(480)$  的三个脉冲完全断开。然而，图 1 的实验结果与预测的很不同，其中关于  $E(480)$  的线，在水平轴的“7”处出现峰值。

[0246] 这可能表示每个熔丝被每个都具有能量  $E(1200)$  的  $1/7$  的多个脉冲完全断开；换言之，每个熔丝被具有能量  $E(480)$  的七个脉冲完全断开。

[0247] 时间长度设为 250ns 的每个脉冲具有能量  $E(250)$ ，其与能量  $E(1200)$  比较减小了  $0.21 = 250/1200$  的因子，其倒数为 4.8。这表示每个熔丝被具有能量  $E(250)$  的五个脉冲完全断开。然而，图 1 示出了关于  $E(250)$  的线断开率分布的峰值出现在水平轴的“15”处。

[0248] 可以基于图 1 所示的实验结果假设每个具有能量  $E(250)$  的脉冲可以实际具有能量  $E(1200)$  的  $1/15$ 。即，每个熔丝被每个具有能量  $E(1200)$  的  $1/15$  的多个脉冲完全断开；换言之，每个熔丝被具有能量  $E(250)$  的十五个脉冲完全断开。

[0249] (2) 实例 B

[0250] 上述结果可以表明其中电流或电压除“n”的方法 (C) 对于熔丝断开很有效。如上所述，通过分割总时间长度而减少了施加到熔丝上的脉冲能量，且该脉冲能量也通过分割电流或电压而减少。

[0251] 可靠引起断开所需的最小能量设为  $E(1200)$ 。这可以表明具有能量  $E(480)$  的每个脉冲可以具有将施加到每个熔丝的能量  $E(1200)$  的  $1/2.5$ 。图 1 的实验结果示出每个能量  $E(480)$  实际具有能量  $E(1200)$  的  $1/7$ ，因为其由于电流或电压的降低而被减弱了；因此，每个熔丝被每个都具有低能量的多个脉冲完全断开。类似地，计算出具有能量  $E(250)$  的每个脉冲可以具有能量  $E(1200)$  的  $1/4.8$ ；然而，在实际中，能量为  $E(250)$  的每个脉冲具有能量  $E(1200)$  的  $1/15$ ，因为其由于电流或电压的降低而减弱；因此，每个脉冲被每个都具有非常

低能量的多个脉冲完全断开。

[0252] 而且,脉冲波形可以任意选择;因此,可能使用例如矩形波形、正弦波形、和两相或三相的交替波形。

[0253] (3) 实例 C

[0254] 基本与图 3 匹配的图 15 示出对于涉及施加到熔丝上的脉冲的各种电流值的熔丝断开率与断开时间之间的关系,其中断开时间是脉冲宽度与脉冲数目的乘积。根据关于 70mA 的电流所画出的线,约 90%的熔丝每个都被单个脉冲断开;且剩余的 10%熔丝每个都被两个脉冲断开。图 3 清楚地示出所有熔丝完全断开,即使断开时间随着电流变小从 60mA 到 50mA 到 40mA 而变长。可以通过减小电流(或电压,因为  $V = A * R$  的关系,其中熔丝电阻  $R$  是常数)而减小每个脉冲的能量;因此,可以任意设置连续施加到每个熔丝上的脉冲数目。

[0255] 基于图 15 所示的实验结果,834 个脉冲引起完全的熔丝断开,每个脉冲具有 1200ns 的脉冲宽度,根据 1000ms 的断开时间和 40mA 的断开电流。根据图 15 中 10000ms 的最长断开时间,40000 个脉冲引起完全的熔丝断开,每个脉冲具有 250ns 的脉冲宽度。

[0256] 允许熔丝断开的脉冲数目必须为两个或多个且不受限制;然而,图 15 可以显示脉冲数目从“1”到“40000”变化。

[0257] 根据上述关于脉冲能量之和的关系,需要建立  $E'(1), E'(2), \dots, E'(n) \leq E$  的关系;然而,不总是需要设定每个  $E'(1), E'(2), \dots, E'(n)$  都基本等于  $E/n$ 。简言之,上述实验结果示出不需要  $n$  个脉冲的每个都具有相同能量。

[0258] 接着,将参考图 16A 和 16B 所示的流程图描述根据本实施例的熔丝断开方法,其中脉冲被连续施加到目标熔丝预定断开时间  $T$ ,即  $T(1) = 0.10\text{ms}$ ,  $T(2) = 0.15\text{ms}$ ,  $T(3) = 0.25\text{ms}$ ,  $T(4) = 0.50\text{ms}$ ,  $T(5) = 1.0\text{ms}$ ,  $T(6) = 3.0\text{ms}$ ,  $T(7) = 5.0\text{ms}$ ,  $T(8) = 10\text{ms}$ ,  $T(9) = 30\text{ms}$ ,  $T(10) = 50\text{ms}$ ,  $T(11) = 100\text{ms}$ ,  $T(12) = 300\text{ms}$ ,  $T(13) = 500\text{ms}$ , 和  $T(14) = 1000\text{ms}$ 。

[0259] 本实施例的熔丝断开方法设计为以连续的方式改变脉冲宽度。即,在步骤 S21 中设置目标熔丝的断开条件;在步骤 S22 中它们被确认并存储在存储器中;在步骤 S23 中测量目标熔丝的初始电阻;然后,脉冲被重复施加到目标熔丝同时测量其电阻直到断开(见步骤 S24 到 S30)。由该熔丝断开方法产生的结果在图 17 中示出。

[0260] 即使当以连续方式改变脉冲宽度时,从图 17 证实熔丝被多个脉冲可靠断开。对于 45mA 或以上的脉冲电流,大多数熔丝每个都在 0.1ms 或以下的短时间内被脉冲断开;因此,可能不需要以连续方式增加脉冲宽度。相反,对于较小脉冲电流,其中脉冲宽度以连续方式增加的上述方法能够充分工作从而实现熔丝断开。

[0261] 简言之,对于分割脉冲的较大数目“ $n$ ”,图 15 示出了需要 40000 个 250ns 的脉冲实现 10000ms 的累计断开时间,且通过例如采用每 500ns 周期发射的 250ns 的脉冲,该累计断开时间可以进一步增加到 20000ms。换言之,可以通过连续增加脉冲宽度而减小脉冲之间的时间间隔。当每个时间间隔设为 250ns 时,采用十六个脉冲的累计时间是 10000ms;且这表明总时间计算为  $10000 + (0.250 * 16) = 14000\text{ms}$ ;因此,共可以节省 6000ms。

[0262] 上述在连续施加到目标熔丝的脉冲中,与先前脉冲宽度相比增加下一脉冲宽度的方法具有如下优点:

[0263] 通常来说,由于脉冲所引起的热,熔丝电阻倾向于随时间增加。因此,由于熔丝电

阻的增加,在采用恒定电压(例如  $V_{dd} = 5.0V$ )产生脉冲的预定条件下,每个脉冲的电功率倾向于随着脉冲数目的增加而降低。

[0264] 恒定电流源可能是有利的,由于流过目标熔丝的恒定电流,每个熔丝的能量不会随着熔丝电阻的增加而降低。然而,可以通过采用根据熔丝电阻的增加连续增加脉冲宽度从而保证每个脉冲的恒定能量的方法而可靠地引起熔丝断开。

[0265] 例如,脉冲宽度(每个由  $T_p$  表示)以因子 2、2.5、4 和 5 连续且均匀地增加;因此  $T_p = A \times n$ (其中  $A$  代表任意选择的常数)。因子可以自由确定。例如,脉冲宽度以指数形式连续增加;因此,  $T_p = A \times n^x$ (其中  $x$  代表任意选择的常数例如 2 和 2.5)。作为选择,脉冲宽度的数位可以连续增加;因此  $T_p = 10^n$ ,  $T_p = A^n$ , 或  $T_p = n \cdot A^n$ (其中  $n$  代表任意选择的整数)。

[0266] 此外,连续脉冲之间的时间间隔  $T_{int}$  可以固定为常数;或者  $T_{int} = B$ (其中  $B$  代表任意选择的常数)。此外,时间间隔  $T_{int}$  可以设为等于脉冲宽度  $T_p$ ;因此,  $T_{int} = T_p$ 。作为选择,时间间隔  $T_{int}$  可以相应于上述脉冲宽度  $T_p$  而改变。

[0267] 脉冲宽度  $T_p$  与时间间隔  $T_{int}$  之间的关系可以根据表 1 而确定,已结合第一实施例在上面对其描述。

[0268] 接着,将详细描述采用脉冲的熔丝断开电路。

[0269] 图 18 示出熔丝断开电路的第一实例;其中具有脉冲的断开信号连续施加到晶体管 102 的栅极直到发生熔丝断开,从而晶体管 102 导通,以使得脉冲通过其漏极而流过熔丝 101。脉冲连续流过熔丝 101 从而引起断开。

[0270] 采用脉冲发生器(未示出)产生上述断开信号,该脉冲发生器产生其间具有预定时间间隔的具有预定宽度的脉冲并通过例如 AND 电路传送它们。

[0271] 根据上述公式 (1),熔丝电流  $I_{fuse}$  依赖于熔丝电阻  $R_{fuse}$ 、导通电阻  $R_{on}$  和驱动电压  $V_{dd}$ 。此外,熔丝电流  $I_{fuse}$  在上述公式 (3) 中定义,其表明随着晶体管 102 的驱动能力变高,导通电阻  $R_{on}$  降低。即,为了增加熔丝电流  $I_{fuse}$ ,需要降低导通电阻  $R_{on}$ ,然而该导通电阻是在晶体管 102 的设计阶段预先确定的且依赖于栅极尺寸和栅极宽度。

[0272] 一旦熔丝断开发生,由于施加到其上的断开信号,晶体管 102 不能使漏极电流通过熔丝 101 流动。

[0273] 图 18 的熔丝断开电路包含单个熔丝 101;然而,可以提供多个熔丝以形成熔丝阵列。在此情形,可以为多个熔丝设置单个晶体管。作为选择,可以为多个熔丝分别设置多个晶体管,其中它们的栅极接收选择信号从而实现熔丝的选择。

[0274] 晶体管 102 不必构建为 MOSFET。即,可以采用多个晶体管以提高断开电流。此外,晶体管 102 能构建为 CMOS 晶体管。作为选择,可以引入锁闭电路以产生多个断开电流。当然,可以采用具有高电流驱动能力的双极晶体管。

[0275] 可以引入脉冲发生器(未示出)以产生施加到熔丝 101 的与系统时钟信号同步的脉冲。这里,可以使用分频器(frequency divider)来提高或降低时钟频率。此外,可以额外引入延迟电路以调节时序的同步。

[0276] 简言之,可以采用任何类型的电路,其每个都能向熔丝 101 施加连续脉冲。此外,可以使用用于探测关于熔丝 101 的断开和非断开状态的断开探测电路或者用于探测实现熔丝 101 断开的最后施加的脉冲的序列号的电路。因此,可以改进熔丝断开电路以反馈断

开探测电路的输出信号,从而当探测到断开状态时停止施加脉冲。此功能可以以编程的方式实现。

[0277] 图 19 示出了熔丝断开电路的第二实例,其包括除了熔丝 101 还具有两个输入端子的 AND 电路 103 和晶体管 102。AND 电路 103 的输出端子连接到晶体管 102 的栅极。

[0278] 图 19 的熔丝断开电路允许在断开信号的 ON 周期(或者高水平周期)中时钟信号(包括脉冲)连续施加到晶体管 102 的栅极;因此,脉冲相应施加到熔丝 101 以断开。

[0279] 例如,可以引入用于探测熔丝 101 的断开和非断开状态的断开探测电路或者用于探测实现断开的最后施加的脉冲的序列号的电路。上述电路的输出信号被反馈作为断开信号,其水平变高直到熔丝断开,且然后在熔丝断开后变低。这允许脉冲连续施加到熔丝 101 直到断开。

[0280] AND 电路 103 可以被逻辑电路或例如反相器、NAND 电路、OR 电路和 NOR 电路的逻辑电路组合所取代,以改进施加到晶体管 102 栅极的脉冲。此外,可以引入产生各种断开信号的可编程电路,因此向复杂图案的熔丝 101 施加脉冲。

[0281] 图 20 示出了熔丝断开电路的第三实例,其构建得类似于图 19 的熔丝断开电路,其中 AND 电路 103 的第一输入端子接收断开信号,且晶体管 102 的漏极电流被反馈回 AND 电路 103 的第二输入端子,且 AND 电路 103 的输出信号被施加到晶体管 102 的栅极。可以引入脉冲发生器(未示出)用于产生脉冲作为输入到 AND 电路 103 的断开信号。

[0282] 在上述中,在熔丝 101 与晶体管 102 的漏极之间的连接点处的电势变高,直到熔丝 101 断开。在这样的高电平周期内,包括在断开信号内的脉冲通过 AND 电路 103 被连续施加到晶体管 102 的栅极;因此,相应的脉冲从晶体管 102 的漏极被反复施加到熔丝 101。当熔丝 101 断开时,熔丝 101 与晶体管 102 漏极之间的连接点处的电势变低。这样的低电势被反馈到 AND 电路 103 的第二输入端子。这使得 AND 电路 103 的输出信号与断开信号无关地变低;因此,晶体管 102 的栅极被强制设为低。

[0283] 图 20 的熔丝断开电路具有优势,因为不需要用于探测熔丝 101 的断开和非断开状态的断开探测电路。即,熔丝断开电路可以简化结构;因此,可以减小总芯片尺寸。此外,晶体管 102 不需要进行复杂操作,其中它仅在熔丝 101 的非断开状态导通,且不需要在熔丝 101 的断开状态导通。这消除了对作为晶体管 102 的具有大栅极区的 MOSFET 充电的不必要的功耗。

[0284] 图 20 的熔丝断开电路设计得使在非断开和断开状态中变高和变低的电势直接反馈到 AND 电路 103 的第二输入端子。可以额外引入用于稳定电势的稳定电路或用于探测电势的电势探测电路,通过其电势被反馈到 AND 电路 103。此外,可以把电势反馈到用于产生形成断开信号的脉冲的脉冲发生器;因此,断开信号例如根据低电势而停止。

[0285] 在上述中,AND 电路 103 可以被逻辑电路或例如反向器、NAND 电路、OR 电路和 NOR 电路的逻辑电路的组合所取代,从而改进施加到晶体管栅极的脉冲。此外,可以引入产生各种类型断开信号的可编程电路,因此向处于复杂图案的熔丝 101 施加脉冲。

[0286] 图 21 示出了熔丝断开电路的第四实例,其中具有三个输入端子的 AND 电路 103 用于晶体管 102 的栅极。

[0287] 类似于上述熔丝断开电路,熔丝 101 与晶体管 102 的漏极之间的电势保持为高,直到熔丝 101 断开。在这样的高电势周期内,AND 电路 103 基于断开信号和时钟信号而向晶

晶体管 102 的栅极提供脉冲；因此，相应的脉冲从晶体管 102 的漏极被重复施加到熔丝 101；因此，熔丝 101 最终断开。

[0288] 当熔丝 101 断开时，电势变低且被反馈到 AND 电路 103 的一个输入端子，从而提供到晶体管 102 的栅极的 AND 电路 103 的输出信号与断开信号无关地被保持为低。

[0289] 在上述中，AND 电路 103 可以被逻辑电路或例如反向器、NAND 电路、OR 电路和 NOR 电路的逻辑电路的组合所取代，从而改进施加到晶体管栅极的脉冲。此外，可以引入产生各种类型断开信号的可编程电路，因此向处于复杂图案的熔丝 101 施加脉冲。

[0290] 脉冲不必与时钟信号同步施加到熔丝 101，该时钟信号可以被系统的时钟信号所取代。可以引入分频器以提高或降低时钟频率；或者可以引入调整时序同步的延迟电路。相应于非断开和断开状态而变高和变低的电势不一定直接反馈到 AND 电路 103。即，可以引入用于稳定相应于断开和非断开状态的电势的稳定电路或用于探测该电势的电势探测电路，通过其电势被反馈到 AND 电路 103，因此稳定其操作。作为选择，电势可以被反馈到用于产生形成断开信号的脉冲的脉冲发生器，因此该断开信号停止在断开状态中。

[0291] 图 22 示出了熔丝断开电路的第五实例，其中熔丝 101 被多个脉冲断开，且其具有允许关于熔丝 101 的断开的信息读出的存储器功能。与图 21 的熔丝断开电路相比，图 22 的熔丝断开电路还包括用于输入信息读出信号、时钟信号和出现在熔丝 101 与晶体管 102 的漏极之间的电势的 AND 电路 132。

[0292] 在熔丝 101 断开之前，熔丝 101 被施加有驱动电压 Vdd，从而高电势施加到 AND 电路 132。当具有高电平的信息读出信号被施加到 AND 电路 132 上，AND 电路 132 输出与高电平的时钟信号同步的高电平的信息信号。

[0293] 当熔丝 101 断开时，低电势被施加到 AND 电路 132，这依次输出低电平的信息信号，即使当信息读出信号和时钟信号均变高时。

[0294] 由于图 22 的熔丝断开电路允许关于熔丝 101 的断开信息被输出，AND 电路 103 不需要包括关于断开状态的反馈。当然，可以改进图 22 的熔丝断开电路以包括关于断开状态的反馈。

[0295] 图 23 示出了熔丝断开电路的第六实例，其中采用“m”个熔丝电路（例如包括熔丝 Fuse-1、Fuse-2 和熔丝 Fuse-m 以及晶体管 Tr-1、Tr-2 和 Tr-m 的熔丝电路 111、112 和 113）来构建熔丝阵列，该熔丝阵列排列成矩阵形并通过熔丝选择电路 114 适当选择；且信息读出电路 115 读出关于从 m 个熔丝电路中选择出的每个熔丝电路的断开信息。这里，熔丝阵列包括由 Fuse-1、Fuse-2、...、和 Fuse-m 表示的 m 个熔丝。这允许 n 个脉冲同时施加到每个熔丝 Fuse-1、Fuse-2、...、Fuse-m。如果  $m \leq n$ ，可以减小电源电路的负载，因为引起熔丝断开所需的小电能；因此，可以使电路设计容易。与其中脉冲独立施加到熔丝的常规电路相比，向熔丝施加脉冲的总时间可以减少到  $1/m$ 。

[0296] 当  $m = n/5$  时，电能的总量可以减少到简单电路所需的电能的  $1/5$ ，因为 m 个熔丝同时被脉冲断开。因此，可以减小电源系统的负载，且可以使多个熔丝同时断开；因此，与常规电路相比，总时间损失可以减少到  $1/m$ 。

[0297] 接着，将参考图 24 和图 25A-25E 描述包括熔丝及其相关电路的半导体器件的制造方法。

[0298] 图 24 是示出包括熔丝及其相关电路的 CMOS 集成电路的平面图。该 CMOS 集成电



路包括有源区、MOSFET 的栅电极 G、熔丝 F、接触孔、和导线,所有均形成在半导体衬底表面上。

[0299] 图 25A 到 25E 是沿图 24 的线 A-A 所取的截面图,其中依次进行六个步骤以产生图 24 的 CMOS 集成电路的结构。

[0300] 如图 25A 所示,进行 LOCOS 方法以在半导体衬底的表面上形成场氧化物膜和栅氧化物膜,每个都具有预定厚度,其中形成 p 阱与 MOSFET 区相连,且形成与熔丝相连的 n 阱。

[0301] 例如,形成由 SiN 构成的 15nm 厚的掩膜(未示出)以覆盖半导体衬底的整个表面,该半导体衬底已经预先被 50nm 厚的热氧化物薄膜所覆盖。该掩膜从选定区域中除去但仍保留在用于 MOSFET 形成的有源区中。该掩膜防止氧化物膜形成在半导体衬底的表面上。进行高温热氧化来氧化选定区域,掩膜从该区域除去,从而形成 500nm 厚的“厚”场氧化物膜。当在场氧化物膜形成之后除去该掩膜时,基本上没有氧化物膜形成在被 SiN 所构成的掩膜所覆盖的有源区中,但薄氧化物膜可以保留在有源区中。

[0302] 接着,应用稀释的氢氟酸以从用于 MOSFET 形成的有源区除去薄氧化物膜;然后,再次进行热处理以形成“薄”栅氧化物膜。

[0303] 至于栅氧化物膜,例如可以采用使用氧化硅膜的单层结构、使用具有高介电常数的预定材料的氧化硅膜和氮化硅膜的双层结构、或者使用氧化钽膜和氧化硅膜的双层结构。可以采用三层结构,其中氮化硅膜插入在两层氧化硅膜之间,其中氮化硅膜可以被氮氧化硅(silicon oxide nitride)膜取代。

[0304] 可以通过在氮气中或者包括 NO<sub>x</sub> 的氮气的混合气体中在预先形成的氧化物膜上进行热氮化而形成氮化硅膜。在氮化硅膜插入在两层氧化硅膜之间的三层结构的情形,通过等离子体激发 CVD 法或通过采用电子回旋共振(ECR)等离子体的 CVD 法,采用包括 NO<sub>x</sub>、原硅酸四乙酯(TEOS)、氧(O<sub>2</sub>)或臭氧(O<sub>3</sub>)的混合气体形成氮化硅膜(或氮氧化硅膜)。

[0305] 然后,在氧氛围中对通过热氮化和 CVD 方法形成的氮化物膜进行热氧化,因此产生其中氮化硅膜插入在两层氧化物膜之间的三层结构。而且,可以任意选择形成具有高介电常数的栅绝缘膜的材料和厚度。

[0306] 如图 25A 所示,关于熔丝 F 形成需要预先形成导电类型与半导体衬底的导电类型相反的阱;例如,n 阱形成在 p 型半导体衬底中。由于 n 阱的形成,即使当待断开的熔丝 F 的加热引起对半导体衬底的破坏时,也可以防止不期望的漏电流在半导体衬底中流动。此外,熔丝 F 和场氧化物膜可以用作电容介电膜,其依次与半导体衬底形成非常小的电容。由于 n 阱的形成,可以避免不期望的朝熔丝 F 下的半导体衬底的电荷移动。相反,p 阱对于 n 型半导体衬底有效工作。

[0307] 图 25A 示出了在有源区中 n 沟道 MOSFET 的形成。为了简化,图 25A 没有示出 p 沟道 MOSFET 的形成。当然,本实施例的制造方法可以容易地应用于 p 沟道 MOSFET 的形成或其他类型互补 MOSFET(或 CMOS 电路)的形成。

[0308] n 沟道 MOSFET 和 p 沟道 MOSFET 两者均可以包括在 CMOS 电路的结构中,其中在场氧化物膜形成之前,具有两种导电类型的阱预先形成在半导体衬底上。在 p 型硅衬底的情形,例如,对于 p 沟道 MOSFET 的形成而形成 n 阱。

[0309] n 沟道 MOSFET 和 p 沟道 MOSFET 的栅电极可以在多晶硅-金属硅化物蚀刻之前通过相同的工艺形成。为了分别形成两种导电类型的 MOSFET,对于涉及低浓度区域的 LDD 形成

和对于涉及用作源极和漏极的高浓度区形成的离子注入,需要使用不同类型的离子杂质。

[0310] 为了实现期望的阈值电压,可以在图 25A 所示的步骤中定义有源区之后引入预定浓度的杂质到沟道区。作为选择,可以引入适当杂质到相应于 n 沟道 MOSFET 的栅电极或 p 沟道 MOSFET 的栅电极的预定区,因此改变栅电极的功函数 (work function)。离子注入通常用于实现上述杂质的引入。

[0311] 如图 25B 所示,在第一多晶硅层形成之后,可以引入适当杂质到预定区(相应于 n 沟道 MOSFET 的栅电极或者 p 沟道 MOSFET 的栅电极)。

[0312] 在上述中,场氧化物膜通过 LOCOS 法形成在硅衬底上,该方法可以改变为其他隔离方法例如关于有源区形成的 STI (shallow trench isolation, 浅沟槽隔离) 法。在此情形,场氧化物膜可以通过热氧化方法以外的适合于绝缘膜形成的各种方法形成。

[0313] 半导体衬底不必限制于硅衬底;因此,其可以通过采用包括 SiGe 和 GaAs 的 IV-IV 化合物形成。有源元件不必限制于 MOSFET;因此,可以采用例如 HEMT 型、双极型、和 SIT 型的有源元件。

[0314] 图 25B 示出了多晶硅淀积工艺,其中多晶硅层通过 CVD 法淀积在半导体衬底的整个表面上。多晶硅层采用  $\text{SiH}_4$  (20%) 和  $\text{N}_2$  (80%) 的混合气体在 200sccm 流速、30Pa 的压力和 600°C 的温度下形成。当半导体衬底的温度大大减少到上述温度以下时,非晶硅生长取代多晶硅。然而,通过加热半导体衬底,非晶硅结晶并转变为多晶硅。因此,可以选择性地采用非晶硅或多晶硅。

[0315] 多晶硅层的厚度从 20nm 到 1000nm 优选从 80nm 到 200nm 变化。

[0316] 接着,在从 800°C 到 900°C 变化的预定扩散温度进行杂质扩散工艺,从而以约  $10^{20}\text{cm}^{-3}$  的预定杂质浓度在多晶硅层上均匀地扩散磷。杂质扩散工艺可能意外地形成高浓度掺磷氧化硅膜,其采用缓冲的氢氟酸除去,因此实现多晶硅层表面的清洁。

[0317] 接着,在多晶硅层上淀积高熔点金属硅化物层、金属层、或金属合金层。

[0318] 在高熔点金属硅化物的淀积工艺中,例如,选择诸如硅化钨 ( $\text{WSi}_x$ ) 的高熔点金属硅化物并通过溅射或 CVD 法淀积,从而以共形 (conformal) 的方式覆盖多晶硅层及其相关部分(例如介电膜)。

[0319] 采用  $\text{WSi}_x$  靶进行溅射,其组分可以任意确定。根据硅化物的性质,“x”设定在  $1.5 \leq x \leq 3.5$  的范围,优选在  $2.0 \leq x \leq 3.0$  的范围。例如,在  $\text{WSi}_{2.7}$  (即  $x = 2.7$ ) 的情形,采用 DC 磁控管溅射设备在预定淀积条件下,即 3mTorr 压力、30sccm 的 Ar 气流、200°C 的衬底温度和 1150W 的功率下进行溅射。淀积的厚度从 25nm 到 500nm 优选从 80nm 到 200nm 变化。

[0320] 采用六氟化钨 ( $\text{WF}_6$ ) 和硅烷 ( $\text{SiH}_4$ ) 的混合气体进行 CVD 方法从而根据下面化学方程实现  $\text{WSi}_2$  的淀积。



[0322] 采用  $\text{MoSi}_x$ 、 $\text{TiSi}_x$  和  $\text{TaSi}_x$  形成高熔点金属硅化物层。这里,采用组分任意确定的金属硅化物形成溅射靶。通过使用高熔点金属例如 Mo、Ti、Ta、和 W 以及通过使用过渡金属例如 Co、Cr、Hf、Ir、Nb、Pt、Zr 和 Ni,高熔点金属硅化物可以被预定的金属或预定的金属合金所取代。

[0323] 上述层可以被进行热处理从而引起与多晶硅层的反应,因此通过硅化工艺形成金

属硅化物。

[0324] 在高熔点金属硅化物层的淀积完成之后,在层间绝缘膜的形成之前进行热处理,因此减小熔丝和包括高熔点金属硅化物的多晶硅硅化物栅电极的电阻。上述热处理防止金属硅化物和多晶硅层由于后续施加到金属硅化物的热处理例如由于在层间绝缘膜形成之后进行的淬火热处理而意外地彼此分离。

[0325] 可以在从 800°C 到 1150°C 优选从 900°C 到 1000°C 变化的预定温度下,采用扩散炉或者通过快速热退火 (RTA) 实现热处理。对于扩散炉,在从 5 分钟到 90 分钟优选从 15 分钟到 30 分钟变化的预定时间周期内进行热处理。对于 RTA,在从 1 秒到 120 秒优选从 5 秒到 30 秒变化的预定时间周期内进行热处理。在本实施例中,RTA 在 1100°C 进行 10 秒。

[0326] 而且,热处理在栅电极构图之后或与侧分隔件的形成同时进行。

[0327] 在热处理完成之后,可以形成抗反射膜,其对于精细栅电极和熔丝的加工可能是需要的。当然,不一定需要抗反射膜且因此在图中未示出。

[0328] 具体地,对 TiN 或  $TiO_xN$  (其中为氧元素设定的比例  $x$  从 5atm% 到 30atm% 优选从 10atm% 到 15atm% 变化) 进行淀积,从而形成厚度从 10nm 到 100nm 优选从 30nm 到 60nm 变化的抗反射膜。即,通过使用 DC 磁控管溅射设备在溅射气体 (即 Ar、 $N_2$  和  $O_2$  的混合气体) 中进行使用 Ti 靶的反应溅射。抗反射膜减少在栅电极和熔丝表面上的硅化物元件上的光反射。可以进行光刻。抗反射膜可以在上述热处理之前进行;因此,抗反射膜在精细的栅电极和熔丝的处理完成之后被除去,然后,进行热处理。

[0329] 如图 25C 所示,仍然保持未构图的一部分介电膜用作掩膜,从而在第一和第二多晶硅层和金属 (或金属硅化物元件) 上进行构图,因此形成栅电极。

[0330] 在上述中,光致抗蚀剂应用到高熔点金属硅化物层的表面上;之后,该光致抗蚀剂被进行选择曝光然后被除去,因此留下覆盖相应于 MOSFET 的栅电极 G 和熔丝 (以及导线 M, 未示出) 的预定区域的预定光致抗蚀剂图案。该光致抗蚀剂图案用作蚀刻掩膜,从而通过使用 ECR 等离子体蚀刻设备 (由日本的 Sumitomo Metal Industry Co. 制造) 在下面的条件下进行多晶硅-硅化物蚀刻。

[0331] 蚀刻气体:  $Cl+O_2$  气体

[0332] 气体流量: 25sccm, 和 11sccm

[0333] 压力: 约 2mTorr

[0334] RF 功率: 40W

[0335] RF 频率: 13.56MHz

[0336] 微波功率: 1400W

[0337] 微波频率: 2.45GHz

[0338] 电极温度: 15°C 到 20°C

[0339] 结果,未被光致抗蚀剂图案掩盖的高熔点金属硅化物层和多晶硅层被进行选择蚀刻,从而 MOSFET 的栅电极 G、熔丝 F、和导线 M 被同时形成。

[0340] 在多晶硅-硅化物和多晶硅蚀刻之后,光致抗蚀剂图案从高熔点金属硅化物层上除去。如图 25C 所示,金属硅化物层形成在多晶硅层上在覆盖栅电极 G、熔丝 F 和导线 M 的预定区域中,因此实现提供多晶硅-硅化物层和多晶硅-硅化物电极的特定结构。

[0341] 接着,如图 25D 所示,仍然保持未进行上述构图的 MOSFET 的栅电极 G 用作掩膜,从

而在有源区中形成具有 LDD 结构的扩散层。

[0342] 在有源区中,具有多晶硅-硅化物层的栅电极 G 用作掩膜,从而通过 n 型离子注入以自对准方式形成 LDD 结构。图 25D 示出 n 沟道 MOSFET 的 LDD 结构;当然,关于 p 沟道 MOSFET,该 LDD 结构可以类似地形成。这允许通过在光刻中使用抗蚀剂掩膜把 n 型离子和 p 型离子独立地注入到不同区域。

[0343] 不应该对形成 p 沟道 MOSFET 的有源区以外的涉及不同元件和导线的区域进行 p 型离子注入。这是因为 n 型离子(例如磷)已在先掺杂进 MOSFET 的栅电极 G 和熔丝 F 的多晶硅-硅化物层,因此它们的薄层电阻可能由于 p 型离子(例如硼)的注入而改变。

[0344] 图 25D 没有具体示出不使用掩膜在晶片的前侧进行 n 型离子注入;因此,n 型离子注入到熔丝 F 上。这可能减小熔丝 F 的电阻从而使熔丝 F 容易断开。采用抗蚀剂图案进行 p 型离子注入,其中通过光刻形成相应于用于 p 沟道 MOS 晶体管形成的有源区的开口,从而不注入 p 型离子到其他区域。

[0345] 如上所述,通过使用用作掩膜的抗蚀剂图案采用限定的方式进行 p 型离子注入。因此,对于 p 沟道 MOSFET 的 LDD 结构进行 p 型离子注入,其方式为在先注入到其上的 n 型离子被新注入到其上的 p 型离子所抵消。

[0346] 接着,如图 25E 所示,对于源区和漏区形成高浓度的扩散层,其方式为形成侧壁分隔件从而以自对准方式完成 LDD 结构的形成,然后,根据图 25D 所示的上述工艺对 MOSFET 进行构图和离子注入。

[0347] 通过使用实现绝缘膜淀积的 CVD 方法和反应离子刻蚀(RIE)而形成该侧壁分隔件。当在实现 LDD 结构的 CVD 执行层上进行回蚀以形成侧壁分隔件时,实现电阻的多晶硅层的表面可能被稍微切掉而引起电阻变化。

[0348] 上述缺陷可以通过适当选择抗反射膜的材料和厚度而解决,因此抗反射膜可以用作承受蚀刻的保护膜从而以高精度实现期望电阻。用作保护膜的抗反射膜可以通过选择蚀刻在侧壁分隔件形成之后除去。抗反射膜不一定除去因为其厚度与硅化物层厚度相比非常薄。即使抗反射膜部分保留不被除去,在制造工艺中也基本上没有问题。

[0349] 在 CMOS 电路结构的情形,进行 p 型离子注入以形成用于源区和漏区的高浓度扩散层,其中需要通过抗蚀剂构图防止 p 型离子注入到其他区域。这是因为高浓度离子注入可以大大影响硅化物层的薄层电阻。

[0350] 可以在图 25E 所示的用于形成用作源区和漏区的高浓度扩散层的离子注入之前或之后引入采用金属硅化物的硅化物工艺。在此情形,可以基本上不改变图 25D 所示的多晶硅-硅化物膜形成工艺而引入改进的硅化物工艺。此外,可以在多晶硅-硅化物膜上形成具有减小的厚度的硅化物膜;且可以简单地实现多晶硅形成的正常的硅化物工艺。

[0351] 当改进的硅化物工艺用于图 25D 所示的多晶硅-硅化物膜形成工艺时,由预定材料构成的反应膜形成在扩散层或多晶硅-硅化物膜上,该预定材料例如依赖于用在改进的硅化物工艺中的预定金属(例如 Ti、Co、Ni 和 TiCo 合金)的  $TiSi_x$  和  $CoSi_x$ 。这里,因为从预先形成在下面的硅化物层的非常小的供应,反应膜可能不会充分生长或者可能厚度大大减小。因此,用于熔丝的多晶硅-硅化物膜可能引起薄层电阻的小变化,且因此基本不改变施加有脉冲的熔丝的断开特性。

[0352] 该硅化物工艺的优点在于由于扩散层减小的薄层电阻,MOS 晶体管可以提高其驱

动能力,因此产生施加到熔丝的高能脉冲,而不改变晶体管的尺寸。

[0353] 当正常的硅化物工艺应用到图 25D 所示的多晶硅-硅化物膜形成工艺以仅实现多晶硅形成(没有硅化物形成)时,由硅化物材料例如  $TiSi_x$  和  $CoSi_x$  构成的反应膜形成在扩散层和多晶硅-硅化物膜上。这建立了其中硅化物膜淀积在多晶硅膜上的多晶硅-硅化物结构,其中形成在多晶硅膜上的金属可以从其吸收 Si 以引起反应,因此形成硅化物膜。因此,与由图 25B 所示的正常工艺所形成的硅化物膜相比,硅化物膜的厚度和薄层电阻可能发生小变化。

[0354] 通过在反应之前调节厚度和调节反应温度,可以调节用于熔丝的硅化物膜的薄层电阻。薄层电阻的变化可以通过调节晶体管的驱动能力和通过相应于熔丝电阻调节脉冲能量而吸收。

[0355] 图 25F 示出了层间绝缘膜、接触孔、W 栓和金属导线的形成。

[0356] 在图 25E 所示的涉及侧壁分隔件和扩散层形成的工艺之后,进行公知的涉及 CMOS 集成电路的制造工艺,从而接着形成层间绝缘膜、接触孔、W 栓(通过嵌入接触孔而实现)、和金属线;最后,形成钝化膜以保护形成在半导体器件表面的电路。

[0357] 具体地,依次淀积例如磷硅酸玻璃(PSG)和硼磷硅酸玻璃(BPSG)的预定材料以覆盖 MOS 晶体管和熔丝,因此形成厚度从  $0.6\mu m$  到  $0.8\mu m$  变化的层间绝缘膜。然后,进行光刻和干法刻蚀以在相应于源区和漏区、MOS 晶体管的栅电极、熔丝和多晶硅-硅化物线(未示出)的扩散层的预定位置形成接触孔。

[0358] 通过溅射或 CVD 方法形成由 TiN 或  $TiO_N/Ti$  构成的附着层以覆盖接触孔和层间绝缘膜的内部。具体地,形成附着层,其方式为形成厚度从 5nm 到 50nm(优选 20nm)变化的 Ti 膜,且然后在 Ti 膜上淀积厚度从 50nm 到 200nm(优选 100nm)变化的 TiN 膜。TiN 膜可以被  $TiO_xN$  膜所取代(这里氧元素的值 x 从 5atm% 到 30atm% 优选从 10atm% 到 15atm% 变化)。

[0359] Ti 膜的淀积通过在下面条件下进行溅射而实现。

[0360] 衬底温度:150°C

[0361] Ar 流量:30sccm

[0362] 压力:3mTorr

[0363] 溅射功率:1150W

[0364] 在 Ti 膜的淀积中优选采用准直溅射或长慢溅射(long-slow sputtering),因此可以在精细接触孔底部形成具有足够大厚度的 Ti 膜。CVD 方法可以用于形成具有理想涂覆因子的 Ti 膜。

[0365] 附着层不必由上述材料构成。即,它可以由例如 TiW 的高熔点金属合金、金属硅化物、金属硅化物与例如 TiN 的金属氮化物的组合、和高熔点金属与其氮化物的组合(例如硼化物)构成。

[0366] 在附着层的形成完成之后,可以在氮气气氛下在从 500°C 到 800°C 变化的预定衬底温度进行从 10 秒到 60 秒预定时间的高速热处理(例如快速热退火(RTA)),以提高附着层的耐热性和阻隔能力。

[0367] 然后,通过 CVD 方法形成由 W 栓构成的导电层以覆盖接触孔和附着层的内部部分。确定导电层的厚度使得每个接触孔填充有导电材料。即,导电层的厚度设为填充有导电材

料的接触孔直径的一半或以上。例如,当接触孔的直径为约  $0.50\ \mu\text{m}$  时,导电层的厚度设为 1.2 倍至 2.0 倍大于半径,且因此从 300nm 到 500nm 变化;优选地,其设为 1.4 倍到 1.6 倍大于半径且因此从 350nm 到 400nm 变化。由于导电层的厚度较小,回蚀(和用于其的器件)可以承受较小负载。

[0368] 从具有高蒸发压力化合物例如 WF<sub>6</sub> 的预定材料中选择导电材料。例如,可以在下面的条件下通过 CVD 方法实现钨淀积。

[0369] 衬底温度 :450℃

[0370] 气体流量 :WF<sub>6</sub>/H<sub>2</sub>/Ar, 且其组分为 40/400/2250sccm

[0371] 压力 :10kPa

[0372] 对导电材料进行各向异性回蚀,从而导电材料仅保留在接触孔内。具体地,通过干法蚀刻即反应离子刻蚀 (RIE) 来实现各向异性回蚀,从而在下面的条件下附着层从导电层露出。

[0373] 气体流量 :SF<sub>6</sub>/Ar, 其组分为 30-140/40-140sccm ( 优选 110/90sccm)

[0374] 高频功率 :450W

[0375] 压力 :32Pa

[0376] 通过监控发射出的光 F<sup>+</sup> ( 其波长为 704nm) 的密度,换言之,通过探测差别变大的发射的光 F<sup>+</sup> 的强度增加而探测钨蚀刻的完成。可以进行上述蚀刻直到附着层被从层间绝缘膜除去,因此该层间绝缘膜被暴露。

[0377] 此后,通过溅射、CVD 法或镀覆形成布线层以覆盖附着层和接触孔及 W 栓。此外,在真空条件下加热布线层以根据需要进行回流 (reflow) 处理。

[0378] 在下面条件下对由 Al-Si 或包括 Al-S 和 Cu 的 Al 合金构成的布线层进行溅射,以实现从 100nm 到 1000nm ( 优选 500nm) 变化的预定厚度。

[0379] 衬底温度 :200℃

[0380] Ar 流量 :33sccm

[0381] 压力 :2mTorr

[0382] 溅射功率 :9000W

[0383] 在布线层的形成完成之后,半导体衬底保持在真空条件下并在从 400℃ 到 550℃ 变化的预定温度下被加热从而进行回流处理。布线层可以由 Cu 或 Cu 合金 ( 例如 Cu-Cr、Cu-Zr 和 Cu-Pd) 取代 Al 或 Al 合金构成,其中溅射靶变为 Cu 或 Cu 合金。在由 Cu 等构成的布线层形成之前,形成导电垒层以直接覆盖附着层和接触孔以及 W 栓 ( 此后称为接触栓); 然后,在例如导电垒层上形成布线层。

[0384] 垒层可以阻隔布线层的组元 ( 例如 Al) 扩散,因此提高连接中的抗泄漏特性。垒层可以用作附着层,该附着层用于通过 CVD 方法的布线层形成; 因此,可以进一步提高可靠性。

[0385] 类似于附着层,垒层可以通过采用溅射连续淀积 Ti 层和 TiN 层 ( 或 TiON 层) 而形成。垒层不必由上述材料构成; 因此,可以使用例如 TiW 的高熔点金属、金属硅化物、金属硅化物和例如 TiN 的金属氮化物的组合、和例如钽和氮化钽的高熔点金属与氮化物 ( 或硼化物) 的组合。

[0386] 在垒层的形成完成之后,为了提高垒层的耐热性和阻隔特性,可以在氮气气氛下

在从 500°C 到 800°C 的预定温度下进行 10 秒到 60 秒的快速热处理（例如 RTA）。而且，可以与垒层的形成无关地在布线层上形成导电盖层。该盖层可以通过连续淀积 7nm 厚度的 Ti 层和 40nm 厚度的 TiN 层而形成。

[0387] 该盖层具有各种功能，例如，其在光刻中防止光反射，其防止布线层的氧化，且其防止布线层组元（例如 Al）的扩散。

[0388] 布线层被通过光刻和干法刻蚀进行构图，然后被连接到接触栓和接触端子（未示出）。垒层和盖层两者与布线层一起被进行构图，因此形成布线图案。

[0389] 取代地，进行镶嵌法以在熔丝上形成通孔栓和导线；或者进行双镶嵌法以同时形成它们。关于接触和导线的处理与熔丝特性无关。

[0390] 此后，通过 CVD 法形成用作表面保护膜的钝化膜以覆盖上述所有层。具体地，通过连续淀积厚度从 50nm 到 200nm 变化优选 100nm 的 NSG 膜或 SiO<sub>2</sub> 膜和厚度从 600nm 到 1200nm 变化优选 1000nm 的 SiN 膜或 SiON 膜而形成厚度从 0.8 μm 到 1.4 μm 变化优选 1.1 μm 的钝化层。然后，对压焊点进行霍尔工艺，该压焊点相应于用于与外部器件建立连接的连接端子，并通过光刻和干法刻蚀在钝化膜上刻划限定芯片分割的线。这样，可以完成制造模拟 MOS 集成电路。

[0391] 如上所述，本实施例提供具有多晶硅-硅化物结构的半导体器件，其中具有预定厚度的金属硅化物淀积在多晶硅层上，该多晶硅-硅化物结构与 MOS 晶体管的栅电极的厚度和材料相匹配。

[0392] 图 26 示出了每个都采用第二多晶硅层或第二多晶硅-硅化物层形成的熔丝，该第二多晶硅-硅化物层具有由第二多晶硅层和第二金属硅化物层构成的双层结构。在此情形，图 25A 到 25F 所示的制造方法被部分改进，从而关于层间绝缘膜的形成和构图稍微改变热处理温度和杂质注入。

[0393] 即，淀积第二高熔点金属硅化物膜，然后，在第二层间绝缘膜的形成之前进行热处理，其中必须限制温度范围以减小采用高熔点金属硅化物的多晶硅-硅化物栅电极的电阻和熔丝电阻。

[0394] 可以在从 500°C 到 1000°C 优选从 700°C 到 950°C 变化的预定温度采用扩散炉或通过 RTA 进行热处理，当采用扩散炉时，在从 5 分钟到 90 分钟优选从 10 分钟到 30 分钟变化的预定时间周期内进行热处理。作为选择，在从 1 秒到 120 秒优选从 5 秒到 30 秒变化的预定时间周期内进行 RTA。在下面描述中，RTA 在 850°C 下进行 10 秒。

[0395] 由于已经进行杂质注入以形成用于 MOS 晶体管的 LDD 结构，由于高温热处理或者长时间热处理可能在杂质浓度分布中发生变化。这导致对于 MOS 晶体管不能获得期望特性的缺点。上述用于第一层间绝缘膜的 BPSG 可以在低温下容易地流动；且这可能由于热处理而引起不期望的表面形状变形。因此，在第二高熔点金属硅化物膜的淀积完成之后进行的热处理需要对于温度和时间的密切关注。

[0396] 由于上述原因，优选采用 RTA，因为 RTA 在短时间内完成热处理并实现关于温度分布的精确管理。当然，可以省略热处理以避免不期望的第二多晶硅-硅化物层的薄层电阻的增加。此外，可以省略用于 LDD 结构和源区及漏区形成的杂质注入。在此情形，由于缺少杂质注入，多晶硅-硅化物的薄层电阻可以稍微增加。这可能需要一些关于晶体管驱动能力、脉冲能量和熔丝电阻的调整，其中熔丝每个都可以正常断开。

[0397] 如图 26 所示,通过使用第一多晶硅-硅化物膜而形成第一熔丝,该第一多晶硅-硅化物膜是与 MOS 晶体管的栅电极的形成同时形成的;然后,通过使用形成在第一层间绝缘膜上的第二多晶硅层或第二多晶硅-硅化物膜而形成第二熔丝。

[0398] 可能在第一多晶硅-硅化物膜(或第一多晶硅膜)与第二多晶硅-硅化物膜(或第二多晶硅膜)之间形成电容。当仅采用多晶硅形成第二熔丝时,可能在同一层中形成电阻器。而且,可以采用包含电阻和电容的第 n 个多晶硅层形成熔丝,该第 n 个多晶硅层是通过用于例如模拟 LSI 器件和 DRAM 等每个都采用多个多晶硅层的各种器件的公知制造工艺而形成的。此外,可能建立多晶硅-硅化物结构,其中在第 n 个多晶硅层上形成硅化物层。

[0399] 在图 26 的结构中,第二熔丝通过靠近 MOS 晶体管的漏极形成的接触栓直接连接到下面的多晶硅层。这不是限制;因此,第二熔丝可以通过上面的通孔栓连接到 MOS 晶体管的漏极。这里,镶嵌工艺用于形成第二熔丝;且进行双镶嵌工艺以同时形成上通孔栓和导线。当然第一和第二熔丝可以直接连接在一起,或者其预定端子可以简单地连接在一起。当第一和第二熔丝设计为具有不同断开特性时,它们可以用作存储器,其中可以写入二进位信息。

[0400] 图 27 示出了多层结构,其中采用多个多晶硅层或多个多晶硅-硅化物层形成熔丝。通过上述涉及图 26 所示的第二多晶硅层或第二多晶硅-硅化物层中的熔丝形成的工艺,通过使用多层而实现了熔丝阵列的垂直形成,其中多个熔丝水平排列。这里,进行上述 STI(浅沟槽隔离)以实现元件隔离,其中通过上述硅化物工艺形成晶体管。

[0401] 具体地,采用与栅电极相同的材料通过相同的硅化物工艺制造第一熔丝阵列。类似地,第二熔丝阵列和第三熔丝阵列每个都通过上述图 26 所示的工艺形成并依次且垂直地排列在第一熔丝阵列上。当然,可以形成自由确定的预定数目的熔丝阵列。

### [0402] 3. 第三实施例

[0403] 第三实施例设计为避免向熔丝施加脉冲以断开它们所引起的热对层间绝缘膜的物理破坏,并减小施加到层间绝缘膜(即外覆的绝缘膜)的热应力,因此可能抑制在外覆的绝缘膜中的脱气,并可能防止裂缝形成在施加的绝缘膜中,并防止外覆的绝缘膜被变形。

[0404] 在详细描述第三实施例之前,将与第二实施例的操作原理相比较,简单描述其操作原理。

[0405] 第二实施例涉及三种方法(A)、(B)和(C),其中第三实施例包括如下补充解释:

[0406] 对于方法(B),可以说断开能量被分割以产生每个都具有非常小能量的脉冲,通过其熔丝不能在有限时间长度内断开。这可以表示电流 A 的下限,由  $A_{min}$  表示;因此,  $A'(1), A'(2), \dots, A'(n) > A_{min}$ , 且  $A'(1) + A'(2) + \dots + A'(n) > n * A_{min}$ 。这也表示  $E'(1) = E * A'(1) / A > E * A_{min} / A$ ,  $E'(2) = E * A'(2) / A > E * A_{min} / A, \dots$ , 且  $E'(n) = E * A'(n) / A > E * A_{min} / A$ 。

[0407] 在其中电流除 m 的方法(C)中,需要被分割的电流高于下限  $A_{min}$ 。

[0408] 此外,第三实施例也涉及如下的方法(D):

[0409] (D) 在有助于减小脉冲宽度、电流和电压的方法(A)和(B)或方法(C)的组合情形中,不必使用 n 和 m 均匀分割断开能量,而是可以以连续的方式分割,其中脉冲之间的时间间隔可以任意确定。

[0410] 而且,应用于第三实施例的熔丝断开方法与图 16A 和 16B 所示的应用于第二实施例的熔丝断开方法相同;因此,没有给出重复的描述。此外,第三实施例也涉及表 1,表 1 已



经在之前结合第一实施例描述了；因此，没有给出重复的描述。

[0411] 参考之前结合第二实施例描述的图 17，随着熔丝断开时间以连续方式改变，可能不是所有熔丝都在 2000ms 累积时间内被 2.1V 的电压和 35mA 的电流断开。这表示在预定条件下使用脉冲的熔丝断开操作可能不能在有限时间内完成。

[0412] 因此，需要引入上述电流下限  $A_{min}$ ，其可以通过在由多晶硅构成的熔丝上进行的电测试而可靠地估计而设为大约 30mA，其中电阻器和导线也由多晶硅构成。

[0413] 第三实施例还涉及图 18 和 22 所示的熔丝断开电路，先前已结合第二实施例描述了该电路；因此，没有给出重复的描述。

[0414] 接着，将详细描述根据第三实施例的制造方法。

[0415] 图 28 是示出 CMOS 集成电路的平面图，其包括有源区、MOS 晶体管的栅电极 G、熔丝 F、接触孔和导线。

[0416] 第三实施例的制造方法基本上类似于结合图 25A 到 25D 的第二实施例的制造方法；因此，没有给出重复的描述。当然，图 25A 到 25D 是沿第三实施例中的图 28 中的线 A-A 所取的截面图。

[0417] 对于图 25B 的图示，第三实施例与第二实施例不同，从而在下面条件下通过使用 DC 磁控管溅射设备实现高熔点金属硅化物层的淀积。

[0418] 溅射靶：对于  $WSi_x$  的组分因子  $x$  设为 2.7

[0419] 压力：8mTorr

[0420] Ar 流量：30sccm

[0421] 衬底温度：150°C

[0422] 功率：2000W

[0423] 可以根据需要进行化学机械抛光 (CMP) 以实现层间绝缘膜表面的平整化。在此情形，形成在层间绝缘膜的平面表面上的熔丝的断开特性不变化，断开特性的变化可能由于不规则而发生。此外，上述平整化在接触孔、熔丝和导线的精细加工方面是有利的。具体地，可以采用厚度减小的抗蚀剂实现精细加工；可以增加曝光容度；且可以减小涉及蚀刻的分散。

[0424] 优选进行 CMP 的 BPSG 膜具有足够大的厚度以防止下 PSG 膜暴露于表面。此外，可能防止可以形成在 LOCOS 氧化物膜的小突起上的多晶硅-硅化物由于 CMP 而暴露于表面；因此，可能避免上导线层与熔丝之间的短路；且可以消除由于相关膜的小厚度而导致的寄生电容。此外，可能防止 PSG 膜厚度由于 CMP 中 PSG 和 BPSG 膜的抛光因子之间的差异以及 CMP 后用于消除抛光液的化学清洁中 PSG 与 BPSG 的蚀刻因子之间的差异而减小。

[0425] 要求 CMP 不暴露 BPSG 膜到表面，即使当层间绝缘膜的厚度变得基本为零。例如，对于 100nm 厚度的 PSG 膜和 900nm 厚度的 BPSG 膜，由 CMP 实现的抛光厚度设为 400nm。这里，BPSG 膜的最小厚度依赖于阱与 LOCOS 氧化物膜的突出之间的高度差，其中优选从 100nm 到 200nm 变化。

[0426] 类似于第二实施例，通过连续淀积 Ti 膜和 TiN 膜形成附着层。在第三实施例中，Ti 膜通过在下面条件下溅射形成。

[0427] 溅射靶：Ti

[0428] 衬底温度：150°C

- [0429] Ar 流量 :15sccm
- [0430] 压力 :4mTorr
- [0431] 溅射功率 :1150W
- [0432] 对于附着层的形成,可以使用其他材料,比如,例如 TiW 的高熔点金属合金、例如  $TiSi_x$  的金属硅化物、金属硅化物和例如  $TiN_x$  的金属氮化物(或氮氧化物)的组合、和高熔点金属例如 Ta/ $TaN_x$  与氮化物(或氮氧化物或硼化物)的组合。
- [0433] 可以通过在下面条件下进行溅射而实现  $TiN_x$  膜或  $TiO_xNy$  膜的淀积。
- [0434] 溅射靶 :Ti
- [0435] 衬底温度 :150℃
- [0436] Ar/ $N_2$  流量 :40/85sccm
- [0437] 压力 :4mTorr
- [0438] 溅射功率 :1100W
- [0439] 可以通过允许具有足够大厚度的  $TiN$ (或  $TiON$ ) 膜形成在接触孔底部的准直溅射或长慢溅射实现  $TiN$  膜的淀积,因此实现高性能垒膜的形成。
- [0440] 对于  $TiON$  膜的形成,上述条件稍微改变到 Ar/ $N_2/O_2$  流量 :30/10/85sccm。此外,通过将溅射靶从 Ti 变为 Ta,可以根据上述方法而形成高熔点金属膜(由 Ta 构成)及其氮化物膜或氮氧化物膜(例如  $TaN_x$ 、 $TaO_xNy$ )。
- [0441] 对于导电层材料,可以选择具有高蒸发压力的化合物例如  $WE_6$  的金属。例如,在下面条件下实现钨(W)的成核。
- [0442] 衬底温度 :430℃
- [0443] 气体流量 : $WF_6/SiH_4$  为 7-20/4sccm
- [0444] 压力 :4Torr
- [0445] 时间 :30-50 秒
- [0446] 此外,钨(W)层的形成是在下面条件下实现的。
- [0447] 衬底温度 :450℃
- [0448] 气体流量 : $WF_6/H_2/Ar$  为 80/7/20sccm
- [0449] 压力 :50-80Torr
- [0450] 形成速度 :每分钟 0.3  $\mu m$  到 0.5  $\mu m$
- [0451] 接着,对导电层进行各向异性回蚀,因此其仅留在接触孔上。即,在各向异性蚀刻条件下在导电层上进行干法蚀刻以暴露附着层。具体地,采用磁性微波等离子体蚀刻机在下面条件下进行干法蚀刻。
- [0452] 气体流量 : $SF_6$  为 140sccm
- [0453] 高频偏置功率 :200W
- [0454] 压力 :270Pa
- [0455] 衬底温度 :30℃
- [0456] 通过监控  $F^+$  光发射强度(在 704nm 波长)而探测钨蚀刻的完成,其中当  $F^+$  光发射强度变大(或者其微分值变大)时探测。可以进行钨蚀刻直到附着层从层间绝缘膜移去,因此层间绝缘膜暴露在表面。
- [0457] 可以采用其他方法例如镶嵌法和双镶嵌法形成附着层和导线层。在此情形,通过

溅射、CVD 法或镀覆而形成附着层和接触栓；然后，通过 CMP 法除去不期望的附着层的部分和不期望的栓材料；因此，可以把栓嵌入接触孔。

[0458] 对于被进行镶嵌法的接触孔材料，可以取代高熔点金属例如 W 而采用 Al 或 Al 合金例如 Al-Si 和 Al-Si-Cu，或者可以采用 Cu 或 Cu 合金例如 Cu-Cr、Cu-Zr、Cu-Ag 和 Cu-Pd。可以根据需要在 CMP 之前引入预处理，其中具有附着层和接触栓的半导体衬底被进行热处理、回流处理和平坦化。

[0459] 在上述中，接触孔和垒金属是在类似于 W 栓形成的预定条件下形成的；此后，通过在下面条件下的溅射形成上述层：

[0460] 溅射靶：Al-Si 合金

[0461] 衬底温度：200℃

[0462] Ar 流量：33sccm

[0463] 压力：2mTorr

[0464] 溅射功率：900W

[0465] 如上所述，在栓材料的形成完成之后，在真空条件下，在从 400℃ 到 550℃ 的预定温度下对半导体衬底进行热处理和回流处理；因此，可以完成接触孔的嵌入。

[0466] 对于栓材料，可以采用 Cu 或 Cu 合金例如 Cu-Cr、Cu-Zr 和 Cu-Pd，其中溅射靶变为 Cu 或 Cu 合金。当然，可以在 Cu 或 Cu 合金上进行镀覆。

[0467] 接着，将详细描述形成和构图第二多晶硅层和第二金属层（由金属硅化物构成）。用作熔丝和导线的第二多晶硅层和第二金属层在上述层间绝缘膜和接触栓上形成并进行构图。

[0468] 在上述中，通过图 25B 和 25C 所示的上述工艺进行多晶硅淀积；因此，不给出重复的描述。

[0469] 首先，将给出关于第二多晶硅层和第二金属层（由金属硅化物构成）的形成和结构的描述。由于熔丝的变化，可能形成第二多晶硅层或第二金属层作为熔丝和导线的基础。当仅形成第二多晶硅层时，熔丝和导线的电阻可能增加；然而，可以减小第二多晶硅层的厚度。这样的优点是熔丝可以形成为多层。

[0470] 当仅形成第二金属层时，可能减小第二金属层的厚度并减小熔丝和导线的电阻。减小熔丝电阻的优点在于产生用于熔丝的断开电流的晶体管的驱动能力可以减小；因此可以提高集成度并减小电功耗。

[0471] 此外，形成顺序可以改变；即，可以在第二金属层上形成第二多晶硅层。这减小了与嵌入在下面的接触孔内的栓的接触电阻；因此，可以进一步减小熔丝和晶体管之间的导线电阻。

[0472] 可以引入三层结构，其中第二多晶硅层夹在上下金属层（或金属硅化物层）之间。在此情形，上下金属层每个都以约 1/2 的因子减小厚度，而第二多晶硅层的厚度不变。这样的优点在于可以不增加总厚度（或不形成不期望的阶梯差异）而实现恒定的熔丝电阻。

[0473] 上述是有利的，因为其可以减小与嵌入在下接触孔内的栓之间的接触电阻；且其可以减小与嵌入在上通孔内的栓之间的接触电阻。

[0474] 可以根据熔丝的断开特性而为每个第二多晶硅层和第二金属层（或第二金属合金层或第二高熔点金属硅化物层）选择期望的淀积厚度。例如，取决于薄层电阻（即熔丝电

阻)与断开特性之间的关系的第二多晶硅层的厚度从 50nm 到 500nm 优选从 100nm 到 300nm 变化。

[0475] 第二高熔点金属硅化物层(或第二金属层或第二金属合金层)的厚度从 50nm 到 500nm 优选从 100nm 到 300nm 变化。当允许熔丝电阻根据晶体管驱动能力而增加时,优选第二高熔点金属硅化物层与第二多晶硅层相比厚度减小。这是因为第二高熔点金属硅化物层与第二多晶硅层相比具有非常高的熔点,且因此非常难以由热应力断开。

[0476] 第二高熔点金属硅化物层由预定材料例如高熔点金属硅化物(例如  $WSi_x$ 、 $TiSi_x$ 、 $TaSi_x$  和  $MoSi_x$ )和过渡金属(例如  $NiSi_x$ 、 $CoSi_x$  和  $CrSi_x$ )通过溅射或 CVD 法构成。

[0477] 在上述中,采用  $W_{Si_x}$ (其中组分因子  $x$  基于金属硅化物的特性而在  $1.5 \leq x \leq 3.5$  优选  $2.0 \leq x \leq 3.0$  的范围变化)的溅射靶进行溅射。下面描述是把  $W_{Si}$  的组分因子  $x$  设为 2.7 而进行的。

[0478] 上述第二高熔点金属硅化物层可以由第二金属层或第二金属合金层所取代,其中可以采用高熔点金属例如 Mo、Ti、Ta 和 W,过渡金属例如 Co、Cr、Hf、Ir、Nb、Pt、Z 和 Ni,以及由上述金属构成的合金。而且,例如可以通过热处理而基于与多晶硅层的反应而形成金属硅化物。

[0479] 在多晶硅层形成完成之后进行热处理。即,在层间绝缘膜形成之前和高熔点金属硅化物的淀积之后进行热处理,因此减小熔丝和采用高熔点金属硅化物的多晶硅-硅化物栅电极的电阻。上述热处理避免了由施加到金属硅化物上的热处理例如由施加到层间绝缘膜上的淬火热处理所导致的金属硅化物与多晶硅之间的分离。

[0480] 可以采用扩散炉或通过 RTA 而进行上述热处理。例如,RTA 分别在 950°C、1000°C、1050°C、1100°C 和 1150°C 进行十秒,以探测熔丝的平均初始电阻与断开特性(即实现熔丝完全断开的断开电流)之间的关系。结果在表 2 中示出,表 2 示出了把 950°C 测量的平均电阻和断开电流各自作为参考值“100”时的相对估值。

[0481] 表 2

[0482]

	900°C	950°C	1000°C	1050°C	1100°C	1150°C
平均电阻	112	100	90	80	64	62
断开电流	94	100	114	128	152	162

[0483] 上述结果示出采用硅化物薄膜的熔丝的平均初始电阻随着 RTA 温度降低而增加。通过向具有在 5V 下驱动的 MOS 晶体管的熔丝施加断开电流而测量的关于断开特性的估计,小的断开电流可以实现熔丝断开。具体地,熔丝的平均初始电阻随着 RTA 温度从 1100°C 降低到 900°C 而线性增加。相反,断开电流随着 RTA 温度从 1100°C 降低到 950°C 而降低,其中其降低速率在 950°C 与 900°C 之间的范围内变低,在该范围内断开电流可随着 RTA 温度的降低而缓慢降低。估计断开电流的降低速率在 900°C 或以下的 RTA 温度变低。

[0484] 随着熔丝平均初始电阻的增加,晶体管可能承受高负载;因此,它们可能不会一直能够产生引起熔丝断开所需的断开电流。换言之,当具有预定驱动能力(即预定尺寸)的 MOS 晶体管用于熔丝断开电路时,熔丝电阻减小是有利的。这允许熔丝被由小尺寸晶体管所产生的相对低的断开电流所断开,这依次提高了集成度并减少了制造成本。

[0485] 晶体管性质取决于由热处理导致的扩散;因此,优选热处理在相对低的温度下进行。特别是,1000°C 或以上的热处理可以大大改变在熔丝退火之前形成的晶体管扩散层中

的杂质分布；因此，难以保持期望的晶体管特性。由于上述从晶体管产生的限制，优选 RTA 温度低于 950℃。

[0486] 如上所述，优选根据熔丝的初始电阻、断开电流、和晶体管所需的条件，在 950℃ 或以下的预定温度进行 RTA。根据施加到金属硅化物的 RTA 的效果，温度可以优选从 600℃ 到 950℃ 变化。根据避免由淬火热处理所导致的分离的效果，温度可以优选从 800℃ 到 950℃ 变化。RTA 进行 1 秒到 120 秒，优选 5 秒到 30 秒。下面描述是通过进行 10 秒 RTA 而进行的。

[0487] 通过使用过渡金属或它们的硅化物，可以进一步降低温度。即，优选在从 400℃ 到 800℃ 优选从 450℃ 到 600℃ 的预定温度下进行 1 秒到 120 秒优选从 5 秒到 30 秒的 RTA。当采用  $\text{CoSi}_2$  时，可以在 550℃ 进行 10 秒的 RTA。

[0488] 可以在类似于 RTA 的条件下采用扩散炉进行热处理，在该条件下，根据克服淬火热处理的抗分离效果而在从 600℃ 到 950℃ 优选从 800℃ 到 950℃ 的预定温度进行 5 分钟到 90 分钟优选 15 分钟到 30 分钟。采用过渡金属降低温度；因此，在 400–800℃ 进行热处理 5–30 分钟，优选在 450–600℃ 进行 5–10 分钟。

[0489] 可以在栅电极构图之后、用于侧壁分隔件的氧化物膜的形成之后、或侧壁分隔件的形成之后进行上述热处理。

[0490] 在热处理之前或之后，可以通过构图形成处理具有微小尺寸的熔丝所需的抗反射膜。当然，不是一直需要形成该抗反射膜。

[0491] 该抗反射膜是通过淀积 TiN 或  $\text{TiO}_x\text{N}$ （其中氧的组分因子 x 从 5atm% 到 30atm% 变化，厚度从 10nm 到 100nm 优选从 30nm 到 60nm 变化）而形成的。通过采用例如 DC 磁控溅射设备、采用溅射气体（相应于 Ar、 $\text{N}_2$  和  $\text{O}_2$  的混合物）的反应溅射法实现淀积。

[0492] 而且在金属层的形成完成之后，可以通过施加到 TiO 膜或 TiON 膜的热处理而进行硅化物反应。

[0493] 抗反射膜降低由熔丝表面上的硅化物元件所引起的反射光，其中可以进行实现精细加工的光刻。可以在熔丝的构图之后通过蚀刻除去抗反射膜。在抗反射膜除去的基础上，可以稳定熔丝的断开特性并减小断开电流。

[0494] 接着，将详细描述侧壁分隔件和第二层间绝缘膜的形成。

[0495] 首先，形成用作侧壁分隔件的绝缘膜以覆盖熔丝；然后，通过各向异性蚀刻除去绝缘膜的平面部分；因此，可以在熔丝的侧壁上形成具有渐缩形状的侧壁分隔件。侧壁分隔件的厚度决定熔丝的加热部分与 SOG 膜之间的距离，其中热绝缘效果随着厚度变大而变高，这依次增加干法刻蚀中的负载。因此，优选厚度从 150nm 到 700nm 优选从 200nm 到 500nm 变化。

[0496] 实现共形覆盖的绝缘膜可能有利于增加侧壁分隔件的厚度，其中氧化物膜、氮膜或氮氧化物膜可以通过适合于 LP-TEOS 和 PL-TEOS 的预定方法形成。此外，可以形成含氟的绝缘膜（例如氧化物膜和氮氧化物膜）和偏压 (bias) CVD 绝缘膜。

[0497] 可以选择各种材料用于侧壁分隔件的形成。选择用于侧壁分隔件的形成且不同于形成在层间绝缘膜表面上的绝缘膜的材料预定材料可以提高蚀刻的可执行性。

[0498] 例如，LP-TEOS 氧化物膜（其中 TEOS 代表原硅酸四乙酯，即  $\text{Si}(\text{OC}_2\text{H}_5)_4$  在下面条件下形成。

- [0499] 衬底温度 :700℃
- [0500] 材料气体 :TEOS/O<sub>2</sub> 是 60/0-5sccm
- [0501] 反应腔压力 :0.25Torr
- [0502] 厚度 :350nm
- [0503] 可以以类似的方式通过使用 40/400sccm 的 SiH<sub>2</sub>Cl<sub>2</sub>/NH<sub>3</sub> (或 NH<sub>3</sub>+N<sub>2</sub>) 的材料气体而形成氮化物膜。
- [0504] PL-TEOS 膜在下面条件下形成。
- [0505] 衬底温度 :400℃
- [0506] 材料气体 :TEOS (每分钟 1.8cc 以液体供应) 和 O<sub>2</sub> (8000sccm)
- [0507] 反应腔压力 :2.5Torr
- [0508] 等离子体功率 :1000W
- [0509] 厚度 :450nm
- [0510] 以类似方式通过使用 TEOS (每分钟 1.8cc 以液体供应) 和 O<sub>2</sub> 或 N<sub>2</sub> ((8000-x) sccm) 的材料气体而形成氮氧化物膜,其中 x 从 0sccm 到 5000sccm 变化。
- [0511] 通过在下面条件下采用平行板型等离子体蚀刻机对上述绝缘膜进行各向异性蚀刻以在熔丝的侧壁上形成侧壁分隔件。
- [0512] 蚀刻气体 :27/4/88sccm 的 CHF<sub>3</sub>/O<sub>2</sub>/He
- [0513] 压力 :2Torr
- [0514] RF 功率 :450W
- [0515] 由于氧化物膜,蚀刻在侧壁分隔件的形成完成之后停止,其中基本上没有氧化物膜保留在平面表面上。
- [0516] 没有提供具体图示,但优选氧化物膜可以与蚀刻无关地部分保留在平面表面上,从而不扩大由于绝缘膜的过度蚀刻导致的阶梯差。
- [0517] 采用平行板型等离子体蚀刻机在 0.1Torr 的压力和 400W 的 RF 功率下对上述氮化物膜进行蚀刻。这里,蚀刻在侧壁分隔件的形成完成之后停止,其中平面部分的厚度变得基本为零。作为选择,通过在平面表面上部分留下绝缘膜而停止蚀刻。
- [0518] 接着,形成第一绝缘层 (例如氧化物膜、氮氧化物膜、或含氟绝缘膜) 以覆盖侧壁分隔件。通过增加其厚度,第一绝缘膜的厚度在热绝缘方面得以改进,这依次限定了熔丝的加热部分与 SOG 膜之间的距离。然而,具有大厚度的第一绝缘膜增加了处理中的负载且还增加了层间绝缘膜的总厚度,这依次增加接触孔的深度从而增加在干法蚀刻中的负载并增加栓的电阻。因此,优选厚度从 150nm 到 800nm 更优选从 250nm 到 500nm 变化。
- [0519] 而且,可以通过上述 LP-TEOS 氧化物膜、氮化物膜、PL-TEOS 氧化物膜、氮氧化物膜、含氟绝缘膜和偏压 CVD 绝缘膜中的任何一个而实现第一绝缘膜。
- [0520] 对于第一绝缘膜,可以通过在下面条件下的等离子体 CVD 法而形成氧化硅膜:
- [0521] 衬底温度 :400℃
- [0522] 材料气体 :240/5000/2800sccm 的 SiH<sub>4</sub>/N<sub>2</sub>O/N<sub>2</sub>
- [0523] 反应腔压力 :2.2Torr
- [0524] 厚度 :300nm
- [0525] 当然,可以形成上述 LP-TEOS 氧化物膜、氮化物膜、PL-TEOS 氧化物膜和氮氧化物

膜。

[0526] 此外,可以在下面条件下形成含氟氧化物膜。

[0527] 衬底温度 :450℃

[0528] 材料气体 :50/250/250sccm 的 TEOS/O<sub>2</sub>/C<sub>2</sub>F<sub>6</sub>

[0529] 反应腔压力 :3.0Torr

[0530] 等离子体功率 :600W

[0531] 接着,应用另一绝缘膜以覆盖上述第一绝缘膜。为了提高对抗断开熔丝的加热热绝缘,优选具有覆盖结构的外覆绝缘膜由无机 SOG、有机 SOG、HSQ 和 RSQ 构成。特别是,因为低的热绝缘,包括有机化合物对外覆绝缘膜是有利的,低的热绝缘会由于熔丝的加热而引起应力变化、脱气和质量变化。

[0532] 对于用于外覆绝缘膜的材料,可以采用在 MIBK 中溶解然后对其进行旋涂的 HSQ 树脂,以实现从 300nm 到 700nm 优选从 350nm 到 550nm 变化的预定覆盖厚度。下面的描述是关于 450nm 的厚度作出的。

[0533] 然后,在相对低的温度下在惰性气体中对涂覆有 HSQ 树脂的半导体衬底进行热处理,以从其除去溶剂,从而涂覆的膜转变为前陶瓷氧化硅膜 (pre-ceramic silicon oxide),其中 N<sub>2</sub> 气体用作惰性气体,且在从 150℃ 到 350℃ 的预定温度进行 1 分钟到 60 分钟的热处理。热处理可以以多步骤的方式进行。例如,在 N<sub>2</sub> 气体氛围中把半导体衬底放置在热板上,且然后对其烘烤,在 150℃ 进行一分钟、在 200℃ 进行一分钟、和在 300℃ 进行一分钟。

[0534] 接着,在采用惰性气体 (例如 N<sub>2</sub>) 的气氛中,在从 350℃ 到 550℃ 的预定温度进行 5-120 分钟的另一热处理,该惰性气体可以被氧化物气体或惰性气体与氧化物气体的混合气体所取代。例如,在 N<sub>2</sub> 气体氛围中,在 400℃ 进行 10 分钟的热处理。

[0535] 对于外覆的绝缘膜的材料,可以采用有机 SOG,其以 300nm 的预定厚度施加到半导体衬底,然后采用热板在 N<sub>2</sub> 气体氛围中对其进行烘烤,在 150℃ 进行一分钟、在 200℃ 进行一分钟、且在 250℃ 进行一分钟,然后在 N<sub>2</sub> 气体氛围中,在 400℃ 对其进行 30 分钟的退火。作为选择,可以采用无机 SOG,以类似的方式在相同氛围中对其进行退火。

[0536] 上述外覆绝缘膜被进行适当的回蚀,因此基本上没有外覆绝缘膜保留在熔丝上,或者其被稍微保留在熔丝上以不降低可靠性。采用平行板型等离子体蚀刻机在下面的条件下进行回蚀。

[0537] 干法蚀刻气体 :CHF<sub>3</sub> 和 CF<sub>4</sub> 的组合为 40sccm,且 He 为 88sccm

[0538] 压力 :2Torr

[0539] 功率 :275W

[0540] CHF<sub>3</sub>/CH<sub>4</sub> 的气体比 :30-70%,优选 40-55%

[0541] 在上述中,一段预定蚀刻时间干法蚀刻停止,在此时间内外覆的绝缘膜仅从第一绝缘膜除去。

[0542] 此外,可以为第一绝缘膜和外覆的绝缘膜设定相同的蚀刻速率。作为选择,可以如此设置蚀刻速率,使得外覆的绝缘膜的回蚀速率进行得稍快于第一绝缘膜的蚀刻。因此,可以选择地除去保留在覆盖熔丝的第一绝缘膜上的外覆的绝缘膜,而不降低外覆的绝缘膜的表面平整度。

[0543] 接着,在涂覆在半导体衬底上的外覆的绝缘膜上形成第二绝缘膜。由于第二绝缘膜的厚度限定了熔丝的加热部分与 SOG 膜之间的距离,根据热绝缘,优选第二绝缘膜具有大厚度。然而,如果第二绝缘膜具有非常大的厚度,这可能增加其形成中的负载、层间绝缘膜的厚度、和接触孔的深度,这依次增加蚀刻负载和栓电阻。因此,优选厚度从 150nm 到 800nm 更优选从 250nm 到 500nm 变化。

[0544] 对于第二绝缘膜,可以选择性地形成上述 LP-TEOS 氧化物膜、氮化物膜、PL-SiH<sub>4</sub> 氧化物膜(或其氮氧化物膜或其氮化物膜)、PL-TEOS 氧化物膜(或其氮氧化物膜)、和含氟绝缘膜中任何一个。

[0545] 对于第二绝缘膜,可以通过采用 2.5slm 的 TEOS、7.5slm 的 O<sub>2</sub>、85g/Nm<sup>3</sup> 的 O<sub>3</sub>、和 18slm 的 N<sub>2</sub>,在 400℃ 的衬底温度形成 500nm 厚的 LP-TEOS 绝缘膜。

[0546] 为了通过除去保留在第二绝缘膜表面的台阶差而提高平整度,可以根据需要进行 CMP 从而实现平坦和光滑表面。在此情形,优选第二绝缘膜可以具有足够大的厚度从而不会因为 CMP 而把下 SOG 膜暴露于表面。这是因为,虽然 SOG 膜被进行退火且于是转变为陶瓷,其具有相对小的化学稳定性,因此由于与 CMP 中使用的抛光液相接触而引起分离和形成裂缝,并由于用于在 CMP 之后除去微粒的化学清洁而引起局域蚀刻。

[0547] 当在具有 1000nm 厚度的第二绝缘膜上进行 500nm 的 CMP 时,在 CMP 之后基本上没有第二绝缘膜保留,从而 SOG 膜不被暴露于表面。这里,第二绝缘膜的最小厚度取决于其下面的阶梯差的形状,但可以优选从 100nm 到 200nm 变化。

[0548] 接着,将参考图 29A 描述通孔、嵌入的栓、和导线的形成。

[0549] 具体地,通孔形成在第二层间绝缘膜中,W 栓嵌入在其中,且导线膜形成并被构图。通过溅射,采用导电材料例如 Al 或 Al 合金(例如 Al-Si、Al-Si-Cu)和铜或铜合金(例如 Cu-Cr、Cu-Zr、Cu-Ag 和 Cu-Pd)形成导线膜。例如,采用 Al-Si-Cu 靶在下面条件下进行溅射。

[0550] 衬底温度 :150℃

[0551] Ar 流量 :18sccm

[0552] 压力 :8mTorr

[0553] 溅射功率 :1200W

[0554] 可以根据需要在导线膜形成之前形成垒膜。该垒膜由 TiN 或 TiON 构成,其中可以形成为由 Ti/TiN(TiON) 或 Ti/TiN(TiON)/Ti 构成的多层结构。此外,可以根据需要在导线膜上形成盖膜(或由 Ti/TiN(TiON) 构成的抗反射膜)。

[0555] 可以通过在真空条件下进行热处理和回流处理而加速导线膜的平整化。在下面条件下采用 Al-Si 合金靶对导线膜进行溅射。

[0556] 衬底温度 :200℃

[0557] Ar 流量 :33sccm

[0558] 压力 :2mTorr

[0559] 溅射功率 :900W

[0560] 在真空条件下,在从 400℃ 到 550℃ 的预定温度对形成用于栓的材料层的导线膜进行热处理和回流处理。

[0561] 而且,对于通孔、嵌入的栓、和导线膜的形成,可以采用镶嵌法或双镶嵌法。具体



地,通过溅射、CVD 法或镀覆形成上述附着层、接触栓、和导线;然后,进行 CMP 以除去关于附着层和栓材料的不需要的部分;因此,可以形成栓和导线。

[0562] 接着,将参考图 29B 描述表面保护膜和压焊点的形成。即,形成钝化膜作为表面保护膜从而覆盖形成在半导体衬底表面上的预定图案;然后,通过光刻和干法刻蚀对用作外部端子的压焊点和用于分割芯片的刻划线进行霍尔工艺。

[0563] 通过 CVD 方法,通过连续淀积厚度从 50nm 到 200nm 变化优选具有 100nm 厚度的 NSG 或  $\text{SiO}_2$ 、和厚度从 600nm 到 1200nm 变化优选具有 1000nm 厚度的 SiN 或 SiON 而形成其厚度从  $0.8\ \mu\text{m}$  到  $1.4\ \mu\text{m}$  变化且优选设为  $1.1\ \mu\text{m}$  的钝化膜。因此,可以完成制造截面结构如图 29B 所示的模拟 MOS 集成电路。

[0564] 接着,将参考图 30-36 描述形成在熔丝附近的侧壁分隔件的各种结构,这些图示出了沿图 28 的线 B-B 所取的截面图。

[0565] 图 30 示出了基本结构,其中熔丝连同三层结构形成,该三层结构由第一绝缘膜、SOG 膜和第二绝缘膜构成。图 31 示出了熔丝结构的第一实例,其中侧壁分隔件形成在熔丝的侧壁上。

[0566] 图 32 示出了熔丝结构的第二实例,其中侧壁分隔件不在熔丝形成之后立即形成,而是在第一绝缘膜形成之后形成。这可以有效地减少熔丝特性的波动,因为由于处理中减小的负载,在侧壁分隔件的形成中,多晶硅-硅化物表面将不会直接暴露于蚀刻环境(例如等离子体气体和离子撞击)。此外,其优点在于第一绝缘膜的阶梯差形状可以改善从而容易地实现 SOG 膜的平整化。

[0567] 图 33 示出了熔丝结构的第三实例,其中侧壁分隔件在熔丝形成之后立即形成,然后,在第一绝缘膜形成之后形成另一侧壁分隔件。这进一步增加了熔丝与 SOG 膜之间的距离从而进一步提高了抵抗熔丝断开的热绝缘;因此,可以进一步减小对 SOG 膜的破坏。

[0568] 图 34 示出了熔丝结构的第四实例,其中对于其中侧壁分隔件在第一绝缘膜形成之后形成的上述图 31 的熔丝结构进行了渐缩处理。这允许由施加到绝缘膜的渐缩工艺所产生的再附着物质附着到第一绝缘膜覆盖率减少的预定部分。由于第一绝缘膜减小在低覆盖率中,可以基本上不减小熔丝与 SOG 膜之间的距离。

[0569] 通过采用惰性气体例如 Ar 气体的磨制(milling)或者采用  $\text{O}_2$  或 Ar 的渐缩蚀刻而实现上述处理。仔细确定第一绝缘膜的厚度,因为渐缩蚀刻在第一绝缘膜的预定部分上从熔丝上端观测以  $45\text{--}60^\circ$  的倾角剧烈地进行。例如,优选采用厚度从 300nm 到 1000nm 更优选从 500nm 到 800nm 的 PL-TEOS 氧化物膜形成第一绝缘膜。

[0570] 此外,在下面条件下进行 Ar 磨制。

[0571] Ar 流量 :4sccm

[0572] 压力 : $2.0\text{E-}4\text{Torr}$

[0573] 功率 :500V,190mA

[0574] 冷却水温度 : $23^\circ\text{C}$  (这里衬底温度 : $40\text{--}120^\circ\text{C}$ )

[0575] 磨制角 : $45\text{--}80^\circ$  (优选  $60^\circ$ )

[0576] 渐缩角 : $60\text{--}45^\circ$

[0577] 在下面条件下采用阳极连接向下流动(anode-connection down-flow)型蚀刻器件进行 Ar 渐缩蚀刻。

[0578] Ar 流量 :100sccm

[0579] 压力 :0.1Torr

[0580] RF 功率 :800-1200W

[0581] 衬底温度 :100℃

[0582] 渐缩角 :60-45°

[0583] 在下面条件下采用 ECR 蚀刻设备进行 O<sub>2</sub> 渐缩蚀刻。

[0584] O<sub>2</sub> 流量 :100sccm

[0585] 压力 :0.01Torr

[0586] 微波功率 :300mV

[0587] RF 功率 :150W

[0588] 衬底温度 :40℃

[0589] 渐缩角 :80-60°

[0590] 可以应用 SOG 到具有上述渐缩形状的第一绝缘膜。作为选择,如图 34 所示,可以形成厚度从 100nm 到 500nm 优选从 250nm 到 350nm 变化的 PL-TEOS 氧化物膜。

[0591] 图 35 所示的熔丝结构特征在于第一和第二绝缘膜在熔丝上形成两次。即,取代在对熔丝具有相对低覆盖度的第一绝缘膜上进行渐缩处理,可以在下面条件下通过形成偏压 CVD 绝缘膜而直接形成具有渐缩形状的绝缘膜。

[0592] 衬底温度 :400℃

[0593] 材料气体 :45/55/70sccm 的 SiH<sub>4</sub>//O<sub>2</sub>/Ar

[0594] 微波功率 :2000W

[0595] RF 功率 :13.56MHz 处为 1400W

[0596] 反应腔压力 :2mTorr

[0597] 优选绝缘膜的厚度从 300nm 到 1000nm 优选从 500nm 到 800nm 变化。

[0598] 因此,具有渐缩形状的第一绝缘膜在从熔丝上端 45-60° 倾斜角观测的其预定部分中的厚度减小。因此,可能需要形成另一绝缘膜来覆盖熔丝上端。优选通过使用厚度从 200nm 到 800nm 优选从 350nm 到 600nm 变化的 PL-TEOS 氧化物膜形成绝缘膜。

[0599] 图 36 示出了其中采用多个多晶硅层或多个多晶硅-硅化物层形成熔丝的熔丝结构。在上述实例中(见图 28、图 25A-25D、和图 29A-29B),第一和第二层间绝缘膜之间形成至少一个熔丝,但图 36 的熔丝结构设计为在多个层间绝缘膜之间形成熔丝。

[0600] 如此前所述,第三实施例提高了半导体集成电路的可靠性,因为对于用作层间绝缘膜的 SOG 膜的热应力减小了,外覆的绝缘膜的脱气被抑制,且外覆的绝缘膜不变形且不形成裂纹。因此,重复进行使用多晶硅层和多晶硅-硅化物层的上述制造工艺,以制造包括多个与多层相连的熔丝的熔丝阵列。

[0601] 本实施例的优点在于,通过 LOCOS 法和 STI 法减小了较低的台阶差从而显著减小了层叠的层间绝缘膜中的台阶差,其中通过上述硅化物工艺,晶体管和扩散层的电阻和厚度减小。

[0602] 具体地,形成在 STI 结构上的第一熔丝阵列是通过采用用于栅电极形成的同样材料和步骤的硅化物工艺来形成的;且第二熔丝阵列形成在晶体管上;且第三熔丝阵列进一步形成在其上。

[0603] 上述叠层结构优选用于形成采用多个熔丝的信息读出电路。它减小具有多个熔丝的硅衬底的总面积；它提高集成度；且它减少制造成本。

[0604] 此外，渐缩形状应用到熔丝的侧壁或覆盖熔丝的绝缘膜；因此，可以增加熔丝与外覆的绝缘膜之间的距离。结果，可以减小施加到外覆的绝缘膜的热应力；可以抑制外覆的绝缘膜的脱气；可以防止外覆的绝缘膜不期望地变形；可以避免在外覆绝缘膜中形成裂纹；且因此可以提高半导体集成电路的可靠性。此外，侧壁分隔件形成在熔丝侧壁上；且侧壁分隔件还可以形成在覆盖熔丝的绝缘膜上；因此，可以进一步增加熔丝与层间绝缘膜之间的距离。

[0605] 在覆盖熔丝的绝缘膜上进行 Ar 蚀刻或 O<sub>2</sub> 蚀刻以实现渐缩形状。作为选择，在覆盖熔丝的绝缘膜上进行磨制。因此，可以通过增加熔丝与外覆的绝缘膜之间的距离而减小施加到外覆的绝缘膜上的热应力。

[0606] 当熔丝被施加到其上的脉冲断开时，本实施例还减小施加到熔丝的物理和热破坏。具体地，在从 400°C 到 900°C 变化的预定温度对熔丝进行热处理；因此可以减小对晶体管的热破坏并提高熔丝的断开特性。

[0607] 4. 第四实施例

[0608] 公知当高电流流过导体时在组分原子或分子中发生电迁移。通过电迁移需要相对长的时间实现熔丝断开；然而，希望当高电流流过加热的导线时电迁移可以被加速，且由焦耳热引起的热应力可以进一步加速电迁移。

[0609] 图 37 示出了熔丝断开电路的例子，其中熔丝 201 被串连到 n 沟道 MOS 晶体管（即 MOSFET）203。熔丝 201 的端子 201a 被供应有驱动电压 V<sub>dd</sub>，且另一端子 201b 被连接到晶体管 203 的漏极 205a。晶体管 203 的源极 205b 被接地（在 V<sub>ss</sub>）。脉冲信号 V<sub>p</sub> 被施加到晶体管 203 的栅极 205c。当栅极 205c 为高时，晶体管 203 被导通从而使电流流过熔丝 201。当非常高的电流流过熔丝 201 时，熔丝 201 的温度由于焦耳热而增加，从而熔丝 201 由于熔断和蒸发而断开。

[0610] 图 38 是示出包括图 37 的熔丝断开电路的半导体器件的平面图。图 39 是沿图 38 的线 C-C 所取的截面图。

[0611] 如图 38 和 39 所示，隔离区 202a、202b 和 202c 通过 LOCOS（即局域硅氧化）法而形成在 p 型半导体衬底 211 上，该 LOCOS 法可以被 STI（即浅沟槽隔离）法所取代。用于形成晶体管的有源区由隔离区 202a、202b 和 202c 所限定。p 阱 W<sub>p</sub> 形成在有源区中以形成 n 沟道晶体管。n 阱 W<sub>n</sub> 形成在隔离区 202c（即 LOCOS 氧化物膜）下面以避免在熔丝断开时由形成在 LOCOS 氧化物膜 202c 中的裂纹导致发生短路。此外，p 阱接触区 W<sub>c</sub> 与 p 阱 W<sub>p</sub> 相连形成。

[0612] 由氧化硅构成的栅绝缘膜 215a 通过热氧化法形成在有源区上。由多晶硅层 217a 和钨硅化物层 217b 构成的多晶硅-硅化物栅电极 217 形成在栅绝缘膜 215a 上。这里，浓度约为 10<sup>20</sup>cm<sup>-3</sup> 的 n 型杂质掺杂到多晶硅。而且，多晶硅-硅化物可以基本等同于自对准硅化物（salicide）（或硅化物）；因此，可以仅采用多晶硅形成栅电极 217。

[0613] 用于形成熔丝 223 的多晶硅-硅化物层（或多晶硅层）223 与隔离区 202c 的形成同时形成在隔离区 202c 上。

[0614] 可以在栅电极 217 的侧壁上和熔丝 223 的侧壁上形成侧壁分隔件 215b（即绝缘

膜)。在侧壁分隔件 215b 形成之前,进行 LDD(轻掺杂漏极)离子注入以形成 n 型杂质浓度从  $10^{17}\text{cm}^{-3}$  到  $10^{18}\text{cm}^{-3}$  变化的 LDD 结构。

[0615] 在侧壁分隔件 215b 的形成完成之后,高浓度 n 型杂质(其浓度从  $10^{20}\text{cm}^{-3}$  到  $10^{21}\text{cm}^{-3}$  变化)被引入 p 型半导体衬底 211 上的栅电极 217 的两侧。源区 205a 和漏区 205b 形成在栅电极 217 两侧上的 p 阱  $W_p$  内。此外,杂质被引入到栅电极 217 和熔丝 223 从而减小其电阻。

[0616] 形成由氧化硅、PSG 或 BPSG 构成的层间绝缘膜 221 以覆盖半导体衬底 211 上的栅电极 217 和多晶硅-硅化物层 223。开口 218a、218b 和 218c 形成在层间绝缘膜 221 中以到达关于栅电极 217 的源区 205a、漏区 205b 和阱接触区  $W_c$ 。此外,开口 225 和 227 形成在层间绝缘膜 221 中以到达多晶硅-硅化物层 223 的上表面的两端。

[0617] 通过溅射,由 Ti、TiN 或 TiON 构成的附着层形成并嵌入在开口 218a、218b、218c、225 和 227 中;然后,通过 CVD 法淀积钨层;因此,可以形成导电栓 228。通过 CMP 除去导电层的不需要的部分;此后,通过由 TiN/Ti/Al/Ti(或 TiN)所构成的叠层所实现的导线淀积在层间绝缘膜 221 上并然后被进行构图,因此形成导线层 231a、231b 和 231c。

[0618] 导线层 231a 通过导电栓 228 与熔丝 223 的上表面的一个端子形成接触。导线层 231b 连接熔丝 223 的另一端子以及晶体管 203 的漏极 205b。导线层 231c 分别通过开口 218b 和 218c 与晶体管 203 的漏极 205b 和阱接触区  $W_c$  形成接触。另一导线层(未示出)形成并与栅电极 217 形成接触。形成由氧化硅或氮化硅构成的钝化膜 233 以覆盖导线层 231a-231c。

[0619] 因此,可以产生包括熔丝 201(相应于熔丝 223)和晶体管 203(即 MOSFET)的熔丝断开电路。

[0620] 已经结合图 1、图 2A(或图 14)、图 3、图 17 和表 1 描述了熔丝断开特性和实验结果;因此,不再给出重复的描述。

[0621] 已经结合图 16A 和 16B 描述了适用于第四实施例的熔丝断开方法,除了如下微小变化:

[0622] 在步骤 S27 中,作出脉冲数目是否达到“14”的决定,或者作出总时间是否达到 2000ms 的决定。在步骤 S28 中,作出电阻是否等于或高于  $1M\Omega$  的决定。在步骤 S30 中,作出熔丝数目(即 n)是否达到最大熔丝数目(即  $n_{MAX}$ )的决定。

[0623] 图 40 示出了包括“n”级的存储电路,其每个都包括串连在电源线与接地线之间的熔丝 F 和晶体管 T1。晶体管 T2 也串连到熔丝 F 从而使弱电流流过熔丝 F。

[0624] 图 41 示出了表示选择器 SEL 的操作的真值表,其中当输入 S 为零时,输入 A 出现在输出 0,且当输入 S 为“1”时,输出 B 出现在输出 0。当信息读出信号为低且施加到选择器 SEL 的输入 S 时,响应于移位信号,触发器(flip-flop)FF 的输出被传送到下一级;因此,n 级一起合作实现 n 位移位寄存器。这允许代表熔丝电阻的信息根据与移位信号同步的断开信号而被传送 n 次。

[0625] 图 42 示出了关于熔丝断开操作的信号的时序图。这里,移位信号包括“n”个脉冲,从而在每个阶段,关于熔丝断开/未断开阶段的信息出现在触发器 FF 的输出 Q。基于该信息,可以通过以具有脉冲的时钟信号驱动晶体管 T1 而使每个熔丝断开。通过重复上述操作“m”次,可以以“m”个脉冲实现熔丝断开。可以通过适当选择晶体管 T2 的特性而调节脉冲

能量。此外,可以控制相对于时钟信号的时间长度的脉冲宽度。

[0626] 图 43 示出了关于确定熔丝断开 / 未断开状态的信号时序图。这里,信息读出信号初始设置在高水平周期内,在该周期内通过施加单个脉冲,关于熔丝断开 / 未断开状态的信息从一级转移到另一级。此后,信息读出信号设置在低水平周期,因此实现采用多级的移位电阻器连接。因此,关于熔丝断开 / 未断开状态的信息与具有 (n-1) 个脉冲的时钟信号同步地连续输出。

[0627] 最后,本发明不需要局限于上述实施例,这些实施例是示意性的而不是限制性的;因此,在本发明范畴内的所有改变和变形都包括在本发明之内。

[0628] 本发明要求日本专利申请第 2005-99404、2005-101481 和 2005-103542 号的日本专利申请的优先权,其内容引用在此处作为参考。

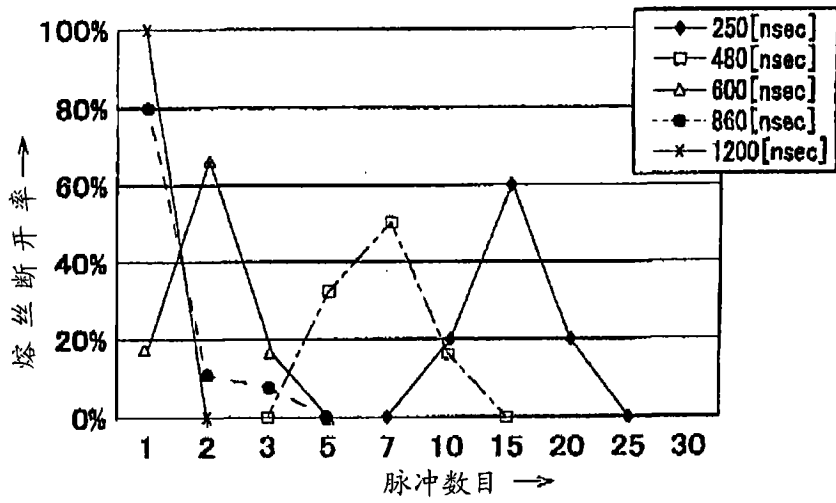


图 1

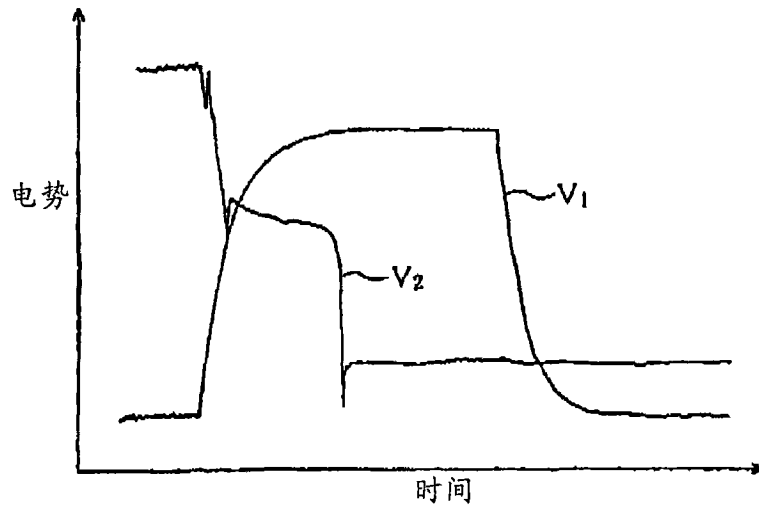


图 2A

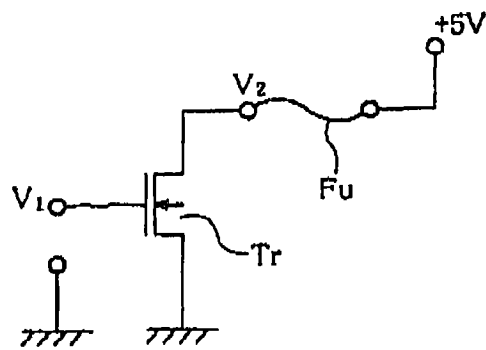


图 2B

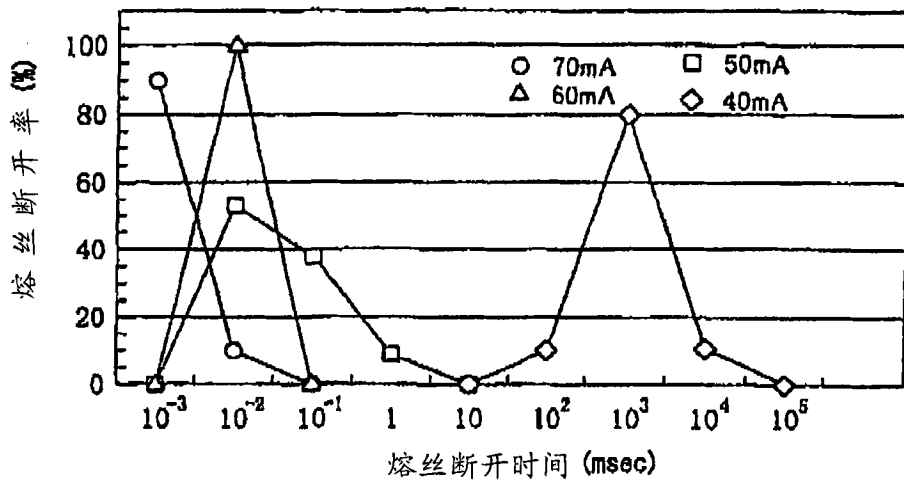


图 3

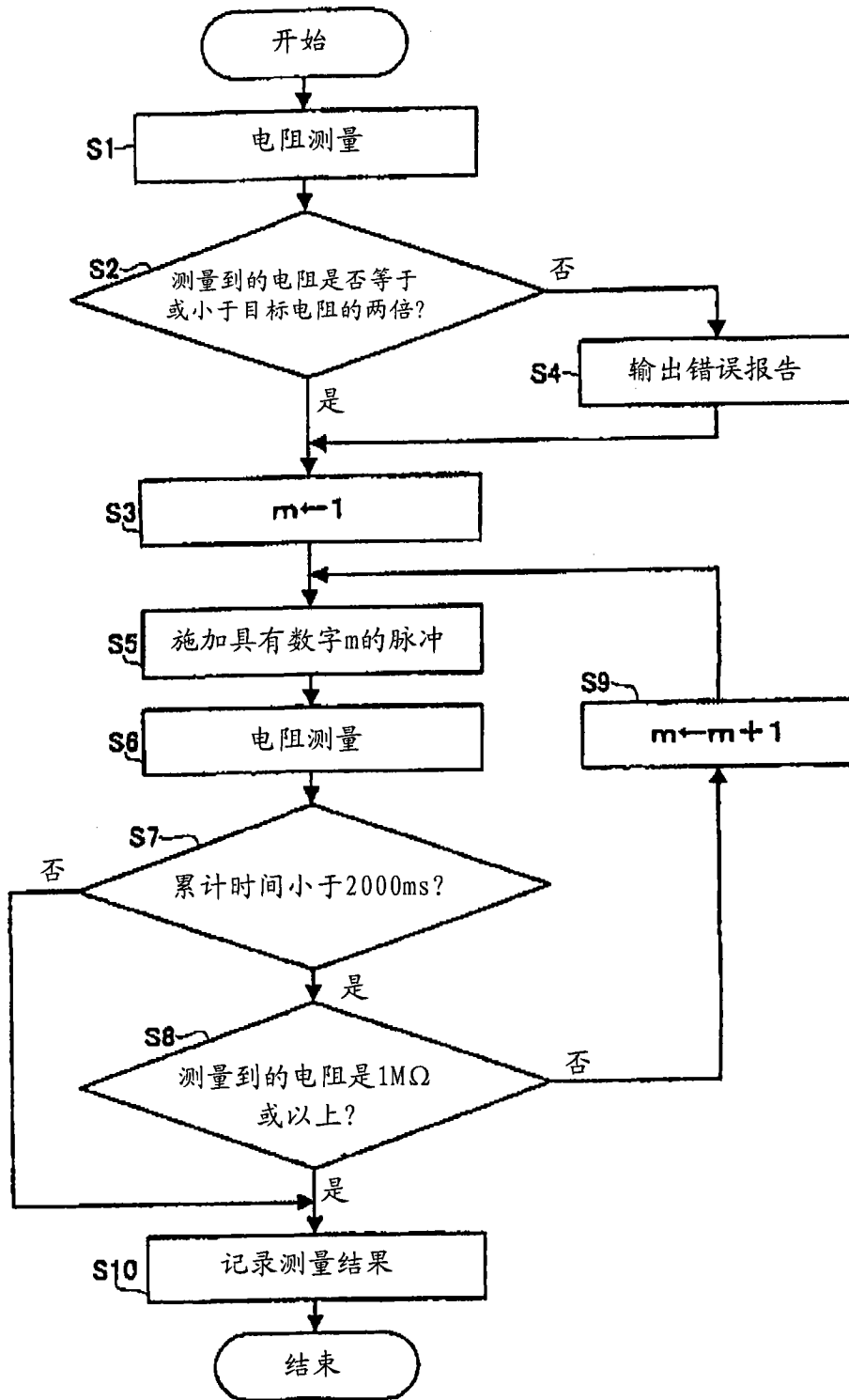


图 4



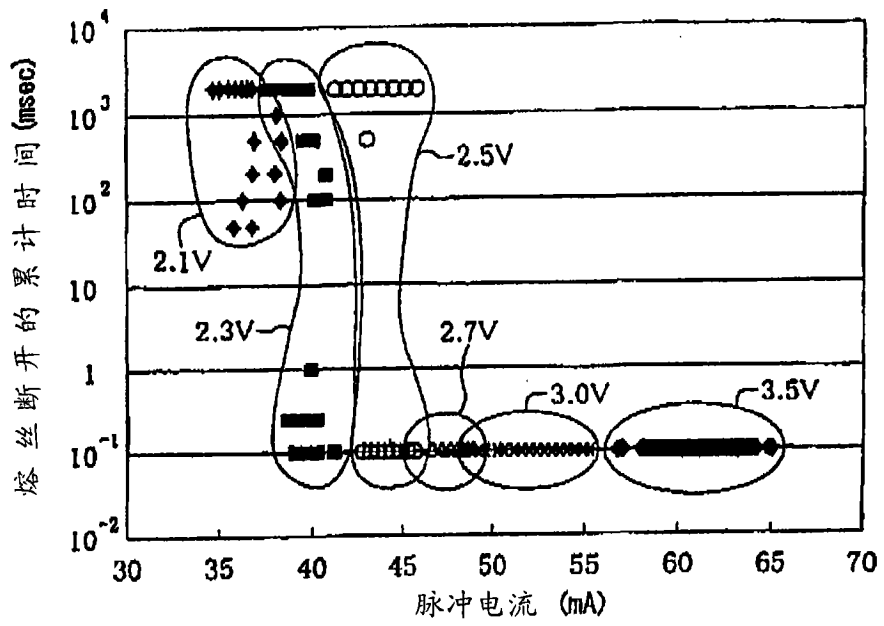


图 5

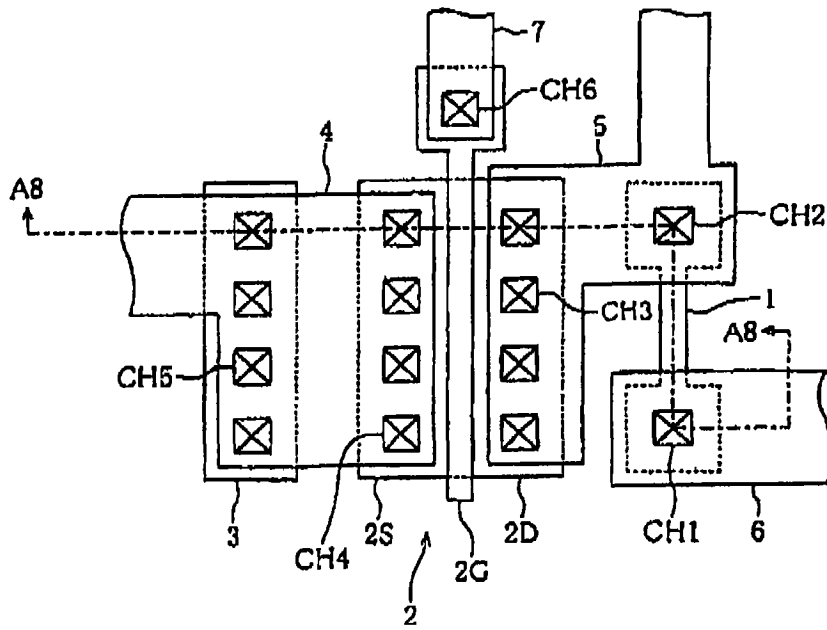


图 6

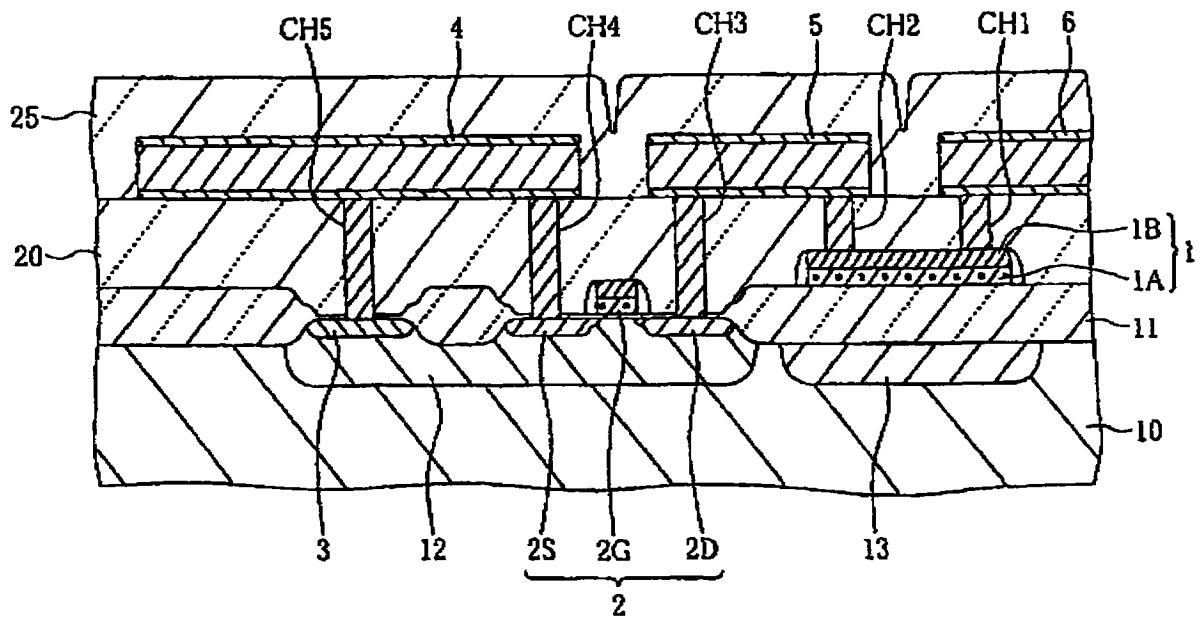


图 7

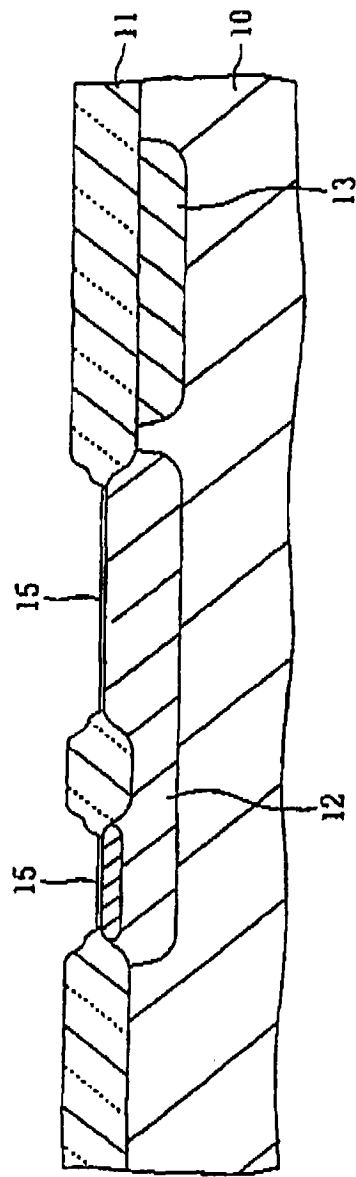


图 8A

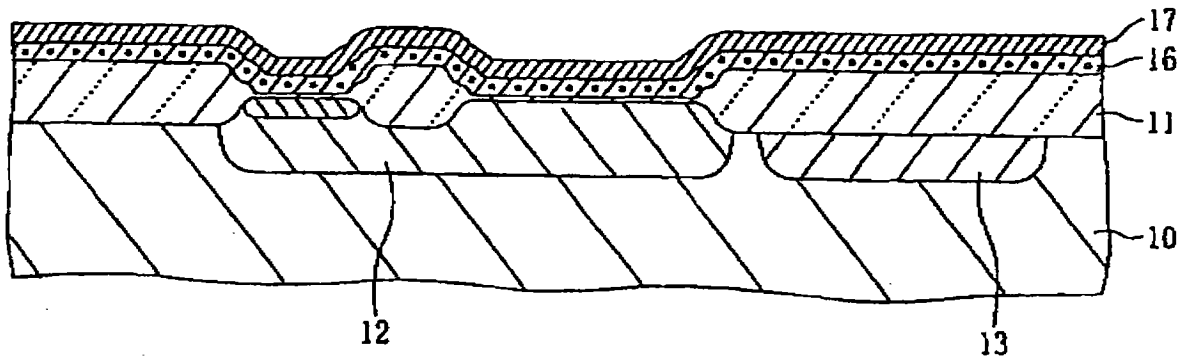


图 8B

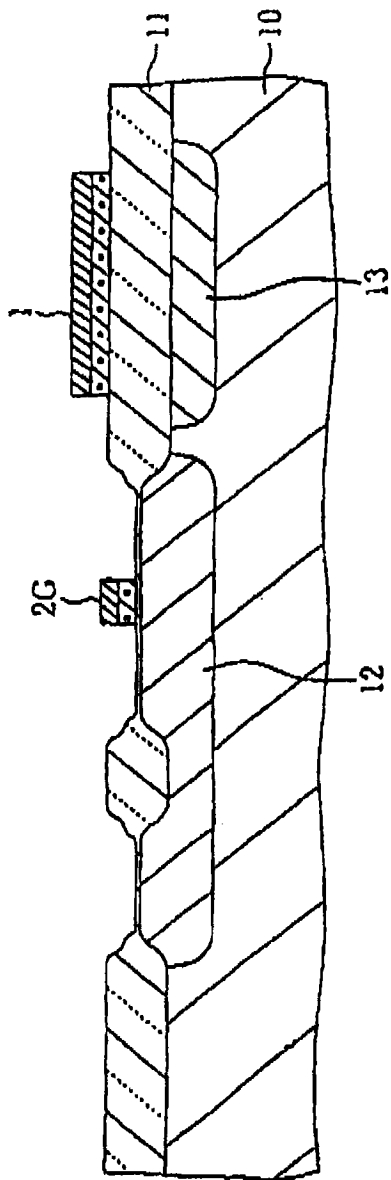


图 8C

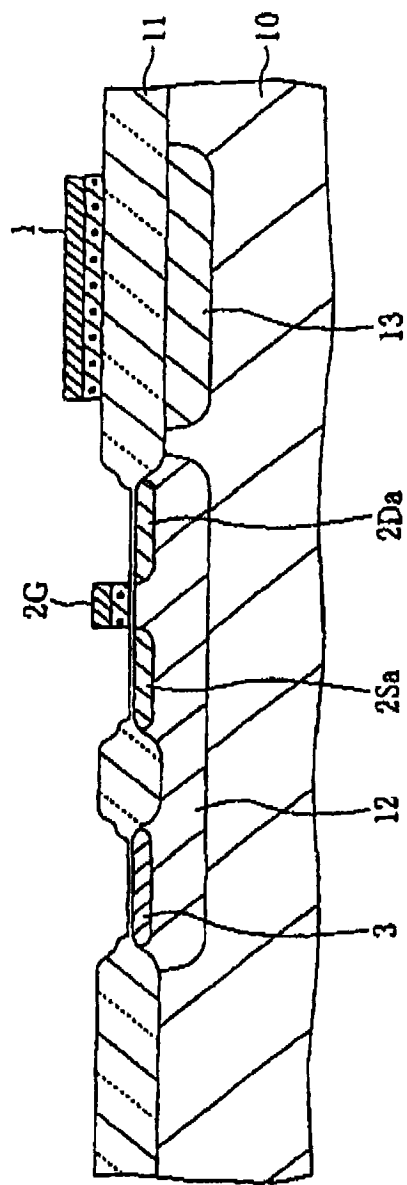


图 8D

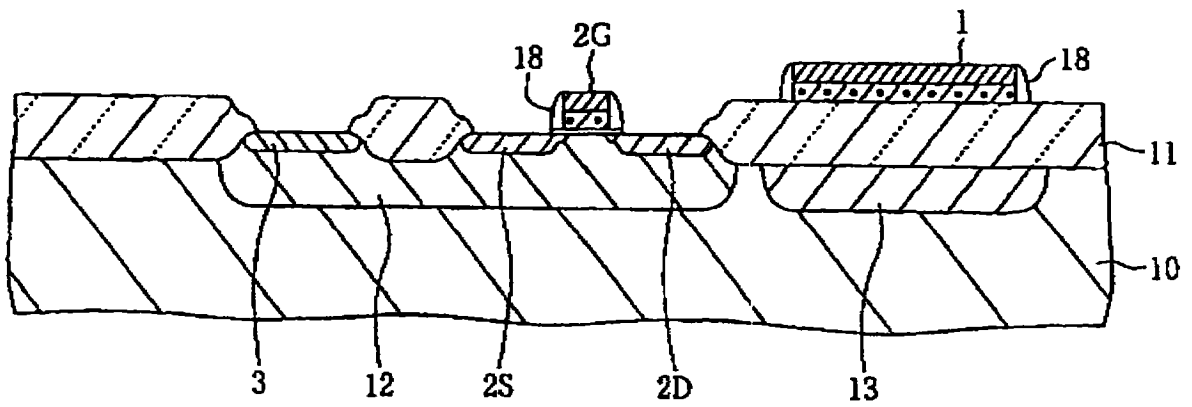


图 8E

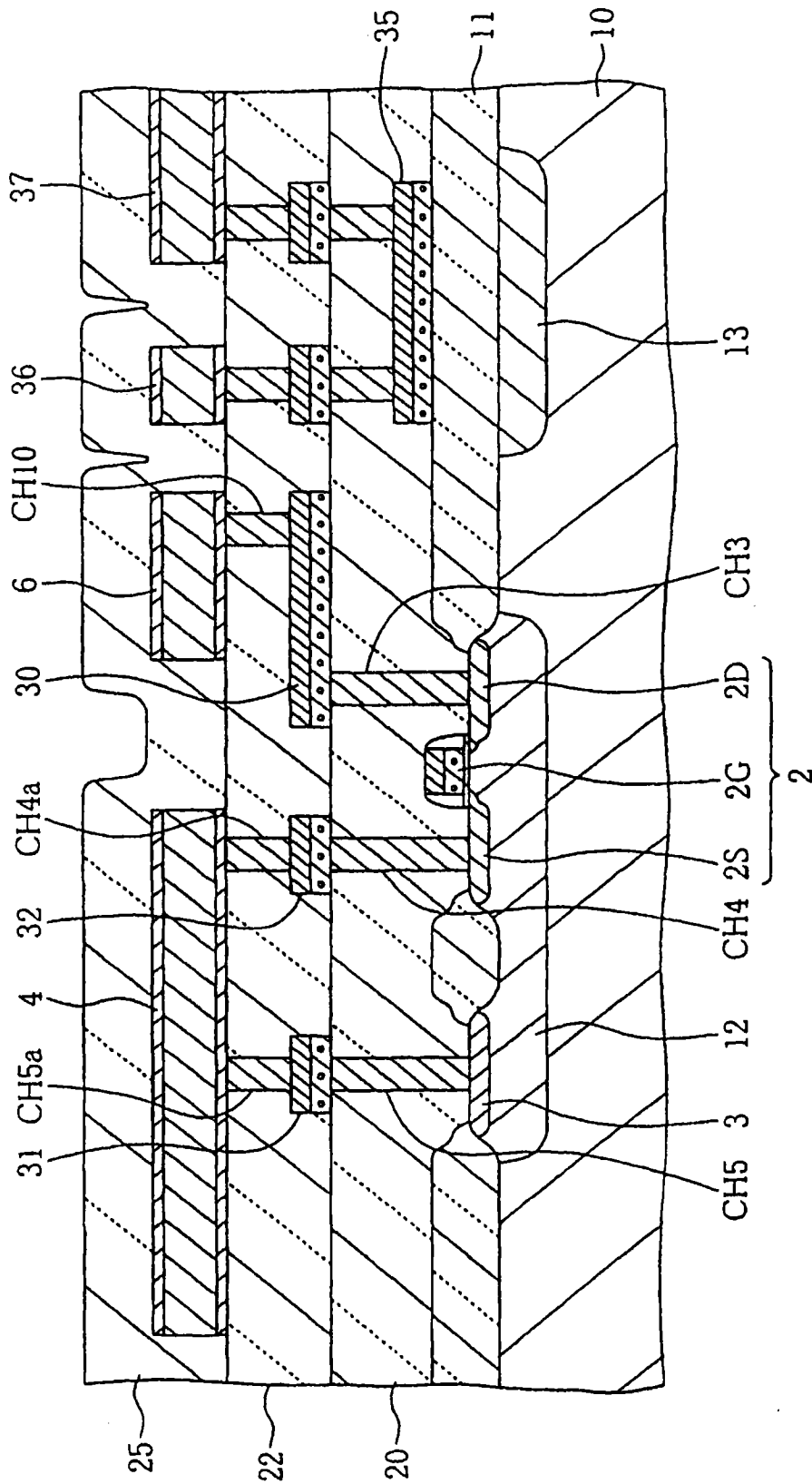


图 9

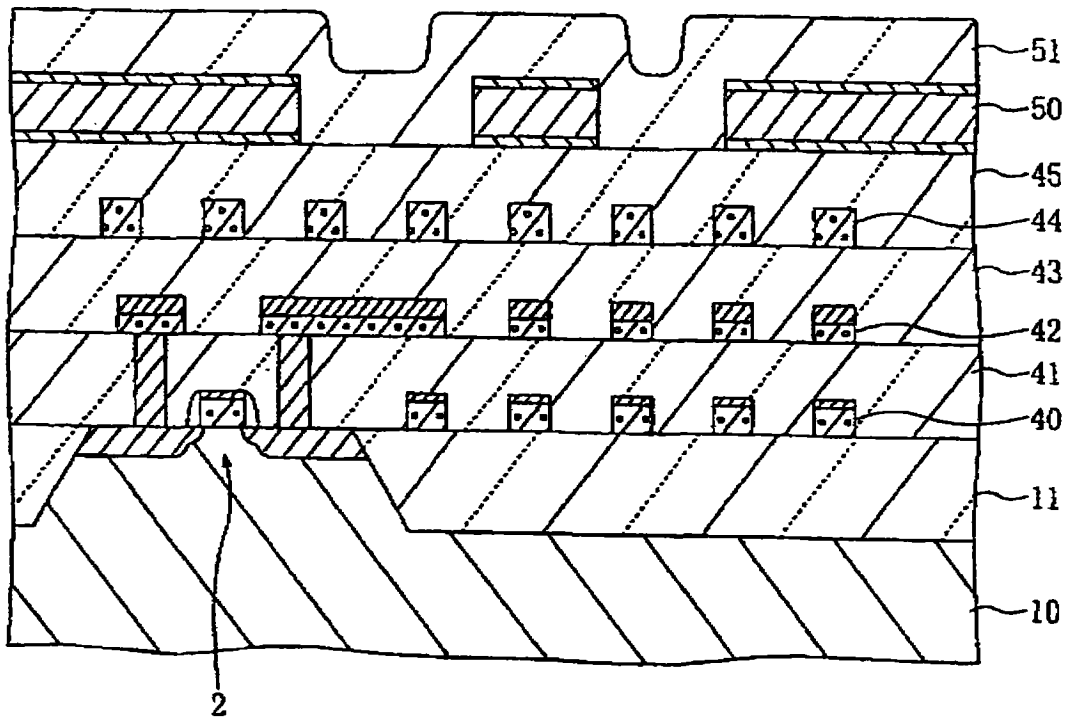


图 10

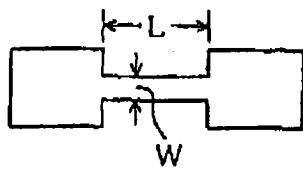


图 11A

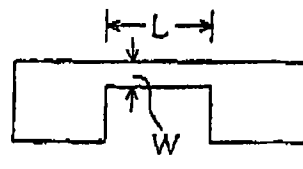


图 11B

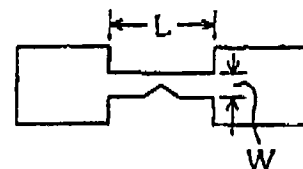


图 11C

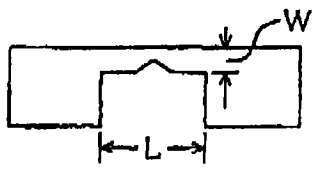


图 11D

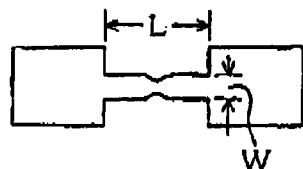


图 11E

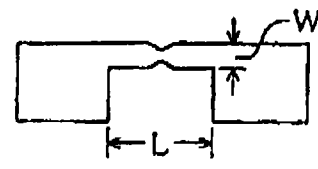


图 11F



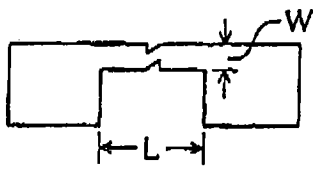


图 11G

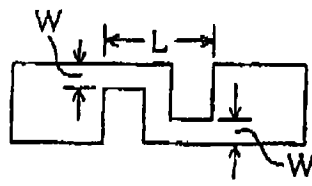


图 12A

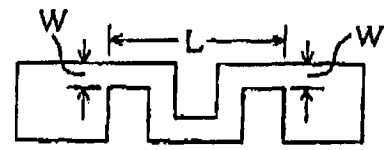


图 12B

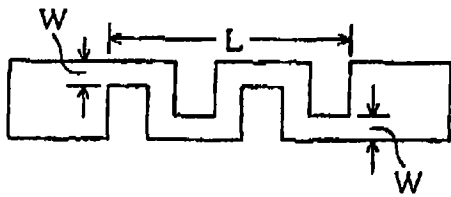


图 12C

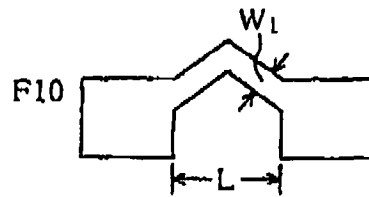


图 12D

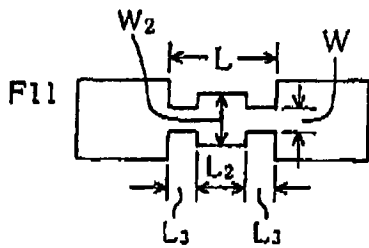


图 12E

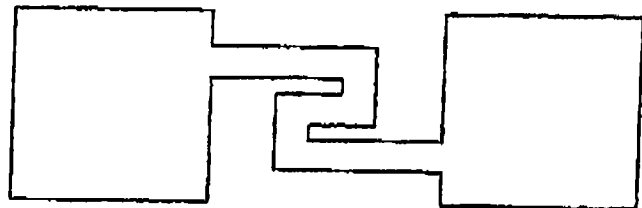


图 13A

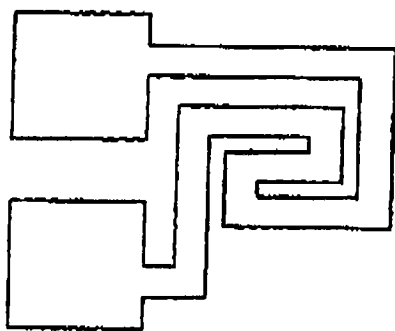


图 13B

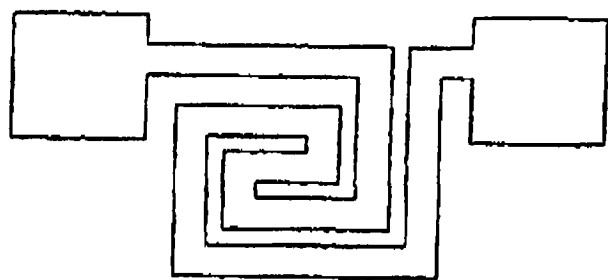


图 13C

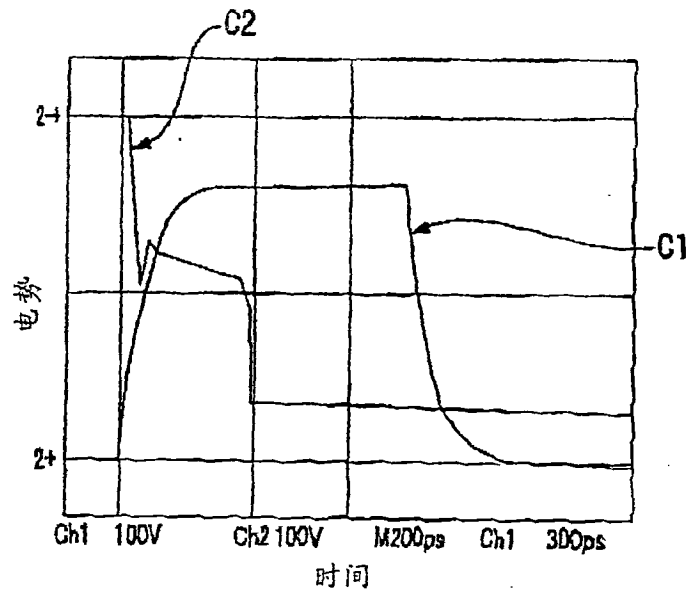


图 14

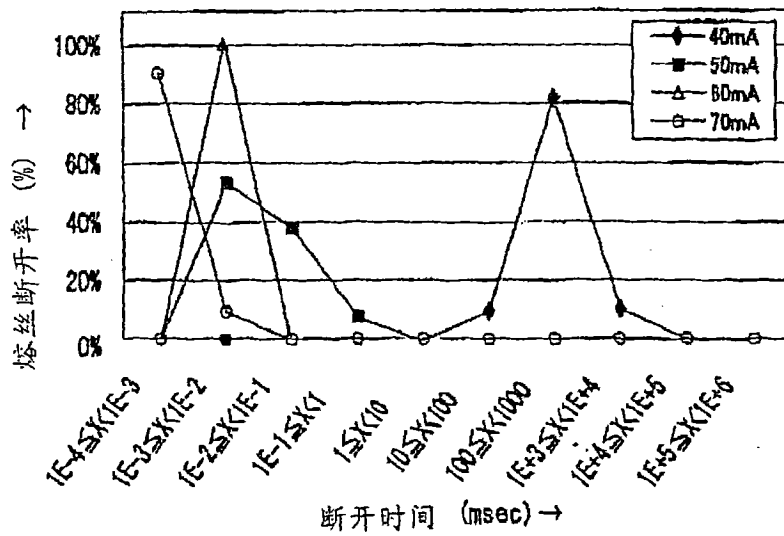


图 15

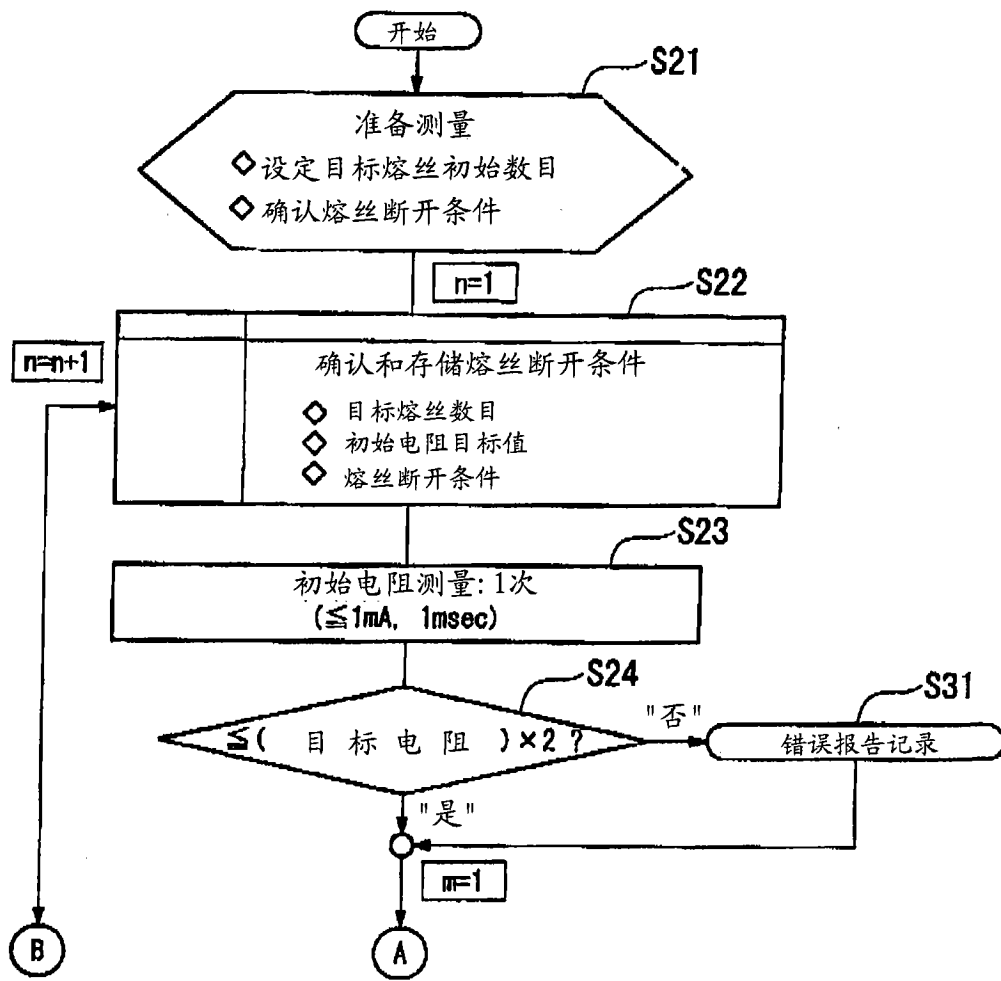


图 16A

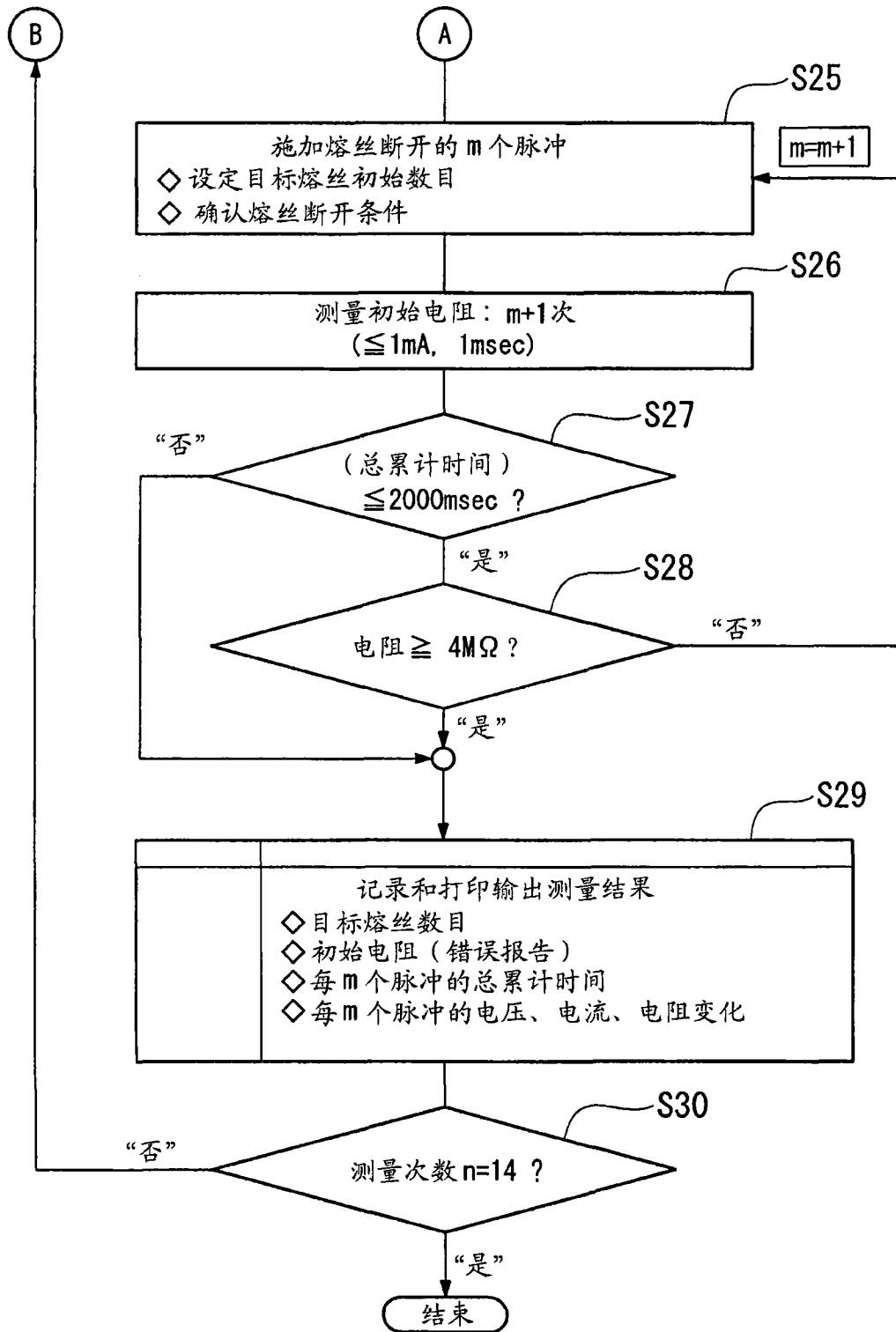


图 16B

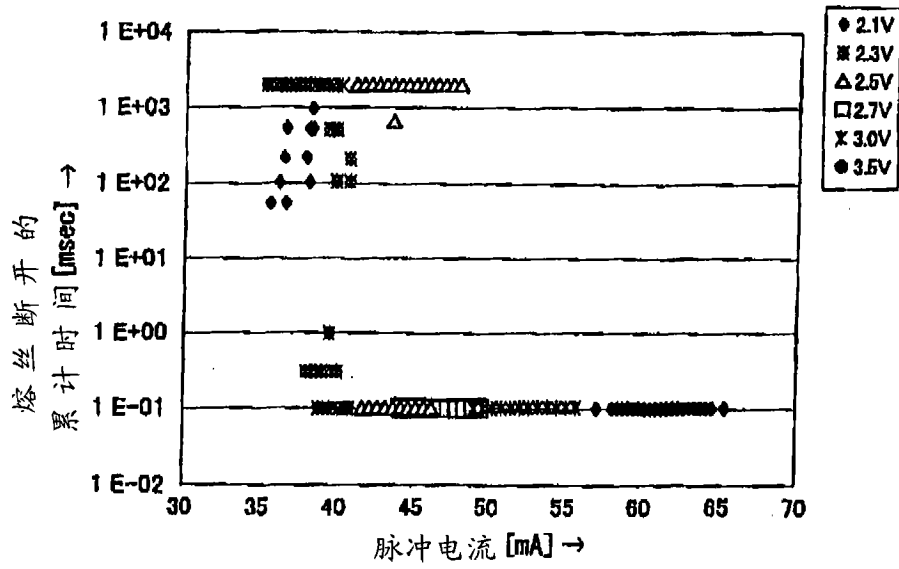


图 17

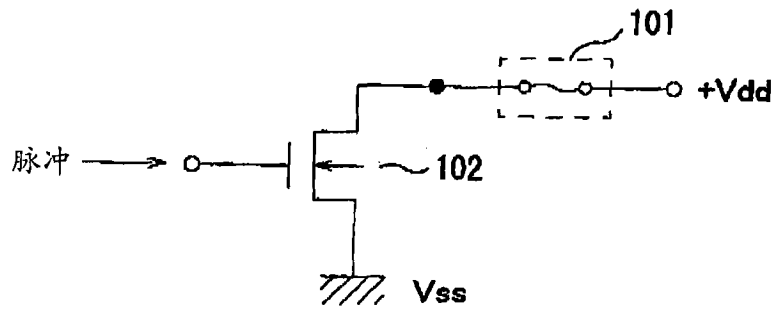


图 18

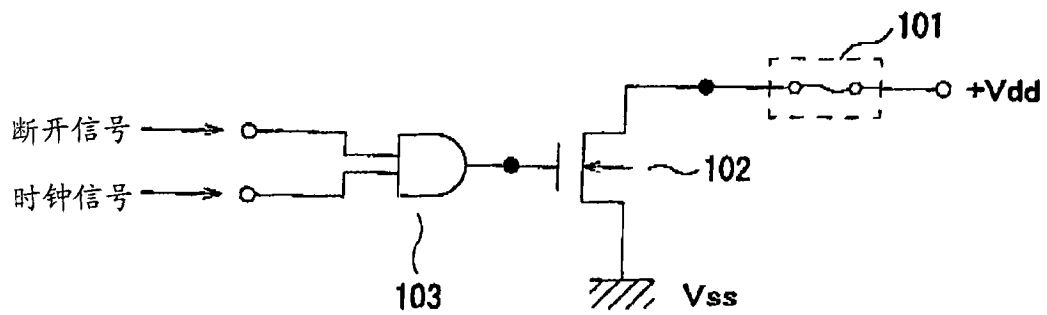


图 19

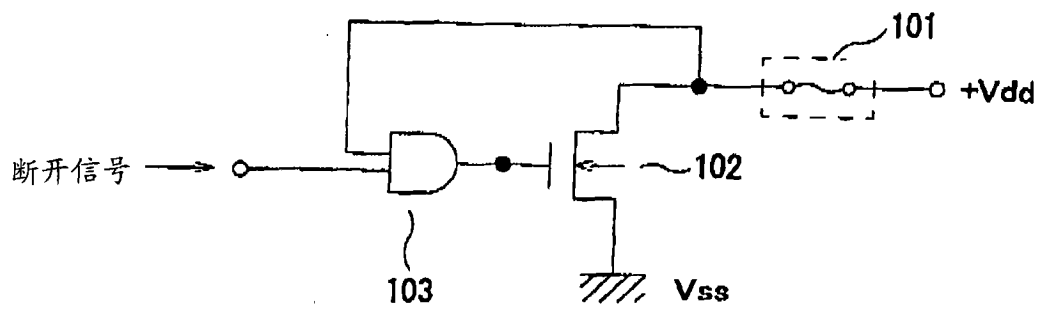


图 20

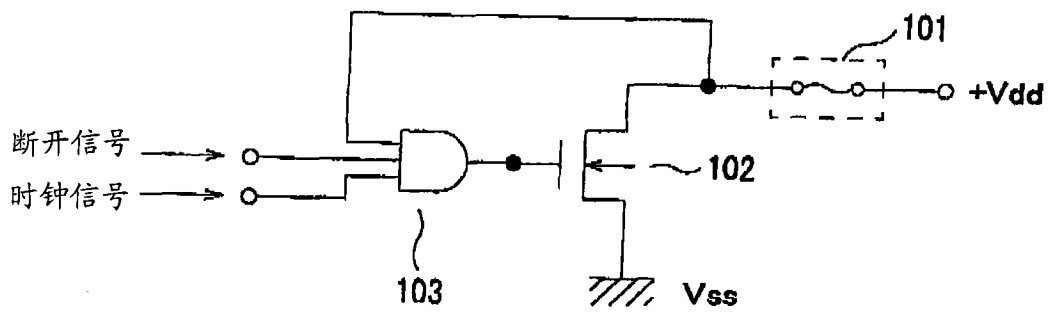


图 21

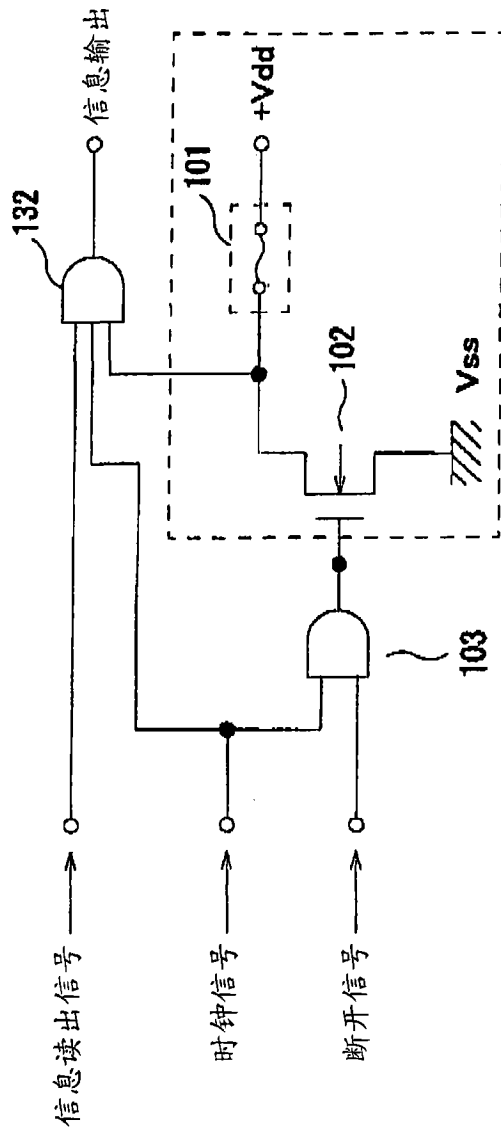


图 22

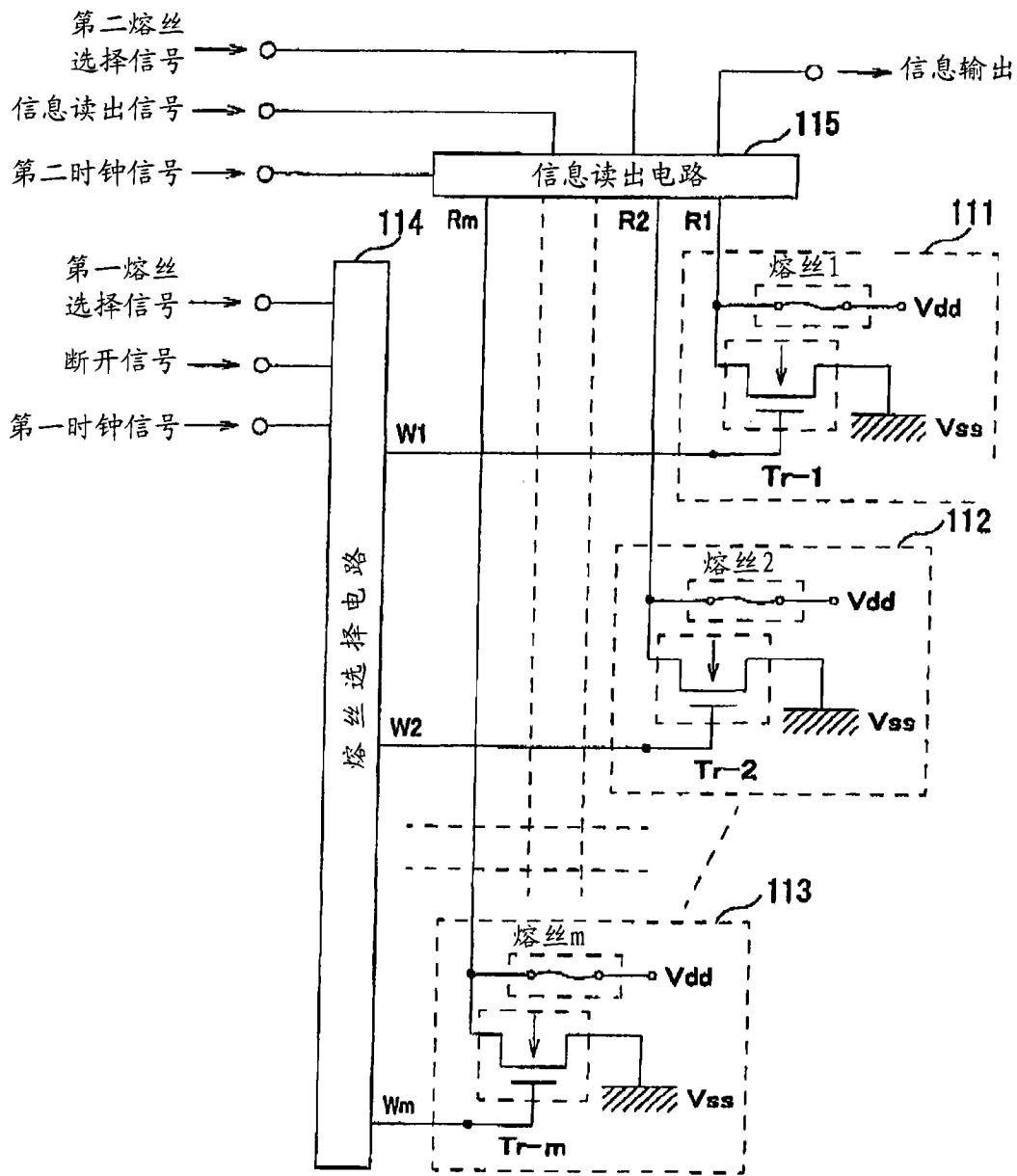


图 23



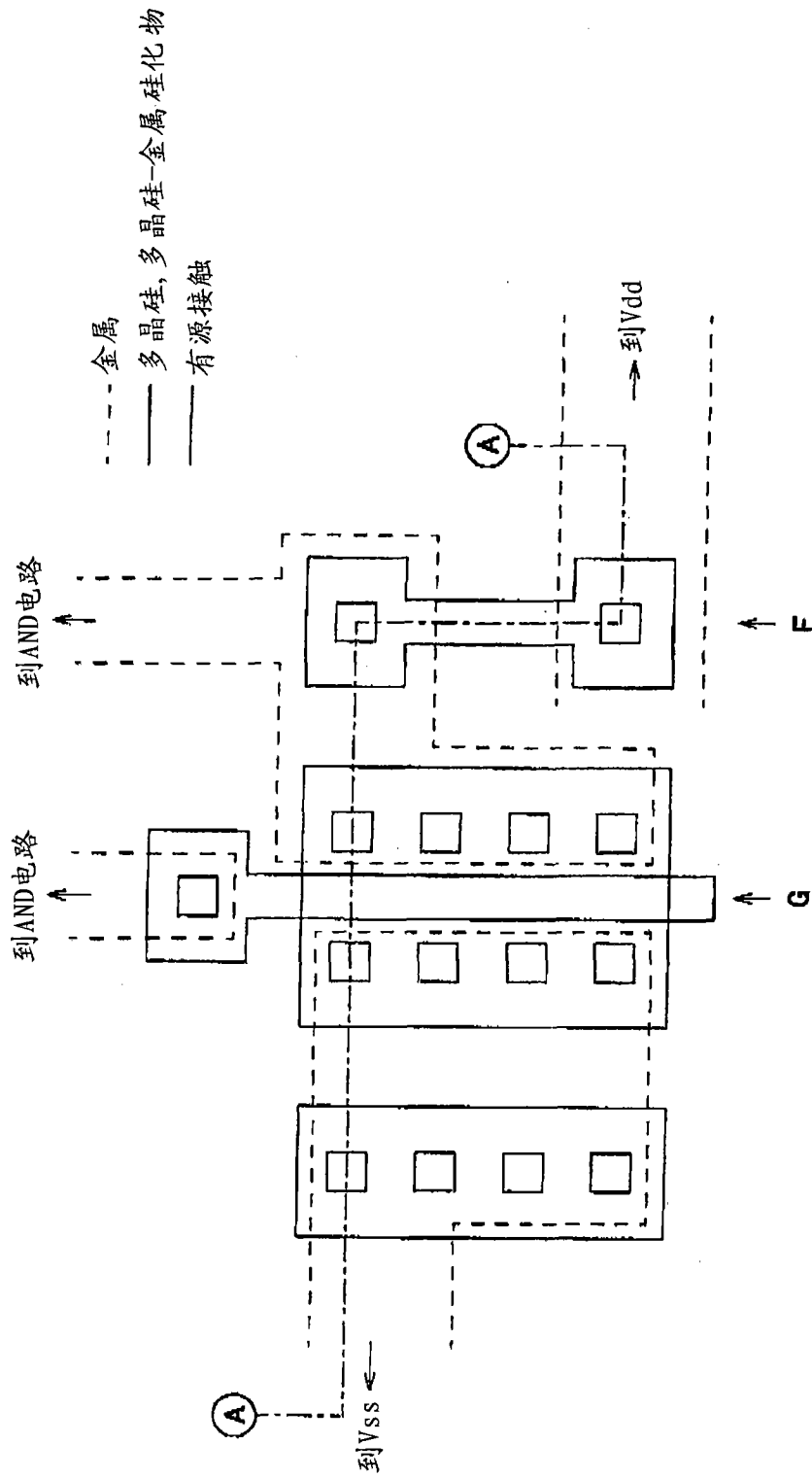


图 24

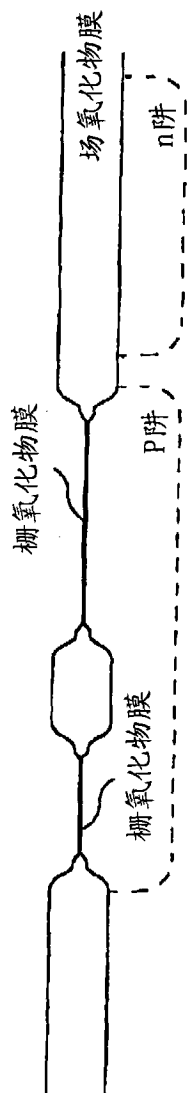


图 25A

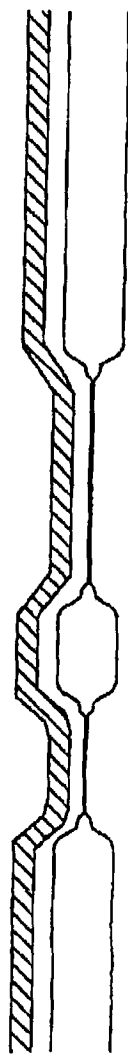


图 25B

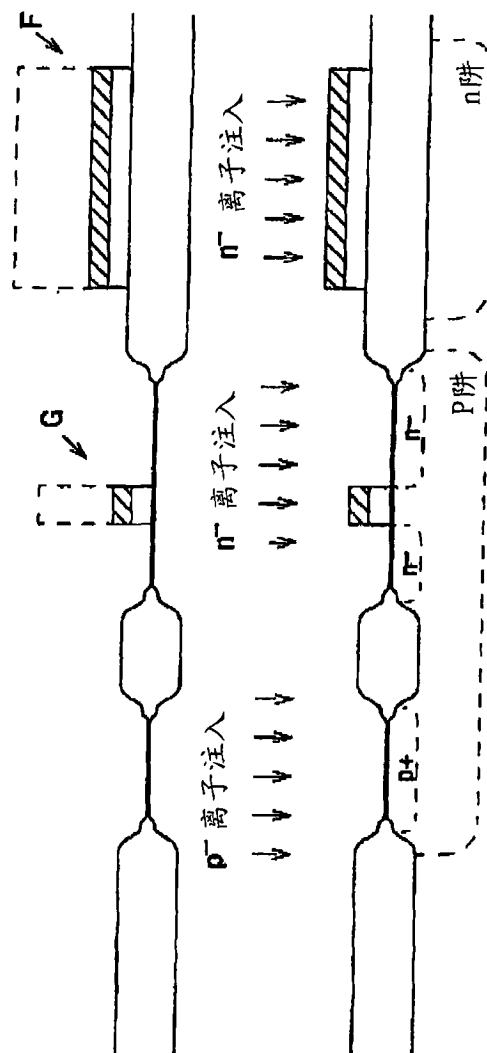


图 25C

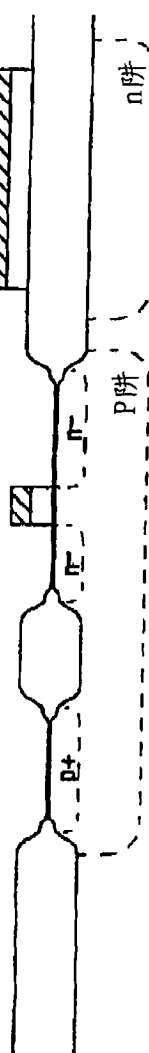
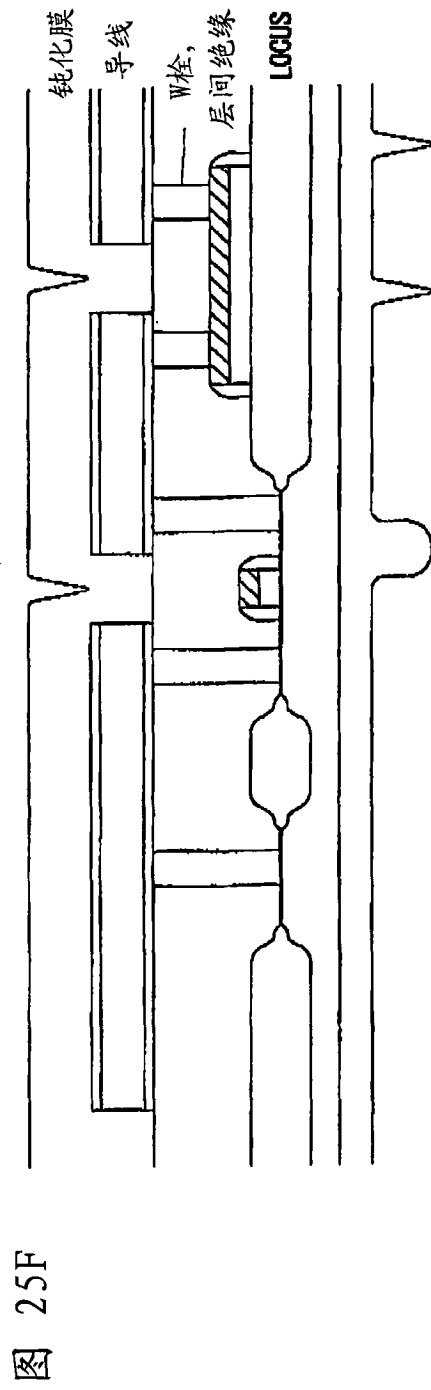
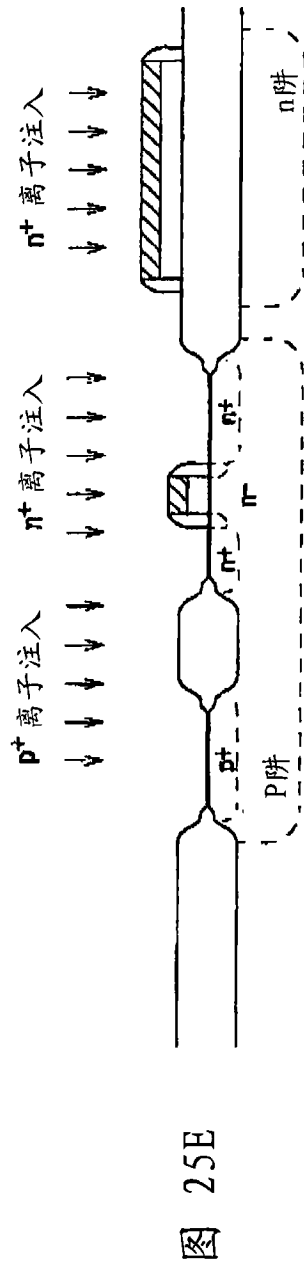


图 25D



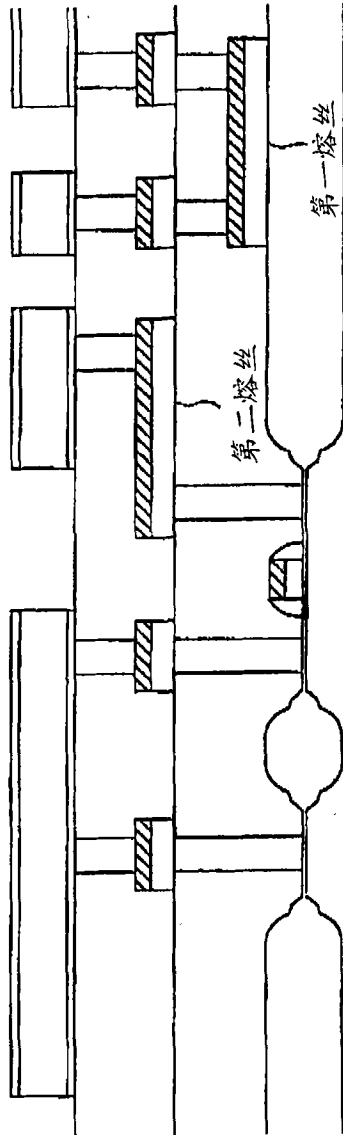


图 26

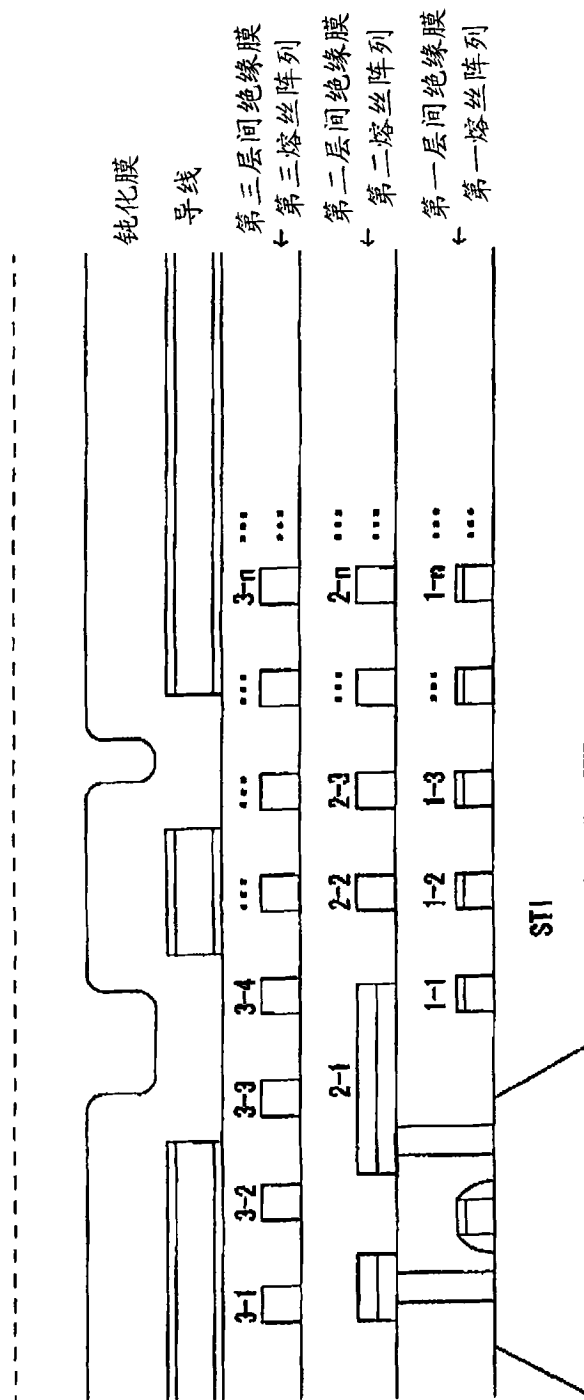


图 27

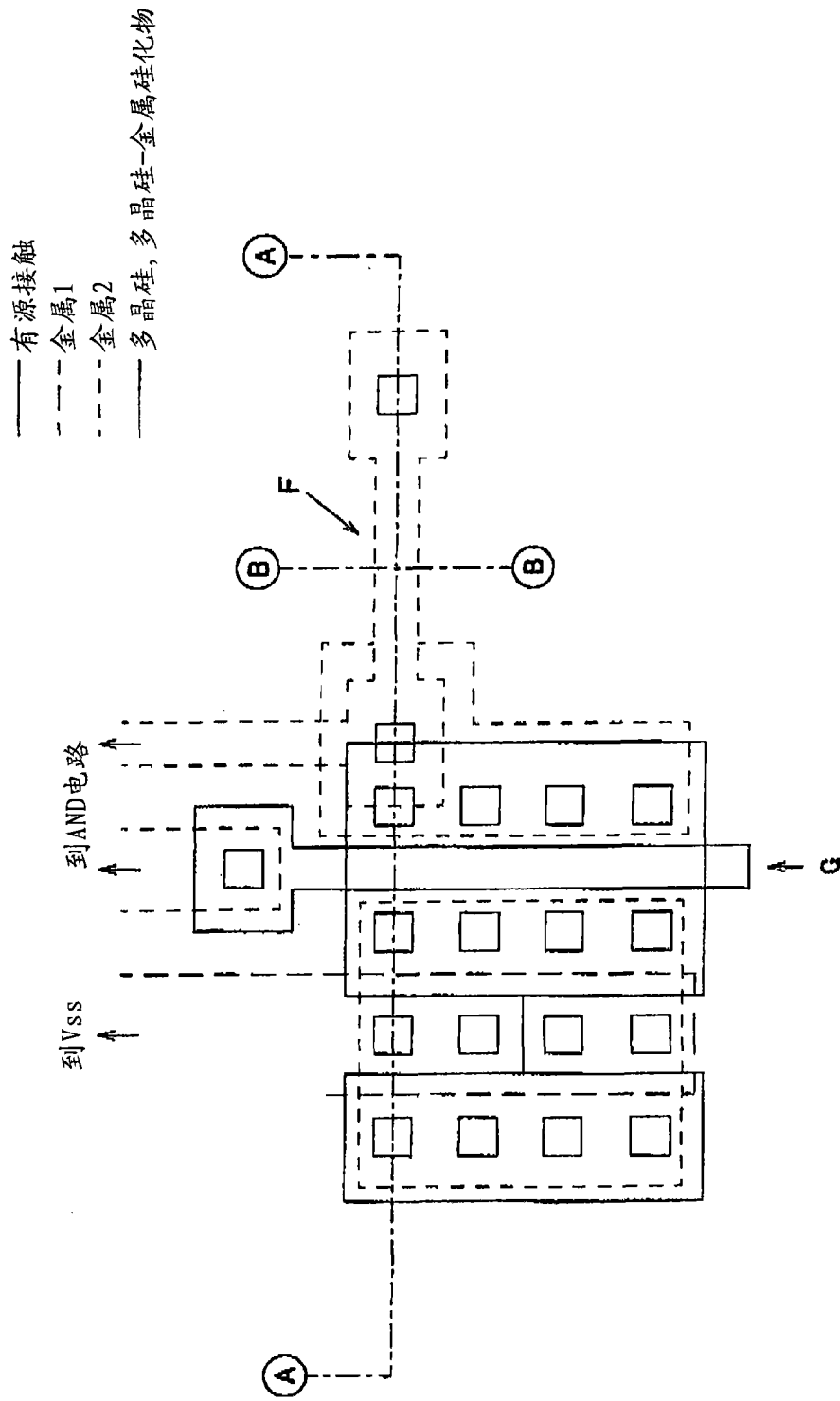


图 28

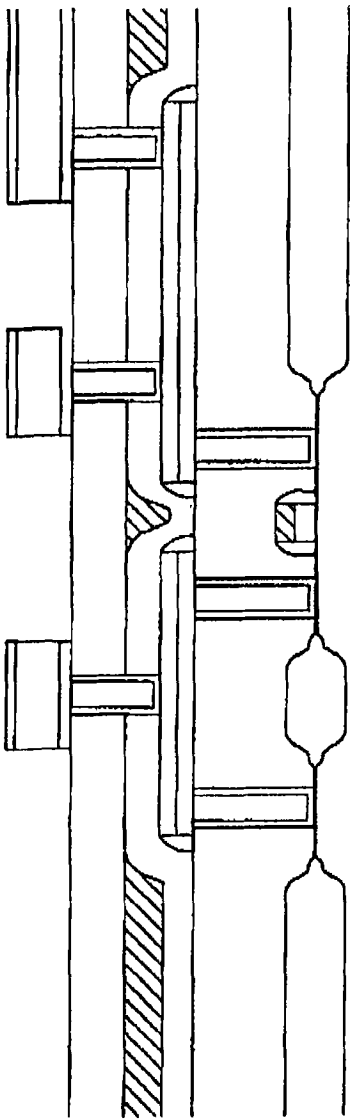


图 29A

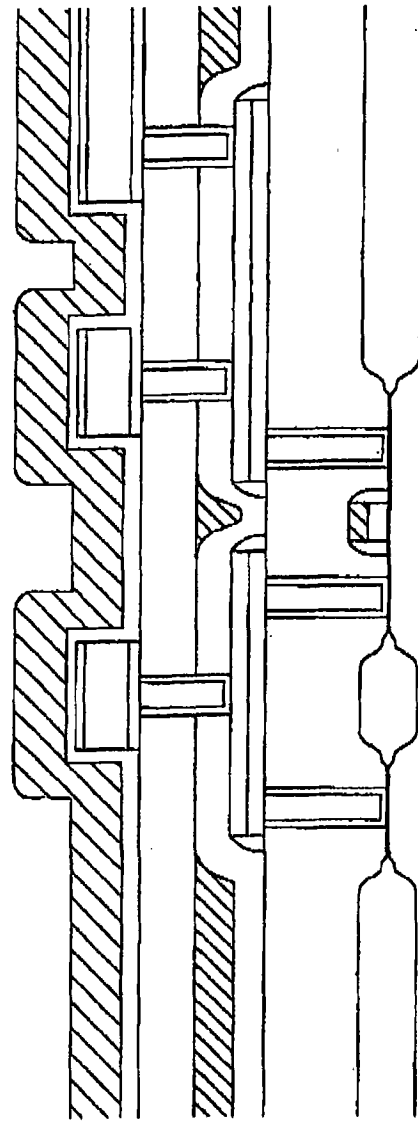


图 29B

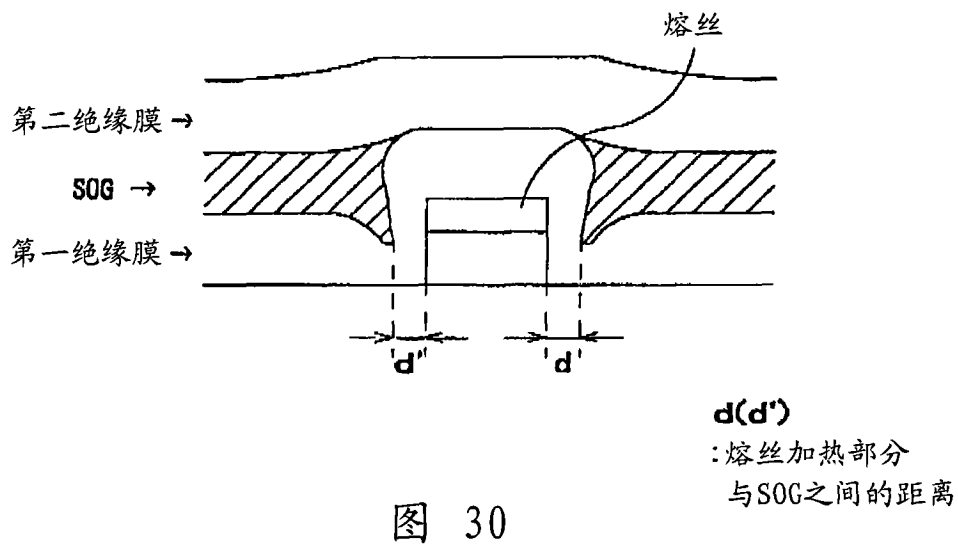


图 30

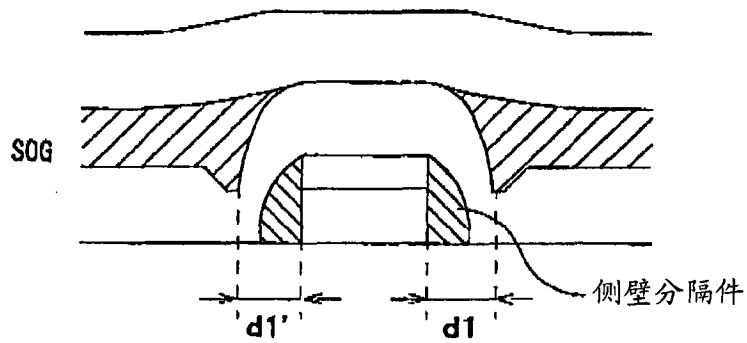


图 31

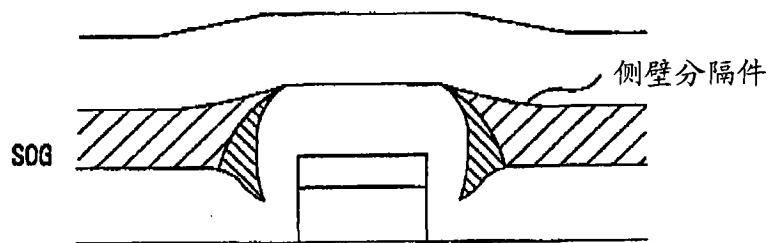


图 32



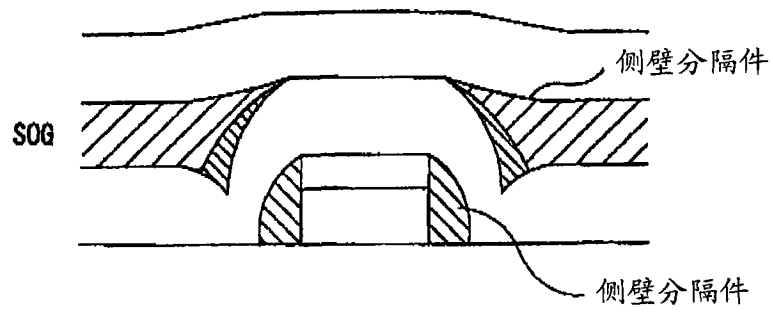


图 33

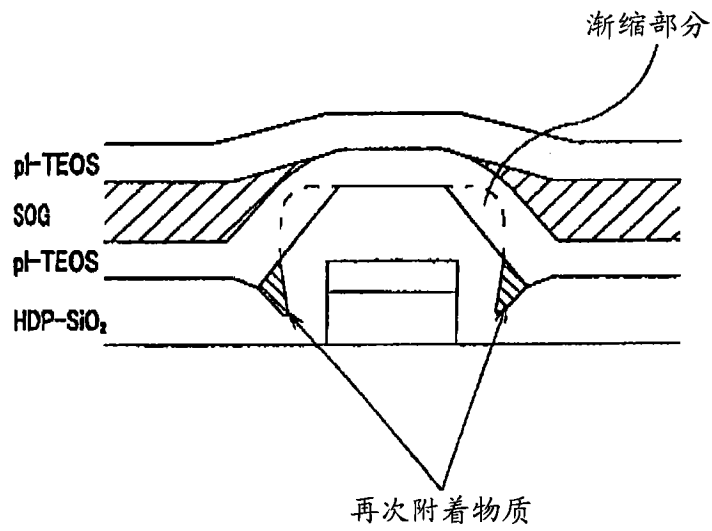


图 34

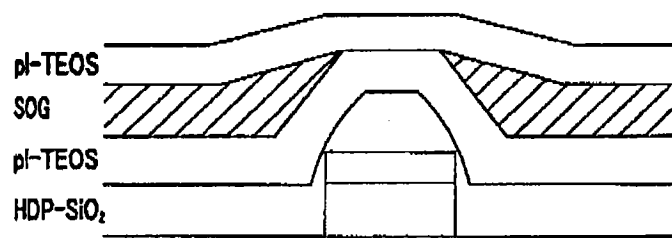


图 35

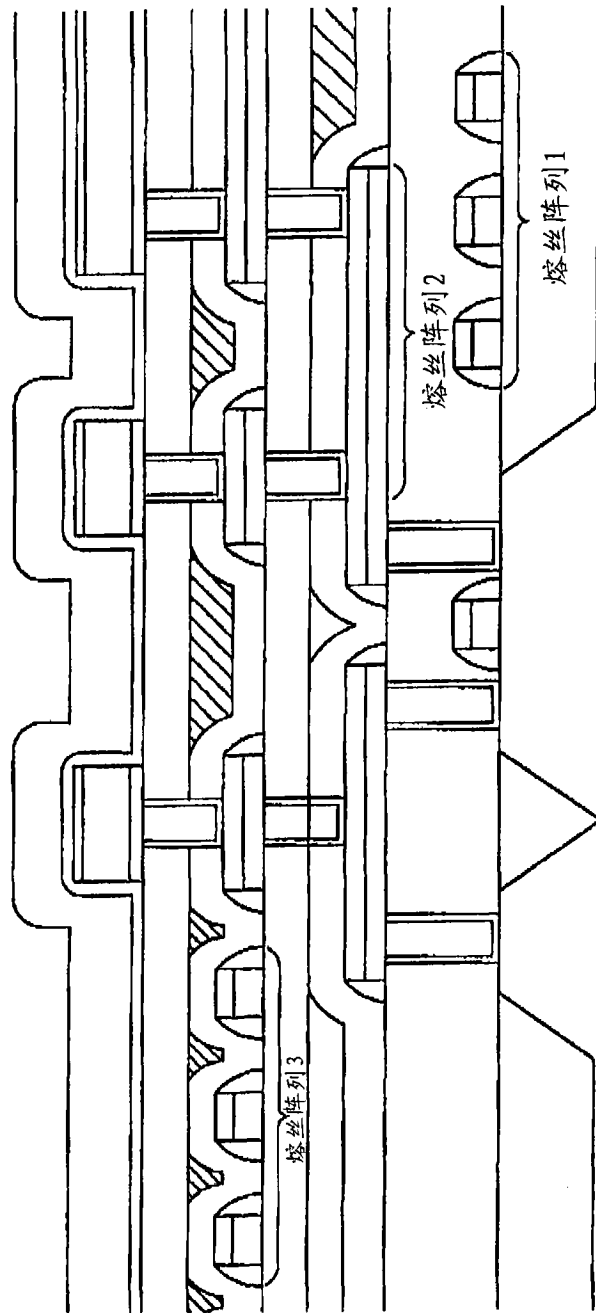


图 36

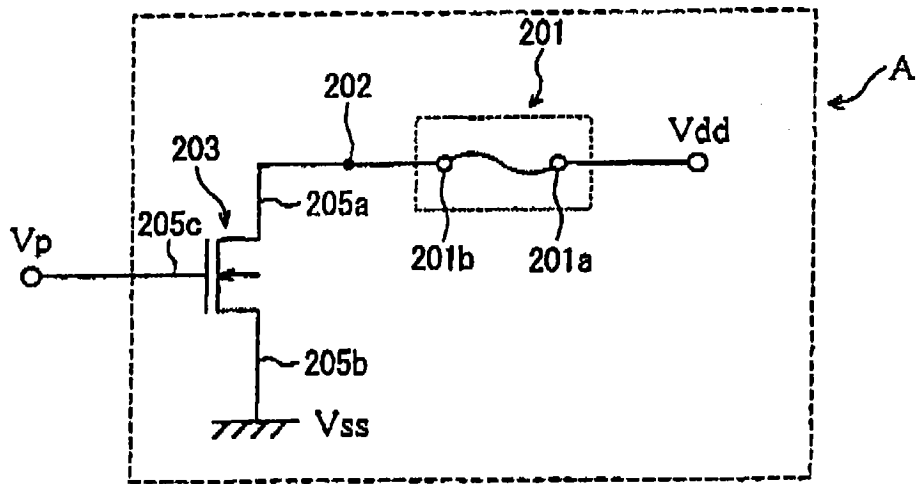


图 37

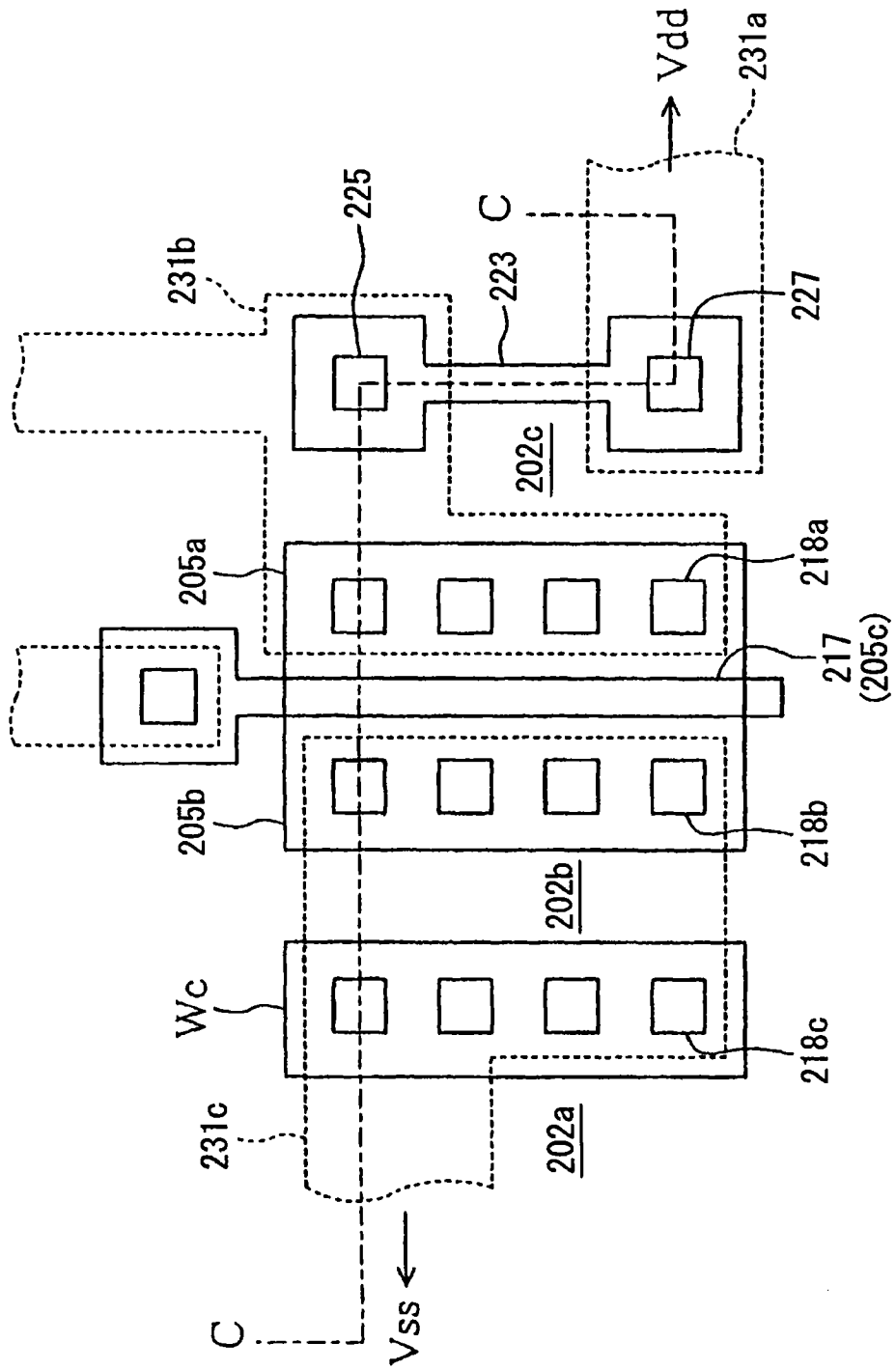


图 38

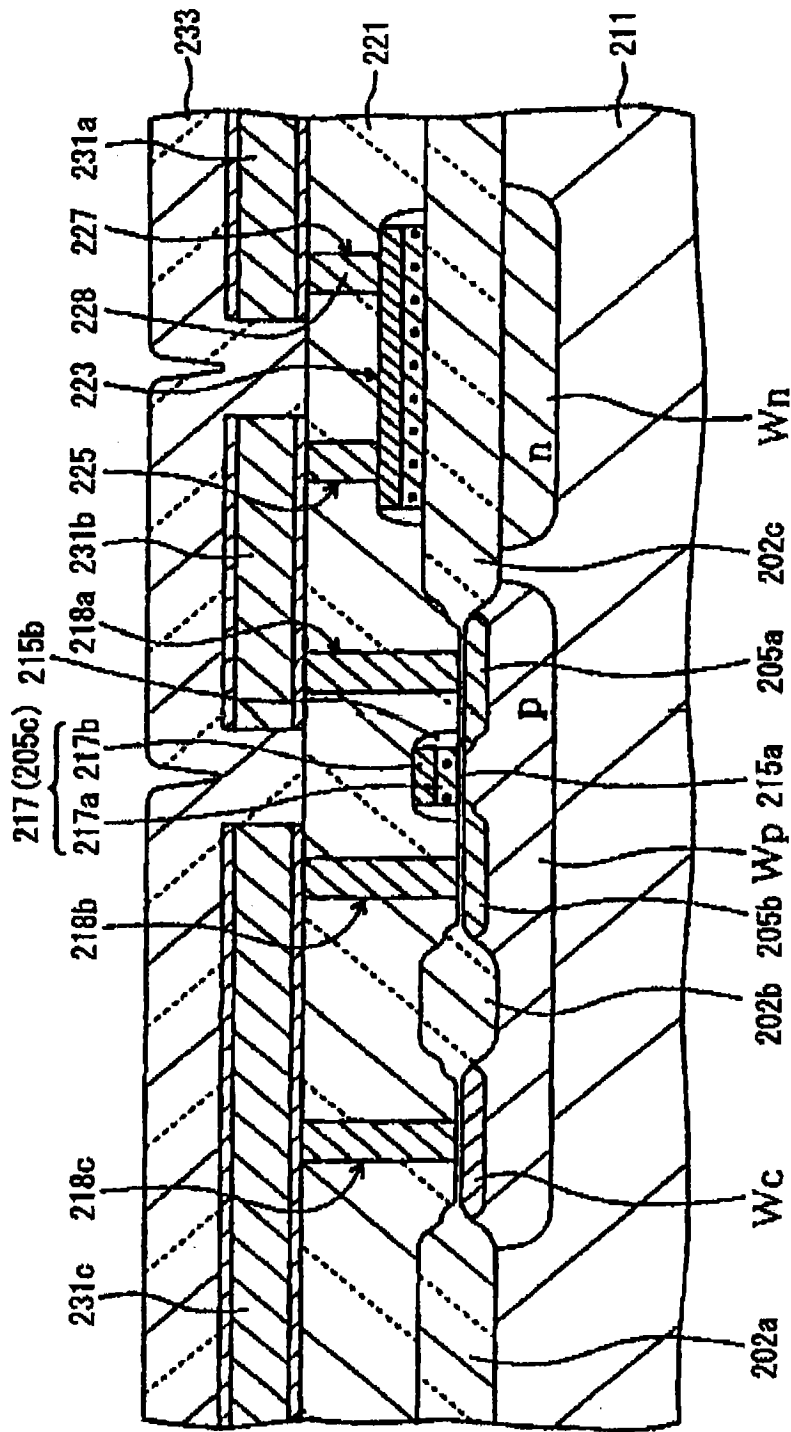


图 39

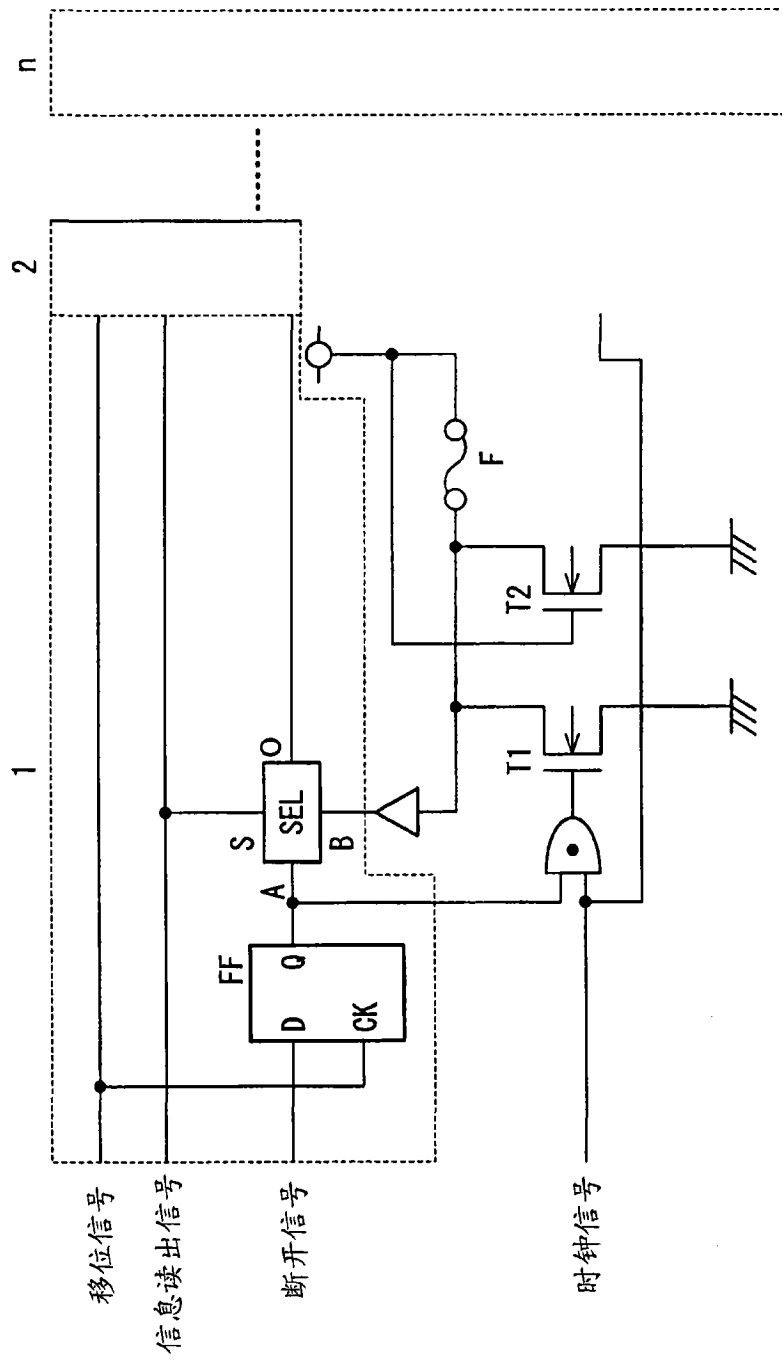


图 40

S	A	B	O
0	0	*	0
0	1	*	1
1	*	0	0
1	*	1	1

\* 不重要

图 41

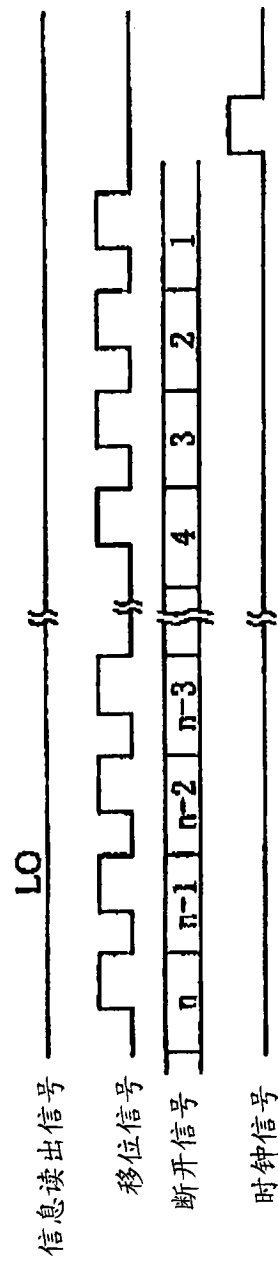


图 42

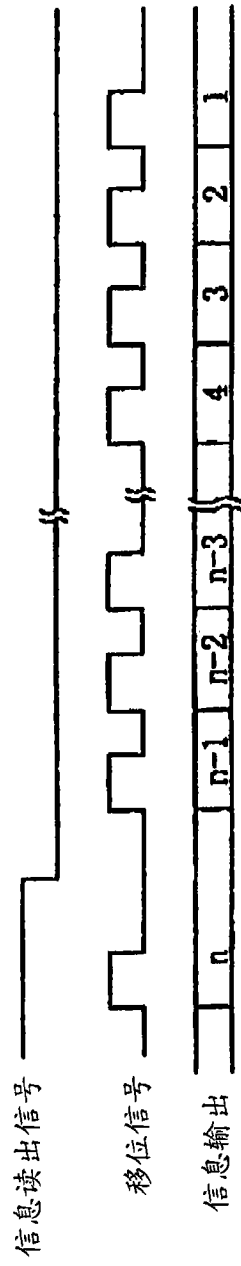


图 43