

【特許請求の範囲】

【請求項 1】

第 1 バスと第 2 バスの接続と切り離しを行うバス接続 / 切り離し手段と、

前記第 1 バスに接続され、ブートプログラムの格納されているブートプログラム用不揮発性メモリと、

前記第 2 バスに接続され、メインプログラムが展開されて実行される揮発性メモリと、

前記第 1 バスに接続され、電源が ON されると、前記ブートプログラム用不揮発性メモリから前記ブートプログラムを読み出してブート処理を実行するとともに、前記揮発性メモリのメインプログラムを実行して、該メインプログラムの実行に伴うワークデータを該揮発性メモリに書き込む実行手段と、

10

前記第 2 バスに接続され、前記メインプログラム及び前記ワークデータを所定の圧縮方式で圧縮する圧縮手段と、

前記第 2 バスに接続され、前記圧縮手段の圧縮した圧縮メインプログラム及び圧縮ワークデータを保管する圧縮データ用不揮発性メモリと、

前記第 2 バスに接続され、前記圧縮メインプログラム及び前記圧縮ワークデータを伸長する伸長手段と、

前記第 2 バスに接続され、電源の OFF に際して、前記揮発性メモリ上の前記メインプログラム及び前記ワークデータを前記圧縮手段に転送して該圧縮手段で圧縮された圧縮メインプログラム及び圧縮ワークデータを前記圧縮データ用不揮発性メモリに保管させ、電源が ON されると、該圧縮データ用不揮発性メモリの該圧縮メインプログラム及び該圧縮ワークデータを前記伸長手段に転送して該伸長手段で伸長されたメインプログラム及びワークデータを前記揮発性メモリに展開する転送手段と、

20

前記バス接続 / 切り離し手段に、少なくとも電源が ON されたときに前記実行手段が前記ブートプログラム用不揮発性メモリの前記ブートプログラムを読み取る期間においては前記第 1 バスと前記第 2 バスを切り離させ、該実行手段による該ブートプログラムの読み出しが完了すると、該第 1 バスと該第 2 バスを接続させるバス接続制御手段と、

を備えていることを特徴とする電子装置。

【請求項 2】

前記電子装置は、

前記揮発性メモリの前記メインプログラム及び前記ワークデータの転送手段による前記圧縮手段へのデータ転送単位を所定のブロック単位に設定し、また、前記圧縮データ用不揮発性メモリの前記圧縮メインプログラム及び前記圧縮ワークデータを該ブロック単位で該転送手段に前記伸長手段へ転送させる転送単位設定手段と、

30

前記転送単位設定手段によって設定されて前記圧縮手段で圧縮された該ブロック単位の前記圧縮メインプログラム及び前記圧縮ワークデータに対して伸長時の優先順位を決定する伸長優先順位情報を含む付加情報を生成して該ブロック単位の前記圧縮メインプログラム及び該圧縮ワークデータに付加する付加情報手段と、

を備え、前記転送手段は、電源が ON されたときに、前記付加情報に基づいた読み出し順序で、前記圧縮データ用不揮発性メモリの前記ブロック単位の前記圧縮メインプログラム及び前記圧縮ワークデータの読み出しを行うことを特徴とする請求項 1 記載の電子装置

40

【請求項 3】

前記電子装置は、

所定の圧縮方式で圧縮された圧縮メインプログラムを格納するメインプログラム用不揮発性メモリと、

前記圧縮メインプログラム及び前記圧縮ワークデータの伸長手段による伸長処理での伸長エラーの有無を検出するエラー検出手段と、

前記エラー検出手段が前記伸長エラーの発生を検出すると、前記転送手段による前記圧縮データ用不揮発性メモリからの前記圧縮メインプログラム及び前記圧縮ワークデータの読み出し及び前記伸長手段による該圧縮メインプログラム及び該圧縮ワークデータの伸長

50

を中止させて、該転送手段に前記メインプログラム用不揮発性メモリから前記圧縮メインプログラムの読み出しを行わせて該伸長手段に該圧縮メインプログラムの伸長を行わせて伸長された該メインプログラムを前記揮発性メモリに展開させる伸長データ切り替え手段と、

を備えていることを特徴とする請求項 1 または請求項 2 記載の電子装置。

【請求項 4】

前記電子装置は、

所定の時間毎に、前記転送手段に前記揮発性メモリ上の前記メインプログラム及び前記ワークデータを前記圧縮手段に転送させて該圧縮手段に圧縮させ、該圧縮手段の圧縮した圧縮メインプログラム及び圧縮ワークデータを前記圧縮データ用不揮発性メモリに保管させる定期保管手段を備えていることを特徴とする請求項 1 から請求項 3 のいずれかに記載の電子装置。

10

【請求項 5】

前記電子装置は、

前記電源が ON されると、前記実行手段による前記ブート処理と並行して、前記揮発性メモリ及び前記圧縮データ用不揮発性メモリの初期化をハードウェア処理で実行する初期化手段を備えていることを特徴とする請求項 1 から請求項 4 のいずれかに記載の電子装置。

【請求項 6】

揮発性メモリのメインプログラムを実行するとともに、該メインプログラムの実行に伴うワークデータを該揮発性メモリに書き込む実行処理ステップと、

20

前記メインプログラム及び前記ワークデータを所定の圧縮方式で圧縮する圧縮処理ステップと、

前記圧縮処理ステップで圧縮された圧縮メインプログラム及び圧縮ワークデータを圧縮データ用不揮発性メモリに保管する圧縮データ保管処理ステップと、

圧縮メインプログラム及び圧縮ワークデータを伸長する伸長処理ステップと、

電源の OFF に際して、前記揮発性メモリ上の前記メインプログラム及び前記ワークデータを前記圧縮処理ステップに転送して該圧縮処理ステップで圧縮された圧縮メインプログラム及び圧縮ワークデータを前記圧縮データ用不揮発性メモリに保管し、電源が ON されると、該圧縮データ用不揮発性メモリの該圧縮メインプログラム及び該圧縮ワークデータを前記伸長処理ステップに転送して該伸長処理ステップで伸長されたメインプログラム及びワークデータを前記揮発性メモリに展開する転送処理ステップと、

30

少なくとも電源が ON されたときに前記実行処理ステップが前記ブートプログラム用不揮発性メモリの前記ブートプログラムを読み取る期間においては、該実行処理ステップによる前記ブートプログラム用不揮発性メモリの読み取りを可能とする第 1 バスと前記圧縮データ用不揮発性メモリ、前記揮発性メモリに対する前記転送処理ステップによるデータの読み取り、書き込み処理と前記圧縮処理ステップ及び前記伸長処理ステップによるデータの圧縮、伸長を可能とする第 2 バスを切り離し、該実行処理ステップによる該ブートプログラムの読み取りが完了すると、該第 1 バスと該第 2 バスを接続するバス接続制御処理ステップと、

40

を有していることを特徴とする起動制御方法。

【請求項 7】

コンピュータに、

揮発性メモリのメインプログラムを実行するとともに、該メインプログラムの実行に伴うワークデータを該揮発性メモリに書き込む実行処理と、

前記メインプログラム及び前記ワークデータを所定の圧縮方式で圧縮する圧縮処理と、

前記圧縮処理で圧縮された圧縮メインプログラム及び圧縮ワークデータを圧縮データ用不揮発性メモリに保管する圧縮データ保管処理と、

圧縮メインプログラム及び圧縮ワークデータを伸長する伸長処理と、

電源の OFF に際して、前記揮発性メモリ上の前記メインプログラム及び前記ワークデ

50

ータを前記圧縮処理に転送して該圧縮処理で圧縮された圧縮メインプログラム及び圧縮ワークデータを前記圧縮データ用不揮発性メモリに保管し、電源がONされると、該圧縮データ用不揮発性メモリの該圧縮メインプログラム及び該圧縮ワークデータを前記伸長処理ステップに転送して該伸長処理で伸長されたメインプログラム及びワークデータを前記揮発性メモリに展開する転送処理と、

少なくとも電源がONされたときに前記実行処理が前記ブートプログラム用不揮発性メモリの前記ブートプログラムを読み取る期間においては、該実行処理による前記ブートプログラム用不揮発性メモリの読み取りを可能とする第1バスと前記圧縮データ用不揮発性メモリ、前記揮発性メモリに対する前記転送処理によるデータの読み取り、書き込み処理と前記圧縮処理及び前記伸長処理によるデータの圧縮、伸長を可能とする第2バスを切り

10

離し、該実行処理による該ブートプログラムの読み取りが完了すると、該第1バスと該第2バスを接続するバス接続制御処理と、

【請求項8】

請求項7記載の起動制御プログラムを記録したことを特徴とするコンピュータが読み取り可能な記録媒体。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、電子装置、起動制御方法、起動制御プログラム及び記録媒体に関し、詳細には、メモリ容量を削減しつつ起動時の処理速度を向上させる電子装置、起動制御方法、起動制御プログラム及び記録媒体に関する。

20

【背景技術】

【0002】

近年、複合装置、複写装置、プリンタ装置、ファクシミリ装置、コンピュータ等の電子装置においては、機能の向上等に伴って、電子装置の動作を制御するシステムプログラムやアプリケーションプログラム等のメインプログラムが増大化してきている。ところが、電子装置においては、一般的に、メインプログラムは、高価なROM(Read Only Memory)に格納されており、メインプログラムの増大化に伴って高価なROMの容量が増加することによる価格を抑制するために、従来から、メインプログラムを圧縮して、装置起動時にメインプログラムを起動させるためのブートプログラムとともにROMに格納して、ROM内に圧縮されて格納されているメインプログラムを起動時にRAM(Random Access Memory)上に伸長して実行することが行われるようになってきている。

30

【0003】

そして、近年、電子装置は、手動操作による装置電源の投入による装置起動だけでなく、省エネルギーを図るために、電子装置が利用されていない待機状態が所定時間経過すると、主要各部への電源の供給を停止または低減させる省エネルギーモードを備えており、この省エネルギーモードからの復帰時においても、ROMのメインプログラムを伸長して実行している。

【0004】

40

そして、このような電源復帰時や省エネルギーモードからの復帰時の起動時間を短縮することは、電子装置の利用性を向上させる上で重要である。そこで、従来、CPUにより伸長される第1の圧縮済みシステムプログラムと、データ伸長ハードウェアにより伸長される第2の圧縮済みシステムプログラムとをROMに格納し、装置起動時にCPUにより第1の圧縮済みシステムプログラムを伸長するとともに、データ伸長ハードウェアにより第2の圧縮済みシステムプログラムを伸長してRAM上に配置してCPUが実行することで、電子装置の立ち上げ時間の短縮を図った技術が提案されている(特許文献1参照)。

【発明の概要】

【発明が解決しようとする課題】

【0005】

50

しかしながら、上記公報記載の従来技術にあっては、ROMに格納されているCPU用とハードウェア用の圧縮済みプログラムをCPUとハードウェアが読み取って伸長しているため、1つのROMに対してCPUとハードウェアがアクセスする状態となり、ROMからのプログラムの読み出し速度が遅くなって、処理速度の向上を図る上で改良の必要があった。また、この従来技術にあっては、ハードウェアに圧縮済みプログラムを伸長させるためには、ハードウェアの動作設定情報をCPUのブートプログラムに入れておく必要がある、ブートプログラムのコード量が増加することとなる。さらに、圧縮されているのがプログラムのみであって、装置電源の投入の度に、ワークデータを別に待避させた不揮発メモリからRAMに展開する必要があり、ワークデータの処理のための時間を考慮した技術が要望されている。

10

【0006】

そこで、本発明は、電源ON時等の立ち上がり時間を短縮する電子装置、起動制御方法、起動制御プログラム及び記録媒体を提供することを目的としている。

【課題を解決するための手段】**【0007】**

本発明は、上記目的を達成するために、電源がONされているときに、揮発性メモリ上のメインプログラム及び実行手段が該メインプログラムを実行することによって生成されたワークデータを、電源がOFFされる際に、転送手段によって圧縮手段に転送して該圧縮手段で圧縮された圧縮メインプログラム及び圧縮ワークデータを圧縮データ用不揮発性メモリに保管し、その後、電源がONされると、転送手段によって該圧縮データ用不揮発性メモリに保管された該圧縮メインプログラム及び該圧縮ワークデータを伸長手段に転送して該伸長手段で伸長されたメインプログラム及びワークデータを該揮発性メモリに展開するが、この電源がONされたときに、少なくとも実行手段がブートプログラム用不揮発性メモリからブートプログラムを読み出すまでの期間においては、該実行手段と該ブートプログラム用不揮発性メモリを接続する第1バスと前記圧縮データ用不揮発性メモリ、前記揮発性メモリ、前記転送手段、前記圧縮手段及び前記伸長手段を接続する第2バスとを切り離し、該実行手段による該ブートプログラムの読み出しが完了すると、該第1バスと該第2バスを接続することを特徴としている。

20

【0008】

また、本発明は、前記転送手段によって、前記揮発性メモリの前記メインプログラム及び前記ワークデータを前記圧縮手段へ所定のブロック単位で転送し、該圧縮手段で圧縮された該ブロック単位の前記圧縮メインプログラム及び前記圧縮ワークデータに対して伸長時の優先順位を決定する伸長優先順位情報を含む付加情報を生成して、該ブロック単位の該圧縮メインプログラム及び該圧縮ワークデータに付加して前記圧縮データ用不揮発性メモリに保管し、電源がONされたときに、前記転送手段が、前記付加情報に基づいた読み出し順序で、該圧縮データ用不揮発性メモリに保管された該ブロック単位の該圧縮メインプログラム及び該圧縮ワークデータの読み出しを行うことを特徴としてもよい。

30

【0009】

さらに、本発明は、前記圧縮メインプログラム及び前記圧縮ワークデータの前記伸長手段による伸長処理における伸長エラーの発生を検出すると、前記転送手段による前記圧縮データ用不揮発性メモリからの前記圧縮メインプログラム及び前記圧縮ワークデータの読み出し及び前記伸長手段による該圧縮メインプログラム及び該圧縮ワークデータの伸長を中止させて、該転送手段に、所定の圧縮方式で圧縮された圧縮メインプログラムを格納するメインプログラム用不揮発性メモリから該圧縮メインプログラムの読み出しを行わせて該伸長手段に該圧縮メインプログラムの伸長を行わせて伸長された該メインプログラムを前記揮発性メモリに展開させることを特徴としてもよい。

40

【発明の効果】**【0010】**

本発明によれば、電源ON時等の立ち上がり時間を短縮することができる。

【図面の簡単な説明】

50

【 0 0 1 1 】

【 図 1 】 本 発 明 の 一 実 施 例 を 適 用 し た 電 子 装 置 の 要 部 ブ ロ ッ ク 構 成 図 。

【 図 2 】 プ ロ グ ラ ム デ ー タ 及 び ワ ー ク デ ー タ の 圧 縮 / 伸 長 と 付 加 情 報 の 付 加 処 理 の 説 明 図

。 【 図 3 】 電 源 O F F 時 の プ ロ グ ラ ム 関 連 デ ー タ 保 存 処 理 を 示 す フ ロ ー チ ャ ー ト 。

【 図 4 】 電 源 O N 時 の 起 動 制 御 処 理 を 示 す フ ロ ー チ ャ ー ト 。

【 図 5 】 電 源 O N 時 の メ モ リ の 初 期 化 を ハ ー ド ウ ェ ア 処 理 で 行 う 場 合 の 起 動 制 御 処 理 を 示 す フ ロ ー チ ャ ー ト 。

【 発 明 を 実 施 す る た め の 形 態 】

【 0 0 1 2 】

10

以 下 、 本 発 明 の 好 適 な 実 施 例 を 添 付 図 面 に 基 づ い て 詳 細 に 説 明 す る 。 な お 、 以 下 に 述 べ る 実 施 例 は 、 本 発 明 の 好 適 な 実 施 例 で あ る の で 、 技 術 的 に 好 ま し い 種 々 の 限 定 が 付 さ れ て い る が 、 本 発 明 の 範 囲 は 、 以 下 の 説 明 に よ っ て 不 当 に 限 定 さ れ る も の で は な く 、 ま た 、 本 実 施 の 形 態 で 説 明 さ れ る 構 成 の 全 て が 本 発 明 の 必 須 の 構 成 要 件 で は な い 。

【 実 施 例 1 】

【 0 0 1 3 】

図 1 ~ 図 5 は 、 本 発 明 の 電 子 装 置 、 起 動 制 御 方 法 、 起 動 制 御 プ ロ グ ラ ム 及 び 記 録 媒 体 の 第 1 実 施 例 を 示 す 図 で あ り 、 図 1 は 、 本 発 明 の 電 子 装 置 、 起 動 制 御 方 法 、 起 動 制 御 プ ロ グ ラ ム 及 び 記 録 媒 体 の 第 1 実 施 例 を 適 用 し た 電 子 装 置 1 の 要 部 ブ ロ ッ ク 構 成 図 で あ る 。

【 0 0 1 4 】

20

図 1 に お い て 、 電 子 装 置 1 は 、 複 合 装 置 、 複 写 装 置 、 プ リ ン タ 装 置 、 フ ァ ク シ ミ リ 装 置 、 コ ン ピ ュ ー タ 等 で あ り 、 A S I C (A p p l i c a t i o n S p e c i f i c I n t e g r a t e d C i r c u i t) 2 、 ブ ー ト R O M 3 、 R O M 4 、 N A N D メ モ リ 5 及 び D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) 6 等 を 備 え て い る と と も に 、 図 示 し な い が 、 電 子 装 置 1 と し て の そ の 他 の 構 成 部 を 備 え て い る 。 電 子 装 置 1 の そ の 他 の 構 成 部 は 、 例 え ば 、 電 子 装 置 1 が 複 合 装 置 で あ る と き に は 、 原 稿 の 画 像 を 読 み 取 る ス キ ャ ナ 部 、 画 像 デ ー タ に 基 づ い て 画 像 を 用 紙 に 記 録 出 力 す る プ リ ン タ 部 、 デ ー タ を フ ァ ク シ ミ リ 通 信 す る フ ァ ク シ ミ リ 部 、 ネ ッ ト ワ ー ク を 介 し て デ ー タ を 送 受 信 す る 転 送 部 、 各 種 動 作 指 示 を 行 っ た り 、 各 種 情 報 の 表 示 出 力 を 行 う 操 作 表 示 部 等 で あ る 。

【 0 0 1 5 】

30

A S I C 2 は 、 C P U (C e n t r a l P r o c e s s i n g U n i t) 1 1 、 ア ー ビ タ 1 2 、 C O D E C (C O m p r e s s e r / D E C o m p r e s s o r : 圧 縮 / 伸 張 部) 1 3 、 D M A C (D i r e c t M e m o r y A c c e s s C o n t r o l l e r : D M A コ ン ト ロ ー ラ) 1 4 、 D R A M (D y n a m i c R a n d o m A c c e s s M e m o r y) コ ン ト ロ ー ラ 1 5 、 付 加 情 報 部 1 6 、 伸 長 切 り 替 え 部 1 7 、 伸 長 エ ラ ー 検 出 部 1 8 、 S A T A (シ リ ア ル A T A) 1 9 、 S A T A / N A N D 初 期 化 部 2 0 、 N A N D コ ン ト ロ ー ラ 2 1 、 D R A M 初 期 化 部 2 2 及 び 第 1 バ ス 2 3 と 第 2 バ ス 2 4 等 を 備 え て い る 。

【 0 0 1 6 】

第 1 バ ス 2 3 に は 、 C P U 1 1 と ア ー ビ タ 1 2 及 び ブ ー ト R O M 3 が 接 続 さ れ て お り 、 第 2 バ ス 2 4 に は 、 ア ー ビ タ 1 2 、 C O D E C 1 3 、 D M A C 1 4 と D R A M コ ン ト ロ ー ラ 1 5 及 び R O M 4 が 接 続 さ れ て い る 。 第 2 バ ス 2 4 は 、 C P U 1 1 が ブ ー ト R O M 3 か ら ブ ー ト プ ロ グ ラ ム の 読 み 出 し を 行 っ て い る と き に 、 平 行 し て N A N D メ モ リ 5 か ら D R A M 6 へ デ ー タ 転 送 を 行 う た め に 使 用 さ れ 、 該 デ ー タ 転 送 後 に は 、 D R A M 6 を ア ー ビ タ 1 2 を 介 し て 第 1 バ ス 2 3 に 接 続 し て 、 C P U 1 1 が 、 D R A M 6 か ら プ ロ グ ラ ム デ ー タ 等 の 読 み 出 し を 行 う 。

40

【 0 0 1 7 】

ブ ー ト R O M (ブ ー ト プ ロ グ ラ ム 用 不 揮 発 性 メ モ リ) 3 は 、 非 圧 縮 の ブ ー ト プ ロ グ ラ ム が 格 納 さ れ て お り 、 R O M (メ イ ン プ ロ グ ラ ム 用 不 揮 発 性 メ モ リ) 4 は 、 所 定 の 圧 縮 方 式 で 圧 縮 さ れ た メ イ ン プ ロ グ ラ ム (圧 縮 メ イ ン プ ロ グ ラ ム) が 格 納 さ れ て い る 。 R O M 4 に 格 納 さ れ て い る 圧 縮 メ イ ン プ ロ グ ラ ム は 、 電 子 装 置 1 の 動 作 に 必 要 な シ ス テ ム プ ロ グ ラ ム 及 び ア プ リ ケ ー シ ョ ン プ ロ グ ラ ム で あ り 、 所 定 の 圧 縮 方 式 (L Z H 形 式 等) で 圧 縮 さ れ た

50

状態で格納されている。

【0018】

アービタ（バス接続／切り離し手段、バス接続制御手段）12は、DMAC14とCPU11のアクセス調停を行い、また、第1バス23と第2バス24の接続及び切り離しを行う。

【0019】

NANDメモリ（圧縮データ用不揮発性メモリ）5は、SATAインターフェイスを有する不揮発性のNAND型のメモリであり、電源OFF時や定期保存時に、ASIC2のCODEC13で圧縮されたメインプログラムDa～Dd及びワークデータが書き込まれ、また、電源オン時に読み出される。

10

【0020】

DRAM21は、揮発性メモリであり、ASIC2によるワークメモリとして利用される。特に、DRAM21は、図2に示すように、ASIC2によってメインプログラムDa～Ddがバンド単位（所定のブロック単位）で展開されて実行されるバンド単位のメインプログラムDa～Ddの保管されるメインプログラムエリアPa～Pd、該メインプログラムDa～Ddの実行によって発生するワークデータDwが格納されるワークエリアW及び画像データDgが格納される画像データエリアGを備えている。

【0021】

ASIC2のCPU（実行手段）11は、第1バス23を介してブートROM3及びアービタ12に接続されており、アービタ12を介することなく第1バス23を通してブートROM3にアクセスする。CPU11は、ブートROM3に直接アクセスしてブートプログラムを読み出し、ブート処理を実行して、必要に応じて、アービタ12を介してDRAM6やNANDメモリ5にアクセスする。また、CPU11は、アービタ12を介してROM4の圧縮メインプログラムDa～Ddを読み出して、CODEC13に伸長させ、伸長されたメインプログラムDa～DdをDRAM6に送って、DRAM6のメインプログラムエリアPa～Pdで該メインプログラムDa～Ddを実行する。CPU11は、このメインプログラムDa～Ddの実行において発生するワークデータDwをワークエリアWに書き込む。さらに、CPU11は、DMAC14を動作させるディスクリプタ設定を行ってDMAC14を起動させる。

20

【0022】

DMAC14は、CPU11によって設定されるディスクリプタに基づいて、DRAM21とNANDメモリ5との間のデータ転送やROM4とCODEC13との間のデータ転送を行う。

30

【0023】

SATA19は、NANDメモリ5に接続され、NANDメモリ5とのインターフェイスを行う。

【0024】

SATA/NAND初期化部（初期化手段）20は、NANDメモリ5及びSATA19の初期化（コンフィギュレーション等）を行うハードウェアであり、CPU11によって初期化を行ってもよいが、ハードウェアで初期化を行うことで、ブートプログラムの容量低減や電源立ち上がり時間の短縮を図ることができる。

40

NANDコントローラ21は、SATA19のインターフェイスとNANDメモリ5のインターフェイスを備えており、これらの間の信号及びデータの授受を行う。

【0025】

CODEC（圧縮手段、伸長手段）13は、電源OFF時に、DRAM6で使用していたメインプログラムDa～Dd及びメインプログラムDa～DdのワークエリアWのデータ（ワークデータDw）を所定の圧縮方式で圧縮するデータ圧縮部と、電源ON時に、NANDメモリ5に圧縮されて格納されている圧縮メインプログラムDa～Dd及びワークデータDwを伸長するデータ伸張部と、を備えた圧縮・伸長モジュールである。CODEC13は、画像データとプログラム及びワークデータの特性の相異から、プログラムの圧

50

縮率をより一層高めるために、画像データの圧縮方式（J P E G（Joint Photographic Experts Group）等）とは異なり、メインプログラム D a ~ D d やワークデータ D w の圧縮に適した圧縮方式（L Z H 形式等）を使用して圧縮／伸長する。D M A C 1 4 は、この C O D E C 1 3 の圧縮した圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w を、図 2 に示すように、N A N D メモリ 5 に転送して格納し、また、N A N D メモリ 5 の圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w を、C O D E C 1 3 に転送して、C O D E C 1 3 に伸長させた後、D R A M 6 に転送して格納する。すなわち、C O D E C 1 3 は、D R A M 6 に保存されているメインプログラム D a ~ D d 、ワークデータ D w 及び画像データ D g のうち、メインプログラム D a ~ D d とワークデータ D w を圧縮し、画像データ D g については圧縮しない。

10

【 0 0 2 6 】

付加情報部（付加情報手段）1 6 は、C O D E C 1 3 で圧縮されて N A N D メモリ 5 に格納されたメインプログラム D a ~ D d 及びワークデータ D w に対して付加情報 F a ~ F w を書き込んで付加し、また、メインプログラム D a ~ D d 及びワークデータ D w に付加されている付加情報 F a ~ F w を読み出す。この付加情報 F a ~ F w は、例えば、メインプログラム D a ~ D d 及びワークデータ D w のバンドの圧縮データ量情報、バンド単位の伸長優先順位情報等であり、バンド単位の伸長優先順位情報とは、ワークデータ D w や優先順位の低いメインプログラム D a ~ D d（オプション等）のデータ伸長を後回しにして、一部のプログラムが実行できない制約付きであっても立ち上がり時間を短縮するには、C O D E C 1 3 で優先して伸長処理を行う必要性等で決定される優先順位である。なお、N A N D メモリ 5 内のメインプログラム D a ~ D d 及びワークデータ D w は、電子装置 1 の電源 O N 時には、この伸長優先順位に関わらず、最終的には、全て伸長されるため、この制約は無くなる。

20

【 0 0 2 7 】

伸長切り替え部（伸長データ切り替え手段）1 7 は、C P U 1 1 の制御下で、N A N D メモリ 5 からの圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w の C O D E C 1 3 での伸長処理を中止させ、C O D E C 1 3 でのプログラムデータの伸長処理を、N A N D メモリ 5 からの圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w から R O M 4 からの圧縮メインプログラムに切り替える。伸長切り替え部 1 7 は、この C O D E C 1 3 での伸長処理対象の D M A C 1 4 による転送元を、ファームウェア処理またはハードウェア処理によって切り替える。

30

【 0 0 2 8 】

伸長エラー検出部（エラー検出手段）1 8 は、C O D E C 1 3 による圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w の伸長処理におけるエラー（伸長エラー）の検出を行い、伸長エラーを検出すると、C P U 1 1 に通知する。伸長エラー検出部 1 8 は、C O D E C 1 3 における圧縮メインプログラム D a ~ D d 及び圧縮ワークデータ D w の伸長処理でのコード自体やコード終端等において、本来生成されることのないデータを検出すると、伸長エラーありと判断する。

【 0 0 2 9 】

D R A M コントローラ 1 5 は、D R A M 6 とのアクセスを制御するメモリコントローラであり、D R A M 初期化部（初期化手段）2 2 は、D R A M 6 とアクセスするための初期化をハードウェア処理によって行う。なお、D R A M 6 の初期化は、C P U 1 1 によって行ってもよいが、D R A M 初期化部 2 2 によってハードウェアで初期化することで、ブート R O M 3 に格納するブートプログラムの容量低減や電源立ち上がり時間の短縮化を図ることができる。

40

【 0 0 3 0 】

なお、電子装置 1 は、R O M、E E P R O M（Electrically Erasable and Programmable Read Only Memory）、E P R O M、フラッシュメモリ、フレキシブルディスク、C D - R O M（Compact Disc Read Only Memory）、C D - R W（Compact Disc Rewritable）、D V D（Digital Versatile Disk）、S D（Secure Digital）カード、M O（Magnet

50

o-Optical Disc)等のコンピュータが読み取り可能な記録媒体に記録されている本発明の起動制御方法を実行する起動制御プログラムを読み込んでROM 4に導入することで、後述する立ち上がり時間を短縮する起動制御方法を実行する電子装置として構築されている。この起動制御プログラムは、アセンブラ、C、C++、C#、Java(登録商標)等のレガシープログラミング言語やオブジェクト指向プログラミング言語等で記述されたコンピュータ実行可能なプログラムであり、上記記録媒体に格納して頒布することができる。

また、上記構成においては、DRAMコントローラ15とDRAM初期化部22は、ASIC 2内に、搭載されている場合について説明しているが、DRAMコントローラ15及びDRAM初期化部22は、DRAM 6とともにASIC 2外に設けられていてもよい。

10

【0031】

次に、本実施例の作用を説明する。本実施例の電子装置1は、電源がONされて動作しているときにDRAM 6に展開されていたメインプログラムDa~Dd及びワークデータDwを、電源OFF時や定期保存時等にCODEC 13で圧縮してNANDメモリ5に保管し、電源ON時にNANDメモリ5の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwをCODEC 13で伸長してDRAM 6に展開して実行することで、電源ON時の立ち上がり時間を短縮している。

【0032】

すなわち、電子装置1は、図3に示すように、CPU 11は、電子装置1及びASIC 2の電源がONのとき、所定時間間隔で、電子装置1の電源スイッチのOFF操作による電源OFF要求があったか、消費電力を削減する省エネルギーモードに移行するためにASIC 2の電源OFF要求があったか、また、定期的にDRAM 6内のプログラム関連データ(メインプログラム及びワークデータ)動作内容を保存する定期保存トリガが入ったかをチェックし(ステップS101)、これらのいずれかの電源OFF要求または定期保存トリガがあると、現在の動作処理や割り込み処理等を終了して待機状態に移行する動作終了処理を開始して(ステップS102)、動作終了処理が完了するのを待つ(ステップS103)。この定期保存トリガは、例えば、定期的にCODEC 13を起動させるハードウェアとして設けられた図示しない定期起動部(定期保管手段)から出力される。

20

【0033】

CPU 11は、ステップS103で、動作終了処理を完了すると、DMAのディスクリプタを、図2に示したように、メインプログラムDa~Dd及びワークデータDwを、用途に応じたバンド単位に分割して設定し(ステップS103)、DMAC 14にDMA転送の起動をかけてDMA転送を開始させる(ステップS105)。すなわち、CPU 11は、DRAM 6のメインプログラムDa~Ddを、図2に示すように、複数(図2では、4つのメインプログラムDa~Ddと1つのワークデータDwの合計5つ)のディスクリプタを設定する。この場合、CPU 11は、ディスクリプタの圧縮実行順を伸長時の優先順(バンド単位の伸長優先順位)として、付加情報部16に設定して、付加情報部16が該付加情報Fa~FwをNANDメモリ5に保管されたプログラムデータPa~Pd及びワークデータDwに付加してもよい。このようにすると、圧縮時のバンド順と同じ順番で伸長することができる。そして、CPU 11は、DMA転送を開始させると、以降、DRAM 6のワークエリアへの書き込みを行わない。

30

40

【0034】

次に、CPU 11は、DMAC 14がDRAM 6からCODEC 13に転送した1バンドのメインプログラムDa~DdまたはワークデータDwをCODEC 13に圧縮させ(ステップS106)、圧縮されたデータをCODEC 13からSATA 19を介してNANDメモリ5に転送させて書き込ませる(ステップS107)。このとき、CODEC 13は、ディスクリプタ単位(=バンド単位)でデータの圧縮を行い、1バンド分の圧縮が完了すると、その圧縮データ量を記憶する。

【0035】

50

CPU 11は、1バンド分のデータの圧縮とナンドメモリ5への書き込みが完了すると、付加情報部16に、上記CODEC13の記憶しているバンド単位の圧縮データ量とバンド単位の伸長優先順位情報をSATA19経由でNANDメモリ5へ書き込ませる(ステップS108)。このバンド単位の圧縮データ量は、上記CODEC13がバンドデータを圧縮する際に計算した圧縮データ量であり、バンド単位の伸長優先順位情報は、上述のように、圧縮実行順を伸長時の優先順とする伸長優先順位、または、CPU11がディスクリプタの中で指定する伸長優先順位等の情報である。

【0036】

次に、CPU11は、1バンド分のデータの圧縮とNANDメモリ5への書き込み及び付加情報Fa~FwのNANDメモリ5への書き込みが完了したかチェックし(ステップS109)、完了していないときには、ステップS106に戻って上記同様に処理する(ステップS106~S109)。

【0037】

ステップS109で、1バンド分の処理が終了すると、CPU11は、DRAM6のメインプログラムDa~Dd及びワークデータDwの圧縮とNANDメモリ5への書き込み及び付加情報Fa~FwのNANDメモリ5への書き込みが完了したかチェックし(ステップS110)、全バンドの処理を終了していないときには、ステップS105に戻って、次のバンドのDMA転送を開始させる処理から上記同様に処理する(ステップS105~S110)。

【0038】

ステップS110で、全てのバンドの処理を終了すると、CPU11は、電子装置1の電源をOFFにする(ステップS111)。CPU11は、この電子装置1の電源OFFの処理を、例えば、電源部に設けられているハードウェアタイマを動作させることで、実行する。

【0039】

次に、電子装置1は、電子装置1またはASIC2の電源がONされると、図4に示すように、起動制御処理を行う。

【0040】

すなわち、CPU11は、図4に示すように、電子装置1またはASIC2の電源がONされると(ステップS201)、ブートROM3のブートプログラムを読み出して、該ブートプログラムに従ってCPU周辺の初期化及びDRAM6及びNANDメモリ5のソフトウェア処理を行い(ステップS202)、CPU周辺の初期化を開始すると、DRAM6及びNANDメモリ5の初期化が完了するのを待つ(ステップS203)。このDRAM6及びNANDメモリ5の初期化が完了したか否かは、CPU11自体がDRAM6及びNANDメモリ5の初期化を判断する。このCPU11がブートROM3のブートプログラムの読み出しを行っている間は、アービタ12は、第1バス23と第2バス24の接続を切り離し、CPU11によるブートROM3からのブートプログラムの読み出しを完了すると、第1バス2と第2バス24を接続させる。

【0041】

ステップS203で、メモリの初期化処理が完了すると、CPU11は、圧縮メインプログラムDa~Dd及び圧縮ワークデータDwがNANDメモリ5に保存されているか(圧縮保存データ有りか)を判断する(ステップS204)。なお、この圧縮保存データ有りか否かは、DMAC14が、圧縮データを保存する際に、NANDメモリ5の予め決められたエリアにステータスを保存し、CPU11がこのステータス保存エリアにアクセスして圧縮保存データがあるか否か確認する。ステップS204で、圧縮保存データがないときには、CPU11は、通常のブート処理を行う(ステップS205)。CPU11は、この通常のブート処理においては、ROM4に保存されている圧縮メインプログラムをDMAC14に読み出させてCODEC13に転送させ、CODEC13で伸長されたメインプログラムをDRAM6に展開させて、DRAM6に展開されたメインプログラムを実行する。

10

20

30

40

50

【0042】

ステップS204で、圧縮保存データがあるときには、CPU11は、ブートROM3のブートプログラムに従って、DMAC14によってNANDメモリ5の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwを、付加情報Fa~Fwに基づいて、特に、付加情報Fa~Fwの伸長優先順位に基づいてバンド毎にCODEC13に転送して伸長させた後、DRAM6に伸長されたメインプログラムDa~Dd及びワークデータDwを展開する処理をループ処理する(ステップS206)。なお、この処理では、スリープ等に移行して、その後、割り込みによって復帰してもよい。すなわち、ASIC2は、CPU11による第1バス23を利用したブートプログラムによるブート処理と平行して、CPU11が介在することなく、DMAC14及びCODEC13によって、第2バス24を利用して、圧縮プログラムデータ及び圧縮ワークデータDwを伸長して、DRAM6へ展開する。

10

【0043】

そして、CPU11は、伸長エラー検出部18から伸長エラー通知があったか否かをチェックし(ステップS207)、伸長エラー通知があると、通常ブート処理を行う(ステップS205)。

【0044】

ステップS207で、伸長エラー通知がないと、CPU11は、NANDメモリ5に保存されている圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの全バンドの転送終了通知がDMAC14からあったかチェックし(ステップS208)、全バンドの転送が終了していないときには、ステップS206に戻って上記同様に処理する(ステップS206~S208、S205)。

20

【0045】

ステップS208で、全バンドの転送が終了すると、CPU11は、DRAM6の該当アドレス(該当部分)にジャンプし、メインプログラムDa~DdとワークデータDwを使用して処理を実行する(ステップS209)。

【0046】

このように、本実施例の電子装置1は、電源がONされているときに、DRAM6上のメインプログラムDa~Dd及びCPU11がメインプログラムDa~Ddを実行することによって生成されたワークデータDwを、電源がOFFされる際に、DMAC14によってCODEC13に転送してCODEC13で圧縮された圧縮メインプログラムDa~Dd及び圧縮ワークデータDwをNANDメモリ5に保管し、その後、電源がONされると、DMAC14が、NANDメモリ5の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwをCODEC13に転送して該CODEC13で伸長されたメインプログラムDa~Dd及びワークデータDwをDRAM6に展開するが、この電源がONされたときに、少なくともCPU11とブートROM3を接続してCPU11がブートROM3からブートプログラムを読み出すまでの期間においては、CPU11とブートROM3を接続する第1バス23とNANDメモリ5、DRAM6、DMAC14及びCODEC13を接続する第2バス24とをアービタ12によって切り離し、CPU11によるブートROM3からのブートプログラムの読み出しが完了すると、第1バス23と第2バス24をアービタ12によって接続する。

30

40

【0047】

したがって、ブートプログラムによるCPU11のブート処理と平行して、ブートプログラムを読み出すのに使用する第1バス23とは異なる第2バス24によりCPU11が介在することなく圧縮メインプログラムDa~Dd及びメインプログラムDa~Ddの圧縮ワークデータDwを伸長してDRAM6へ展開することができ、電源ON時の立ち上がりにおける起動時間を短縮することができる。

【0048】

また、本実施例の電子装置1は、DMAC14によって、DRAM6のメインプログラムDa~Dd及びワークデータDwをCODEC13へ所定のブロック単位であるバンド

50

単位で転送し、CODEC 13で圧縮されたバンド単位の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwに対して伸長時の優先順位を決定する伸長優先順位情報を含む付加情報Fa~Fwを付加情報部16で生成して、該バンド単位の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwに付加してNANDメモリ5に保管し、該NANDメモリ5の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwを、DMAC 14が、電源がONされたときに、該付加情報Fa~Fwに基づいた読み出し順序で、NANDメモリ5の該バースト単位の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの読み出しを行っている。

【0049】

したがって、DRAM 6のメインプログラムDa~Dd及びワークデータDwを、プログラムの種類/ワーク領域等に応じてバンド単位に分けて、用途に応じて独立してバンド単位で伸長可能な形式で圧縮することができ、また、圧縮後のデータの付加情報Fa~Fwとして、バンド単位の圧縮データ量情報、バンド単位の伸長優先順位情報等の付加情報Fa~Fwを付けてNANDメモリ5に保存して、付加情報Fa~Fwに基づいて読み出すことができる。その結果、全てのプログラムやワークデータDwが伸長されていない状態であっても、プログラム及びワークデータDwの展開を適切に行うことができ、待機状態に近い速やかな起動動作を実現することができる。

10

【0050】

この場合、メインプログラムDa~Dd及びワークデータDwをデータ構造に適した圧縮方式でCODEC 13において圧縮しているので、圧縮後のデータ量を抑制することができる。

20

【0051】

さらに、本実施例の電子装置1は、圧縮メインプログラムDa~Dd及び圧縮ワークデータDwのCODEC 13による伸長処理における伸長エラーの発生を伸長エラー検出部18が検出すると、DMAC 14によるNANDメモリ5からの圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの読み出し及びCODEC 13による該圧縮メインプログラムDa~Dd及び該圧縮ワークデータDwの伸長を中止して、DMAC 14に、ROM 4から圧縮メインプログラムの読み出しを行わせてCODEC 13に該圧縮メインプログラムの伸長を行って、伸長されたメインプログラムをDRAM 6に展開している。

30

【0052】

したがって、NANDメモリ5の圧縮メインプログラムDa~Dd及び該圧縮ワークデータDwの伸長に失敗しても、ROM 4のメインプログラムを伸長して、適切にかつ確実に起動することができ、エラーに対して適切に対応することができる。

【0053】

また、本実施例の電子装置1は、所定の時間毎に、DMAC 14にDRAM 6上のメインプログラムDa~Dd及びワークデータDwをCODEC 13に転送して、CODEC 13に圧縮させ、CODEC 13の圧縮した圧縮メインプログラムDa~Dd及び圧縮ワークデータDwをNANDメモリ5に保管させている。

【0054】

したがって、電源OFF時に、DRAM 6のメインプログラムDa~Dd及びワークデータDwの圧縮が間に合わない事態(停電等)が発生した場合にも、電源ON時の立ち上げ時間を、ROM 4のメインプログラムを読み込んで立ち上げを行う場合に比較して、短縮することができる。

40

【0055】

なお、電ON時のプログラム関連データ起動処理においては、図5に示すように、DRAM 6及びNANDメモリ5の初期化を行ってもよい。

【0056】

すなわち、CPU 11は、図5に示すように、電子装置1またはASIC 2の電源がONされると(ステップS301)、ブートROM 3のブートプログラムを読み出して、該ブートプログラムに従ってCPU周辺の初期化を行うとともにDRAM初期化部22及び

50

SATA/NAND初期化部20に起動をかけて、DRAM初期化部22によるDRAM6の初期化及びSATA/NAND初期化部20によるNANDメモリ5の初期化を開始させ(ステップS302)、DRAM6及びNANDメモリ5の初期化が完了するのを待つ(ステップS303)。このDRAM6及びNANDメモリ5の初期化が完了したか否かは、DRAM6の初期化をハードウェア処理で行うDRAM初期化部22及びNANDメモリ5の初期化をハードウェア処理で行うSATA/NAND初期化部20からの初期化完了を通知する割り込みまたはポーリングによってCPU11が判断する。

【0057】

ステップS303で、メモリの初期化処理が完了すると、CPU11は、圧縮メインプログラムDa~Dd及び圧縮ワークデータDwがNANDメモリ5に保存されているか(圧縮保存データ有りか)を判断し(ステップS304)、圧縮保存データがないときには、上記同様の通常のブート処理を行う(ステップS305)。

10

【0058】

ステップS304で、圧縮保存データがあるときには、DMAC14が、NANDメモリ5から圧縮メインプログラムDa~Dd及び圧縮ワークデータDwに付加されている付加情報Fa~Fwを読み出し、該付加情報Fa~Fwに基づいて、ハードウェア処理によって自ら、NANDメモリ5から圧縮メインプログラムDa~Dd及び圧縮ワークデータDwに対する転送バンド設定等のDMA転送のスタート設定を行って、特に、付加情報Fa~Fwの伸長優先順位に基づいた順番にバンド毎にCODEC13へDMA転送を開始する(ステップS308)。CODEC13は、転送されてきた圧縮メインプログラムDa~Dd及び圧縮ワークデータDwを伸長し、DMAC14が、伸長されたメインプログラムDa~Dd及びワークデータDwをDRAM6へ展開する(ステップS309)。ASIC2は、このNANDメモリ5の圧縮メインプログラムDa~Dd及び圧縮ワークデータDwのDRAM6への展開処理を、CPU11による第1バス23を利用したブートプログラムによるブート処理と平行して、CPU11が一切介在することなく、DMAC14及びCODEC13がハードウェア処理によって、第2バス24を利用して実行する。

20

【0059】

そして、伸長切り替え部17は、伸長エラー検出部18から伸長エラー通知があったか否かをチェックし(ステップS310)、伸長エラー通知があると、DMAC14に圧縮プログラムデータの読み出し先を、NANDメモリ5からROM4に切り替えるように通知して、DMAC14が圧縮プログラムデータの読み出し先をNANDメモリ5からROM4に切り替える。CODEC13は、ROM4から読み出されてきた圧縮プログラムデータを伸長して、伸長したプログラムデータをDRAM6に展開する通常ブート処理を行う(ステップS305)。

30

【0060】

ステップS310で、伸長エラー通知がないと、DMAC14が、NANDメモリ5に保存されている圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの1バンドの転送が完了したかチェックし(ステップS311)、1バンドの転送が完了していないときには、ステップS309に戻って上記同様の処理を行う(ステップS309~S311)。ステップS311で、1バンドの転送が完了すると、DMAC14は、NANDメモリ5に保存されている圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの全バンドの転送が完了したかチェックし(ステップS312)、全バンドの転送が終了していないときには、ステップS308に戻って上記同様に処理する(ステップS308~S312、S305)。

40

【0061】

ステップS312で、全バンドの転送が終了すると、DMAC14は、NANDメモリ5に保存されている圧縮メインプログラムDa~Dd及び圧縮ワークデータDwの全バンドのDRAM6への転送を完了した旨をCPU11に通知し、CPU11がDRAM6の該当アドレス(該当部分)にジャンプして、メインプログラムDa~Ddとワークデータ

50

Dwを使用して処理を実行する（ステップS313）。

【0062】

このように、本実施例の電子装置1は、電源ON時に、CPU11によるブート処理と並行して、DRAM6及びNANDメモリ5の初期化をハードウェア処理で実行している。

【0063】

したがって、NANDメモリ5やDRAM6の初期化処理を、CPU11の実行するブートプログラムに依存することなく、ハードウェアのみで行うことができ、ブートプログラムでの初期化処理を待つことなくデータ転送を開始して、電源ON時の起動時間をより一層短縮することができる。

10

【0064】

以上、本発明者によってなされた発明を好適な実施例に基づき具体的に説明したが、本発明は上記実施例で説明したものに限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

【産業上の利用可能性】

【0065】

本発明は、電源OFF時等にプログラムデータを圧縮して不揮発メモリに保管し、電源ON時にプログラムデータを伸長して起動する複合装置、ファクシミリ装置、プリンタ装置、複写装置、コンピュータ等の電子装置に利用することができる。

20

【符号の説明】

【0066】

- 1 電子装置
- 2 ASIC
- 3 ブートROM
- 4 ROM
- 5 NANDメモリ
- 6 DRAM
- 11 CPU
- 12 アービタ
- 13 CODEC
- 14 DMAC
- 15 DRAMコントローラ
- 16 付加情報部
- 17 伸長切り替え部
- 18 伸長エラー検出部
- 19 SATA
- 20 SATA/NAND初期化部
- 21 NANDコントローラ
- 22 DRAM初期化部
- 23 第1バス
- 24 第2バス

30

40

【先行技術文献】

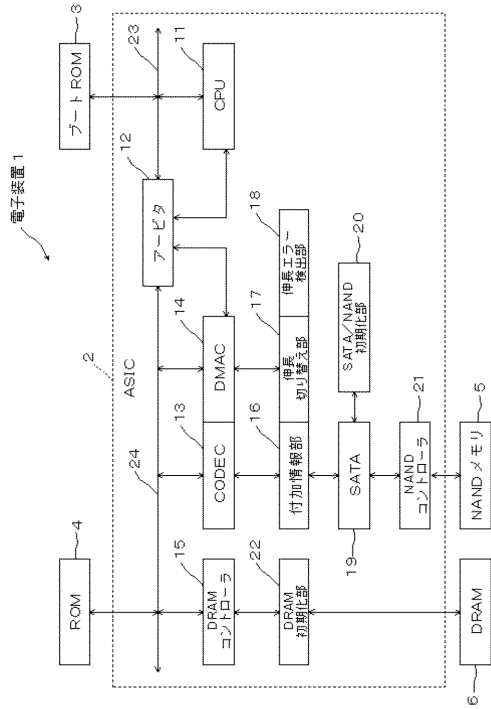
【特許文献】

【0067】

【特許文献1】特開2002-366362号公報

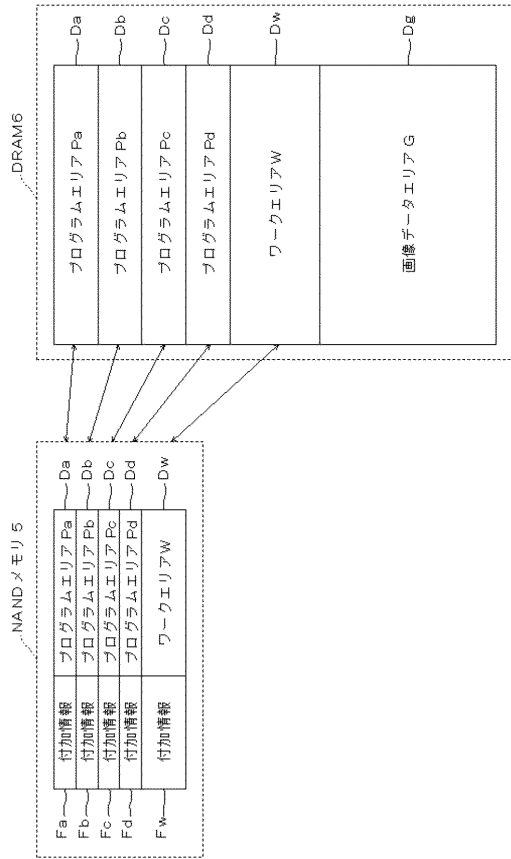
【図1】

電子装置の要部ブロック構成図



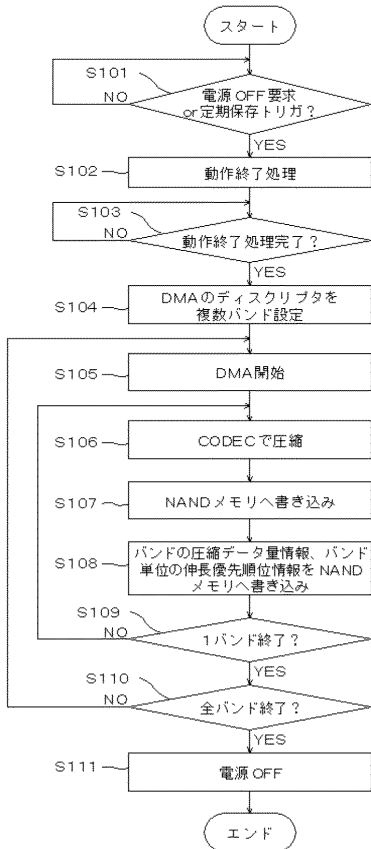
【図2】

プログラムデータ及びワークの圧縮/伸長と付加情報の付加処理の説明図



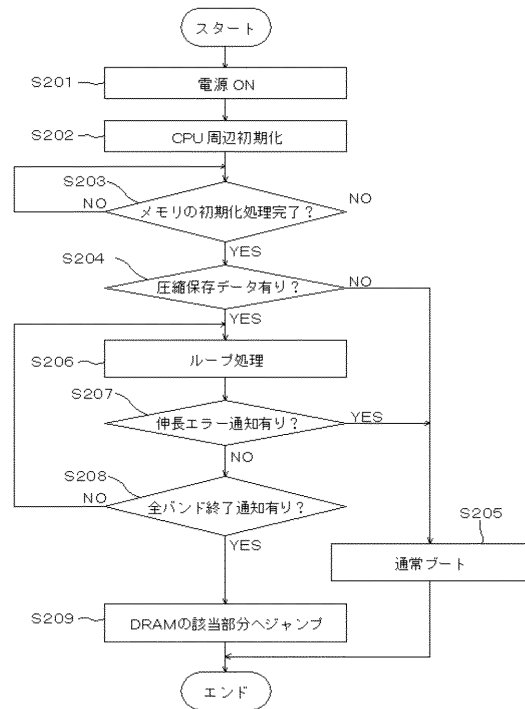
【図3】

電源OFF時のプログラム関連データ保存処理を示すフローチャート



【図4】

電源ON時の起動制御処理を示すフローチャート



【図 5】

電源 ON時のメモリの初期化をハードウェア処理で行う場合の起動制御処理を示すフローチャート

