

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第4区分

【発行日】令和3年7月26日(2021.7.26)

【公開番号】特開2018-200739(P2018-200739A)

【公開日】平成30年12月20日(2018.12.20)

【年通号数】公開・登録公報2018-049

【出願番号】特願2018-102557(P2018-102557)

【国際特許分類】

G 11 C 7/10 (2006.01)

【F I】

G 11 C 7/10 505

G 11 C 7/10 405

【手続補正書】

【提出日】令和3年5月18日(2021.5.18)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1メモリランク及び第2メモリランクを含み、前記第1メモリランクは第1ランク選択信号によって活性化され、前記第2メモリランクは第2ランク選択信号によって活性化されるマルチ-ランクシステムの動的ランダムアクセスメモリ(DRAM)を動作させる方法であって、

第1オン-ダイターミネーション(ODT)動作モードと第2オン-ダイターミネーション(ODT)動作モードのうちの1つを活性化するようにモードレジスタ設定(MRES)ET)を設定するステップと、

前記第1ランク選択信号が活性化され、前記第2ランク選択信号が不活性化されている間中、前記第1及び第2メモリランクで共有されるコマンドバスを介して、外部装置から動作クロック信号対に同期して第1CASコマンドと書き込みコマンドを連続して受信するステップと、

前記第1CASコマンドと前記書き込みコマンドを受信した後、前記第1及び第2メモリランクで共有されるデータバスを介して、外部装置から書き込みデータを受信するステップであって、前記第1ODT動作モードが活性化された場合、前記書き込みデータの受信中に前記第1メモリランクの第1ODT回路及び前記第2メモリランクの第2ODT回路がそれぞれ活性化され、前記第2ODT動作モードが活性化された場合、前記書き込みデータの受信中に前記第1メモリランクの前記第1ODT回路が活性化され、前記第2メモリランクの前記第2ODT回路が不活性化されるステップと、

前記書き込みデータの受信中に、前記動作クロック信号対に同期してトグルするデータストローブ信号対を受信するステップであって、前記データストローブ信号対のトグル周波数は前記動作クロック信号対の周波数よりも高いステップと、

前記第1ランク選択信号が活性化され、前記第2ランク選択信号が不活性化されている間中、前記コマンドバスを介して、第2CASコマンドと読み出しコマンドを連続して受信するステップと、

前記第2CASコマンド及び前記読み出しコマンドに応答して、前記データバスを介して読み出しデータを出力するステップであって、前記第1ODT動作モードが活性化された場合、前記読み出しデータを出力している間中、前記第1メモリランクの前記第1ODT回路

は不活性され、前記第2メモリランクの前記第2ODT回路は活性化され、前記第2ODT動作モードが活性化された場合、前記読み出しデータを出力している間中、前記第1メモリランクの前記第1ODT回路及び前記第2メモリランクの前記第2ODT回路はそれぞれ不活性化されるステップと、

を含むことを特徴とする、マルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項2】

前記データストローブ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の2倍であることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項3】

前記データストローブ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の4倍であることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項4】

前記第1CASコマンドは、前記書込みコマンドが直後に続くことを示す第1フィールドを含み、前記第1フィールドの論理レベルはハイ(High)であることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項5】

前記第2CASコマンドは、前記読み出しコマンドが直後に続くことを示す第2フィールドを含み、前記第2フィールドの論理レベルはハイであることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項6】

前記第1ODT回路の第1抵抗値を設定し、前記第2ODT回路の第2抵抗値を設定するため第2モードレジスタを設定するステップをさらに含むことを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項7】

前記第1メモリランクはターゲットメモリランクであり、前記第2メモリランクはノン-ターゲットメモリランクであり、前記ターゲットメモリランクのDRAMは、前記書込みコマンドと前記読み出しコマンドに応答して書き込み動作と読み出し動作を実行することを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項8】

前記DRAMのパワーオン時、前記モードレジスタ設定のデフォルト設定は前記第1ODT動作モードであることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項9】

第1ODT動作モードから第2ODT動作モードへのODT動作モード変更は、手順をプログラミングするモードレジスタ設定によって行われることを特徴とする、請求項8に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項10】

前記第1ODT回路のODT抵抗は、前記第1ODT動作モード中は第1値を、前記第2ODT動作モード中は第2値を有するようにそれぞれ設定され、前記第1値は前記第2値とは異なることを特徴とする、請求項1に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項11】

前記第1値及び前記第2値は、第2モードレジスタ設定に格納された複数の異なる抵抗値から選択されることを特徴とする、請求項10に記載のマルチ-ランクシステムの動的ランダムアクセスメモリを動作させる方法。

【請求項 1 2】

マルチ - ランクシステムであって、

前記マルチ - ランクシステムは、

第 1 オン - ダイターミネーション (O D T) 動作モードと第 2 オン - ダイターミネーション (O D T) 動作モードのうちの 1 つを活性化するように構成されたモードレジスタ設定 (M R S E T) と、

第 1 ランク選択信号によって活性化される第 1 動的ランダムアクセスメモリ (D R A M) を含む第 1 メモリランクと、

第 2 ランク選択信号によって活性化される第 2 動的ランダムアクセスメモリ (D R A M) を含む第 2 メモリランクと、

前記第 1 メモリランク及び前記第 2 メモリランクに動作クロック信号対を提供する動作クロックバスと、

前記第 1 メモリランク及び前記第 2 メモリランクで共有され、外部装置に接続されたコマンドバスと、

前記第 1 メモリランク及び前記第 2 メモリランクで共有され、前記外部装置に接続されたデータバスと、

前記第 1 メモリランク及び前記第 2 メモリランクで共有され、前記外部装置に接続されたデータストローブバスと、を含み、

前記第 1 D R A M は、

前記第 1 ランク選択信号が活性化され、前記第 2 ランク選択信号が不活性化されている間中、前記コマンドバスを介して前記動作クロック信号対に同期して第 1 C A S コマンドと書き込みコマンドを連続して受信し、

前記第 1 C A S コマンドと前記書き込みコマンドを受信した後、前記データバスを介して書き込みデータを受信し、前記第 1 O D T 動作モードが活性化された場合、前記書き込みデータを受信中に前記第 1 メモリランクの第 1 O D T 回路及び前記第 2 メモリランクの第 2 O D T 回路がそれぞれ活性化され、前記第 2 O D T 動作モードが活性化された場合、前記書き込みデータの受信中に前記第 1 メモリランクの前記第 1 O D T 回路が活性化され、前記第 2 メモリランクの前記第 2 O D T 回路が不活性化され、

前記書き込みデータの受信中に、前記動作クロック信号対に同期してトグルするデータストローブ信号対を受信し、前記データストローブ信号対のトグル周波数は前記動作クロック信号対の周波数よりも高く、

前記第 1 ランク選択信号が活性化され、前記第 2 ランク選択信号が不活性化されている間中、前記コマンドバスを介して第 2 C A S コマンドと読み出しコマンドを連続して受信し、

前記第 2 C A S コマンドと前記読み出しコマンドに応答して、前記データバスを介して読み出しデータを出力し、前記第 1 O D T 動作モードが活性化された場合、前記読み出しデータを出力している間中、前記第 1 メモリランクの前記第 1 O D T 回路を不活性化し、前記第 2 メモリランクの前記第 2 O D T 回路を活性化し、前記第 2 O D T 動作モードが活性化された場合、前記読み出しデータを出力している間中、前記第 1 メモリランクの前記第 1 O D T 回路及び前記第 2 メモリランクの前記第 2 O D T 回路をそれぞれ不活性化することを特徴とするマルチ - ランクシステム。

【請求項 1 3】

前記データストローブ信号対の前記トグル周波数は、前記動作クロック信号対の周波数の 2 倍であることを特徴とする、請求項 1_2 に記載のマルチ - ランクシステム。

【請求項 1 4】

前記第 1 C A S コマンドは、前記書き込みコマンドが直後に続くことを示す第 1 フィールドを含み、前記第 1 フィールドの論理レベルはハイ (H i g h) であることを特徴とする、請求項 1_2 に記載のマルチ - ランクシステム。

【請求項 1 5】

前記第 2 C A S コマンドは、前記読み出しコマンドが直後に続くことを示す第 2 フィールドを含み、前記第 2 フィールドの論理レベルはロー (L o w) であることを特徴とする、請求項 1_2 に記載のマルチ - ランクシステム。

ドを含み、前記第2フィールドの論理レベルはハイであることを特徴とする、請求項1_2に記載のマルチ-ランクシステム。

【請求項16】

前記第1ODT回路の第1抵抗値を設定し、前記第2ODT回路の第2抵抗値を設定するため第2モードレジスタを設定することを特徴とする、請求項1_2に記載のマルチ-ランクシステム。

【請求項17】

前記第1メモリランクはターゲットメモリランクであり、前記第2メモリランクはノン-ターゲットメモリランクであり、前記ターゲットメモリランクのDRAMは、前記書き込みコマンド及び前記読み出しコマンドに応答して、書き込み及び読み出し動作を行うことを特徴とする、請求項1_2に記載のマルチ-ランクシステム。

【請求項18】

前記DRAMのパワーオン時、モードレジスタ設定のデフォルト設定は前記第1ODT動作モードであることを特徴とする、請求項1_2に記載のマルチ-ランクシステム。

【請求項19】

第1ODT動作モードから第2ODT動作モードへのODT動作モード変更は、手順をプログラミングするモードレジスタ設定によって行われることを特徴とする、請求項1_8に記載のマルチ-ランクシステム。

【請求項20】

前記第1ODT回路のODT抵抗は、前記第1ODT動作モード中は第1値、前記第2ODT動作モード中には第2値を有するようにそれぞれ設定され、前記第1値は前記第2値とは異なることを特徴とする、請求項1_2に記載のマルチ-ランクシステム。