



(12)发明专利

(10)授权公告号 CN 103871466 B

(45)授权公告日 2017.09.22

(21)申请号 201310675018.7

(51)Int.Cl.

(22)申请日 2013.12.11

G11C 16/04(2006.01)

G11C 16/06(2006.01)

(65)同一申请的已公布的文献号

申请公布号 CN 103871466 A

审查员 刘力

(43)申请公布日 2014.06.18

(30)优先权数据

10-2012-0143772 2012.12.11 KR

(73)专利权人 三星电子株式会社

地址 韩国京畿道

(72)发明人 李升妍 李永宅 金甫根

(74)专利代理机构 北京市柳沈律师事务所

11105

代理人 邵亚丽

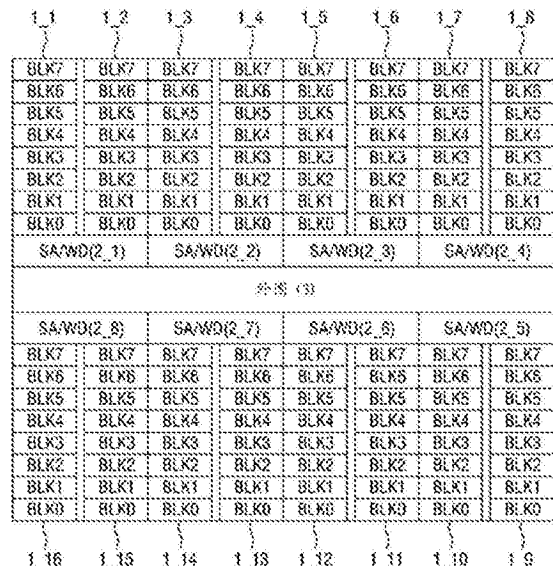
权利要求书2页 说明书13页 附图17页

(54)发明名称

使用可变电阻元件的非易失性存储器及其相关的驱动方法

(57)摘要

提供了一种非易失性存储器的驱动方法。所述驱动方法包括：将基于先前的写操作而调整的起始脉冲提供给电阻存储器单元，以写入数据；使用所述起始脉冲验证数据是否被准确地被写入；以及根据验证结果，通过增量单向写入方法或者减量单向写入方法来执行对于电阻存储器单元的写操作。还提供了相关的非易失性存储器。



1. 一种非易失性存储器的驱动方法,所述驱动方法包括:

将基于先前的写操作而调整的起始脉冲提供给电阻存储器单元,以写入数据;

使用所述起始脉冲验证所述数据是否被准确地写入;以及

使用第一验证参考值和第二验证参考值来执行所述验证,如果验证电阻存储器单元的电阻值小于第一验证参考值,则通过增量单向写入方法来在电阻存储器单元上执行写操作,如果验证电阻存储器单元的电阻值大于第二验证参考值,则通过减量单向写入方法来在电阻存储器单元上执行写操作,并且第一验证参考值小于第二验证参考值。

2. 根据权利要求1所述的驱动方法,其中,使用通过增量单向写入方法在先前的写操作期间执行的第一循环的次数,以及通过减量单向写入方法在先前的写操作期间执行的第二循环的次数来调整所述起始脉冲。

3. 根据权利要求2所述的驱动方法,其中,如果第一循环的次数大于第二循环的次数,则增加所述起始脉冲。

4. 根据权利要求2所述的驱动方法,其中,如果第一循环的次数小于第二循环的次数,则减小所述起始脉冲。

5. 根据权利要求2所述的驱动方法,其中,起始脉冲被调整为使得在下一个写操作中第一循环的次数等于第二循环的次数。

6. 根据权利要求1所述的驱动方法,其中,在所述增量单向写入方法中,随着写周期中的循环的次数增加,提供给电阻存储器单元的写电流被增加。

7. 根据权利要求1所述的驱动方法,其中,在所述减量单向写入方法中,随着写周期中的循环的次数增加,提供给电阻存储器单元的写电流被减小。

8. 一种非易失性存储器,包括:

电阻存储器单元;

感应放大器,其对应于所述电阻存储器单元;以及

写驱动器,其对应于所述电阻存储器单元,

其中,所述写驱动器向电阻存储器单元提供基于先前的写操作而确定的起始脉冲,所述感应放大器使用起始脉冲来执行验证操作,以及所述感应放大器使用第一验证参考值和第二验证参考值来执行所述验证操作,如果验证电阻存储器单元的电阻值小于第一验证参考值,则所述写驱动器通过增量单向写入方法来在电阻存储器单元上执行写操作,如果验证电阻存储器单元的电阻值大于第二验证参考值,则所述写驱动器通过减量单向写入方法来在电阻存储器单元上执行写操作,并且第一验证参考值小于第二验证参考值。

9. 根据权利要求8所述的非易失性存储器,进一步包括:

第一计数器,其对于通过增量单向写入方法在先前的写操作中执行的第一循环的次数进行计数;

第二计数器,其对于通过减量单向写入方法在先前的写操作中执行的第二循环的次数进行计数;以及

控制器,其接收所述第一循环的次数和所述第二循环的次数,并且生成起始脉冲控制信号。

10. 根据权利要求9所述的非易失性存储器,其中,如果所述第一循环的次数大于所述第二循环的次数,则起始脉冲控制信号增加下一个写操作的起始脉冲。

11. 根据权利要求9所述的非易失性存储器,其中,如果所述第一循环的次数小于所述第二循环的次数,则起始脉冲控制信号减小下一个写操作的起始脉冲。

12. 根据权利要求8所述的非易失性存储器,其中,所述感应放大器提供指示基于所述第一验证参考值的验证结果的第一验证信号,和指示基于所述第二验证参考值的验证结果的第二验证信号。

13. 根据权利要求12所述的非易失性存储器,进一步包括:

第一使能锁存器,其存储第一验证信号,并且提供与所述第一验证信号相对应的第一写使能信号;以及

第二使能锁存器,其存储第二验证信号,并且提供与所述第二验证信号相对应的第二写使能信号。

14. 根据权利要求13所述的非易失性存储器,其中,所述第一使能锁存器和所述第二使能锁存器是单向锁存器,使得直到在接收到指示通过结果的验证信号之后、当前的写周期结束时,在所述单向锁存器中存储的值才发生变化。

使用可变电阻元件的非易失性存储器及其相关的驱动方法

[0001] 相关申请的交叉引用

[0002] 本申请要求于2012年12月11日在韩国知识产权局提交的韩国专利申请No. 10-2012-0143772的优先权,通过引用将其内容合并于此,就如同在此对其进行完整阐述一样。

技术领域

[0003] 本发明构思大体上涉及半导体器件,更具体地,涉及使用可变电阻元件的非易失性存储设备及其相关的驱动方法。

背景技术

[0004] 使用电阻材料的非易失性存储器包括相变随机存取存储器 (PRAM)、电阻RAM (RRAM)、和磁性RAM (MRAM)。而动态RAM (DRAM) 或闪速存储器使用电荷来存储数据,使用电阻材料的非易失性存储器使用诸如硫族化物合金 (在PRAM的情况下) 的相变材料的状态变化、可变电阻材料 (在RRAM的情况下) 的电阻变化、或者根据铁磁材料 (在MRAM的情况下) 的磁化状态的磁性隧道结 (MTJ) 薄膜的电阻变化来存储数据。

[0005] 特别地,当PRAM的相变材料在被加热后冷却时,PRAM的相变材料变成晶体状态或无定形状态。相变材料在结晶状态下具有低的电阻,并且在非晶状态下具有高电阻。因此,结晶状态可以被定义为设置数据或数据0,和无定形状态可以被定义为复位数据或数据1。

发明内容

[0006] 本发明构思提供了一种可以减少写入/验证操作循环的次数的非易失性存储器。

[0007] 本发明构思还提供了一种可以减少写入/验证操作循环的次数的非易失性存储器的驱动方法。

[0008] 本发明构思的一些实施例提供了一种非易失性存储器的驱动方法。该驱动方法包括:向电阻存储器单元提供基于先前的写操作来调整的起始脉冲,以写入数据;使用起始脉冲验证数据是否被准确地被写入;以及根据验证结果,通过增量单向写入方法或者减量单向写入方法来执行对于电阻存储器单元的写操作。

[0009] 本发明构思的另外的实施例提供了一种非易失性存储器的驱动方法。该驱动方法包括:通过在第一循环的次数的持续时间中的增量单向写入方法来在多个第一电阻存储器单元上写入数据,以及通过在第二循环的次数的持续时间中的减量单向写入方法来在多个第二电阻存储器单元上写入数据;以及使用第一循环的次数和第二循环的次数来调整下一个写操作的起始脉冲。

[0010] 另外,本发明构思的另外的实施例提供了一种非易失性存储器的驱动方法。该驱动方法包括:在写操作的第一循环中向电阻存储器单元提供起始脉冲,以写入数据;以及使用彼此不同的第一验证参考值和第二验证参考值来执行验证操作;并且将针对在从写操作的第二循环到最后一个循环的范围内的每个循环变化的写脉冲提供给电阻存储器单元,以写入数据;以及使用第一验证参考值而不使用第二验证参考值来执行验证操作。

[0011] 本发明构思的一些实施例提供了一种非易失性存储器,其包括:电阻存储器单元、对应于电阻存储器单元的感应放大器、以及对应于电阻存储器单元的写驱动器。写驱动器向电阻存储器单元提供基于先前的写操作而确定的起始脉冲;感应放大器使用起始脉冲来进行验证操作;以及写驱动器根据验证结果,通过增量单向写入方法和减量单向写入方法来在电阻存储器单元上执行写操作。

附图说明

[0012] 参考如图,通过详细描述实施例,本发明构思的上述和其它特征和优点将变得更加明显,在附图中:

[0013] 图1是示出了根据本发明构思的一些实施例的非易失性存储器的布局图。

[0014] 图2和图3示出了在图1中所示的存储器单元阵列的结构。

[0015] 图4是示出了根据本发明构思的一些实施例的非易失性存储器的框图;

[0016] 图5至图7示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法。

[0017] 图8示出了根据本发明构思的一些实施例的非易失性存储器的操作方法的的影响。

[0018] 图9是示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法的代表性流程图。

[0019] 图10是根据本发明构思的一些实施例的非易失性存储器的框图。

[0020] 图11和图12示出了在图10中所示的写入/验证单元的示例性结构。

[0021] 图13是根据本发明构思的一些实施例的非易失性存储器件的框图。

[0022] 图14是示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法的流程图。

[0023] 图15是示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法的流程图。

[0024] 图16至图20示出了根据本发明构思的一些实施例的存储器系统。

[0025] 图21是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0026] 图22是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0027] 图23是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0028] 图24是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0029] 图25是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0030] 图26是示出了使用存储级存储器(SCM)的存储器系统的示例性框图。

[0031] 图27是示出了使用存储级存储器(SCM)的存储器系统的另一种示例性框图。

[0032] 图28是示出了使用存储级存储器(SCM)的存储器系统的另一种示例性框图。

具体实施方式

[0033] 现在将参照附图来更加详细地描述本发明的概念,在附图中示出了本发明构思的实施例。但是,本发明构思可以体现为不同的形式并且不应被解释为限于本文所阐述的实施例。更确切地说,提供这些实施例使得本公开将是彻底和完整的,并且其将向本领域技术人员完整地传达本发明构思的范围。在整个说明书中,相同的标号表示相同的组件。在附图中,为了清晰,层和区域的厚度被夸大。

[0034] 还应当理解,当一个层被称为在另一层或基板“上”时,它可以直接在另一层或基板上,或也可以存在中间层。与此相反,当元件被称作“直接在”另一元件上时,则不存在中间元件。

[0035] 为了描述方便,在本文中可以使用空间相关的术语,如“在...之下”,“以下”,“下”,“上方”,“上部”等,以描述一个元件或特征与另一个元件或特征之间的关系,如附图中所示。但可以理解的是,除了在附图中描述的方位之外,空间相关术语旨在也涵盖器件在使用或者操作中的不同取向。例如,如果在图中设备被翻转,则描述为在其它元件或特征“下方”或“之下”的元件将被定向为在其它元件或特征“上方”。因此,示例性术语“下方”可以包括上方和下方两种取向。设备可被另外定位(旋转90度或者在其它取向),并且相应地解释在此使用的空间相关描述符。

[0036] 除非在本文中指明或明显地从上下文可知存在矛盾,否则在描述本发明概念的上下文(特别是在以下权利要求书的上下文)中对术语“一”和“一个”和“该”等的使用应被解释为包括单数和复数这两者。除非另有说明,否则术语“包括”、“具有”、“包含”应被解释为开放式术语(即,意为“包括,但不限于”)。

[0037] 除非另有定义,否则本文使用的所有技术和科学术语都具有与由本发明构思所属的技术领域的普通技术人员所通常理解的相同的意思。值得注意的是,除非另有规定,否则任何和所有实施例的使用,或本文所提供的示例性术语的使用仅旨在更好地说明本发明的概念,而不是对本发明的概念的范围的限制。此外,除另有界定外,在通常使用的字典中定义的所有项目都不应被过度解释。

[0038] 将参考在其中示出了本发明的优选实施例的透视图、剖视图、和/或平面图来描述本发明的概念。因此,示例性视图的外形可以根据制造技术和/或容差而进行修改。即,本发明的概念的实施例并非旨在限制本发明概念的范围,而是覆盖由于在制造过程中的变化所引起的所有变化和修改。因此,在附图中示出的区域以示意性的形式来示出,并且区域的形状仅仅以示例的方式而示出,而不是用于限制。

[0039] 参照图1,将对示出了根据本发明构思的一些实施例的非易失性存储器的布局图进行说明。为了方便说明,通过示例的方式,图1示出了包括16个存储器库(bank)的非易失性存储器,但本发明构思的各方面并不限于此配置。

[0040] 正如图1所示,根据本发明构思的一些实施例的非易失性存储器包括:存储器单元阵列、多个感应放大器/写驱动器(SA/WD) 2_1到2_8、以及外围电路区域(外围(PERIPHERY)) 3。

[0041] 存储器单元阵列可以包括多个存储器库1_1至1_16,每个存储器库1_1至1_16可包括多个存储器块BLK0到BLK7,每个存储器块BLK0到BLK7可以包括以矩阵配置来排列的多个非易失性存储器单元。在本发明构思的一些实施例中,被示例的是每8个的存储器块,但是本发明构思的各方面并不限于此配置。

[0042] 此外,用于定义要被写入/读取的非易失性存储器单元的行和列的行选择电路和列选择电路被排列为对应于存储器块1_1至1_16。

[0043] 感应放大器/写驱动器2_1到2_8可以包括上述的写入和验证驱动器(图2的130)。此外,每个感应放大器/写驱动器2_1到2_8被排列为对应于两个存储器库1_1到1_16,并且在相应的存储器库中执行读和写操作。在本发明构思的一些实施例中,每个感应放大器/写驱动器2_1到2_8对应于两个存储器库1_1至1_16,但本发明构思的各方面并不限于此配置。换句话说,感应放大器/写驱动器中的每一个也可以被布置成对应于一个或四个存储器库。

[0044] 多个逻辑电路块和用于操作各种电路块的电压发生器,例如,感应放大器/写驱动器2_1到2_8等可以被排列在外围电路区域3中。

[0045] 图2和图3示出了图1所示的存储器单元阵列的结构。首先参照图2,存储器单元阵列可以具有交点结构。交点结构可以是在其中,存储器单元被形成在一条线和另一条线的交叉处的结构。例如,位线BL1_1到BL4_1被形成为在第一方向上延伸,字线WL1_1到WL3_1被形成为在第二方向上延伸,从而与位线BL1_1到BL4_1交叉,并且电阻存储器单元MC可以被形成在位线BL1_1到BL4_1和字线WL1_1到WL3_1的交叉处。

[0046] 电阻存储器单元是在存储器单元阵列中的多个电阻存储器单元中选择的电阻存储器单元,例如,被选择用于读或者编程操作的电阻存取器单元。在这些实施方案中,在电阻存储器单元MC是PRAM的情况下,每个电阻存储器单元MC可以包括:包含相变材料的可变电阻元件B、和控制流过可变电阻元件B的电流的存取元件A。在这些实施例中,存取元件A可以是串联连接到可变电阻元件B的二极管或晶体管。此外,相变材料可根据结晶态或无定形状态而具有不同的电阻值。例如,相变材料可以是两种元素的组合,例如,GaSb、InSb、InSe、Sb₂Te₃或者GeTe,三种元素的组合,例如,GeSbTe、GaSeTe、InSbTe、SnSb₂Te₄或者InSbGe,或者四种元素的组合,例如,AgInSbTe、(GeSn)SbTe、GeSb(SeTe)或者Te₈₁Ge₁₅Sb₂S₂。具体地,通常可以使用包括锗(Ge)、锑(Sb)、和碲(Te)的GeSbTe。

[0047] 同时,在电阻存储器单元MC是RRAM的情况下,可变电阻元件B可以包括,例如,NiO或钙钛矿。钙钛矿可以是亚锰酸盐(manganite)的组合物(例如,Pr_{0.7}Ca_{0.3}MnO₃、Pr_{0.5}Ca_{0.5}MnO₃、PCMO、和LCMO),钛酸盐(例如,STO:Cr)和/或锆酸盐(例如,SZO:Cr、Ca₂Nb₂O₇:Cr、和Ta₂O₅:Cr)。

[0048] 可选地,如图3中所示,存储器单元阵列可以具有三维(3D)的堆叠结构。三维堆叠结构可以是在其中多个存储器单元层111_1至111_8被垂直堆叠的结构。在图3中示例的是,8个存储器单元层111_1至111_8被垂直堆叠,但本发明构思的各方面并不限于此。在这些实施例中,每个存储器单元层111_1至111_8可以包括多个存储器单元组和/或多个冗余存储器单元组。在其中存储器单元阵列具有三维堆叠结构的实施例中,每个存储器单元层111_1至111_8可以具有图2中所示的交点结构,但是本发明构思的各方面并不限于此。

[0049] 图4是示出了根据本发明构思的一些实施例的非易失性存储器的框图。图5至图7示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法,以及图8示出了根据本发明构思的一些实施例的非易失性存储器的操作方法的示例。

[0050] 首先参照图4,根据本发明构思的一些实施例的非易失性存储器可以包括存储器单元阵列110和多个写/验证单元WNV1到WNVn,其中,n是自然数。

[0051] 存储器单元阵列110包括多个电阻存储器单元MC1至MCn。在一些实施例中示例的

是,电阻存储器单元MC1被定位在存储器单元阵列110中,并连接到字线WL1和位线BL1,并且电阻存储器单元MCn被连接到字线WLn和位线BLn。

[0052] 多个写/验证单元WNV1到WNVn的每一个可以包括写驱动器WD1到WDN以及感应放大器SA1至SAn。

[0053] 现在将参考图5至7来描述写/验证单元WNV1到WNVn的操作。

[0054] 正如图5所示,写驱动器(例如,WD1)可以将第二数据R2写入到电阻存储器单元(例如,MC1)。如图5所示,第一到第三数据R1至R3可以对应于第一到第三电阻W1至W3。例如,第二数据R2可被写入到其中第一数据R1被存储的电阻存储器单元MC1中。或者,第二数据R2也可以被写入到其中第三数据R3被存储的电阻存储器单元MC1中。

[0055] 在写周期的第一个循环中,写驱动器WD1提供起始脉冲UP11或DN11到电阻存储器单元MC1。感应放大器(例如,SA1)使用起始脉冲UP11或DN11来执行验证操作。感应放大器(例如,SA1)可以使用两个验证参考值VR2_LS和VR2_US来执行验证操作。

[0056] 在一些实施例中,如果电阻存储器单元MC1的电阻值比验证参考值VR2_LS小,则通过增量写入方法(参见图7中①)来从写周期的第二循环到最后一个循环执行写操作。换句话说,感应放大器SA1在写周期的第一循环中使用两个验证参考值VR2_LS和VR2_US,并且在写周期的第二循环到最后一个循环中仅使用一个验证参考基准值VR2_LS。在一些实施例中,其它的验证参考值VR2_US不被使用。

[0057] 如果电阻存储器单元MC的电阻大小大于验证参考值VR2_US,则通过减量写入方法(参见图7中②)来从写周期的第二循环到最后一个循环执行写操作。换句话说,感应放大器SA1在写周期的第一循环中使用两个验证参考值VR2_LS和VR2_US,并且在写周期的第二循环到最后一个循环中仅使用一个验证参考基准值VR2_US。在一些实施例中,其它的验证参考值VR2_LS不被使用。

[0058] 因此,写操作可以通过增量写入方法来在多个电阻存储器单元MC1至MC中的一些电阻存储器单元(例如,MC1)上执行,而写操作也可以在一些其他电阻存储器单元中执行(例如,MCn)。

[0059] 现在参照图6,先前的写操作(例如WP1)和当前的写操作(例如,WP2)的起始脉冲UP11或DN11可以具有不同的幅度。

[0060] 作为CASE1,当前的写操作WP2的起始脉冲UP11或DN11可能比先前的写操作WP1的大。作为CASE2,当前的写操作WP2的起始脉冲UP11或DN11可能比先前的写操作WP1的小。

[0061] 起始脉冲UP11或DN11基于以前的写操作WP1来调整。

[0062] 例如,起始脉冲UP11或DN11可以通过增量单向写入方法而使用在先前的写操作WP1中执行的第一循环的次数来调整,以及可以通过减量单向写入方法而使用在先前的写操作WP1中执行的第二循环的次数来调整。

[0063] 在先前的写操作WP1中,如果第一循环的次数比第二循环的次数大,如在CASE1中,则当前的写操作WP2的起始脉冲UP11或DN11增加。

[0064] 在先前的写操作WP1中,如果第一循环的次数比第二循环的次数小,如在CASE2中,则当前的写操作WP2的起始脉冲UP11或DN11减小。

[0065] 可选地,可以调整起始脉冲UP11或DN11,使得当前的写操作WP2的第一循环的次数变为等于当前的写操作WP2的第二循环的次数。例如,如果第一循环的次数是4和第二循环

的次数为6,则起始脉冲UP11或DN11可以被调整为使得第一循环的次数和第二循环的次数两者都变为5。在同时执行增量单向写入方法和减量单向写入方法的情况下,如果第一循环的次数和第二循环的次数彼此相等,则写操作可以以最小的循环的次数而终止。

[0066] 因此,起始脉冲UP11或DN11可以是在先前的写操作WP1中使用的多个脉冲之间的中间值。

[0067] 现在参照图7,感应放大器(例如,SA1)可以使用两个验证参考值VR2_LS和VR2_US来执行检验操作。也就是说,写入方法可以根据感应放大器SA1的验证结果来确定。

[0068] 如果电阻存储器单元MC1的电阻大小比验证参考值VR2_LS小,如在图7中①所示,则供应给每个循环L11到L1k的写电流IW1可以连续增加。如所示,写电流IW1可以具有第一循环L11中的脉冲UP11、第二循环L12中的脉冲UP12、或第k循环L1k中的脉冲UP1k。因此,写电流IW1可以以恒定的增量来增加,如图所示。然而,写电流IW1的增量也可以不是恒定的。

[0069] 如果电阻存储器单元MC1的电阻大小比验证参考值VR2_US大,如在图7的②中所示,供应给每个循环L11到L1k的写电流IW1可以连续地减小。如所示,写电流IW1可以具有第一循环L11中的脉冲DN11、第二循环L12中的脉冲DN12、或第k循环L1k中的脉冲DN1k。因此,写电流IW1可以以恒定的减量来减小,如图所示。然而,写电流IW1的减量也可以不是恒定的。

[0070] 如图7中所示,在①中的起始电流UP11和在②中的起始电流DN11具有相同的幅度,因为在写操作的第一循环中供应起始电流UP11或DN11,并且在其他循环中要被使用的写入方法根据验证结果来确定。

[0071] 现在参照图8,在比较的现有技术1中,由于起始脉冲UP1的幅度相当小,所以写电流可以包括在写周期期间以10个台阶增加的脉冲UP1到UP10(即,循环的次数=10)。在比较的现有技术2中,由于起始脉冲DN1的幅度相当大,所以写电流可以包括在写周期期间以10个台阶减小的脉冲DN1到DN10(即,循环的次数=10)。

[0072] 与此相反,在本发明概念的一些实施例中,起始脉冲UP11或DN11可以是在先前的写操作WP1中使用的多个脉冲之中的中间值。作为结果,即使通过增量写入方法来执行写操作,写电流也可以在写周期期间以5个台阶增加的脉冲UP11到UP15(即,循环的次数=5)。即便通过减量写入方法来执行写操作,写电流也可以在写周期期间以5个台阶减小的脉冲DN11到DN15(即,循环的次数=5)。因此,与现有技术1或2的非易失性存储器相比,根据本发明构思的一些实施例的非易失性存储器可以具有减小到一半的循环的次数。

[0073] 图9是示出了根据本发明构思的一些实施例的非易失性存储器的驱动方法的代表性流程图。

[0074] 现在参照图9,首先,将非易失性存储器进行初始化,并且设置数据(S210)。例如,用于执行写操作所需的逻辑块(例如,在图10中所示的多个计数器130_1和130_2、在图11中所示的使能锁存器EL1和EL2等)被初始化。

[0075] 执行写操作(S220)。在写操作之后,执行验证操作,并且根据验证操作的结果来执行抑制(inhibition)操作(S230)。

[0076] 具体地,可以使用包括第一到第k循环L1到Lk的写周期来执行写操作。在第一循环L1中使用的起始脉冲可以基于先前的写操作来确定。验证操作也可以对第一至第k循环L1到Lk中的每一个来执行。如上所讨论的,在第一循环L1中,验证操作可以使用两个验证参考

值(例如,VR2_LS和VR2_US)来执行。根据验证结果,在剩余的循环L2到Lk中,验证操作可以使用一个验证参考值(例如,VR2_LS)来执行。与在剩余的循环L2到Lk中没有使用的其他验证参考值(例如,VR2_US)相关的感应放大器被抑制。在本文中使用的术语“抑制”可以意指感应放大器被禁止,或者即使被使能,感应放大器的感应结果也不被使用。

[0077] 然后,确定在写操作中是否所有的写驱动器都通过或失败(S240)。

[0078] 如果在写操作中,写驱动器的任何一个发生故障,循环的次数增加1(S250)。在其中循环的次数增加1的状态下,再次执行写入操作(S220)以及验证和抑制操作(S230)。

[0079] 如果在写操作中所有的写驱动器已通过,则设置要在下一个写操作中使用的起始脉冲控制信号(SPCTRL)(S260)。例如,起始脉冲可以通过增量单向写入方法,使用在先前的写操作期间执行的第一循环的次数来调整,以及可以通过减量单向写入方法,使用在先前的写操作期间执行的第二循环的次数来调整。

[0080] 图10是根据本发明构思的一些实施例的非易失性存储器件的框图,其示出了以上相对于图4至图9而描述的非易失性存储器件的具体实施示例。

[0081] 现在参照图10,根据本发明构思的实施例的非易失性存储器包括:存储器单元阵列110、多个写/验证单元WNV1到WNVn、第一逻辑单元150a、第二逻辑单元150b、第一计数器130_1、第二计数器130_2、第一数字-模拟转换器140_1、第二数字-模拟转换器140_2、以及控制器190。

[0082] 多个写/验证单元WNV1到WNVn的每一个可以包括写驱动器、感应放大器等等。

[0083] 写/验证单元WNV1到WNVn的写驱动器将基于先前的写操作而确定的起始脉冲UP11或DN11提供给电阻存储器单元(例如,MC1)。

[0084] 因此,感应放大器使用起始脉冲UP11或DN11来验证是否写操作已经被准确地执行。同时,每个感应放大器可以使用彼此不同的两个验证参考值VR2_LS和VR2_US来执行验证操作。根据验证结果,通过增量单向写入方法(图7的①所示)或减量单向写入方法(图7的②所示),写驱动器可以在电阻存储器单元MC1上执行写操作。在增量单向写入方法中,随着写周期中的循环的次数增加,供应给电阻存储器单元的写电流增加。相反,在减量单向写入方法中,随着写周期中循环的次数增加,供应给电阻存储器单元的写电流减小。

[0085] 稍后将参照图11至图13描述写/验证单元WNV1的示例性结构。

[0086] 第一逻辑单元150a接收多个写使能信号WE11到WEn1,并输出第一通过/失败信号PF1。在这些实施示例中,写使能信号(例如,WE11)可以是用于使用第一验证参考值VR2_LS来执行验证操作的信号,并且可以对应于表示验证结果的第一验证信号(图11中的SAout1)。

[0087] 当多个写使能信号WE11到WEn1中的任何一个被激活时,第一通过/失败信号PF1可能被激活。当所有的多个写使能信号WE11到WEn1被停用时,第一通过/失败信号PF1可能被停用。如果写周期的最大循环到达,则第一通过/失败信号PF1可以被停用。

[0088] 类似地,第二逻辑单元150b接收多个写使能信号WE12到WEn2,并且输出第二通过/失败信号PF2。在这些实施示例中,写使能信号(例如,WE12)可以是用于使用第二验证参考值VR2_US来执行验证操作的信号,并且可以对应于表示验证结果的第二验证信号(图11中的SAout2)。当多个写使能信号WE12到WEn2中的任何一个被激活时,第二通过/失败信号PF2可能被激活。当所有的多个写使能信号WE12到WEn2被停用时,第二通过/失败信号PF2可能被停用。如果写周期的最大循环到达时,第二通过/失败信号PF2可以被停用。

[0089] 响应于来自第一逻辑单元150a的第一通过/失败信号PF1,第一计数器130_1计数第一循环的次数。在这些实施例中,第一循环的次数是指通过增量单向写入方法而执行的循环计数的数目,这是因为第一通过/失败信号PF1对应于使用第一验证参考值而获取的第一验证信号SAout1。

[0090] 响应于来自第二逻辑单元150b的第二通过/失败信号PF2,第二计数器130_2计数第二循环的次数。在这些实施方案中,第二循环的次数是指通过减量单向写入方法而执行的循环计数的数目,这是因为第二通过/失败信号PF2对应于使用第二验证参考值而获取的第二验证信号SAout2。

[0091] 控制器190基于第一循环的次数和第二循环的次数来生成起始脉冲控制信号SPCTRL。详细地说,为了产生要在下一个写操作中使用的最适合的起始脉冲UP11或DN11,控制器190基于在先前的写操作中计数的第一循环的次数和第二循环的次数来生成起始脉冲控制信号SPCTRL。

[0092] 如上所讨论的,例如,如果第一循环的次数大于第二循环的次数,则控制器190控制起始脉冲控制信号SPCTRL,以增加下一个写操作的起始脉冲UP11或DN11。

[0093] 相反,如果第一循环的次数小于第二循环的次数,则控制器190控制起始脉冲控制信号SPCTRL,以减小下一个写操作的起始脉冲UP11或DN11。

[0094] 控制器190可以通过控制起始脉冲控制信号SPCTRL来控制起始脉冲UP11或DN11。因此,控制器190可以进行调节,以使得第一次循环的次数等于第二循环的次数。

[0095] 第一计数器130_1和第二计数器130_2接收起始脉冲控制信号SPCTRL,并且调整下一个写操作的起始点。以这种方式,起始脉冲UP11或DN11可被调节。

[0096] 数字-模拟转换器140_1和140_2的每一个解码计数器130_1和130_2的输出,然后将写电流UP11到UP15和DN11到DN15输出到多个写/验证单元WNV1到WNVn。

[0097] 图11和图12示出了图10中所示的写/验证单元的示例性结构。

[0098] 参考图11和图12,在图10所示的写/验证单元(例如,WNV1)可以包括所有在图11和12所示的元件。其他的写/验证单元WNV2到WNVn可以具有基本上与写/验证单元WNV1相同的结构。

[0099] 写/验证单元WNV1可以包括:写驱动器WD1、第一感应放大器SA1、第二感应放大器SA2、第一使能锁存器EL1、第二使能锁存器(EL2)、数据锁存器DL1、第一开关SW1、第二开关SW2、第三开关SW3、和第四开关SW4。

[0100] 要被写入到电阻存储器单元中的数据DIN被存储在数据锁存器DL1中。数据锁存器DL1将对应于要被写入的数据DIN的选择信号S1、S2、或S3提供给第三开关SW3和第四开关SW4。例如,第二数据R2可以被存储在数据锁存器DL1中。

[0101] 第三开关SW3被电连接到第一感应放大器SA1,并且响应于选择的信号S1,从多个验证参考值VR1到VRa(其中,a为大于2的自然数)中选择要被供应给第一感应放大器SA1的验证参考值(多个验证参考值VR1至VRa中的一个)。例如,如果要写入的数据DIN是第二数据R2,验证参考值VR1可能被选中。第一感应放大器SA1使用所选的验证参考值VR1来验证是否写操作被准确地执行,并且输出表示验证结果的第一验证信号SAout1。

[0102] 此外,第四开关SW4被电连接到第二感应放大器SA2,并且响应于选择的信号S2,从多个验证参考值VR1到VRa(其中,a为大于2的自然数)中选择要被供应给第二感应放大器

SA2的验证参考值(多个验证参考值VR1至VRa中的一个)。例如,如果要写入的数据DIN是第二数据R2,验证参考值VR2可能被选中。第二感应放大器SA2使用所选的验证参考值VR2来验证是否写操作被准确地执行,并且输出表示验证结果的第二验证信号SAout2。

[0103] 第一使能锁存器EL1存储第一验证信号SAout1,并且将对应于第一验证信号SAout1的第一写使能信号WE11输出到第一开关SW1。

[0104] 第二使能锁存器EL2存储第二验证信号SAout2,并且将对应于第二验证信号SAout2的第二写使能信号WE12输出到第二开关SW2。

[0105] 例如,假定第一验证信号SAout1是用于指示失败结果的信号,并且第二验证信号SAout2是用于指示通过结果的信号。

[0106] 在这些实施例中,第一使能锁存器EL1接收第一验证信号SAout1并且激活第一写使能信号WE11。因此,第一开关SW1被使能,然后将脉冲UP11到UP15发送到写驱动器WD1。

[0107] 第二使能锁存器EL2接收第二验证信号SAout2,并且停用写使能信号WE12。因此,第二开关SW2被禁用,使得脉冲DN11到DN15不被发送到写驱动器WD2。

[0108] 在这些实施例中,第一使能锁存器EL1和第二使能锁存器EL2是单向锁存器,使得直到在接收指示通过结果的验证信号SAout1之后,在当前的写周期结束时,在其中存储的值不改变。

[0109] 图13是根据本发明构思的另一实施例的非易失性存储器的框图。为了方便解释,下面的描述将集中于图11和图13所示的非易失性存储器的差异。

[0110] 参看图13,根据本发明的另一实施例的非易失性存储器采用单个感应放大器SA3。

[0111] 根据需要,验证参考值VR1或验证参考值VR2可被选择性地连接到感应放大器SA3。如后面将要描述地,当顺序地执行验证操作时,可以使用验证参考值VR1或验证参考值VR2,如图15中所示。

[0112] 图14是示出了根据本发明构思的另一个实施例的非易失性存储器的驱动方法的流程图。具体地,图14示出了以流水线方式执行的验证操作。

[0113] 参看图14,多个计数器130_1和130_2中的每一个的循环的次数被初始化为1。使能锁存器(例如,EL1或EL2)被设置为0(S213)。

[0114] 写电流被提供,以执行写操作(S223)。如上所讨论地,基于先前的写操作来确定起始脉冲。

[0115] 使用两个验证参考值VR2_LS和VR2_US来验证数据是否已经准确地写入在电阻存储器单元。详细地,如果电阻存储器单元的电阻值Rce11大于验证参考值VR2_LS(S233a),并且电阻存储器单元的电阻值Rce11小于验证参考值VR2_US(S233b),则使能锁存器EL1进行从0到1的转换(S233c)。

[0116] 如果电阻存储器单元的电阻值Rce11比验证参考值VR2_LS小,或者比验证参考值VR2_US大,则程序进行到S243。

[0117] 然后,判断是否所有的使能锁存器EL1和EL2转换到1,以及是否写操作已经执行到达到写周期的最大循环(S243)。

[0118] 如果所有的使能锁存器EL1和EL2转换到1,或者如果写操作已被执行到达到写周期的最大循环,则当前的写操作终止以移动到S261。

[0119] 如果所有的使能锁存器EL1和EL2没有转换到1,以及如果写操作没有被执行到达

到写周期的最大循环,则循环计数的次数逐次地增加。如果电阻存储器单元的电阻值Rce11比验证参考值VR2_LS小,则写电流增加(S253a)。但是,如果电阻存储器单元的电阻值Rce11比验证参考值VR2_US大,则写电流被减小(S253b)。

[0120] 如果当前的写操作终止,则对于通过增量单向写入方法在终止的当前的写操作期间执行的第一循环的次数,也就是向上UP循环的次数,以及对于减量单向写入方法在终止的当前的写操作期间执行的第二循环的次数,也就是DN循环的次数进行计数(S261)。

[0121] 确定下一个的写命令是否被输入(S262)。

[0122] 如果是的话,则为下一个写操作设置起始脉冲控制信号SPCTRL(S263)。如果不是,则程序结束。

[0123] 图15是示出根据本发明构思的另一个实施例的非易失性存储器的驱动方法的流程图。特别地,图15示出了按顺序执行验证操作的情况。为了方便解释,下面的描述将集中于图14和图15所示的驱动方法的差异。

[0124] 参见图15,多个计数器130_1和130_2的每一个的循环的次数被初始化为1。使能锁存器(例如,EL1或EL2)被设置为0(S213)。

[0125] 写电流被提供来执行写操作(S223)。如上所讨论地,基于先前的写操作来确定起始脉冲。

[0126] 使用两个验证参考值VR2_LS来验证数据是否已经准确地写入在电阻存储器单元(233a)。如果电阻存储器单元的电阻值Rce11比验证参考值VR2_LS小,则程序进行到S243。如果电阻存储器单元的电阻值Rce11比验证参考值VR2_LS大,程序进行到S233c。

[0127] 确定是否所有的使能锁存器(例如,EL1)转换为1,以及是否写操作已经执行到达到写入周期的最大循环(S243)。

[0128] 如果是的话,相应的使能锁存器EL1被允许转换为1(S233c)。

[0129] 写电流被再次供应来执行写操作(S239)。如上所述,基于先前的写操作来确定起始脉冲。

[0130] 使用验证参考值VR2_US来验证数据是否已经准确地写入在电阻存储器单元中(S233b)。如果电阻存储器单元的电阻值Rce11比验证参考值VR2_US小,则程序进行到S244。如果电阻存储器单元的电阻值Rce11比验证参考值VR2_US大,则程序进行到S233d。

[0131] 确定是否所有的使能锁存器(例如,EL2)转换到1,以及是否写操作已经执行到达到写周期的最大循环(S244)。

[0132] 如果是的话,相应的使能锁存器EL2被允许转换到1(S233d)。

[0133] 如果当前的写操作终止,则对于通过增量单向写入方法在终止的当前的写操作期间执行的第一循环的次数,也就是向上UP循环的次数,以及对于减量单向写入方法在终止的当前的写操作期间执行的第二循环的次数,也就是DN循环的次数进行计数(S261)。

[0134] 确定下一个写命令是否被输入(S262)。

[0135] 如果是的话,则为下一个写操作设置起始脉冲控制信号SPCTRL(S263)。如果不是,则程序结束。

[0136] 图16到20示出了使用根据本发明构思的一些实施例的非易失性存储器的存储器系统。

[0137] 图16是使用根据本发明构思的一些实施例的非易失性存储器的蜂窝电话系统的

示例性框图。

[0138] 参看图16,蜂窝电话系统可以包括:用于对音频压缩或解压缩的ADPCM编解码电路1202、扬声器1203、麦克风1204、用于对数字数据进行时分复用存取的TDMA电路1206、用于设置RF信号的载波频率的PLL电路1210、和用于发送/接收RF信号的RF电路1211。

[0139] 此外,蜂窝电话系统可以包括各种类型的存储器,例如包括:非易失性存储器1207、只读存储器1208、和SRAM1209。非易失性存储器1207可以是根据本发明构思的实施例的非易失性存储器,并且可以例如包括ID号。ROM1208可以存储程序,并且SRAM1209可以作为系统控制微计算机1212的工作区,或者可以暂时存储数据。在这些实施例中,系统控制微计算机1212可以是控制非易失性存储器1207的写和读操作的处理器。

[0140] 图17是使用根据本发明构思的一些实施例的非易失性存储器的存储卡的示例性框图。

[0141] 现在参照图17,存储卡可以例如包括:多媒体卡(MMC)、安全数字(SD)卡、多用途卡、微型SD卡、诸如记忆棒的多用途卡、紧凑型SD卡、ID卡、个人计算机存储卡、国际协会(PCMCIA)卡、SSD卡、芯片卡、智能卡、USB卡等。

[0142] 现在参照图17,存储卡可以包括用于执行与外部设备的连接的接口部件1221、具有缓冲存储器和控制存储器卡的操作的控制器部件1222、以及根据本发明构思的实施例的非易失性存储器1207中的至少一个。控制器部件1222可以是能够控制非易失性存储器1207的写操作和读操作的处理器。详细地,控制器部件1222可以通过数据总线DATA和地址总线ADDRESS而耦合到非易失性存储器1207和接口部件1221。

[0143] 图18是使用根据本发明构思的实施例的非易失性存储器的数字照相机的示例性框图。

[0144] 参看图18,数字照相机可包括主体1301、插槽1302、透镜1303、显示器1308、快门按钮1312、和频闪闪光灯1318。特别地,存储卡1331可以插入到插槽1302中。存储卡1331可以包括根据本发明构思的一些实施例的至少一个非易失性存储器1207。

[0145] 当存储卡1331是接触类型时,存储卡1331可以在被插入到插槽1308时,接触到设置在电路板上的特定电路。当存储卡1331是非接触型时,存储卡1331可以通过RF信号进行通信。

[0146] 图19示出了使用图17所示的存储卡的各种系统。

[0147] 参看图19,存储卡1331可以在各种系统中使用,其包括:(a)摄像机、(b)电视机、(c)音频设备、(d)游戏机、(e)电子音乐播放设备、(f)移动电话、(g)计算机、(h)个人数字助理(PDA)、(i)话音记录器、(j)PC卡等等。

[0148] 图20是使用根据本发明构思的实施例的非易失性存储器的图像传感器系统的示例性框图。

[0149] 参考图20,图像传感器系统可以包括图像传感器1332、输入/输出(I/O)设备1336、RAM1348、CPU1344、以及根据本发明构思的一些实施例的非易失性存储器1354。各个组件,即,图像传感器1332、I/O设备1336、RAM1348、CPU1344、和非易失性存储器1354可以通过总线1352相互通信。图像传感器1332可以包括照片感应元件,例如,光电门、光电二极管等。各个组件可以与处理器一起被结合到单个芯片中,并且处理器和各个组件可以被配置为单独的芯片。

[0150] 图21是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。

[0151] 如图21所示,存储器3010被耦合到存储器控制器3020。存储器3010可以是根据上述实施例中的存储器的任何一个。存储器控制器3020提供输入信号,以用于控制存储器3010的操作。例如,存储器控制器3020可以发送命令CMD和地址信号到存储器3010。存储器控制器3020可以包括存储器接口、主机接口、ECC电路、中央处理单元(CPU)、缓冲存储器等等。存储器接口可以将来自缓冲存储器的数据传输到存储器3010,或者可以从存储器3010读取数据,以然后将读取的数据传输到缓冲存储器。此外,存储器接口可以将来自外部主机的命令CMD和地址信号传输给存储器3010。

[0152] 主机接口可以通过诸如通用串行总线(USB)、小型计算机小型接口(SCSI)协议、外围组件互连(PCI)-表示协议、先进技术电子(ATA)协议、并行ATA协议、串行ATA(SATA)协议、串行连接SCSI(SAS)等的各种接口协议中的一个来与外部主机进行通信。

[0153] 根据本发明构思的实施例的存储器系统可以包括ECC电路。ECC电路可以使用传输到存储器3010的数据来生成奇偶校验位。生成的奇偶校验位和数据可被存储在存储器3010的特定区域。ECC电路检测从存储器3010读取的数据的错误。如果检测到的错误是可校正的错误,则ECC电路校正数据。

[0154] CPU通过主机接口或存储器接口来控制外部主机或存储器3010。CPU可以根据用于驱动存储器3010的固件来控制写操作、读操作或擦除操作。

[0155] 缓冲存储器暂时存储从外部源提供的写数据或从存储器3010读取的数据。此外,缓冲存储器可以存储要被存储在存储器3010中的元数据或高速缓存数据。在断电操作期间,存储在缓冲存储器中的元数据或高速缓存数据可以被存储在存储器3010中。存储在缓冲存储器中的数据可以是DRAM或SRAM。

[0156] 图22是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。根据图示的实施例的存储器系统基本上与图20中所示的存储器系统相同,不同之处在于存储器3010和存储器控制器3020被嵌入在卡3130中。例如,卡3130可以是闪存存储器卡。这就是说,卡3130可以是诸如数码相机、个人计算机等等的消费电子设备中使用的标准产品。存储器控制器3020可以根据从另一个设备(例如,外部设备)提供的控制信号来控制存储器3010。

[0157] 图23是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。如图23中所示,存储器3010可以被耦合到主机3210。主机3210可以是诸如个人计算机、数字相机等的处理系统。主机3210可以使用存储器3010来作为可擦写存储设备。如上所述,主机3210可以提供用于控制存储器3010的输入信号。例如,主机3210可以提供命令CMD和地址信号。

[0158] 图24是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的示例性框图。主机3210以及卡3130彼此耦合。主机3210提供控制信号给卡3130,以允许存储器控制器3020控制存储器3010。

[0159] 图25是使用根据本发明构思的一些实施例的非易失性存储器的存储器系统的另一示例性框图。存储器3010可以并入到计算机系统3410中提供的CPU3120中。例如,计算机系统3410可以是个人计算机、PDA等。存储器3010可以经由总线直接连接到CPU3120。

[0160] 根据本发明构思的实施例的非易失性存储器可以被用作存储级存储器(SCM)。SCM是具有非易失性特性和存取特性的常规的存储器。SCM可以用作数据存储区和程序操作区。

[0161] 使用电阻材料的上述非易失性存储器,例如,PRAM、RRAM、或MRAM可被用作SCM。SCM可以用作数据存储存储器以代替闪存(图27的4230),或者可以被用作主存储器,以代替SRAM(图26的4120)。SCM可以代替闪存和SRAM。

[0162] 图26是示出了使用SCM的存储器系统的示例性框图。存储器系统4100包括CPU4110、SDRAM4120、和代替闪存使用的SCM4130。

[0163] 在存储器系统4100中,SCM4130的数据存取速度比闪存更高。例如,当CPU4110在PC环境下以4GHz来操作时,作为SCM4130的一种的PRAM的数据存取比闪存的快约32倍。因此,与集成了闪存的存储器系统相比,存储器系统4100可以达到更高速度的存取增益。

[0164] 图27是示出了使用SCM的存储器系统的另一个示例性框图。存储器系统4200包括:CPU4210、代替SDRAM使用的SCM4220、和闪存4230。

[0165] 在存储器系统4200中,SCM4220使用比SDRAM更小量的功率。通过计算机系统的主存储器所使用的能量约为整个系统所使用的能量的40%。因此,人们试图减少主存储器所使用的能量。SCM的使用可以将动态能量消耗减小约53%,使得功耗降低约73%。因此,相比于使用SDRAM的存储器系统,存储器系统4200可显著地降低能量消耗。

[0166] 图28是示出了使用SCM的存储器系统的示例性框图。存储器系统4300包括CPU4310和代替SDRAM4120和闪存4230来使用的SCM4320。SCM4320可以被用作主存储器,来代替SDRAM,并且可以作为数据存储存储器,以代替闪存4230。存储器系统4300在数据存取速度、低功耗、空间利用率、和成本效益方面都具有优势。

[0167] 尽管已经参照本发明的示例性实施例来具体示出和描述了本发明的概念,但本领域的普通技术人员应该理解,可以在不脱离由所附权利要求所限定的本发明概念的精神和范围的情况下,对其在形式和细节上进行各种变化。因此,期望的是,从所有方面来看所述实施例都是说明性的而不是限制性的,将参考所附权利要求而不是先前的描述来表示本发明概念的范围。

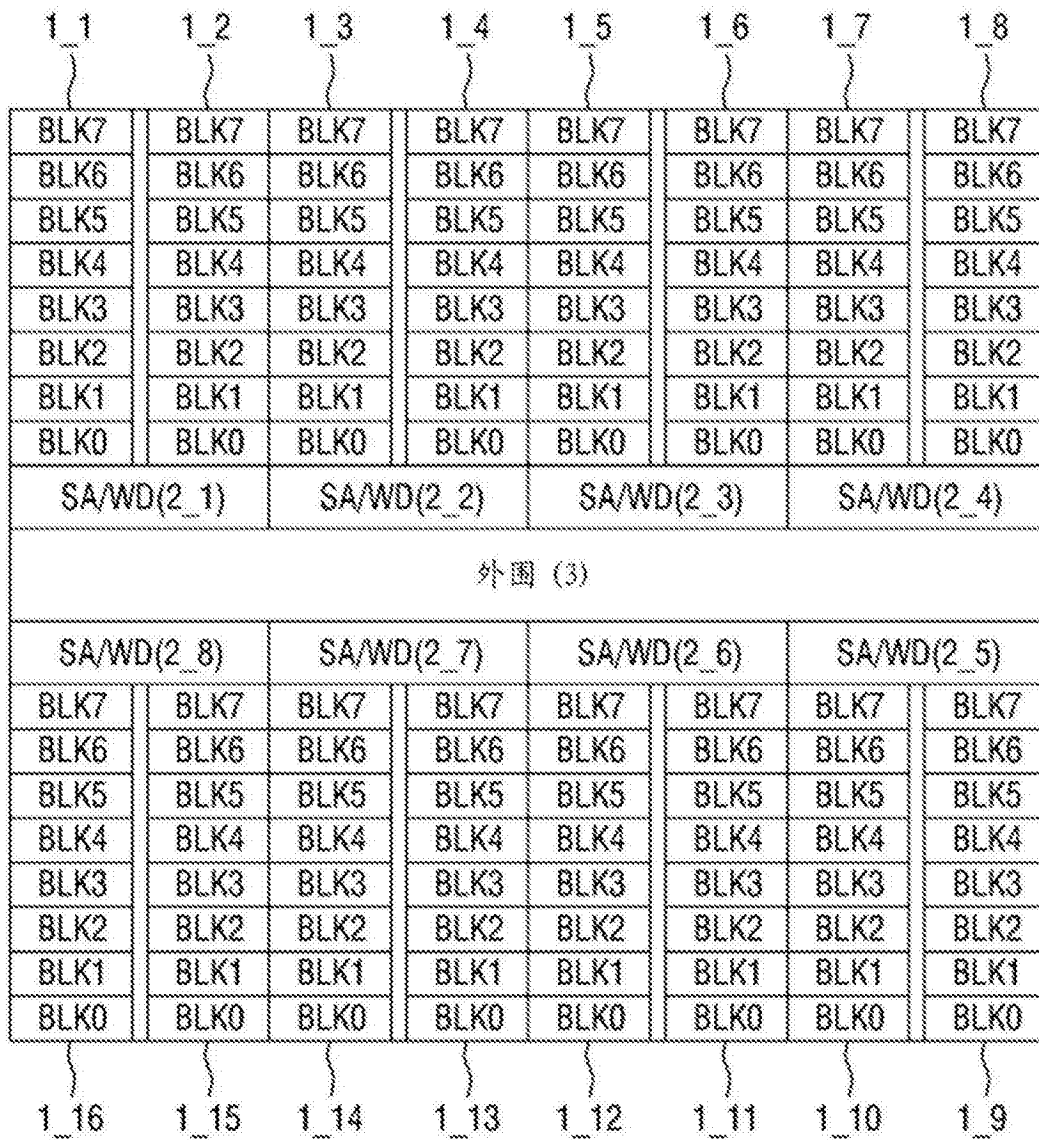


图1

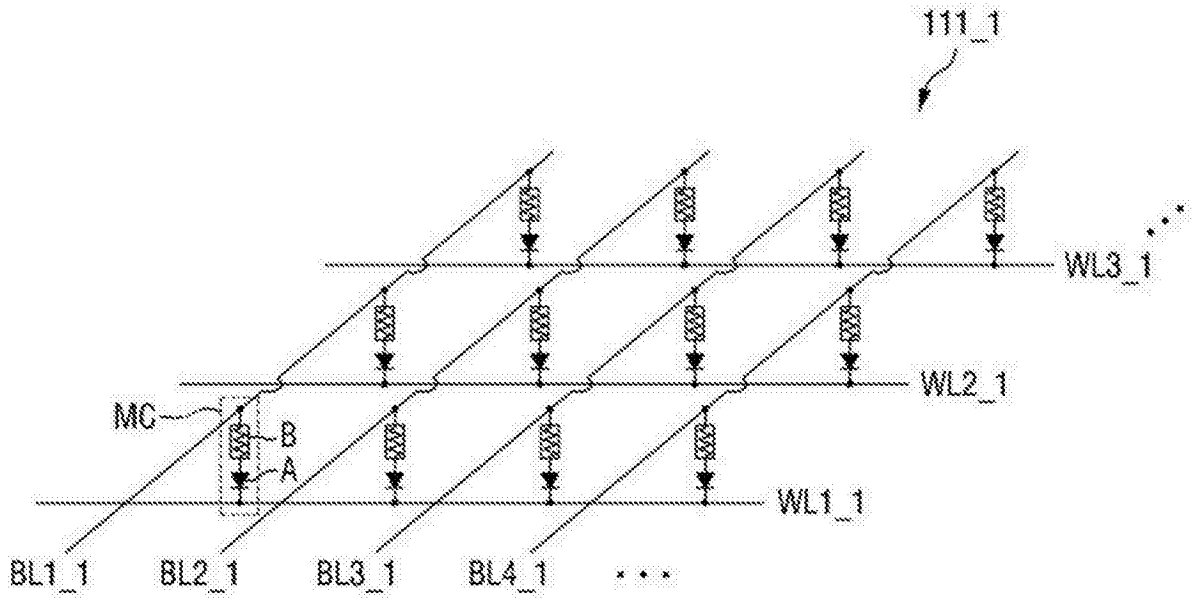


图2

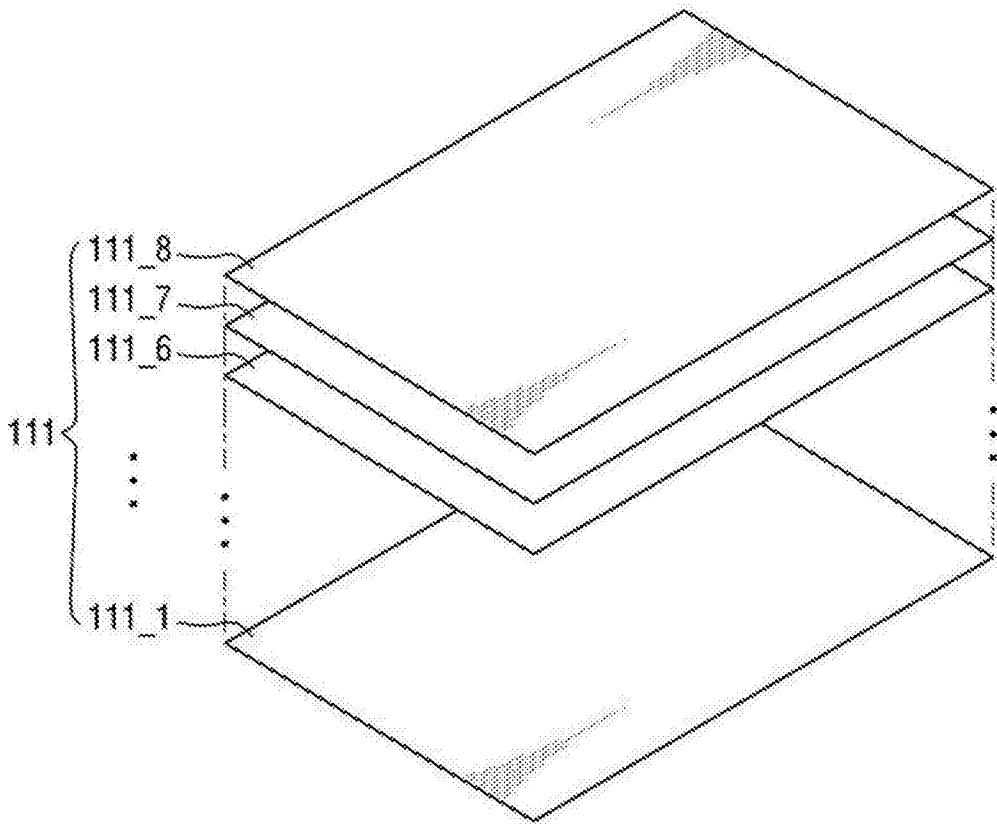


图3

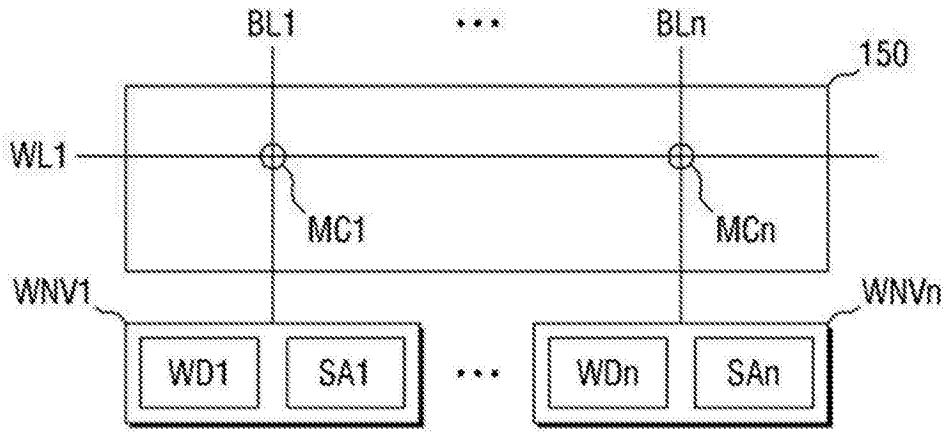


图4

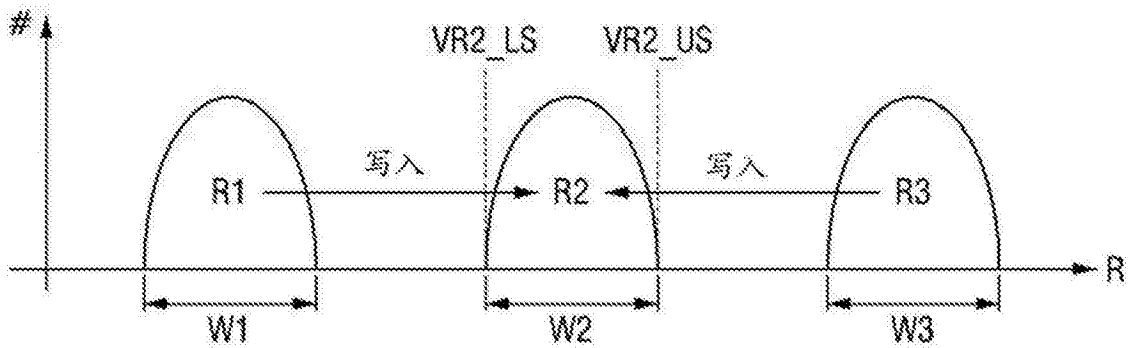


图5

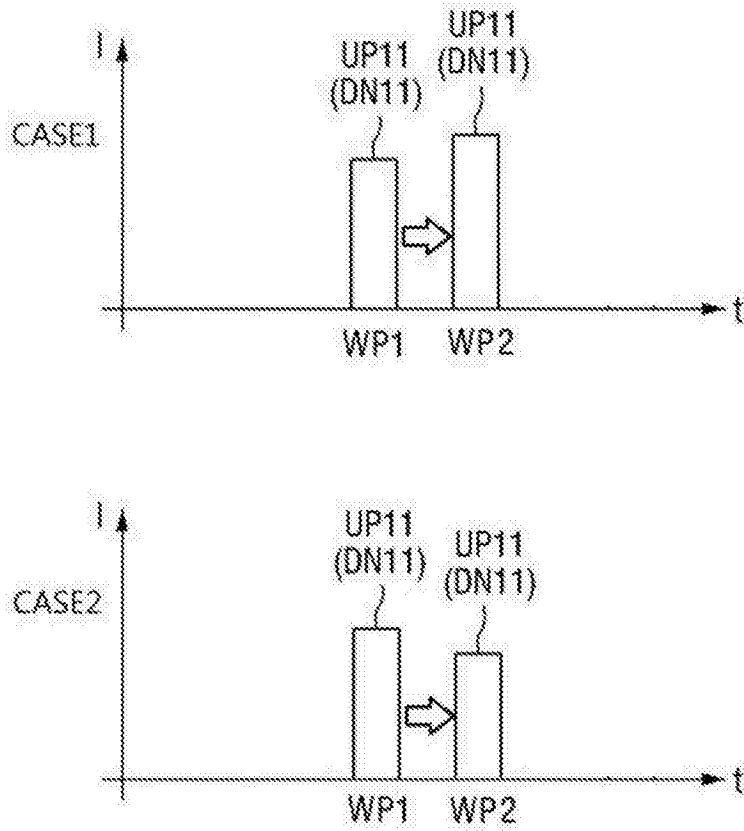


图6

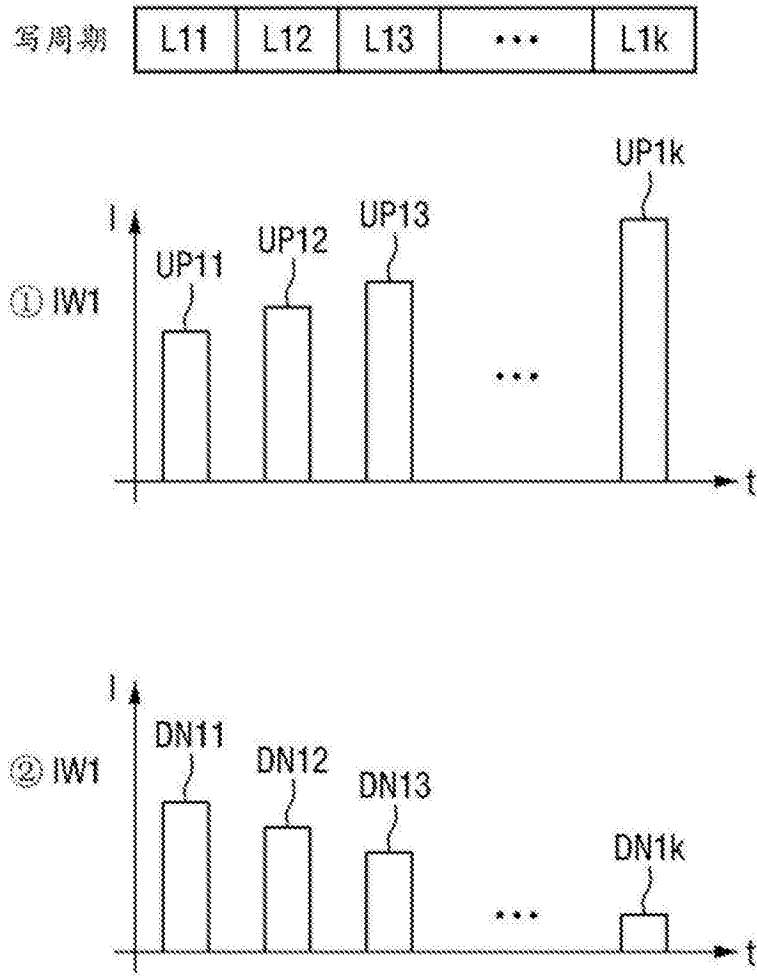


图7

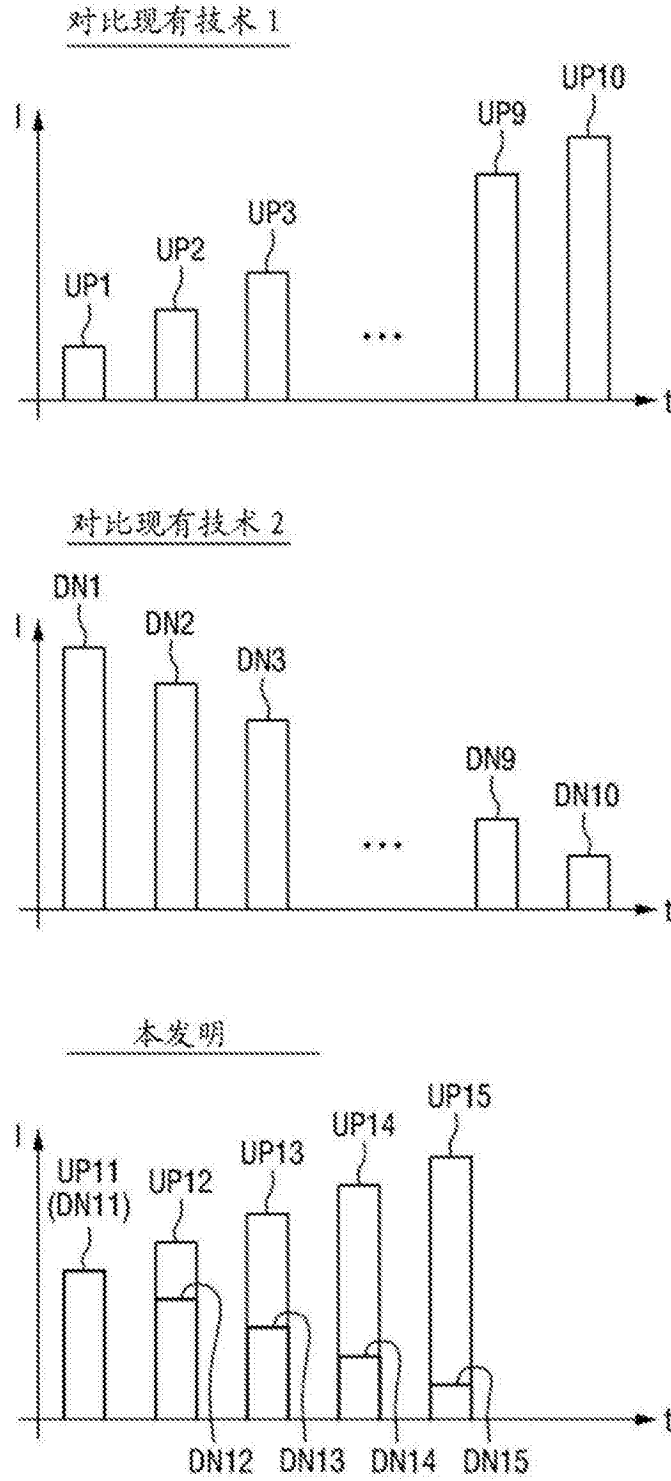


图8

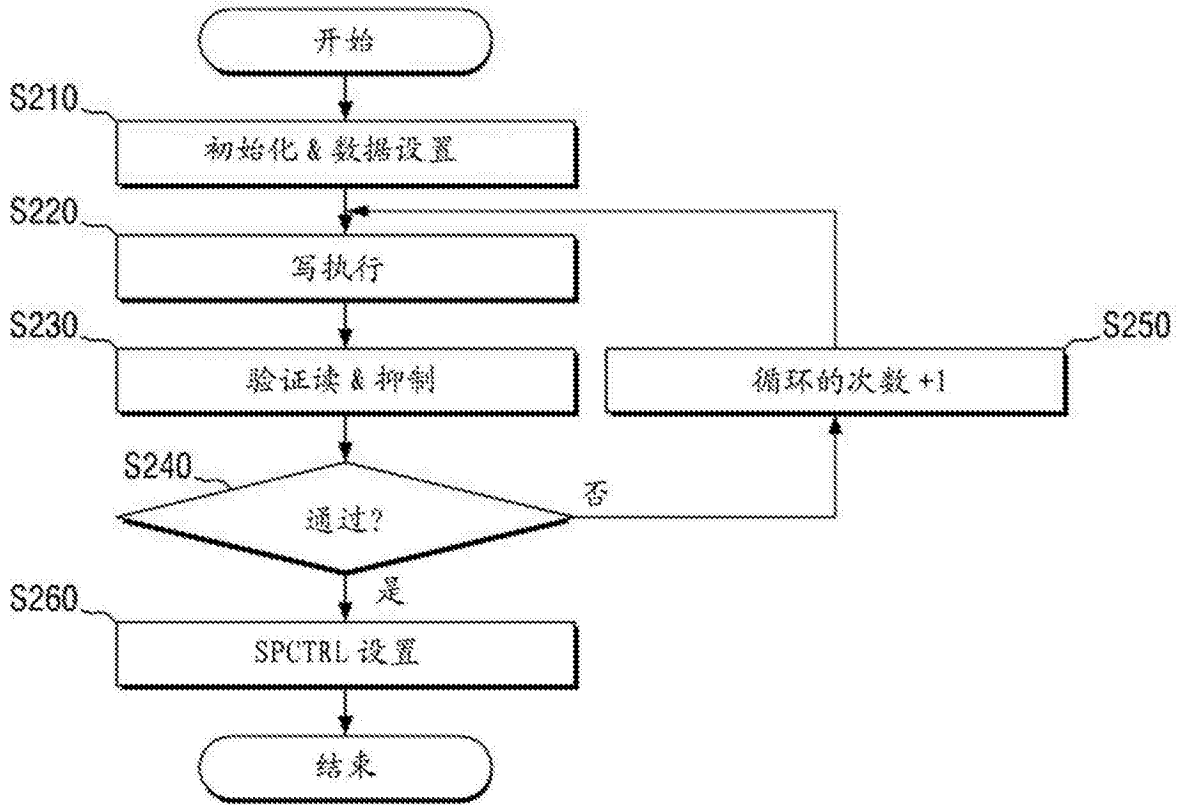


图9

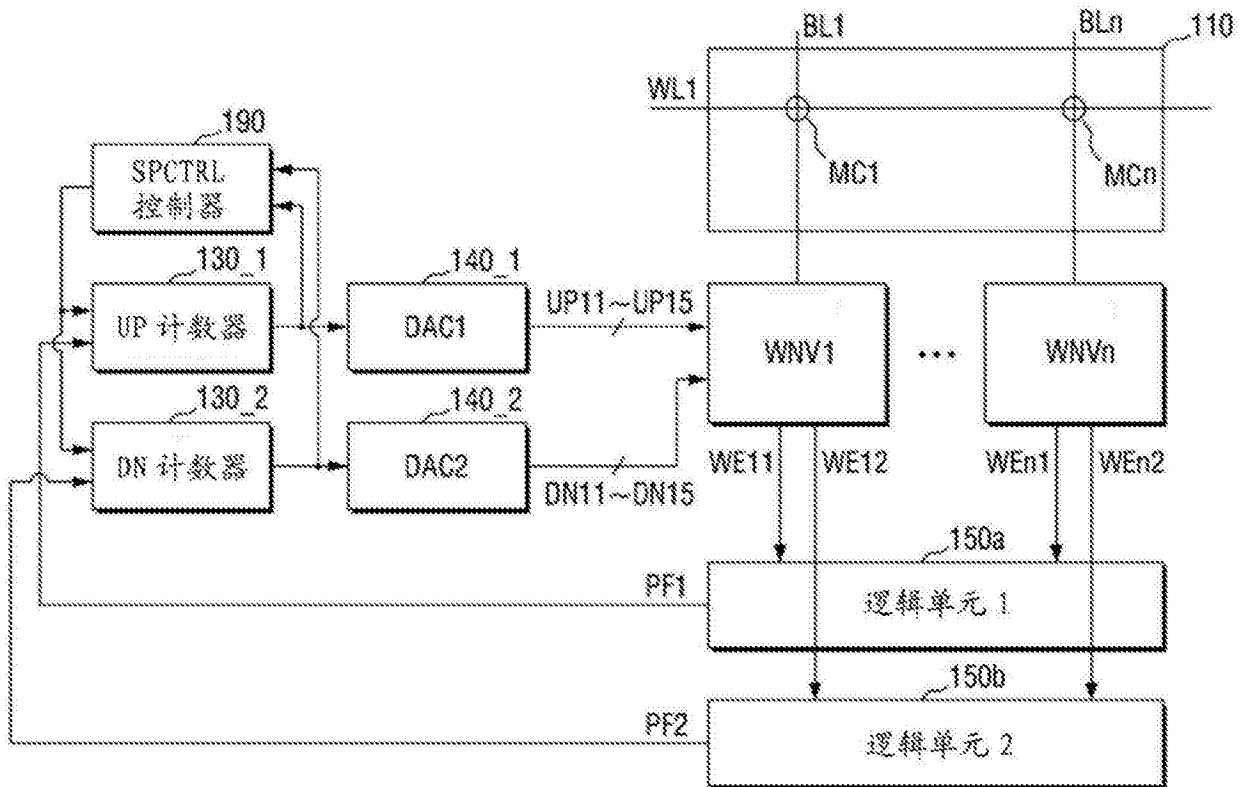


图10

WNV1

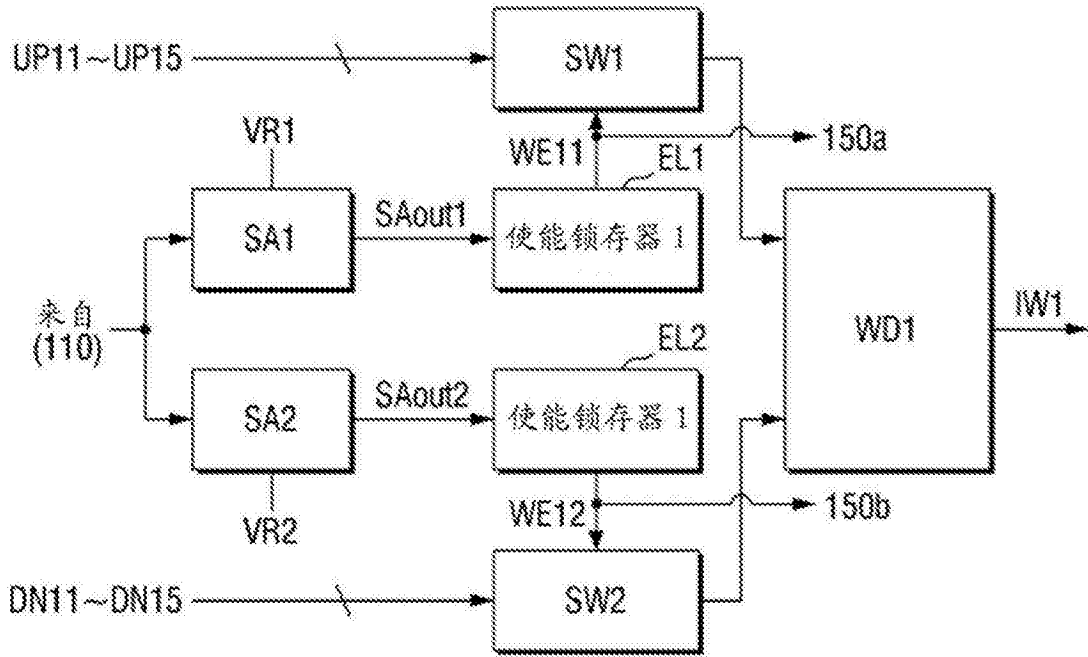
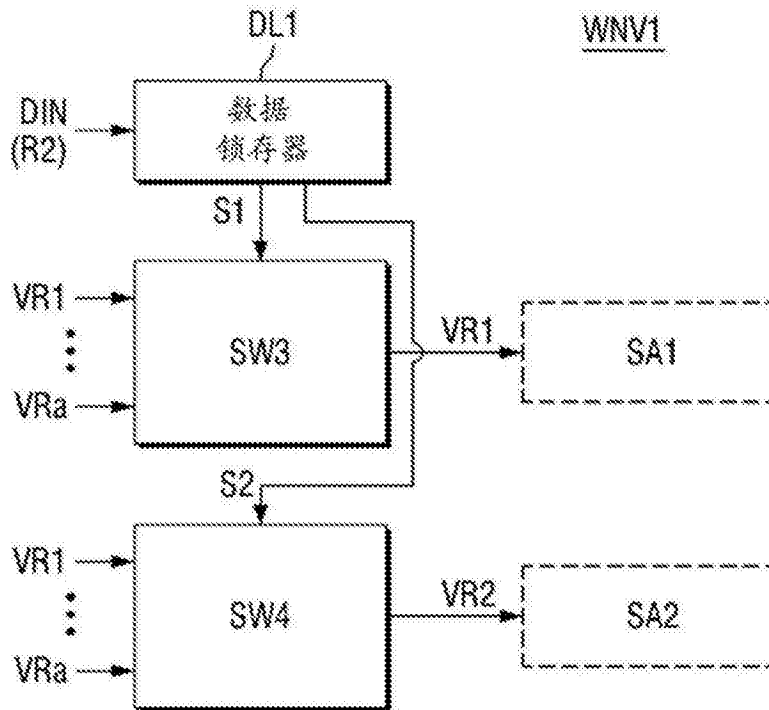


图11



WNV1

图12

WNV1

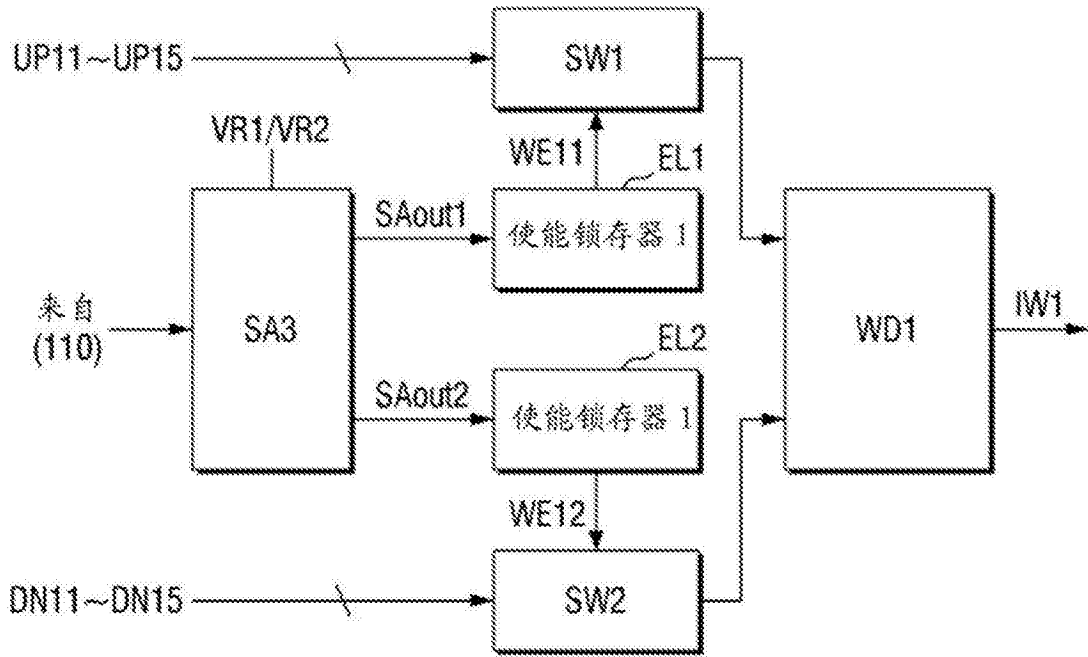


图13

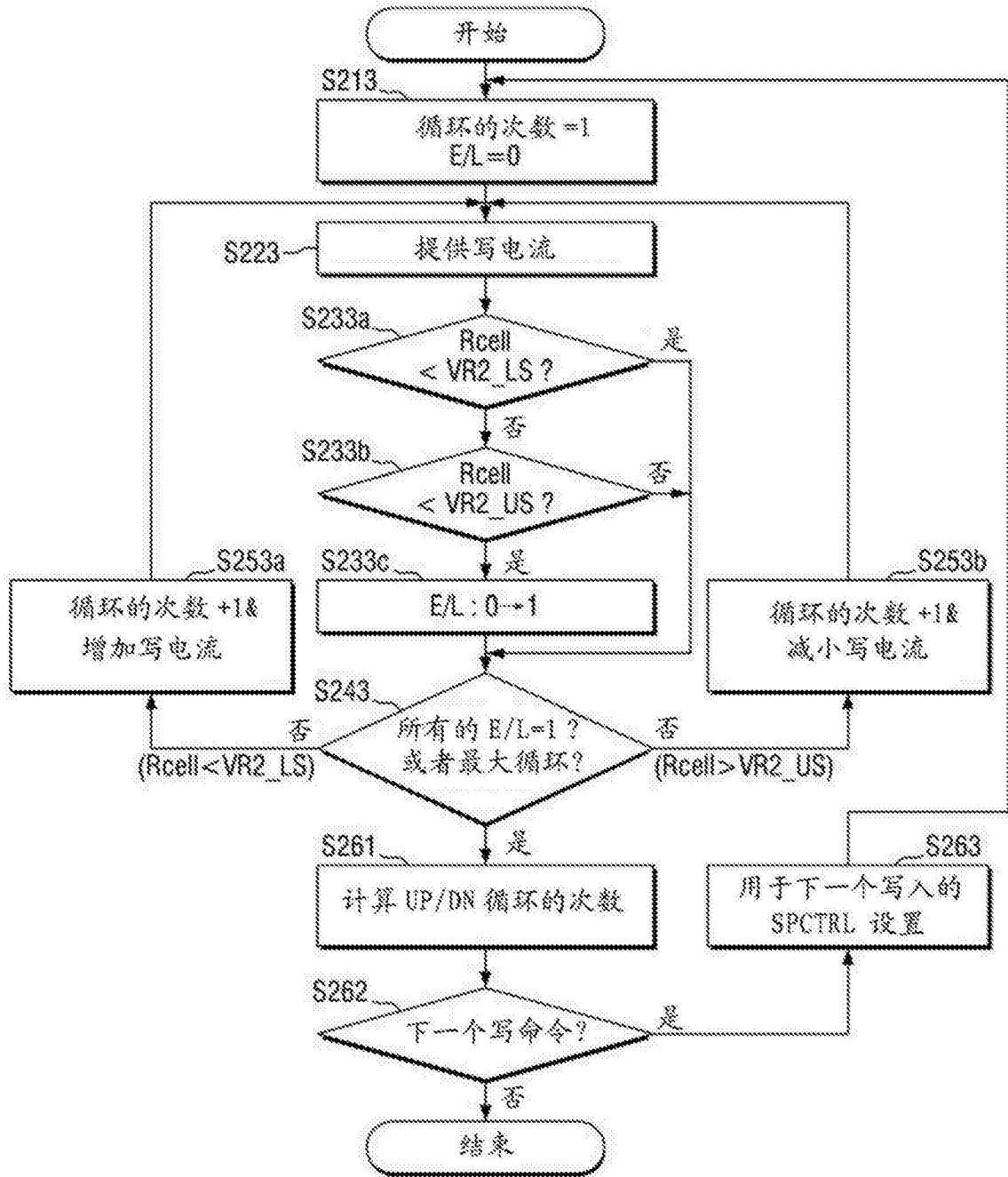


图14

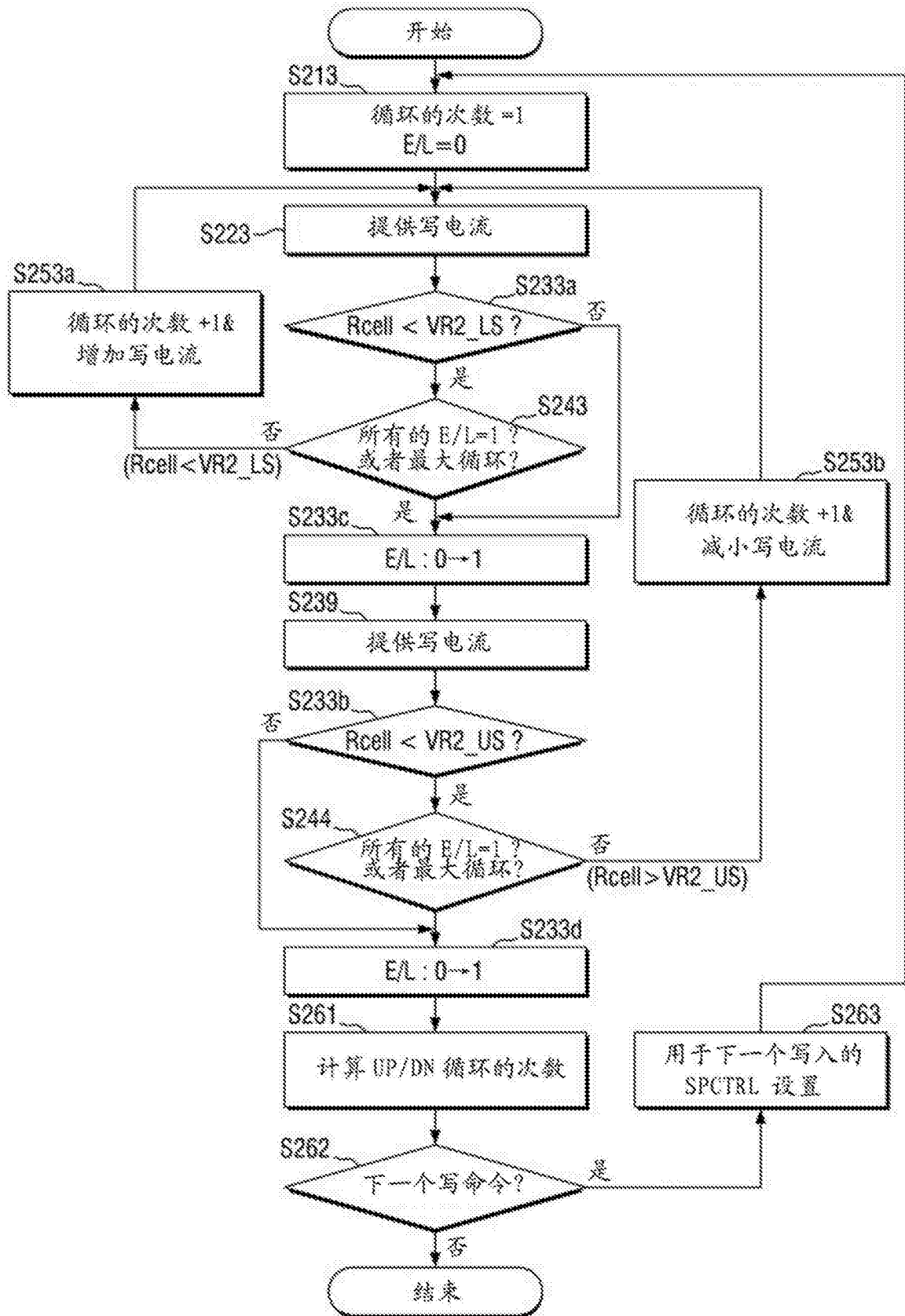


图15

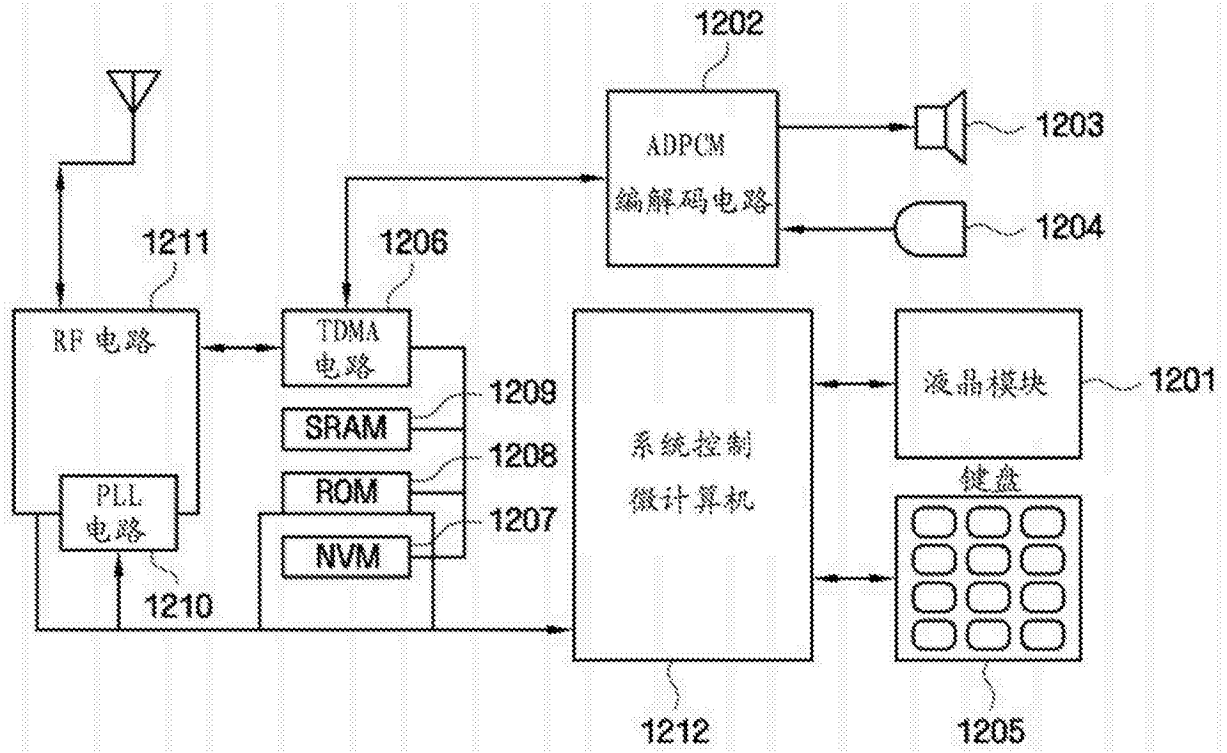


图16

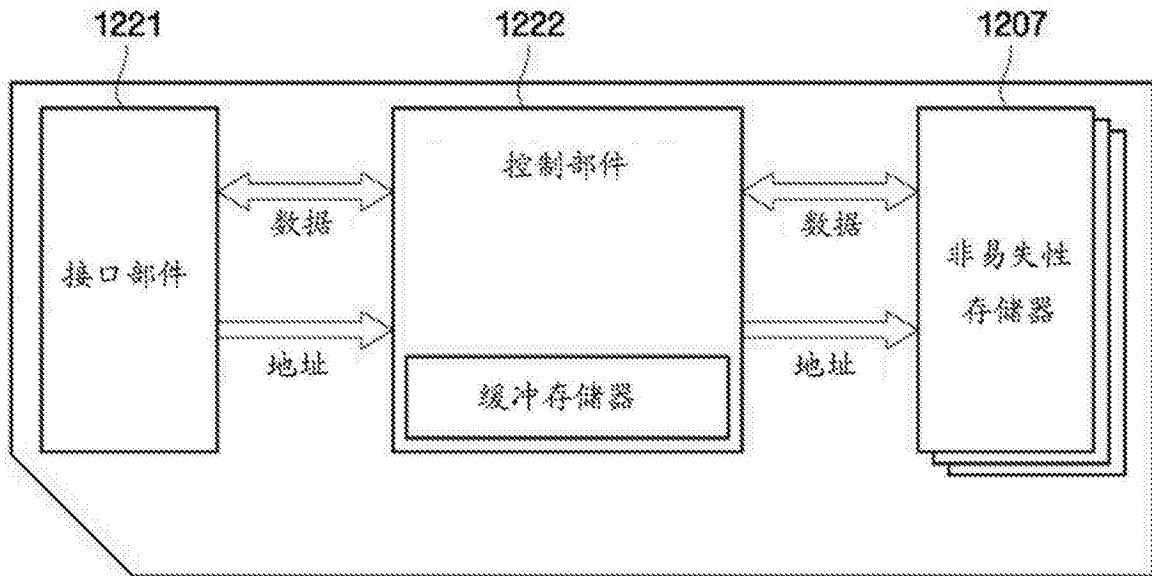


图17

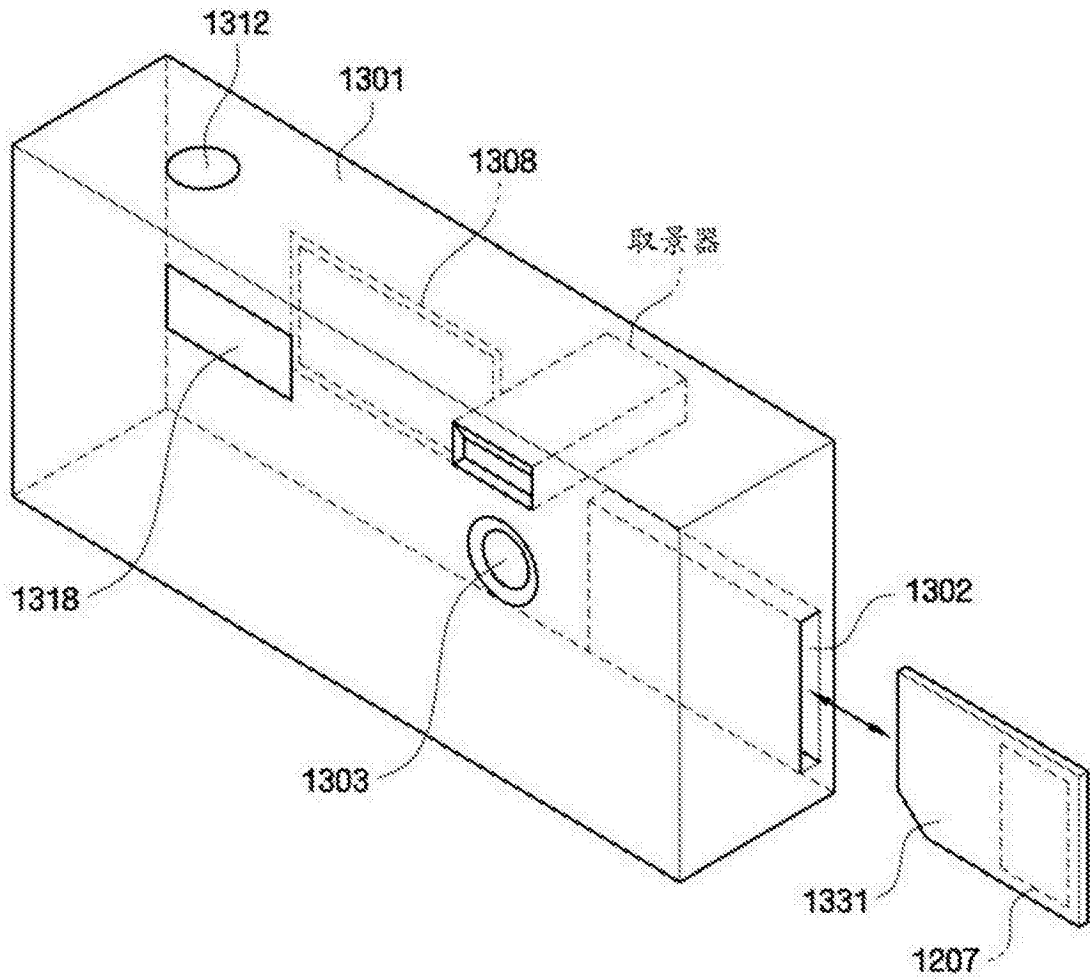


图18

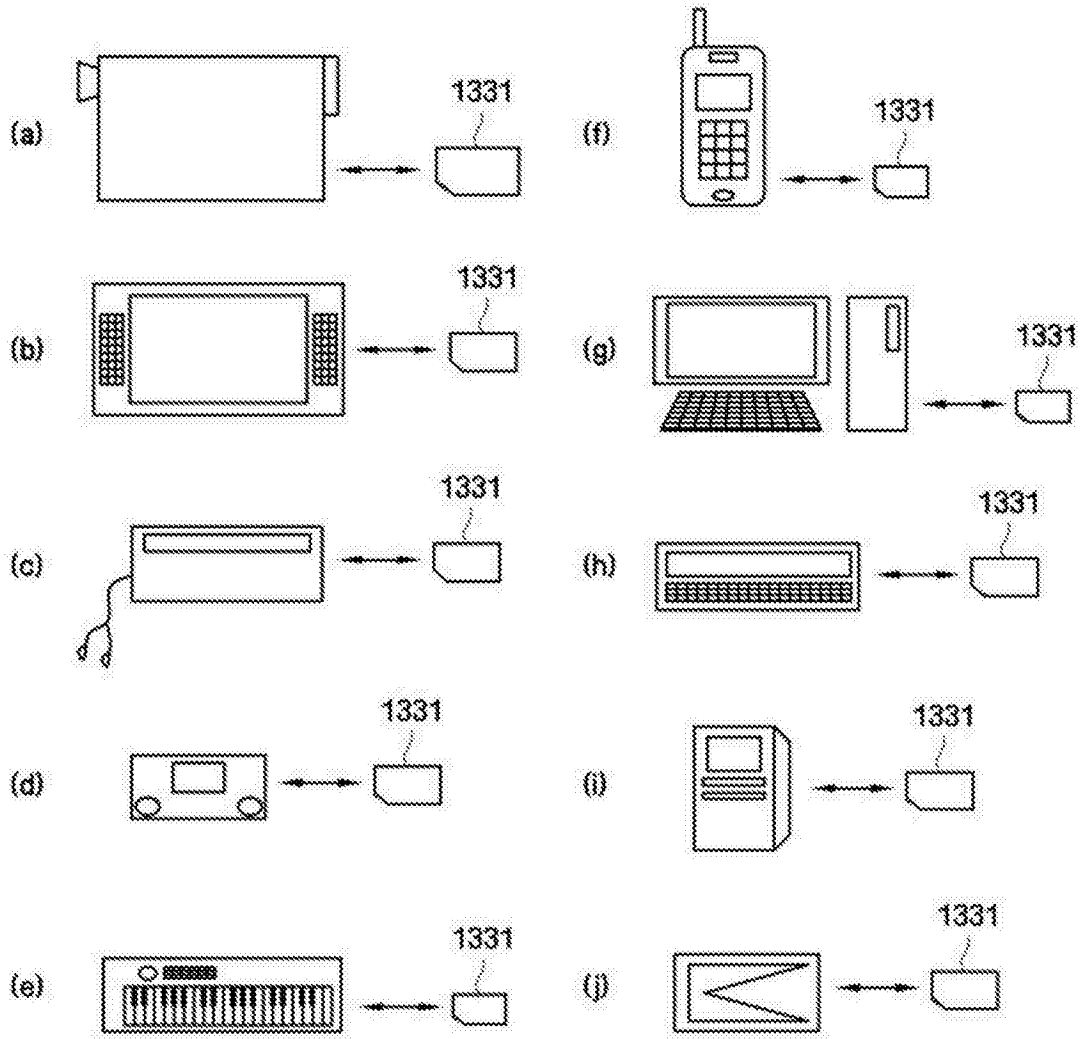


图19

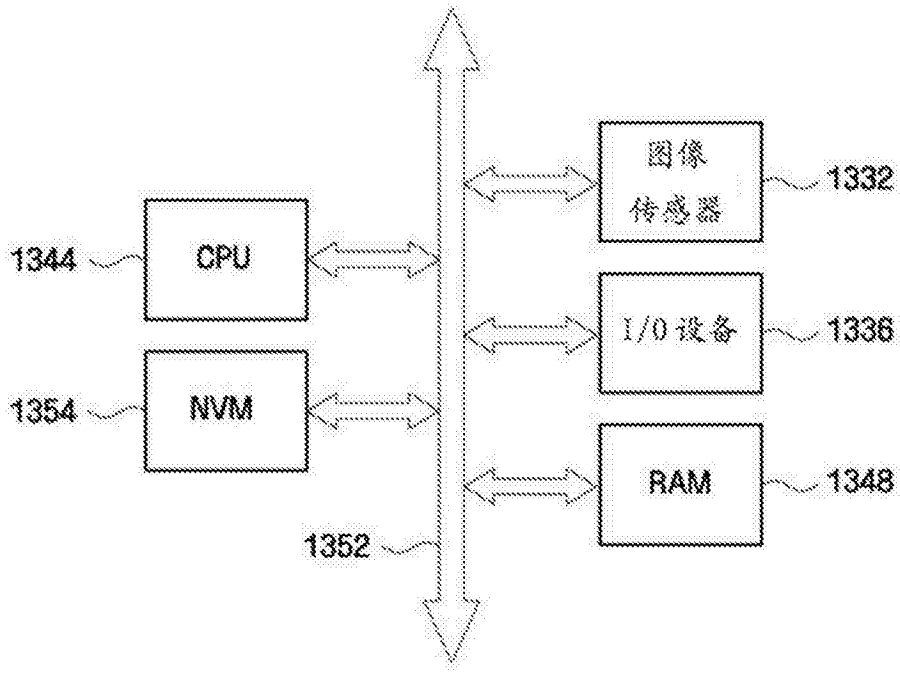


图20

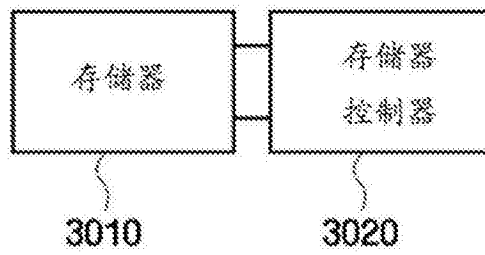


图21

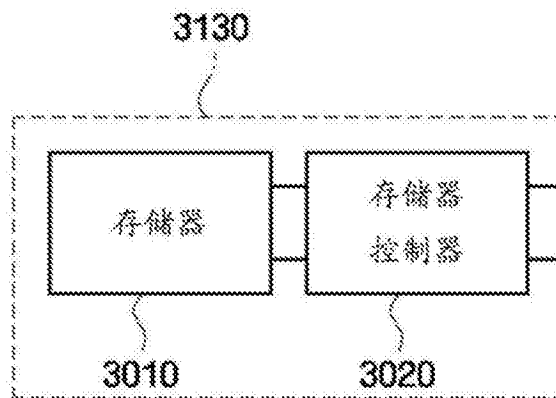


图22

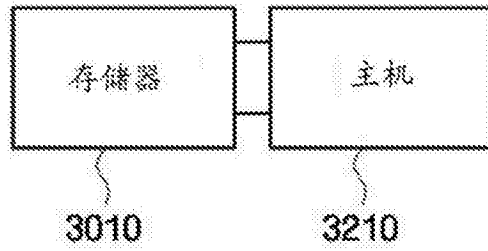


图23

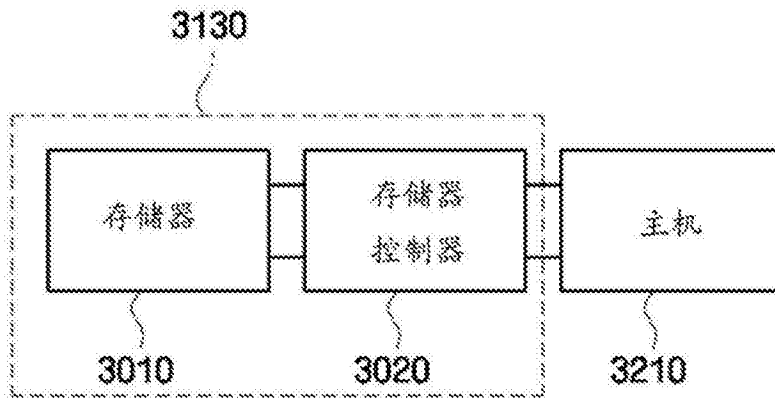


图24

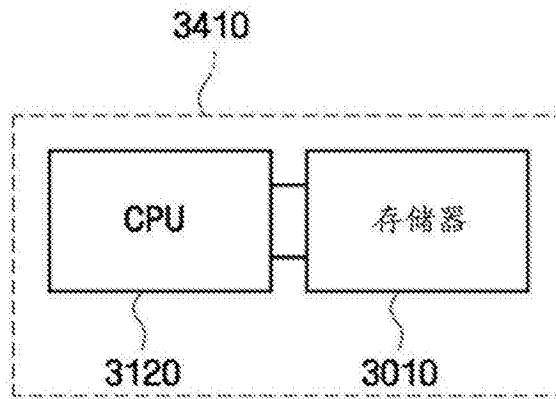


图25

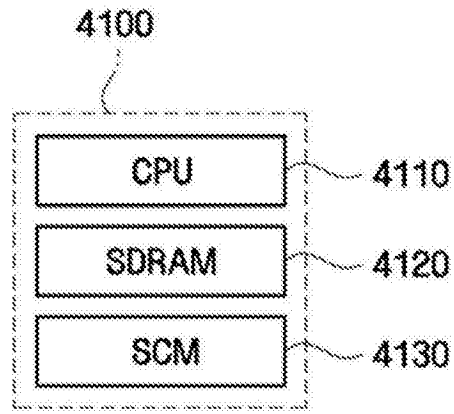


图26

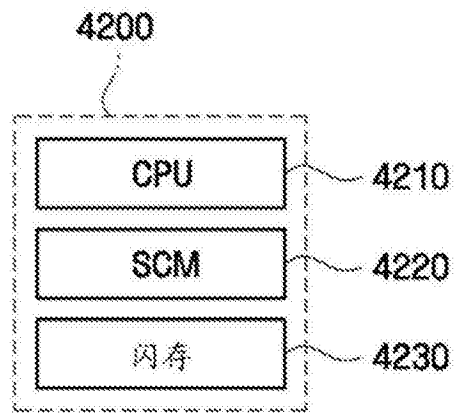


图27

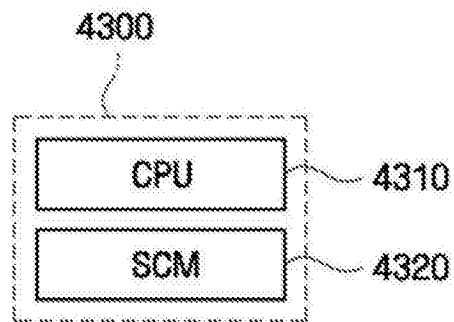


图28