

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号

特許第7335376号

(P7335376)

(45)発行日 令和5年8月29日(2023.8.29)

(24)登録日 令和5年8月21日(2023.8.21)

(51)国際特許分類

F I

H 0 1 L 21/8238(2006.01)

H 0 1 L 27/092 G

H 0 1 L 27/092(2006.01)

H 0 1 L 27/06 1 0 2 A

H 0 1 L 21/8234(2006.01)

H 0 1 L 27/092 A

H 0 1 L 27/06 (2006.01)

H 0 1 L 29/78 3 0 1 G

H 0 1 L 21/336(2006.01)

H 0 1 L 29/78 3 0 1 H

請求項の数 9 (全21頁) 最終頁に続く

(21)出願番号 特願2022-22869(P2022-22869)

(22)出願日 令和4年2月17日(2022.2.17)

(65)公開番号 特開2023-7361(P2023-7361A)

(43)公開日 令和5年1月18日(2023.1.18)

審査請求日 令和4年2月17日(2022.2.17)

(31)優先権主張番号 10-2021-0085671

(32)優先日 令和3年6月30日(2021.6.30)

(33)優先権主張国・地域又は機関
韓国(KR)

(73)特許権者 517153929

蔚山科学技術院

大韓民国 4 4 9 1 9 蔚山廣域市蔚州郡彦

陽邑ユニストギル 5 0

(74)代理人 100108453

弁理士 村山 靖彦

(74)代理人 100110364

弁理士 実広 信哉

(74)代理人 100133400

弁理士 阿部 達彦

(72)発明者 金 ▲キョン▼椽

大韓民国・ウルサン・4 4 9 1 9・ウル

ジュ・グン・オニャン・ウブ・ユニスト

-ギル・5 0

(72)発明者 鄭 在源

最終頁に続く

(54)【発明の名称】 三進インバータ及びその製造方法

(57)【特許請求の範囲】

【請求項 1】

シリコン(Si)を含み、ドーピングされて第1導電型を有する、定電流形成層と、
前記定電流形成層上に位置して前記定電流形成層にコンタクトし、相互離隔されて位置し、
ドーピングされて前記第1導電型を有する第1ソース及びドーピングされて前記第1導電型と異なる第2導電型を有する第1ドレインと、

前記第1ソース上に位置する層間絶縁膜と、

前記層間絶縁膜上に位置する第2ソース、及び前記第1ドレイン上に位置する第2ドレインと、

前記第1ソースと前記第1ドレインとの間に介在され、前記第1ソース方向の第1 - 1端部面が、前記第1ソースにコンタクトし、前記第1ドレイン方向の第1 - 2端部面が、前記第1ドレインにコンタクトする、第1チャンネルと、

前記第1チャンネルから離隔され、前記第1チャンネル上部に位置し、前記第2ソースと前記第2ドレインとの間に介在され、前記第2ソース方向の第2 - 1端部面が、前記第2ソースにコンタクトし、前記第2ドレイン方向の第2 - 2端部面が、前記第2ドレインにコンタクトする、第2チャンネルと、

前記第1チャンネルの外側面と、前記第2チャンネルの外側面と、前記第1ソースの前記第1ドレイン方向の面とのうち、前記第1チャンネルとコンタクトする部分以外の部分；前記第2ソースの前記第2ドレイン方向の面のうち、前記第2チャンネルとコンタクトする部分以外の部分；前記第1ドレインの前記第1ソース方向の面のうち、前記第1チャンネルとコ

10

20

ンタクトする部分以外の部分；及び前記第 2 ドレインの前記第 2 ソース方向の面のうち、前記第 2 チャネルとコンタクトする部分以外の部分を覆うゲート絶縁膜と、

前記第 1 ソースと前記第 1 ドレインとの間、及び前記第 2 ソースと前記第 2 ドレインとの間に介在されるゲート電極と、を具備する、三進インバータ。

【請求項 2】

前記第 1 ソースと前記第 2 ソースは、異なる導電型にドーピングされた、請求項 1 に記載の三進インバータ。

【請求項 3】

前記第 1 ドレインと前記第 2 ドレインは、異なる導電型にドーピングされた、請求項 2 に記載の三進インバータ。

10

【請求項 4】

前記ゲート電極は、前記第 1 チャネルと前記第 2 チャネルとの間を充填する、請求項 1 に記載の三進インバータ。

【請求項 5】

前記ゲート電極は、前記ゲート絶縁膜の前記第 1 チャネルを取り囲む部分と、前記ゲート絶縁膜の前記第 2 チャネルを取り囲む部分と、を取り囲む、請求項 4 に記載の三進インバータ。

【請求項 6】

基板上に、ドーピングされて第 1 導電型を有する定電流形成層を形成する段階と、
定電流形成層上に、第 1 犠牲層、第 1 犠牲層上の第 1 チャネル、第 1 チャネル上の第 2 犠牲層、第 2 犠牲層上の第 2 チャネル、及び第 2 チャネル上の第 3 犠牲層を含み、第 1 方向に延長された、ゲート構造体を形成する段階と、

20

第 1 方向と交差する第 2 方向に延長され、ゲート構造体と交差するダミーゲートを形成する段階と、

定電流形成層上に位置して定電流形成層にコンタクトするように、該ダミーゲートの一側に、第 1 チャネルの第 1 - 1 端部面にコンタクトする第 1 ソースを形成し、定電流形成層上に位置して定電流形成層にコンタクトするように、該ダミーゲートの他側に、第 1 チャネルの第 1 - 2 端部面にコンタクトする第 1 ドレインを形成する段階と、

第 1 ソースが第 1 導電型を有するようにドーピングし、第 1 ドレインが第 1 導電型と異なる第 2 導電型を有するようにドーピングする段階と、

30

該第 1 ソース上に、層間絶縁層を形成する段階と、

該層間絶縁層上に、第 2 チャネルの第 2 - 1 端部面にコンタクトする第 2 ソースを形成し、第 1 ドレイン上に、第 2 チャネルの第 2 - 2 端部面にコンタクトする第 2 ドレインを形成する段階と、

該ダミーゲートを除去する段階と、

該第 1 犠牲層、該第 2 犠牲層及び該第 3 犠牲層を除去する段階と、

該第 1 チャネルの外側面と、該第 2 チャネルの外側面と、該第 1 ソースの第 1 ドレイン方向の面とのうち、該第 1 チャネルとコンタクトする部分以外の部分；該第 2 ソースの第 2 ドレイン方向の面のうち、該第 2 チャネルとコンタクトする部分以外の部分；該第 1 ドレインの第 1 ソース方向の面のうち、該第 1 チャネルとコンタクトする部分以外の部分；及び該第 2 ドレインの第 2 ソース方向の面のうち、該第 2 チャネルとコンタクトする部分以外の部分と、を覆うゲート絶縁膜を形成する段階と、

40

該第 1 ソース及び該第 1 ドレインと、該第 2 ソースと該第 2 ドレインとの間に介在されるゲート電極を形成する段階と、を含む、三進インバータ製造方法。

【請求項 7】

第 2 ソースを第 1 ソースと異なる導電型にドーピングし、第 2 ドレインを第 1 ドレインと異なる導電型にドーピングする段階をさらに含む、請求項 6 に記載の三進インバータ製造方法。

【請求項 8】

前記ゲート電極を形成する段階は、第 1 ソースと第 1 ドレインの間と、第 2 ソースと

50

第2ドレインとの間とのダミーゲートが除去された空間を充填するように、該ゲート電極を形成する段階である、請求項6に記載の三進インバータ製造方法。

【請求項9】

前記ゲート電極を形成する段階は、ゲート絶縁膜の第1チャネルを取り囲む部分と、該ゲート絶縁膜の第2チャネルを取り囲む部分とを取り囲むように、該ゲート電極を形成する段階である、請求項6に記載の三進インバータ製造方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、三進インバータ及びその製造方法に係り、さらに詳細には、占める面積が狭く、エネルギー効率が低い三進インバータ及びその製造方法に関する。

10

【背景技術】

【0002】

従来、二進数論理基盤のデジタルシステムは、多量のデータを迅速に処理するために、CMOS素子の小型化を介する情報密度(bit density)を高めることに力を注いでいる。しかしながら、最近、30nm以下に集積されながら、量子的トンネリング効果による漏れ電流と電力消費増加とにより、情報密度を高めるのに限界があった。そのような情報密度の限界を克服するために、多重値論理(multi-valued logic)のうち一つである三進数論理素子及びその回路への関心が急増しており、特に、三進数論理具現のための基本単位として、標準三進数インバータ(STI)への開発が活発に進められている。しかしながら、1つの電圧源に、2つのCMOSを使用する既存の二進数インバータと異なり、標準三進数インバータに係わる従来技術は、さらに多くの電圧源必要としたり、複雑な回路構成が要求されたり、占める面積が広がったりするという問題点がある。

20

【発明の概要】

【発明が解決しようとする課題】

【0003】

本発明は、前述のような問題点を含み、さまざまな問題点を解決するためのものであり、占める面積が狭く、エネルギー効率が低い三進インバータ及びその製造方法を提供することを目的とする。しかしながら、そのような課題は、例示的なものであり、それにより、本発明の範囲が限定されるものではない。

30

【課題を解決するための手段】

【0004】

本発明の一観点によれば、相互離隔されて位置する第1ソース及び第1ドレイン；前記第1ソース上に位置する層間絶縁膜；前記層間絶縁層上に位置する第2ソースと、前記第1ドレイン上に位置する第2ドレイン；前記第1ソースと前記第1ドレインとの間に介在され、前記第1ソース方向の第1-1端部面が、前記第1ソースにコンタクトし、前記第1ドレイン方向の第1-2端部面が、前記第1ドレインにコンタクトする第1チャネル；前記第1チャネルから離隔され、前記第1チャネル上部に位置し、前記第2ソースと前記第2ドレインとの間に介在され、前記第2ソース方向の第2-1端部面が、前記第2ソースにコンタクトし、前記第2ドレイン方向の第2-2端部面が、前記第2ドレインにコンタクトする第2チャネル；前記第1チャネルの外側面と、前記第2チャネルの外側面と、前記第1ソースの前記第1ドレイン方向の面とのうち、前記第1チャネルとコンタクトする部分以外の部分と、前記第2ソースの前記第2ドレイン方向の面のうち、前記第2チャネルとコンタクトする部分以外の部分と、前記第1ドレインの前記第1ソース方向の面のうち、前記第1チャネルとコンタクトする部分以外の部分と、前記第2ドレインの前記第2ソース方向の面のうち、前記第2チャネルとコンタクトする部分以外の部分と、を覆うゲート絶縁膜；及び前記第1ソースと前記第1ドレインとの間、及び前記第2ソースと前記第2ドレインとの間に介在されるゲート電極；を具備する三進インバータが提供される。

40

【0005】

前記第1ソースと前記第2ソースは、異なる導電型にもドーピングされる。

50

【 0 0 0 6 】

前記第 1 ドレインと前記第 1 ソースは、異なる導電型にもドーピングされる。

【 0 0 0 7 】

前記第 1 ドレインと前記第 2 ドレインは、異なる導電型にもドーピングされる。

【 0 0 0 8 】

前記ゲート電極は、前記第 1 チャンネルと前記第 2 チャンネルとの間を充填することができる。

【 0 0 0 9 】

前記ゲート電極は、前記ゲート絶縁膜の前記第 1 チャンネルを取り囲む部分と、前記ゲート絶縁膜の前記第 2 チャンネルを取り囲む部分と、を取り囲むことができる。

10

【 0 0 1 0 】

定電流形成層をさらに具備し、前記第 1 ソースと前記第 1 ドレインは、前記定電流形成層上にも位置する。

【 0 0 1 1 】

本発明の他の一観点によれば、基板上の第 1 犠牲層と、第 1 犠牲層上の第 1 チャンネルと、第 1 チャンネル上の第 2 犠牲層と、第 2 犠牲層上の第 2 チャンネルと、第 2 チャンネル上の第 3 犠牲層と、を含み、第 1 方向に延長されたゲート構造体を形成する段階と、第 1 方向と交差する第 2 方向に延長され、ゲート構造体と交差するダミーゲートを形成する段階と、該ダミーゲートの一側に、第 1 チャンネルの第 1 - 1 端部面にコンタクトする第 1 ソースを形成し、該ダミーゲートの他側に、第 1 チャンネルの第 1 - 2 端部面にコンタクトする第 1 ドレインを形成する段階と、第 1 ソース上に、層間絶縁層を形成する段階と、層間絶縁層上に、第 2 チャンネルの第 2 - 1 端部面にコンタクトする第 2 ソースを形成し、第 1 ドレイン上に、第 2 チャンネルの第 2 - 2 端部面にコンタクトする第 2 ドレインを形成する段階と、該ダミーゲートを除去する段階と、第 1 犠牲層、第 2 犠牲層及び第 3 犠牲層を除去する段階と、第 1 チャンネルの外側面と、第 2 チャンネルの外側面と、第 1 ソースの第 1 ドレイン方向の面とのうち、第 1 チャンネルとコンタクトする部分以外の部分と、第 2 ソースの第 2 ドレイン方向の面のうち、第 2 チャンネルとコンタクトする部分以外の部分と、第 1 ドレインの第 1 ソース方向の面のうち、第 1 チャンネルとコンタクトする部分以外の部分と、第 2 ドレインの第 2 ソース方向の面のうち、第 2 チャンネルとコンタクトする部分以外の部分と、を覆うゲート絶縁膜を形成する段階と、第 1 ソース及び第 1 ドレインと、第 2 ソースと第 2 ドレインとの間に介在されるゲート電極を形成する段階と、を含む三進インバータ製造方法が提供される。

20

30

【 0 0 1 2 】

第 1 ソース及び第 1 ドレインを異なる導電型にドーピングする段階をさらに含んでもよい。

【 0 0 1 3 】

第 2 ソースを第 1 ソースと異なる導電型にドーピングし、第 2 ドレインを第 1 ドレインと異なる導電型にドーピングする段階をさらに含んでもよい。

【 0 0 1 4 】

前記ゲート電極を形成する段階は、第 1 ソースと第 1 ドレインとの間と、第 2 ソースと第 2 ドレインとの間とのダミーゲートが除去された空間を充填するように、ゲート電極を形成する段階でもある。

40

【 0 0 1 5 】

前記ゲート電極を形成する段階は、ゲート絶縁膜の第 1 チャンネルを取り囲む部分と、ゲート絶縁膜の第 2 チャンネルを取り囲む部分とを取り囲むように、ゲート電極を形成する段階でもある。

【 0 0 1 6 】

前述のところ以外の他の側面、特徴、利点は、以下の発明を実施するための具体的な内容、請求範囲及び図面から明確になるであろう。

【発明の効果】

50

【 0 0 1 7 】

前述のようになる本発明の一実施形態によれば、占める面積が狭く、エネルギー効率が
高い三進インバータ及びその製造方法を具現することができる。ことで、そのような効果
により、本発明の範囲が限定されるものではないということは、言うまでもない。

【図面の簡単な説明】

【 0 0 1 8 】

【図 1】本発明の一実施形態による三進インバータを概略的に図示する斜視図である。

【図 2】図 1 の A - A ' 線に沿って切り取った断面を概略的に図示する断面図である。

【図 3】図 1 の B - B ' 線に沿って切り取った断面を概略的に図示する断面図である。

【図 4】図 1 の三進インバータの等価回路図である。

10

【図 5】図 1 の三進インバータと、従来の二進インバータとのゲート電圧・ドレイン電流
グラフである。

【図 6】図 1 の三進インバータと、従来の二進インバータとの入力電圧 (V_{IN}) ・出力
電圧 (V_{OUT}) グラフである。

【図 7】本発明の一実施形態による三進インバータの電圧の入出力特性を示したグラフで
ある。

【図 8】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 9】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 10】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 11】図 1 の三進インバータの製造方法について説明するための斜視図である。

20

【図 12】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 13】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 14】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 15】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 16】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 17】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 18】図 1 の三進インバータの製造方法について説明するための斜視図である。

【図 19】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 20】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 21】図 1 の三進インバータの製造方法について説明するための斜視図である。

30

【図 22】図 1 の三進インバータの製造方法について説明するための断面図である。

【図 23】図 1 の三進インバータの製造方法について説明するための断面図である。

【発明を実施するための形態】

【 0 0 1 9 】

本発明は、多様な変換を加えることができ、さまざまな実施形態を有することができる
が、特定実施形態を図面に例示して詳細な説明によって詳細に説明する。本発明の効果、
特徴、及びそれらを達成する方法は、図面と共に詳細に後述されている実施形態を参照す
れば、明確になるであろう。しかし、本発明は、以下で開示される実施形態に限定される
ものではなく、多様な形態によっても具現される。

【 0 0 2 0 】

40

以下、添付された図面を参照し、本発明の実施形態について詳細に説明するが、図面を
参照して説明するとき、同一であるか、あるいは対応する構成要素は、同一図面符号を付
し、それに係わる重複説明は、省略する。

【 0 0 2 1 】

以下の実施形態において、層、膜、領域、板のような各種構成要素が、他の構成要素の
「上」にあるとするとき、それは、他の構成要素の「真上」にある場合だけではなく、そ
の間に、他の構成要素が介在された場合も含む。また、説明の便宜のために、図面におい
ては、構成要素が、その大きさが、誇張されてもあり、縮小されてもいる。例えば、図面
に示された各構成の大きさ及び厚みは、説明の便宜のために任意に示されているので、本
発明は、必ずしも図示されたところに限定されるものではない。

50

【0022】

以下の実施形態において、 x 軸、 y 軸及び z 軸は、直交座標系上の三軸に限定されるものではなく、それを含む広い意味にも解釈される。例えば、 x 軸、 y 軸及び z 軸は、互いに直交してもよく、互いに直交せずに、互いに異なる方向を称してもよい。

【0023】

図1は、本発明の一実施形態による三進インバータ10を概略的に図示する斜視図であり、図2は、図1のA-A'線に沿って切り取った断面を概略的に図示する断面図であり、図3は、図1のB-B'線に沿って切り取った断面を概略的に図示する断面図である。

【0024】

本実施形態による三進インバータは、基板100上にも形成される。基板100は、半導体基板でもある。例えば、基板100は、シリコン(Si)、Ge、SiGe、InGaAsまたはInAsを含んでもよい。ここで、本発明は、それらに限定されるものではなく、基板100は、他の多様な半導体物質を含んでもよいということは、言うまでもない。基板100は、第1導電型を有することができる。該第1導電型は、 n 型または p 型でもある。基板100の導電型が n 型である場合、基板100は、 V 族元素(例えば、PまたはAs)を不純物として含んでもよい。基板100の導電型が p 型である場合、基板100は、 III 族元素(例えば、BまたはIn)を不純物として含んでもよい。

10

【0025】

必要によっては、基板100上には、定電流形成層200が形成されうる。定電流形成層200は、エピタキシャル成長(epitaxy growth)工程によって形成されたエピタキシャル層(epitaxial layer)でもある。そのような定電流形成層200は、シリコン(Si)を含んでもよい。定電流形成層200は、第1導電型を有することができる。定電流形成層200の導電型が n 型である場合、定電流形成層200は、 V 族元素(例えば、PまたはAs)を不純物として含んでもよい。定電流形成層200の導電型が p 型である場合、定電流形成層200は、 III 族元素(例えば、BまたはIn)を不純物として含んでもよい。定電流形成層200のドーピング濃度は、基板100のドーピング濃度よりも高い。例えば、定電流形成層200のドーピング濃度は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上でもある。

20

【0026】

定電流形成層200上に、第1ソースS1と第1ドレインD1とが相互離隔されて位置しうる。図1においては、第1ソースS1と第1ドレインD1とが基板100の上面に平行な第1方向DR1に沿って相互離隔されて位置するように図示されている。第1ソースS1と第1ドレインD1は、ドーピングされた半導体物質を含んでもよい。例えば、第1ソースS1と第1ドレインD1は、ドーピングされたポリシリコン(doped-poly Si)を含んでもよい。第1ソースS1と第1ドレインD1は、エピタキシャル層でもある。

30

【0027】

第1ソースS1と第1ドレインD1は、異なる導電型にドーピングされ、互いに異なる導電型を有しうる。例えば、第1ソースS1は、第1導電型を有し、第1ドレインD1は、第2導電型を有しうる。第1導電型が p 型である場合、第2導電型は、 n 型でもある。例えば、第1ソースS1は、 III 族元素(例えば、BまたはIn)を不純物として含み、第1ドレインD1は、 V 族元素(例えば、PまたはAs)を不純物として含んでもよい。

40

【0028】

第1ソースS1と第1ドレインD1と定電流形成層200は、互いに電氣的に連結されうる。例えば、第1ソースS1と第1ドレインD1とのそれぞれは、定電流形成層200と互いに直接接することができる。第1ソースS1と第1ドレインD1と定電流形成層200との間に電場が形成されうる。該電場の強度は、例えば、 10^6 V/cm 以上でもある。

【0029】

定電流形成層200は、第1ソースS1と第1ドレインD1とのうちいずれか一つと、基板100との間に定電流を生成することができる。該定電流は、第1ドレインD1と基

50

板 1 0 0 との間を流れる B T B T (band-to-band tunneling) 電流でもある。そのような定電流は、ゲート電極 G に印加されるゲート電圧から独立してもいる。すなわち、定電流は、ゲート電圧と係わりなく流れうる。第 1 ソース S 1 が p 型であり、第 1 ドレイン D 1 が n 型であるので、第 1 ソース S 1、第 1 ドレイン D 1 及びゲート電極 G が N M O S トランジスタを構成するとき、該定電流は、第 1 ドレイン D から、定電流形成層 2 0 0 を經由し、基板 1 0 0 に流れうる。もし第 1 ソース S 1、第 1 ドレイン D 1 及びゲート電極 G が P M O S トランジスタを構成するならば、該定電流は、基板 1 0 0 から定電流形成層 2 0 0 を經由し、第 1 ドレイン D 1 にも流れる。

【 0 0 3 0 】

第 1 ソース S 1 上には、層間絶縁膜 3 4 0 が位置しうる。層間絶縁膜 3 4 0 は、多様な絶縁物質を含んでもよいが、例えば、シリコンオキサイド、シリコンナイトライドまたはシリコンオキシナイトライドでもあり、アルミニウムオキไซด์のような金属酸化物でもある。層間絶縁膜 3 4 0 は、単一層構造を有するか、あるいは多層構造を有しうる。

10

【 0 0 3 1 】

層間絶縁膜 3 4 0 上には、第 2 ソース S 2 が位置し、第 1 ドレイン D 1 上には、第 2 ドレイン D 2 が位置する。このような第 2 ソース S 2 と第 2 ドレイン D 2 は、相互離隔されても配される。

【 0 0 3 2 】

第 2 ソース S 2 と第 2 ドレイン D 2 は、異なる導電型にドーピングされ、互いに異なる導電型を有しうる。また、第 2 ソース S 2 は、第 1 ソース S 1 と異なる導電型にドーピングされ、互いに異なる導電型を有しうる。第 2 ドレイン D 2 は、第 1 ドレイン D 1 と異なる導電型にドーピングされ、互いに異なる導電型を有しうる。例えば、第 2 ソース S 2 は、第 2 導電型を有し、第 2 ドレイン D 2 は、第 1 導電型を有しうる。第 1 導電型が p 型である場合、第 2 導電型は、n 型でもある。例えば、第 2 ソース S 2 は、V 族元素（例えば、P または A s ）を不純物として含み、第 2 ドレイン D 2 は、I I I 族元素（例えば、B または I n ）を不純物として含んでもよい。

20

【 0 0 3 3 】

前述のように、基板 1 0 0 上には、定電流形成層 2 0 0 が形成されうる。その場合、第 2 ドレイン D 2 上にも、定電流形成層 2 0 0 と異なる導電型の追加大電流形成層が形成されうる。

30

【 0 0 3 4 】

定電流形成層 2 0 0 上に、ゲート電極 G が位置しうる。ゲート電極 G は、定電流形成層 2 0 0 の上面 2 0 0 u に平行な第 2 方向 D R 2 に沿って延長された形状を有しうる。また、ゲート電極 G は、定電流形成層 2 0 0 の上面 2 0 0 u に垂直である第 3 方向 D R 3 に沿っても延長される。ゲート電極 G は、第 1 ソース S 1 と第 1 ドレイン D 1 との間、及び第 2 ソース S 2 と第 2 ドレイン D 2 との間にも介在される。このとき、ゲート電極 G は、第 1 方向 D R 1 において、第 1 ソース S 1、第 2 ソース S 2、第 1 ドレイン D 1 及び第 2 ドレイン D 2 から離隔されうる。ゲート電極 G は、電気伝導性物質を含んでもよい。例えば、ゲート電極 G は、ドーピングされた半導体物質、金属、合金、またはそれらの組み合わせを含んでもよい。例えば、ゲート電極 G は、ドーピングされたポリシリコン、タングステン (W)、窒化チタン (T i N)、またはそれらの組み合わせを含んでもよい。

40

【 0 0 3 5 】

ゲート電極 G を、第 1 方向 D R 1 において、第 1 ソース S 1、第 2 ソース S 2、第 1 ドレイン D 1 及び第 2 ドレイン D 2 から離隔させるために、第 1 ソース S 1 及び第 2 ソース S 2 と、ゲート電極 G との間に、ゲートスペーサ 3 3 0 が介在され、第 1 ドレイン D 1 及び第 2 ドレイン D 2 と、ゲート電極 G との間にも、ゲートスペーサ 3 3 0 が介在されうる。そのような 1 対のゲートスペーサ 3 3 0 は、第 1 方向 D R 1 において、ゲート電極 G の両側に位置しうる。

【 0 0 3 6 】

ゲート電極 G の第 1 方向 D R 1 の反対方向一側のゲートスペーサ 3 3 0 は、第 1 ソース

50

S 1 及び第 2 ソース S 2 とコンタクトすることができる。そして、ゲート電極 G の第 1 方向 D R 1 他側のゲートスペーサ 3 3 0 は、第 1 ドレイン D 1 及び第 2 ドレイン D 2 とコンタクトすることができる。1 対のゲートスペーサ 3 3 0 それぞれは、定電流形成層 2 0 0 の上面 2 0 0 u に垂直である第 3 方向 D R 3 に沿っても延長される。例えば、定電流形成層 2 0 0 の上面 2 0 0 u から、1 対のゲートスペーサ 3 3 0 それぞれの第 3 方向 D R 3 への上面までの距離は、定電流形成層 2 0 0 の上面 2 0 0 u から、ゲート電極 G の第 3 方向 D R 3 への上面までの距離と同じでもある。

【 0 0 3 7 】

そのようなゲートスペーサ 3 3 0 は、多様な絶縁物質を含んでもよい。ゲートスペーサ 3 3 0 は、例えば、シリコンオキサイド、シリコンナイトライドまたはシリコンオキシナイトライドを含んでもよく、アルミニウムオキサイドのような金属酸化物を含んでもよい。

10

【 0 0 3 8 】

ここで、場合によっては、そのようなゲートスペーサ 3 3 0 は、省略されうるということとは、言うまでもない。

【 0 0 3 9 】

第 1 ソース S 1 と第 1 ドレイン D 1 との間には、第 1 チャネル C 1 が介在されうる。第 1 チャネル C 1 は、第 1 方向 D R 1 に延長され、ゲート電極 G を貫通する形状を有しうる。第 1 チャネル C 1 の第 1 ソース S 1 方向 (- D R 1) の第 1 - 1 端部面は、第 1 ソース S 1 にコンタクトし、第 1 チャネル C 1 の第 1 ドレイン D 1 方向 (+ D R 1) の第 1 - 2 端部面は、第 1 ドレイン D 1 にコンタクトする。図 1 においては、第 1 ソース S 1 と第 1 ドレイン D 1 との間に、1 つの第 1 チャネル C 1 が介在されるように図示されているが、本発明は、それに限定されるものではない。例えば、第 1 ソース S 1 と第 1 ドレイン D 1 との間には、定電流形成層 2 0 0 の上面 2 0 0 u に垂直である第 3 方向 D R 3 に相互離隔された複数個の第 1 チャネル C 1 が配されうる。

20

【 0 0 4 0 】

第 2 ソース S 2 と第 2 ドレイン D 2 との間には、第 2 チャネル C 2 が介在されうる。第 2 チャネル C 2 は、第 1 方向 D R 1 に延長され、ゲート電極 G を貫通する形状を有しうる。第 2 チャネル C 2 の第 2 ソース S 2 方向 (- D R 1) の第 2 - 1 端部面は、第 2 ソース S 2 にコンタクトし、第 2 チャネル C 2 の第 2 ドレイン D 2 方向 (+ D R 1) の第 2 - 2 端部面は、第 2 ドレイン D 2 にコンタクトする。そのような第 2 チャネル C 2 は、第 1 チャネル C 1 から離隔され、第 1 チャネル C 1 上部に位置しうる。図 1 においては、第 2 ソース S 2 と第 2 ドレイン D 2 との間に、1 つの第 2 チャネル C 2 が介在されるように図示されているが、本発明は、それに限定されるものではない。例えば、第 2 ソース S 2 と第 2 ドレイン D 2 との間には、定電流形成層 2 0 0 の上面 2 0 0 u に垂直である第 3 方向 D R 3 に相互離隔された複数個の第 2 チャネル C 2 が配されうる。

30

【 0 0 4 1 】

第 1 チャネル C 1 と第 2 チャネル C 2 とが第 1 方向 D R 1 に延長され、ゲート電極 G を貫通する形状を有するというのは、ゲート電極 G が、第 1 チャネル C 1 と第 2 チャネル C 2 との間を充填するとも理解される。また、ゲート電極 G が、後述するゲート絶縁膜 3 2 0 の第 1 チャネル C 1 を取り囲む部分と、第 2 チャネル C 2 を取り囲む部分と、を取り囲むとも理解される。

40

【 0 0 4 2 】

第 1 チャネル C 1 と第 2 チャネル C 2 は、半導体物質を含んでもよい。例えば、第 1 チャネル C 1 と第 2 チャネル C 2 は、シリコン (S i) を含んでもよい。第 1 チャネル C 1 は、第 1 導電型を有し、第 2 チャネル C 2 は、第 2 導電型を有しうる。例えば、第 1 導電型は、p 型であり、第 2 導電型は、n 型でもある。その場合、第 1 チャネル C 1 は、I I I 族元素 (例えば、B、I n) を不純物として含み、第 2 チャネル C 2 は、V 族元素 (例えば、P、A s) を不純物として含んでもよい。

【 0 0 4 3 】

ゲート電極 G の表面上には、ゲート絶縁膜 3 2 0 が位置しうる。ゲート絶縁膜 3 2 0 は

50

、ゲート電極 G と第 1 チャネル C 1 との間、ゲート電極 G と第 2 チャネル C 2 の間、ゲート電極 G と、ゲート電極 G の一側に位置したゲートスペーサ 330 との間、ゲート電極 G と、ゲート電極 G の他側に位置したゲートスペーサ 330 との間、ゲート電極 G と第 1 ソース S 1 の間、ゲート電極 G と第 2 ソース S 2 の間、ゲート電極 G と第 1 ドレイン D 1 との間、ゲート電極 G と第 2 ドレイン D 2 との間、及びゲート電極 G と定電流形成層 200 との間にも介在される。

【0044】

もしゲートスペーサ 330 が存在しないのであるならば、ゲート絶縁膜 320 は、第 1 チャネル C 1 の外側面と、第 2 チャネル C 2 の外側面と、第 1 ソース S 1 の第 1 ドレイン D 1 方向 D R 1 の面のうち、第 1 チャネル C 1 とコンタクトする部分以外の部分と、第 2 ソース S 2 の第 2 ドレイン D 2 方向 D R 1 の面のうち、第 2 チャネル C 2 とコンタクトする部分以外の部分と、第 1 ドレイン D 1 の第 1 ソース S 1 方向 (- D R 1) の面のうち、第 1 チャネル C 1 とコンタクトする部分以外の部分と、第 2 ドレイン D 2 の第 2 ソース S 2 方向 (- D R 1) の面のうち、第 2 チャネル C 2 とコンタクトする部分以外の部分と、定電流形成層 200 の上面のうち、ゲート電極 G に対応する部分と、を覆うことができる。

【0045】

そのようにゲート絶縁膜 320 は、第 1 チャネル C 1 の外側面と、第 2 チャネル C 2 の外側面とを取り囲み、ゲート電極 G を、第 1 チャネル C 1 と第 2 チャネル C 2 とから電氣的に絶縁させることができる。そして、ゲート絶縁膜 320 は、ゲート電極 G を、ゲートスペーサ 330、第 1 ソース S 1、第 2 ソース S 2、第 1 ドレイン D 1、第 2 ドレイン D 2 及び定電流形成層 200 から電氣的に絶縁させることができる。そのために、ゲート絶縁膜 320 は、絶縁物質を含んでもよい。例えば、ゲート絶縁膜 320 は、シリコンオキサイド、シリコンナイトライド、シリコンオキシナイトライドなどを含んでもよい。

【0046】

そのようなゲート絶縁膜 320 は、高誘電率 (high - k dielectric) を有する絶縁物質を含んでもよい。例えば、ゲート絶縁膜 320 は、約 10 ないし 25 の誘電定数を有する物質を含んでもよい。例えば、ゲート絶縁膜 320 は、ハフニウムオキサイド (H f O)、ハフニウムシリコンオキサイド (H f S i O)、ハフニウムオキシナイトライド (H f O N)、ハフニウムシリコンオキシナイトライド (H f S i O N)、ランタンオキサイド (L a O)、ランタンアルミニウムオキサイド (L a A l O)、ジルコニウムオキサイド (Z r O)、ジルコニウムシリコンオキサイド (Z r S i O)、ジルコニウムオキシナイトライド (Z r O N)、ジルコニウムシリコンオキシナイトライド (Z r S i O N)、タンタルオキサイド (T a O)、チタンオキサイド (T i O)、バリウムストロンチウムチタンオキサイド (B a S r T i O)、バリウムチタンオキサイド (B a T i O)、ストロンチウムチタンオキサイド (S r T i O)、イットリウムオキサイド (Y O)、アルミニウムオキサイド (A l O) 及び鉛スカンジウムタンタルオキサイド (P b S c T a O) のうちから選択される少なくとも 1 つの物質を含んでもよい。

【0047】

そのような本実施形態による三進インバータの場合、第 1 ソース S 1、第 1 ドレイン D 1、第 1 チャネル C 1 及びゲート電極 G が形成する T F E T と、第 2 ソース S 2、第 2 ドレイン D 2、第 2 チャネル C 2 及びゲート電極 G の形成する T F E T とが垂直に配されるために、狭い面積を占めながらも、エネルギー効率性が高い三進インバータを具現することができる。また、出力端子とも言える第 1 ドレイン D 1 と第 2 ドレイン D 2 とが直接コンタクトすることにより、製造工程を単純化させながらも、それら間の電氣的連結が確実になされうる。このとき、第 1 ソース S 1、第 1 ドレイン D 1、第 1 チャネル C 1 及びゲート電極 G が形成する T F E T は、n 型 T F E T であり、第 2 ソース S 2、第 2 ドレイン D 2、第 2 チャネル C 2 及びゲート電極 G が形成する T F E T は、p 型 T F E T でもある。

【0048】

図 4 は、図 1 の三進インバータ 10 の等価回路図である。図 4 に図示されているように、本実施形態による三進インバータ 10 は、N M O S トランジスタ (以下、 「 n 型 T F E

10

20

30

40

50

T」とする)及びPMOSトランジスタ(以下、「P型TFET」とする)を含んでもよい。該n型TFETは、図1を参照して説明した第1ソースS1、第1ドレインD1、第1チャネルC1及びゲート電極Gに対応し、p型TFETは、図1を参照して説明した第2ソースS2、第2ドレインD2、第2チャネルC2及びゲート電極Gに対応しうる。

【0049】

そのような三進インバータ10が具備するn型TFETのソース及び基板に、接地電圧が印加されうる。すなわち、図1の第1ソースS1には、接地電圧が印加されうる。説明の簡潔さのために、以下において、接地電圧は、0ボルト(V)であると仮定する。p型TFETのソースに、駆動電圧 V_{DD} が印加されうる。すなわち、図1の第2ソースS2には、駆動電圧 V_{DD} が印加されうる。n型TFETのゲート電極とp型TFETのゲート電極とのそれぞれには、入力電圧 V_{IN} が印加されうる。すなわち、図1のゲート電極Gには、入力電圧 V_{IN} が印加されうる。

10

【0050】

n型TFETのドレインは、p型TFETのドレインと電氣的に連結され、同一電圧を有しうる。図1においては、上下に積層された第1ドレインD1と第2ドレインD2とが互いにコンタクトしているように図示されている。図1において、下部に位置する第1ドレインD1と、それにコンタクトし、その上部に位置する第2ドレインD2との電圧は、三進インバータ10の出力電圧 V_{OUT} でもある。

【0051】

n型TFETのドレイン、すなわち、第1ドレインD1から基板100に、定電流が流れうる。該定電流は、入力電圧 V_{IN} から独立したものでもある。前述のように、第2ドレインD2上にも、定電流形成層200と異なる導電型の追加定電流形成層が形成されるならば、p型TFETのドレイン、すなわち、第2ドレインD2から追加定電流形成層に定電流が流れうる。該定電流も、入力電圧 V_{IN} から独立したものでもある。

20

【0052】

一例として、n型TFETのチャネル電流が、p型TFETのチャネル電流より優勢になるように、ゲート電極Gに、第1入力電圧が印加されうる。このとき、三進インバータ10の出力電圧 V_{OUT} は、第1電圧でもある。

【0053】

他の例として、p型TFETのチャネル電流が、n型TFETのチャネル電流より優勢になるように、ゲート電極Gに、第2入力電圧が印加されうる。このとき、三進インバータ10の出力電圧 V_{OUT} は、第1電圧より高い第2電圧でもある。

30

【0054】

さらに他の例において、n型TFETのチャネル電流、及びp型TFETのチャネル電流より優勢な定電流を有するように、ゲート電極Gに、第3入力電圧が印加されうる。このとき、三進インバータ10の出力電圧 V_{OUT} は、第1電圧と第2電圧との間の第3電圧でもある。

【0055】

第1ソースS1、第1ドレインD1、第1チャネルC1及びゲート電極Gに形成されるn型TFETのドレイン、すなわち、第1ドレインD1から基板100に流れる定電流は、ゲート電極Gに印加されるゲート電圧と係わりなく流れうる。三進インバータ10内の電流は、第2ドレインD2と第1ドレインD1とを経て、基板100に流れうる。第2ソースS2に印加される駆動電圧 V_{DD} は、第2ソースS2と第2ドレインD2との抵抗、及び第1ソースS1と第1ドレインD1との抵抗にも分配される。出力電圧 V_{OUT} は、第1ソースS1と第1ドレインD1との抵抗に印加された電圧でもある。出力電圧 V_{OUT} は、駆動電圧 V_{DD} と0Vとの間の値を有しうる。

40

【0056】

出力電圧 V_{OUT} は、入力電圧 V_{IN} により、0V(「0」状態)、駆動電圧 V_{DD} と0Vとの間の電圧(「1」状態)、または駆動電圧 V_{DD} (「2」状態)を有しうる。すなわち、本実施形態による三進インバータ10は、入力電圧 V_{IN} により、三種の状態を有

50

しうる。

【0057】

図5は、図1の三進インバータと、従来の二進インバータとのゲート電圧・ドレイン電流グラフである。具体的には、図5は、二進インバータのゲート電圧・ドレイン電流グラフIGR1、IGR2、及び本実施形態による三進インバータのゲート電圧・ドレイン電流グラフIGR3、IGR4、IGR5を示している。二進インバータのドレイン電流は、ゲート電圧と係わりなく流れる定電流成分を有していない。本実施形態による三進インバータのドレイン電流は、ゲート電圧と係わりなく流れる定電流成分を有する。例えば、本実施形態による三進インバータの場合、オフ(OFF)状態であるときにも、定電流が流れるということを確認することができる。

10

【0058】

図6は、図1の三進インバータと、従来の二進インバータとの入力電圧 V_{IN} ・出力電圧 V_{OUT} グラフである。図6から確認することができるように、本実施形態による三進インバータ及び二進インバータの駆動電圧 V_{DD} は、1.0V、接地電圧GNDは、0Vである。三進インバータ及び二進インバータの入力電圧 V_{IN} は、0Vないし1.0Vである。

【0059】

二進インバータの場合、入力電圧が0Vから1Vに変わるとき、0.5Vの入力電圧近辺において、出力電圧 V_{OUT} が、1Vから0Vに急激に低下する。すなわち、二進インバータは、2つの状態(例えば、「0」状態及び「1」状態)を有する。

20

【0060】

本実施形態による三進インバータの場合、入力電圧が0Vから1Vに変わるとき、出力電圧 V_{OUT} は、1Vから0.5Vに急激に低下し、0.5Vを維持して、0.5Vから0Vにもう1回急激に低下した。すなわち、本実施形態による三進インバータは、三種類状態(例えば、「0」状態、「1」状態及び「2」状態)を有することを確認することができる。

【0061】

図7は、本発明の一実施形態による三進インバータの電圧の入出力特性を示したグラフである。図7は、前述の図6と同一脈絡のグラフであるので、図6で説明したところと重複する内容は、説明を省略し、特徴になる点を主として説明する。

30

【0062】

本実施形態による三進インバータは、入力電圧 V_{IN} が0Vから0.3Vに変わるとき、出力電圧 V_{OUT} は、0.3Vから0.15Vに急激に低下し、0.15Vを維持して、0.15Vから0Vにもう1回急激に低下した。すなわち、本実施形態による三進インバータは、三種類状態(例えば、「0」状態、「1」状態、及び「2」状態)を有することを確認することができる。ただし、図6を参照して説明した実施形態の三進インバータと異なる点は、入力電圧 V_{IN} と出力電圧 V_{OUT} との範囲が、0Vないし1Vから、0Vないし0.3Vに狭くなり、それにより、三進インバータの動作電圧スケール能力が向上したことを確認することができる。

【0063】

図8ないし図23は、図1の三進インバータの製造方法について説明するための斜視図または断面図である。

40

【0064】

まず、図8に図示されているように、基板100上に、定電流形成層200を形成し、定電流形成層200上に、ゲート構造体GS'を形成することができる。定電流形成層200は、エピタキシャル成長工程を介しても形成される。すなわち、定電流形成層200は、エピタキシャル層でもある。定電流形成層200は、第1導電型を有する半導体層でもある。例えば、定電流形成層200の導電型がp型である場合、定電流形成層200は、III族元素(例えば、BまたはIn)を不純物として含むシリコン層でもある。もし定電流形成層200の導電型がn型である場合、定電流形成層200は、V族元素(例えば

50

、PまたはAs)を不純物として含むシリコン層でもある。定電流形成層200のドーピング濃度は、基板100のドーピング濃度よりも高い。例えば、定電流形成層200のドーピング濃度は、 $3 \times 10^{18} \text{ cm}^{-3}$ 以上でもある。

【0065】

定電流形成層200上に、ゲート構造体GS'を形成することができる。ゲート構造体GS'は、犠牲膜とチャネル膜とを相互に積層して形成することができる。図8においては、定電流形成層200上に、第1犠牲膜SC1'が位置し、第1犠牲膜SC1'上に、第1チャネル用層C1'が位置し、第1チャネル用層C1'上に、第2犠牲膜SC2'が位置し、第2犠牲膜SC2'上に、第2チャネル用層C2'が位置し、第2チャネル用層C2'上に、第3犠牲膜SC3'が位置するように図示されている。

10

【0066】

犠牲膜SC1'、SC2'、SC3'とチャネル用層C1'、C2'は、互いに異なるエッチング選択比を有する物質を含んでもよい。例えば、犠牲膜SC1'、SC2'、SC3'は、シリコンゲルマニウム(SiGe)を含んでもよく、チャネル用層C1'、C2'は、シリコン(Si)を含んでもよい。そのようなゲート構造体GS'は、化学気相蒸着(CVD: chemical vapor deposition)工程、物理気相蒸着(PVD: physical vapor deposition)工程または原子層蒸着(ALD: atomic layer deposition)工程を介しても形成される。

【0067】

そのようなゲート構造体GS'を形成した後、図9に図示されているように、それをパターンニングすることができる。例えば、マスクを利用し、図8のゲート構造体GS'の事前設定された部分を除いた残り部分をエッチングすることができる。ゲート構造体GS'の一部を除去するとき、当該部分において、定電流形成層200の上面200uが露出されるまでエッチングが進められうる。それにより、図9に図示されているように、ゲート構造体GS''は、第1方向DR1に延長された形状を有しうる。そのようなゲート構造体GS''は、犠牲膜SC1'', SC2'', SC3''とチャネル用層C1'', C2''とを含んでもよい。犠牲膜SC1'', SC2'', SC3''は、犠牲膜SC1', SC2', SC3'をエッチングすることによっても形成される。チャネル用層C1'', C2''は、チャネル用層C1', C2'をエッチングすることによっても形成される。

20

【0068】

その後、図10に図示されているように、定電流形成層200上に、ダミーゲート302と、ダミーゲート302両側に位置するゲートスペーサ330と、を形成することができる。ダミーゲート302は、第2方向DR2に沿って延長された形状を有しうる。ダミーゲート302の両側外側には、ゲート構造体GS''の一部が露出されうる。

30

【0069】

ダミーゲート302は、その両側のゲートスペーサ330に対し、高いエッチング選択比を有しうる。例えば、ダミーゲート302は、エッチング選択比が高いシリコンナイトライドを含み、ゲートスペーサ330は、エッチング選択比が低いシリコンオキไซด์を含むものでもある。

【0070】

ダミーゲート302は、ゲート構造体GS''を覆うダミーゲート膜を形成し、それをパターンニングして形成することができる。ダミーゲート膜のパターンニングは、定電流形成層200の上面が露出されるまで遂行されうる。

40

【0071】

ダミーゲート302両側に位置するゲートスペーサ330は、ダミーゲート302の両側面を覆うことができる。ゲートスペーサ330外側には、ゲート構造体GS''の一部が露出されうる。

【0072】

ゲートスペーサ330は、ダミーゲート302、ゲート構造体GS''及び定電流形成層200上に、ゲートスペーサ330用物質層を形成し、それをエッチングする過程を経て

50

も形成される。ゲートスペーサ 330 用物質層のエッチングは、異方性乾式エッチング工程を介しても進められる。

【0073】

次に、ダミーゲート 302 及びゲートスペーサ 330 の外側に露出されたゲート構造体 GS' の部分を除去し、図 11 に図示されているようなゲート構造体 GS を形成することができる。ゲート構造体 GS' 一部分の除去は、マスクを利用した異方性エッチング工程を介しても進められる。それにより、ゲート構造体 GS は、第 1 犠牲膜 SC1、第 1 犠牲膜 SC1 上の第 1 チャネル C1、第 1 チャネル C1 上の第 2 犠牲膜 SC2、第 2 犠牲膜 SC2 上の第 2 チャネル C2、及び第 2 チャネル C2 上の第 3 犠牲膜 SC3 を含むものである。

10

【0074】

その後、図 12 ないし図 14 に図示されているように、第 1 ソース S1 と第 1 ドレイン D1 とを形成し、第 1 ソース S1 上に、層間絶縁膜 340 を形成し、層間絶縁膜 340 上の第 2 ソース S2 と、第 1 ドレイン D1 上の第 2 ドレイン D2 と、を形成する。第 1 ソース S1 は、ダミーゲート 302 の第 1 方向の反対方向 (- DR1) 一側に形成され、第 1 ドレイン D1 は、ダミーゲート 302 の他側方向 (DR1) に形成される。

【0075】

第 1 ソース S1 と第 1 ドレイン D1 との形成は、エピタキシャル成長工程を含んでもよい。第 1 ソース S1 と第 1 ドレイン D1 とを形成した後、それらをドーピングする工程を経るのである。例えば、第 1 ソース S1 を、III 族元素 (例えば、B または In) でドーピングして p 型を有させ、第 1 ドレイン D1 を、V 族元素 (例えば、P または As) でドーピングして n 型を有させる。

20

【0076】

同様に、第 2 ソース S2 と第 2 ドレイン D2 とを形成した後、それらをドーピングする工程を経るのである。例えば、第 2 ソース S2 を、V 族元素 (例えば、P または As) でドーピングして n 型を有させ、第 2 ドレイン D2 を、III 族元素 (例えば、B または In) でドーピングして p 型を有させる。

【0077】

その後、図 15 ないし図 17 に図示されているように、ダミーゲート 302 を除去するのである。ダミーゲート 302 の除去は、湿式エッチング工程を介しても進められる。このとき、エッチング液としては、フッ酸系の物質を使用することができる。

30

【0078】

ダミーゲート 302 が除去されれば、ゲート構造体 GS の一部が、ゲートスペーサ 330 間に露出される。それにより、図 18 ないし図 20 に図示されているように、ゲート構造体 GS が含む第 1 犠牲膜 SC1、第 2 犠牲膜 SC2 及び第 3 犠牲膜 SC3 を除去する。第 1 犠牲膜 SC1、第 2 犠牲膜 SC2 及び第 3 犠牲膜 SC3 の除去は、化学的乾式エッチング工程または化学的湿式エッチング工程を介しても行われる。例えば、該化学的乾式エッチング工程は、ラジカル生成器で生成されたプラズマを利用するものでもあり、該湿式エッチング工程は、アンモニア・過酸化水素混合物を利用することでもある。後者の場合、混合物において、 H_2O_2 は、酸化剤の役割を行い、 NH_4OH は、酸化剤エッチャントの役割を行うことができる。

40

【0079】

第 1 犠牲膜 SC1、第 2 犠牲膜 SC2 及び第 3 犠牲膜 SC3 を除去することにより、第 1 ソース S1 の第 1 ドレイン D1 方向 (DR1) の面のうち一部、第 2 ソース S2 の第 2 ドレイン D2 方向 (DR1) の面のうち一部、第 1 ドレイン D1 の第 1 ソース S1 方向 (- DR1) の面のうち一部、第 2 ドレイン D2 の第 2 ソース S2 方向 (- DR1) の面のうち一部、第 1 チャネル C1 の外側面、そして第 2 チャネル C2 の外側面が露出される。

【0080】

次に、図 21 ないし図 23 に図示されているように、ゲート絶縁膜 320 を形成する。具体的には、第 1 チャネル C1 の外側面と、第 2 チャネル C2 の外側面と、第 1 ソース S

50

1の第1ドレインD1方向の面とのうち、第1チャネルC1とコンタクトする部分以外の部分；第2ソースS2の第2ドレインD2方向の面のうち、第2チャネルC2とコンタクトする部分以外の部分；第1ドレインD1の第1ソースS1方向の面のうち、第1チャネルC1とコンタクトする部分以外の部分；第2ドレインD2の第2ソースS2方向の面のうち、第2チャネルC2とコンタクトする部分以外の部分；及び定電流形成層200を覆うゲート絶縁膜320を形成する。

【0081】

ゲート絶縁膜320を形成する工程は、電気絶縁物質を蒸着することを含んでもよい。例えば、電気絶縁物質の蒸着は、熱酸化工程、化学気相蒸着工程、物理気相蒸着工程または原子層蒸着工程を遂行することを含んでもよい。

10

【0082】

そのように形成されるゲート絶縁膜320は、シリコンオキサイド、シリコンナイトライド、シリコンオキシナイトライドなどを含んでもよい。または、ゲート絶縁膜320は、高誘電率を有する絶縁物質を含んでもよい。例えば、ゲート絶縁膜320は、約10ないし25の誘電定数を有する物質を含んでもよい。例えば、ゲート絶縁膜320は、ハフニウムオキサイド(HfO)、ハフニウムシリコンオキサイド(HfSiO)、ハフニウムオキシナイトライド(HfON)、ハフニウムシリコンオキシナイトライド(HfSiON)、ランタンオキサイド(LaO)、ランタンアルミニウムオキサイド(LaAlO)、ジルコニウムオキサイド(ZrO)、ジルコニウムシリコンオキサイド(ZrSiO)、ジルコニウムオキシナイトライド(ZrON)、ジルコニウムシリコンオキシナイトライド(ZrSiON)、タンタルオキサイド(TaO)、チタンオキサイド(TiO)、バリウムストロンチウムチタンオキไซด์(BaSrTiO)、バリウムチタンオキไซด์(BaTiO)、ストロンチウムチタンオキไซด์(SrTiO)、イットリウムオキไซด์(YO)、アルミニウムオキไซด์(AlO)及び鉛スカンジウムタンタルオキไซด์(PbScTaO)のうちから選択される少なくとも1つの物質を含んでもよい。

20

【0083】

次に、ゲート電極Gを形成することにより、図1ないし図3を参照して説明した三進インバータを製造することができる。ゲート電極Gは、ゲートスペーサ330間にも形成される。ゲート電極Gは、ゲート電極形成用物質により、ゲートスペーサ330間の空間を充填することによっても形成される。具体的には、ゲート電極Gは、ゲート絶縁膜320によって取り囲まれた領域を、導電物質で充填することによっても形成される。ゲート電極Gは、電気伝導性物質を含んでもよい。例えば、ゲート電極Gは、金属またはポリシリコンを含んでもよい。ゲート電極Gを形成する工程は、化学気相蒸着(CVD)工程、物理気相蒸着(PVD)工程または原子層蒸着(ALD)工程を利用することができる。

30

【0084】

以上のように本発明は、図面に図示された実施形態を参照して説明されたが、それらは、例示的なものに過ぎず、当該技術分野において当業者であるならば、それらから多様な変形、及び均等な他の実施形態が可能であるという点を理解するであろう。従って、本発明の真の技術的保護範囲は、特許請求の範囲の技術的思想によって定められるものである。

【符号の説明】

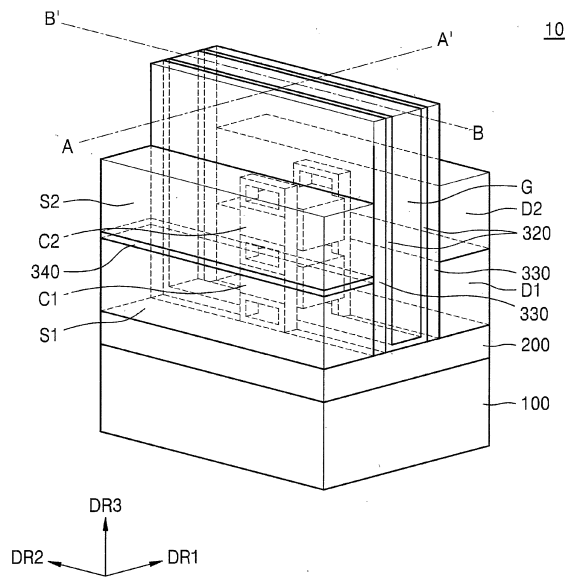
40

【0085】

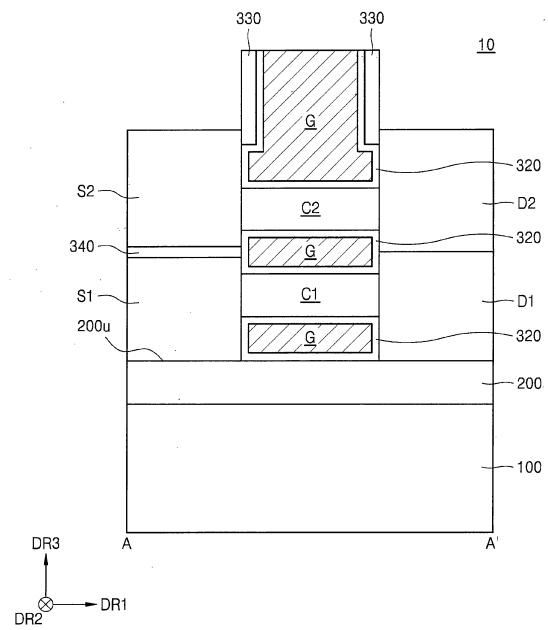
- 100 基板
- 200 定電流形成層
- 320 ゲート絶縁膜
- 330 ゲートスペーサ
- 340 層間絶縁膜

【図面】

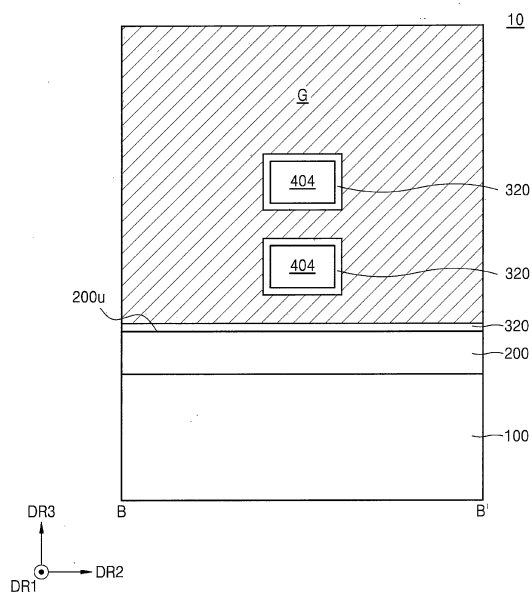
【 図 1 】



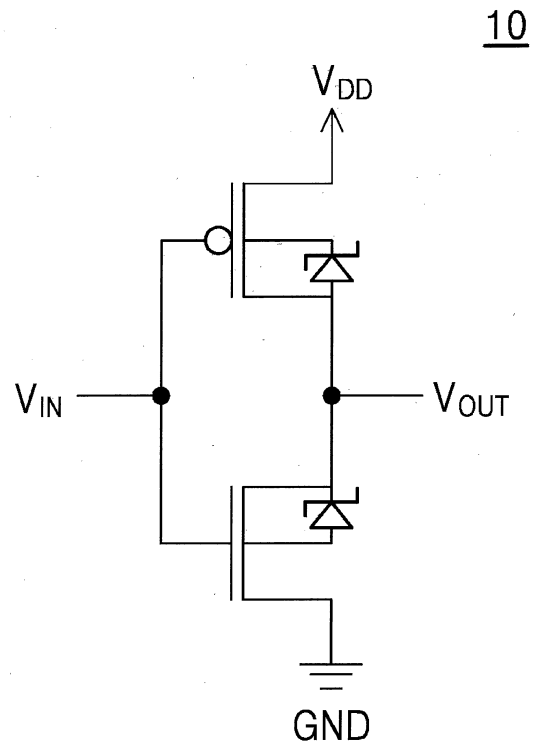
【 図 2 】



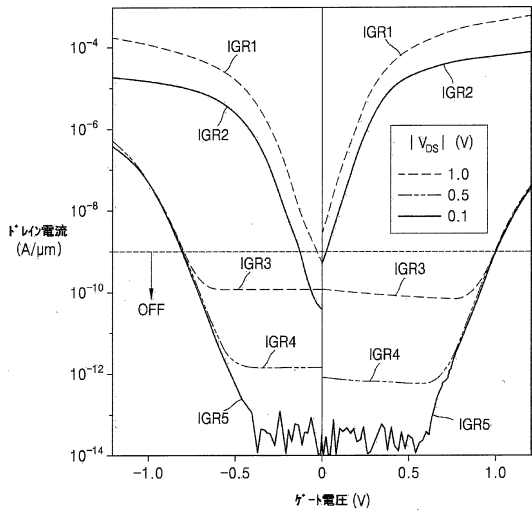
【 図 3 】



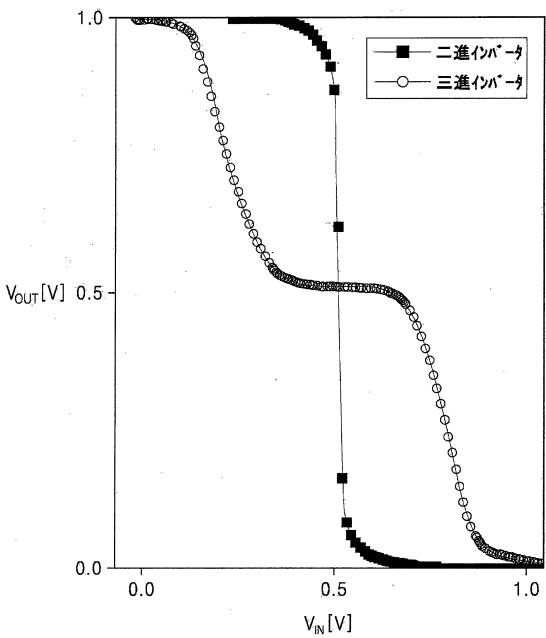
【 図 4 】



【図 5】



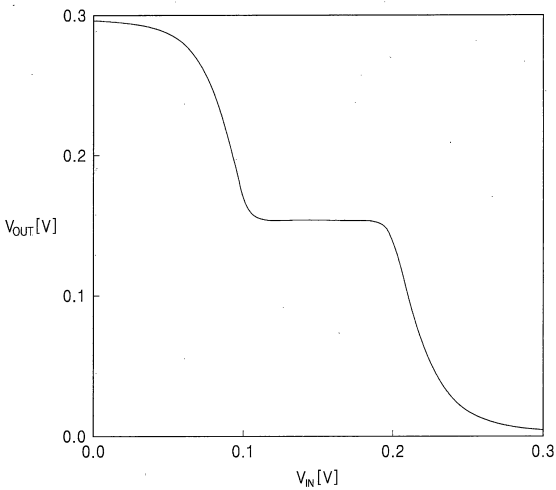
【図 6】



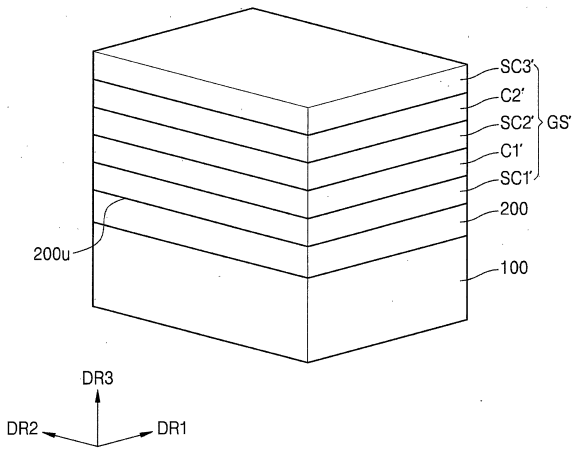
10

20

【図 7】



【図 8】

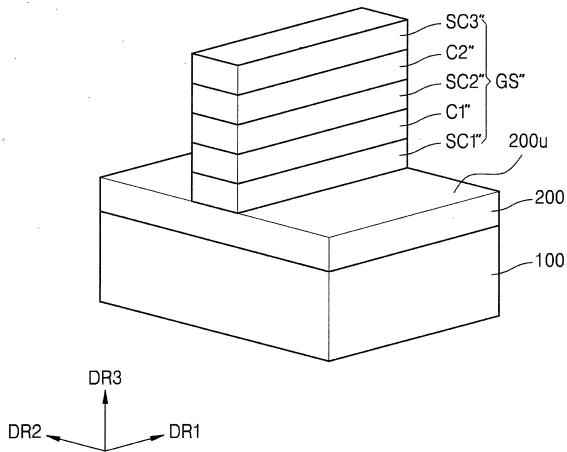


30

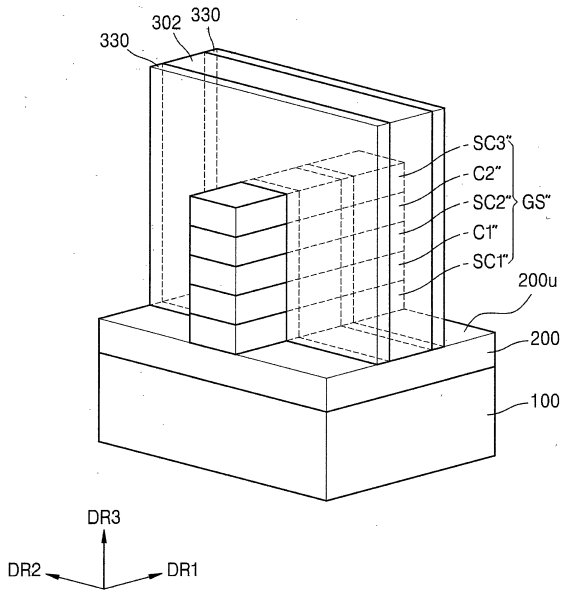
40

50

【図 9】

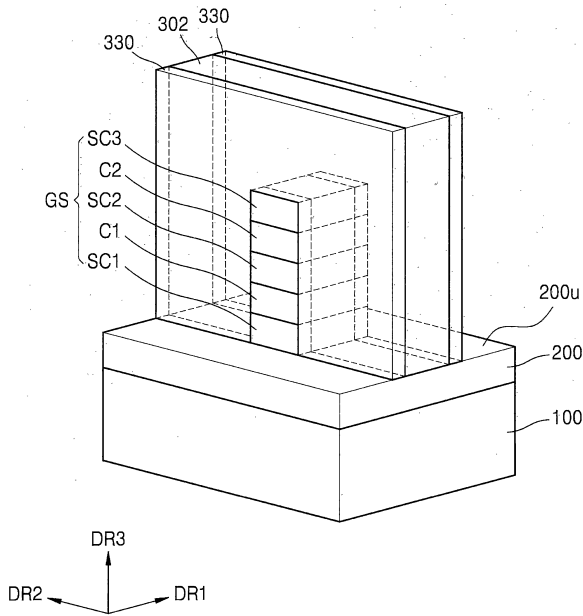


【図 10】

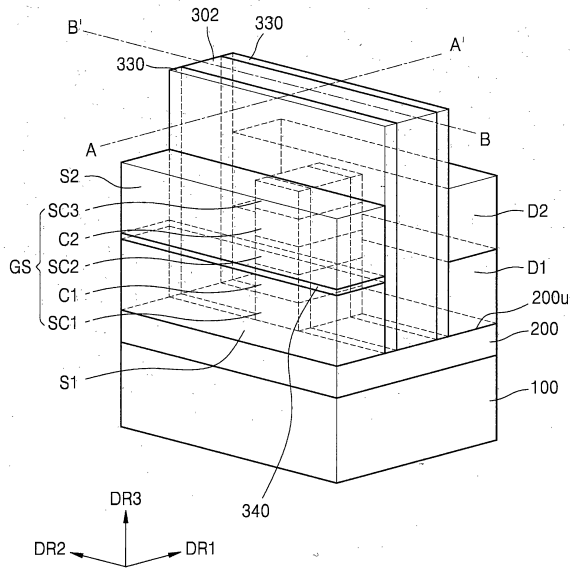


10

【図 11】



【図 12】

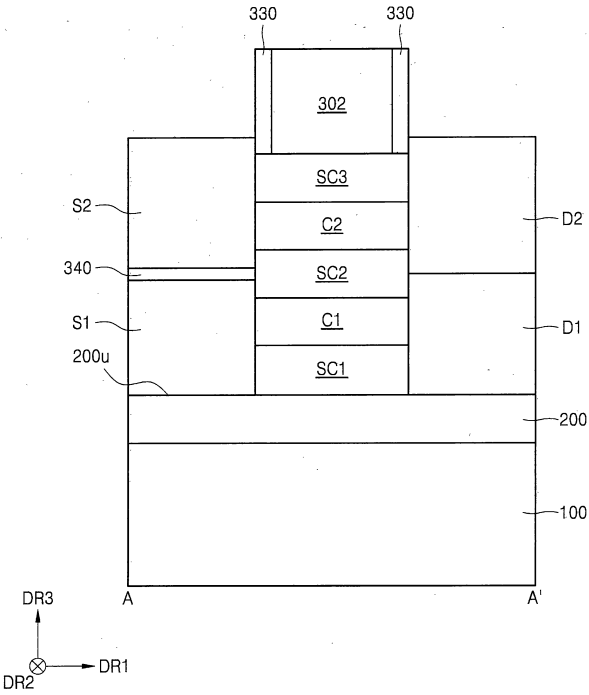


30

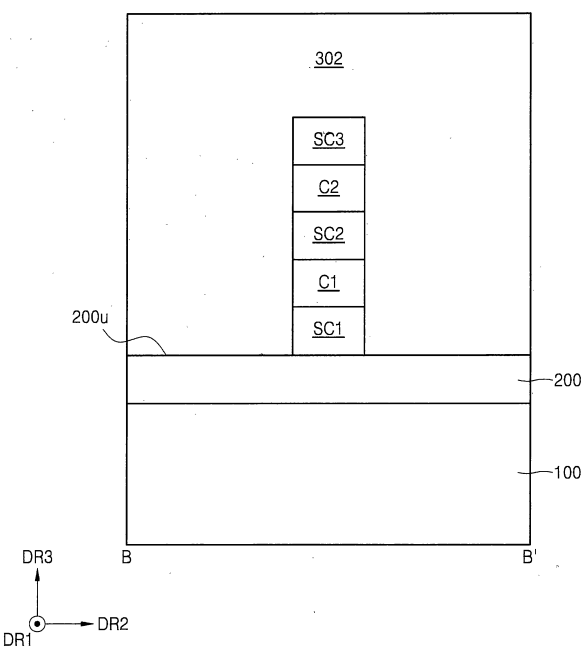
40

50

【図 1 3】



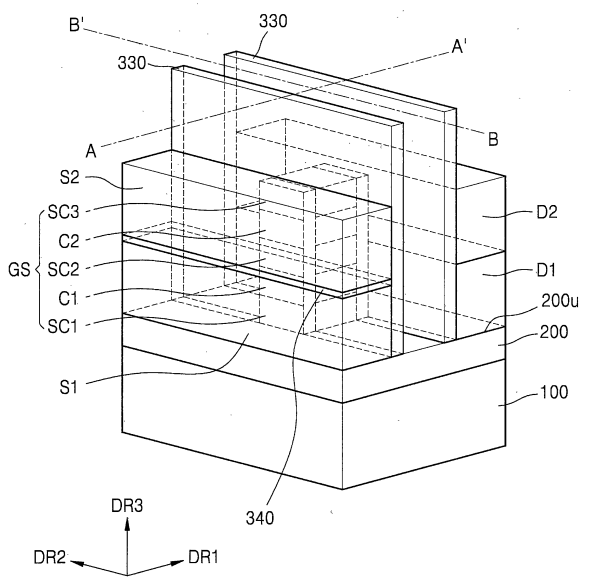
【図 1 4】



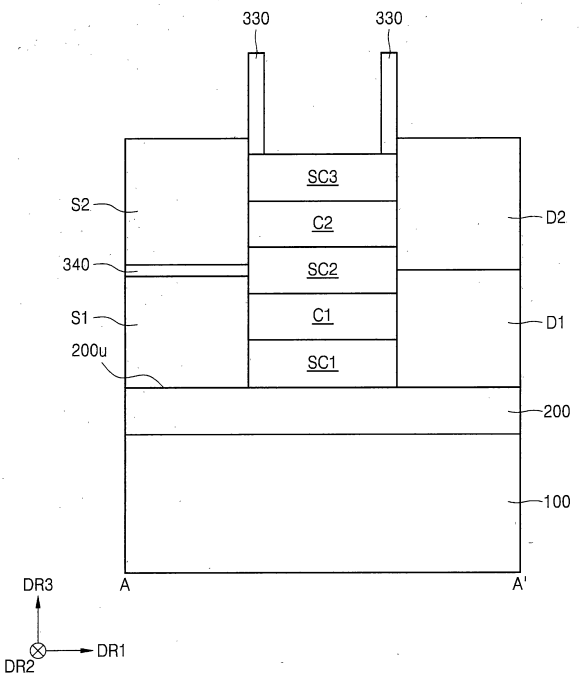
10

20

【図 1 5】



【図 1 6】

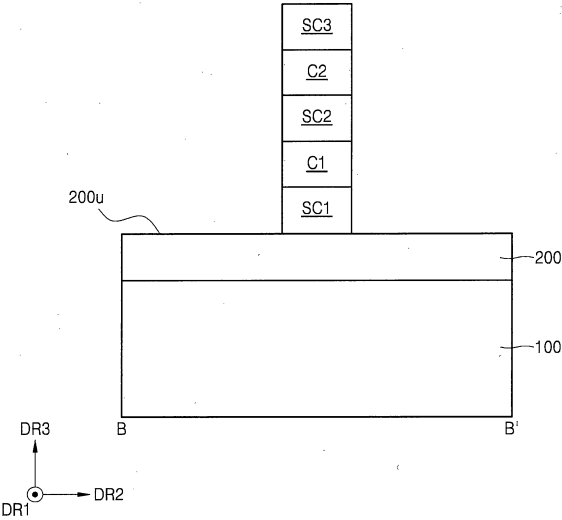


30

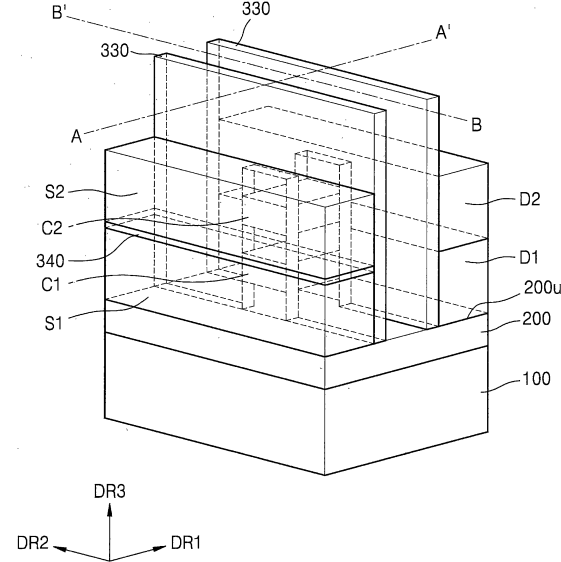
40

50

【図 1 7】

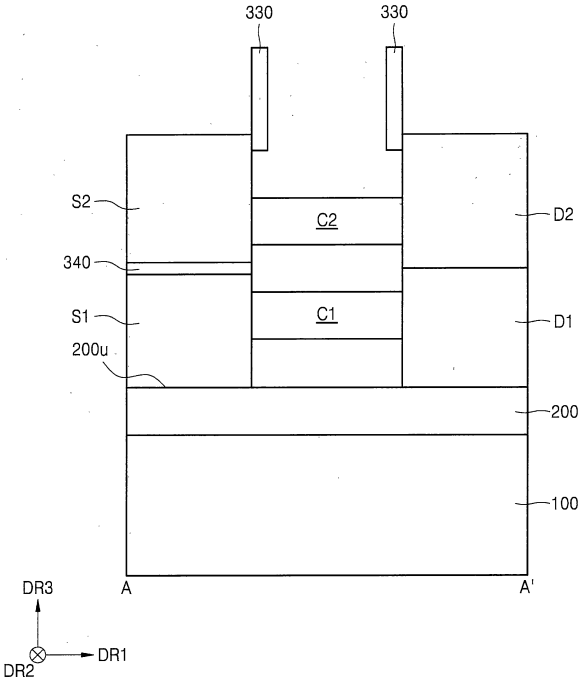


【図 1 8】

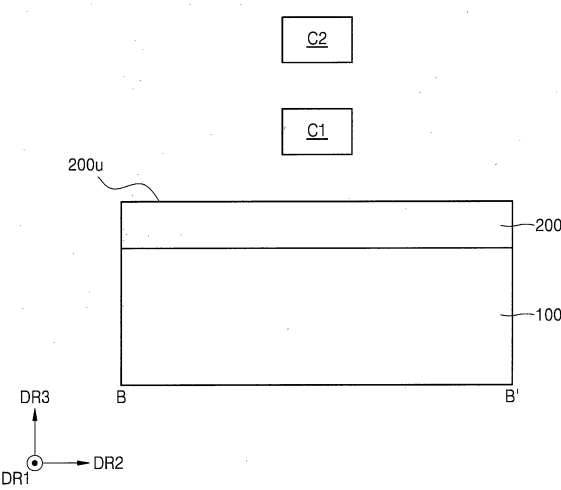


10

【図 1 9】



【図 2 0】



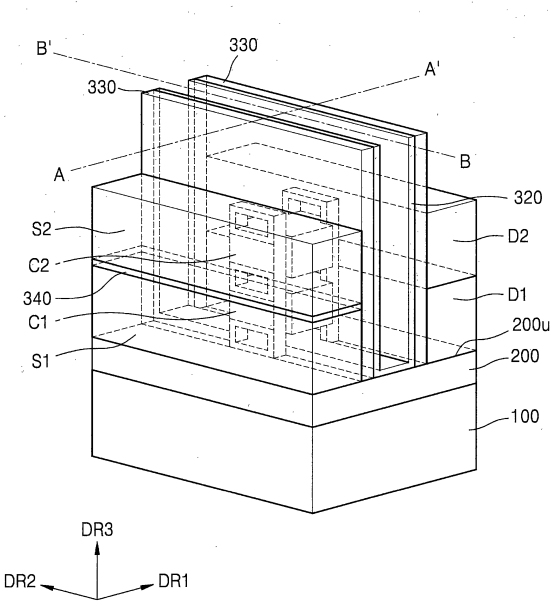
20

30

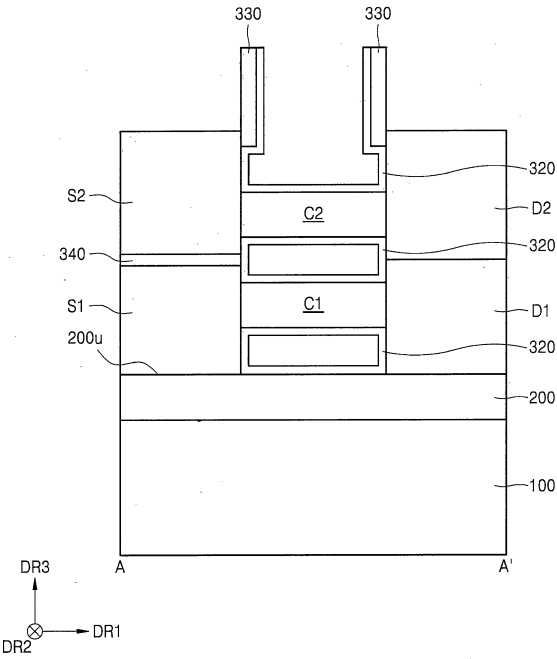
40

50

【 図 2 1 】



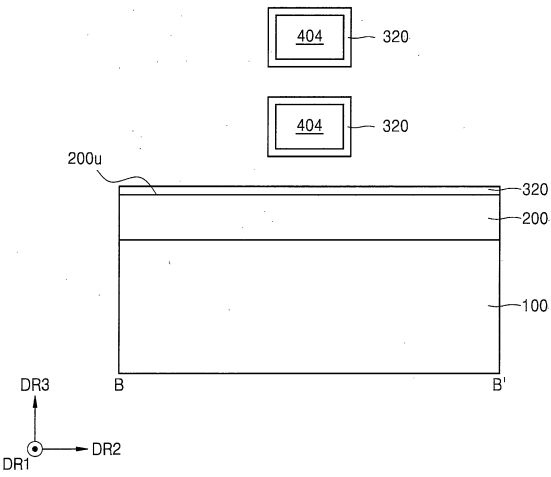
【 図 2 2 】



10

20

【 図 2 3 】



30

40

50

フロントページの続き

(51)国際特許分類

F I

H 0 1 L 29/78 (2006.01)

H 0 1 L

29/78

3 0 1 C

大韓民国・ウルサン・4 4 9 1 9・ウルジュ・グン・オニャン・ウブ・ユニスト・ギル・5 0

(72)発明者 崔 瑛恩

大韓民国・ウルサン・4 4 9 1 9・ウルジュ・グン・オニャン・ウブ・ユニスト・ギル・5 0

(72)発明者 金 友石

大韓民国・ウルサン・4 4 9 1 9・ウルジュ・グン・オニャン・ウブ・ユニスト・ギル・5 0

審査官 鈴木 聡一郎

(56)参考文献

米国特許出願公開第2 0 1 9 / 0 3 9 3 0 9 1 (U S , A 1)

特開昭6 1 - 1 4 5 9 3 2 (J P , A)

米国特許出願公開第2 0 1 6 / 0 0 2 0 3 0 5 (U S , A 1)

特表2 0 1 8 - 5 1 7 3 3 1 (J P , A)

特開2 0 0 7 - 0 1 3 1 5 6 (J P , A)

(58)調査した分野 (Int.Cl., D B名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 1 / 8 2 3 2 - 2 1 / 8 2 3 8

H 0 1 L 2 1 / 8 2 4 9

H 0 1 L 2 7 / 0 6

H 0 1 L 2 7 / 0 7

H 0 1 L 2 7 / 0 8 5 - 2 7 / 0 9 2

H 0 1 L 2 7 / 1 1 8

H 0 1 L 2 9 / 7 6

H 0 1 L 2 9 / 7 7 2

H 0 1 L 2 9 / 7 8