

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2005-510872

(P2005-510872A)

(43) 公表日 平成17年4月21日(2005.4.21)

(51) Int. Cl. <sup>7</sup>	F I	テーマコード (参考)
H O 1 L 29/78	H O 1 L 29/78 3 O 1 G	4 M 1 0 4
H O 1 L 21/28	H O 1 L 21/28 3 O 1 R	5 F 0 3 3
H O 1 L 21/283	H O 1 L 21/283 B	5 F 0 5 8
H O 1 L 21/318	H O 1 L 21/318 C	5 F 1 1 0
H O 1 L 21/768	H O 1 L 29/78 3 O 1 N	5 F 1 4 0
審査請求 未請求 予備審査請求 有 (全 16 頁) 最終頁に続く		

(21) 出願番号 特願2003-548295 (P2003-548295)  
 (86) (22) 出願日 平成14年10月11日 (2002.10.11)  
 (85) 翻訳文提出日 平成16年5月25日 (2004.5.25)  
 (86) 国際出願番号 PCT/US2002/032582  
 (87) 国際公開番号 W02003/046971  
 (87) 国際公開日 平成15年6月5日 (2003.6.5)  
 (31) 優先権主張番号 09/994, 128  
 (32) 優先日 平成13年11月26日 (2001.11.26)  
 (33) 優先権主張国 米国 (US)

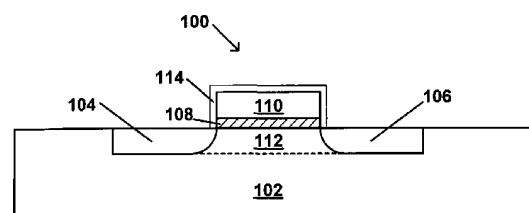
(71) 出願人 591016172  
 アドバンスド・マイクロ・デバイス・  
 インコーポレイテッド  
 ADVANCED MICRO DEVI  
 CES INCORPORATED  
 アメリカ合衆国、94088-3453  
 カリフォルニア州、サニペイル、ピー・  
 オウ・ボックス・3453、ワン・エイ・  
 エム・ディ・プレイス、メイル・ストップ  
 ・68 (番地なし)  
 (74) 代理人 100099324  
 弁理士 鈴木 正剛  
 (74) 代理人 100111615  
 弁理士 佐野 良太

最終頁に続く

(54) 【発明の名称】 シリコン欠乏雰囲気中のPECVDプロセスを用いた、金属ゲート電極のための酸窒化物スペーサの形成方法

## (57) 【要約】

金属ゲート電極(110)を備える半導体装置(100)およびその製造方法であって、半導体装置(100)は、半導体基板(102)と、金属ゲート電極(110)と、この金属ゲート電極(110)の表面上に形成されたシリコン酸窒化物スペーサ(114)とを含み、シリコン酸窒化物スペーサ(114)と金属ゲート電極(110)との界面には実質的に金属シリサイドが存在しない。このプロセスは、半導体基板上に金属ゲート電極を形成するステップと、この金属ゲート電極の表面上にシリコン酸窒化物スペーサをPECVDで形成するステップとを含み、このシリコン酸窒化物スペーサは、最初にシリコンが欠乏した状態、少なくとも一つのシリコン含有材料の第1量が、少なくとも一つの他の反応物の量に対して相対的に少なくなるようにPECVD装置に供給される状態において形成される。その結果、シリサイドは実質的に形成されない。



## 【特許請求の範囲】

## 【請求項 1】

金属ゲート電極を備える半導体装置を製造するプロセスであって、  
半導体基板を用意するステップと、  
前記半導体基板上に金属ゲート電極を形成するステップと、  
前記金属ゲート電極の表面上に、シリコン酸窒化物スペーサを P E C V D で形成するステップとを含み、

前記シリコン酸窒化物スペーサは、少なくとも一つのシリコン含有材料の第 1 量が少なくとも一つの他の反応物質の量に対して相対的に少なくなるように P E C V D 装置に供給されるシリコン欠乏状態において初期は形成され、それによって、前記金属ゲート電極と前記シリコン酸窒化物スペーサとの界面にはシリサイドが実質的に形成されない、プロセス。

10

## 【請求項 2】

前記形成するステップは、前記供給された少なくとも一つのシリコン含有材料の増量された第 2 量を供給するステップをさらに含む、請求項 1 記載のプロセス。

## 【請求項 3】

前記シリコン欠乏状態は、P E C V D 装置に、前記少なくとも一つのシリコン含有材料を当初は供給せずに、酸素含有材料および窒素含有材料を供給するステップと、続いて前記酸素含有材料および前記窒素含有材料に加えて、前記少なくとも一つのシリコン含有材料の前記第 1 量を前記 P E C V D 装置に供給するステップとを含み、前記供給される少なくとも一つのシリコン含有材料の前記第 1 量は、シリコン酸窒化物の P E C V D デポジションに関して、前記酸素含有材料および前記窒素含有材料に対して不足当量のシリコンを含む、請求項 1 記載のプロセス。

20

## 【請求項 4】

前記金属ゲート電極の前記表面には金属シリサイドが実質的に形成されない、請求項 1 記載のプロセス。

## 【請求項 5】

前記 P E C V D プロセスは摂氏約 300 度から約 600 度の範囲内の温度で実行される、請求項 1 記載のプロセス。

## 【請求項 6】

金属ゲート電極 ( 1 1 0 ) を備える半導体装置 ( 1 0 0 ) であって、  
半導体基板 ( 1 0 2 ) と、  
金属ゲート電極 ( 1 1 0 ) と、  
前記金属ゲート電極 ( 1 1 0 ) の表面上に形成されたシリコン酸窒化物スペーサ ( 1 1 4 ) とを含み、

30

前記第 1 層と前記金属ゲート電極との界面には実質的に金属シリサイドが存在しない、半導体装置。

## 【請求項 7】

前記金属ゲート電極 ( 1 1 0 ) の前記表面には金属シリサイドが実質的に存在しない、請求項 6 記載の半導体装置。

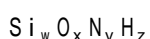
40

## 【請求項 8】

前記金属ゲート電極 ( 1 1 0 ) は、Mo, Ni, Ta, Al, Co, Cu, Re, Ti または W、またはこれらのうち 2 つ以上の混合物または合金、もしくは TaN, TaSiN, WN, WSiN のうち 1 つ以上を含む導電性金属窒化物を含む、請求項 6 記載の半導体装置。

## 【請求項 9】

前記シリコン酸窒化物は次の化学式を持ち、



w は、シリコンの約 20 から約 56 原子百分率の範囲内、

x は、酸素の約 5 から約 40 原子百分率の範囲内、

y は、窒素の約 10 から約 40 原子百分率の範囲内、

50

zは、水素の0から約10原子百分率の範囲内であって、  
 $w+x+y+z=100$ 原子百分率である、請求項6記載の半導体装置。

【請求項10】

前記シリコン酸窒化物スペーサ(114)の第1部分は、約1.6から約1.9の範囲の屈折率を有し、その第2部分は約1.95から約2.3の範囲の屈折率を有する、請求項6記載の半導体装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は一般に半導体装置の製造に関し、さらに詳細には半導体装置の金属ゲート電極上への絶縁層の形成に関する。 10

【背景技術】

【0002】

エレクトリックデバイスが非常に複雑になってくるにしたがって、デバイス上により多くの数のトランジスタを載せる必要が高まっている。さらに、デバイスの速度を上げる必要がある一方で、消費電力は低減しなければならない。これらの問題に対処するために、それぞれのトランジスタが占める面積はかなり減少している。しかしながら、これが1以上の必要条件に不都合な影響を与えうる。例えば、トランジスタの寸法が縮小すると、ゲート構造(ストラクチャ)の寸法も縮小し、それによってゲート抵抗が増大する。従って、電力消費が増え、デバイスの速度が遅くなる。 20

【0003】

ゲート構造のシート抵抗率を減少させるための数々の努力がこれまで行われてきた。例えば、あるときは、ポリシリコンをn型またはp型のドーパントでより高濃度にドーブした。またあるときは、タングステンまたはチタンとポリシリコンとの反応により、ゲートの上部にシリサイドを形成した。またその後、さらに小さなジオメトリの抵抗率を下げるためにコバルトシリサイドを使った。現在では、金属ゲート電極が導入され、多くの応用例で使用されている。

【0004】

金属ゲート電極は、事実上ゲート幅にかかわらずなく、低いシート抵抗率を持つ。しかしながら、多くの金属ゲート材料は、標準的な半導体プロセスフローに組み込めるようになる前に、克服しなければならないいくつかの問題がある。問題の一つは、多くの金属が、ゲート絶縁膜を形成するのに一般的に使用されているシリコン、 $\text{SiO}_2$ やシリコン酸窒化物(silicon oxynitride)などに接触すると不安定なことである。シリコン酸窒化物は、 $\text{SiO}_2$ に関する金属原子のマイグレーションに対するより優れたバリアを形成するという特性のために、金属ゲート電極の上に形成される絶縁体スペーサまたはライナーとして用いられる。 30

【0005】

多くの金属は、それらの金属シリサイド(その金属とシリコンとの反応によって形成される)の形態においてはより導電性が低くなるので、もしシリコン酸窒化物スペーサ形成の結果として金属シリサイドが形成されるならば、ゲート材料としての金属の利点は減少してしまうか、失われてしまう。金属ゲート電極の寸法がより小さくなるにことにより、もし金属ゲート電極のどこかの部分がより導電性の低い金属シリサイドに転換されるならば、導体として金属ゲート電極の効果は薄れてしまう。 40

【0006】

従って、金属ゲート電極とシリコン酸窒化絶縁体層との界面にシリサイドを形成しない、または実質的に形成しないようにしながら、金属ゲート電極上にシリコン酸窒化絶縁体層を形成する方法に対する必要性が存在している。

【発明の開示】

【発明の概要】

【0007】

本発明は、金属ゲート電極を備える半導体装置の製造プロセスに関し、半導体基板を用意するステップと、半導体基板上に金属ゲート電極を形成するステップと、金属ゲート電極の表面上にシリコン酸窒化スペーサをPECVDで形成するステップとを含み、シリコン酸窒化スペーサは、最初にシリコンが欠乏した状態、すくなくとも一つのシリコン含有材料の量が、少なくとも一つの他の反応物の量に対して相対的に少なくなるようにPECVD装置に供給される状態において形成される。それによって、金属ゲート電極とシリコン酸窒化物スペーサとの界面にはシリサイドが実質的に形成されない。

他の実施形態では、本発明は、金属ゲート電極を備える半導体装置に関し、半導体基板と、金属ゲート電極と、金属ゲート電極の表面上に形成されたシリコン酸窒化物スペーサとを含み、第1層と金属ゲート電極との界面には実質的に金属シリサイドが存在しない。

10

従って、本発明は金属シリサイドを形成することなしに金属ゲート電極上に絶縁層を形成するという課題を解決している。

【発明を実施するための最良の形態】

【0008】

本明細書において、「金属ゲート」または「金属ゲート電極」という用語は、MOSFETまたはその他の半導体装置のゲートまたはその他の任意の金属構造であって、モリブデン(Mo)、ニッケル(Ni)、タンタル(Ta)、アルミニウム(Al)、コバルト(Co)、銅(Cu)、レニウム(Re)、チタン(Ti)またはタングステン(W)などの金属、またはこれらの金属のうち2つ以上のものの混合物または合金から形成されるものを指す。この金属は、Ta<sub>2</sub>N, TaSiN, WN, WSiNおよび前記金属の類似の導電性窒化物の一以上を含むものであってもよい。ここで説明するように、金属ゲート電極は、そのような構造を作るための当該技術分野で既知のどのような方法で形成してもよい。本明細書において本発明を金属ゲート電極に関して説明しているが、本発明はそれに限定されるものではなく、その上にシリコン酸窒化物層が形成される任意の金属構造物であって、シリサイドの形成を少なくするまたは形成しないものにまで及ぶことを理解してもらいたい。

20

【0009】

本明細書において、「シリコン酸窒化物」という用語は、シリコン、酸素および窒素を含み、ならびに追加的に水素を含みうる絶縁材料を指す。水素の有無は、形成時の条件によって決まる。シリコン酸窒化物は以下でさらに詳細に説明する化学式を持ち、それはシリコン酸窒化物の形成時における多数の要因に応じて変化する。

30

【0010】

半導体装置

以下で、本発明を一般的な半導体装置、特にシリコン基板上に形成された金属酸化物半導体電界効果トランジスタ(MOSFET)の観点から説明する。MOSFETについての本発明の実施形態を図1に示す。しかしながら、本発明はこの実施形態例に限定されるものではなく、金属ゲート電極が使用可能な任意の半導体装置、例えばFET、フローティング金属ゲート電極EEPROMフラッシュメモリ装置、カルフォルニア州サニーベールのアドバンスド・マイクロ・デバイス社から入手可能なMirror-Bit(商標)SONOSタイプのフラッシュメモリ装置のようなSONOSタイプのフラッシュメモリ装置の金属ゲート電極に適用可能である。従って、本発明は、以下に説明する例示のための特定の実施形態に限定されるものでないことを理解するべきである。

40

【0011】

本発明は半導体装置および半導体装置の製造プロセスに関し、この半導体装置は、半導体基板と、金属ゲート電極と、金属ゲート電極の表面上に形成されたシリコン窒化物スペーサとを含み、金属ゲート電極とシリコン酸窒化物スペーサとの間に形成される界面には、シリコン酸窒化物スペーサを形成するためのシリコンと金属ゲート電極を形成するための金属との反応によって形成される金属シリサイドが実質的に存在しない。

【0012】

従って、第1実施形態では、本発明は、上部にシリコン酸窒化物スペーサが形成される金属ゲート電極を持つ半導体装置に関する。この半導体装置は、半導体基板、金属ゲート

50

電極、およびシリコン酸窒化物スペーサを含む。

【0013】

一実施形態では、金属ゲート電極の表面には金属シリサイドは実質的に存在しない。他の実施形態では、金属ゲート電極は、金属ゲート電極の金属とシリコン酸窒化物スペーサを形成するためのシリコンの反応によって形成される金属シリサイドは実質的に存在しない。さらに他の実施形態では、金属ゲート電極とシリコン酸窒化物スペーサとの間の界面には、金属ゲート電極の金属とシリコン酸窒化物スペーサを形成するためのシリコンの反応によって形成されるシリサイドは存在しない。

【0014】

図1は、MOSFET100の断面図である。MOSFET100は例えば、p型にドーピングされたシリコン基板102、n型にドーピングされたソース領域104、n型にドーピングされたドレイン領域106、ゲート絶縁膜108、金属ゲート電極110、チャネル領域112および金属ゲート電極110上に形成されたシリコン酸窒化物スペーサ114を含む。

【0015】

図1には、実際に動作する半導体装置の追加的な要素、例えば、電気配線、保護膜、完成した、動作可能な半導体装置に含まれるであろう他の構成要素は図示されていない。これらの追加的な要素は本発明には不必要なものであり、説明の簡略化および簡潔さのために図示せず、特に説明しない。しかしながら、当業者であれば簡単に追加可能であることが理解できる。

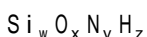
【0016】

金属ゲート電極の金属は、当該技術分野において半導体装置の金属ゲート電極として用いることが知られているどのような金属であってもよい。一実施形態では、金属ゲート電極は、Mo, Ni, Ta, Al, Co, Cu, Re, TiまたはW、もしくはこれらの金属の2以上の混合物または合金を含む。Au, Pt, Pd, RhまたはAgなどのその他の金属も使用可能である。しかしながら、これらの材料は高価であるので、半導体装置に使用するのには経済的に正当化できないであろう。他の実施形態では、金属は、Mo, NiまたはTaのうちの一つを含む。他の実施形態では、金属はMo, NiまたはTaのうちのどれかである。ある実施形態では、金属は導電性の金属窒化物であって、Ta<sub>3</sub>N<sub>5</sub>, TaSiN, WN, WSiNまたはその他の既知の導電性金属窒化物のうち1以上を含むような金属窒化物である。

【0017】

シリコン酸窒化物スペーサはシリコン酸窒化物から形成され、ほとんどの場合、やや不確かな化学式を持つことが知られている。純粋な、化学量論(stoichiometric)的なシリコン酸窒化物はSi<sub>2</sub>N<sub>2</sub>Oの化学式を持ち、摂氏約1350度を超える温度で形成またはアニールされる。しかしながら、例えば低温を含む条件下、または不純物、同時反応物質および非化学量論的な反応物質の量の存在下で形成されたシリコン酸窒化物は、一般的に次の化学式を持つと考えられる。

[化1]

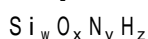


ここで、w, x, y, zは化学式全体の原子百分率を表す。化学式のなかの酸素および窒素の量は、上述の要因によって変化する。そして、水素の量は1以上の水素含有反応物質が使用されるかどうか、またそれらの相対的な量により、さらに他の水素源(例えば、水)が反応混合物に存在しうるかなどの要因に応じて変わる。上記の、および本明細書ならびに特許請求の範囲のなかの数値、比率および範囲の限定は組み合わせ可能である。

【0018】

本発明の一実施形態では、シリコン酸窒化物は次の化学式を持つ。

[化2]



ここで、

wは、シリコンの約20から約56原子百分率の範囲内、

10

20

30

40

50

xは、酸素の約5から約40原子百分率の範囲内、  
yは、窒素の約10から約40原子百分率の範囲内、  
zは、水素の0から約10原子百分率の範囲内であって、  
 $w+x+y+z=100$ 原子百分率である。

#### 【0019】

半導体装置では、シリコン酸窒化物などの絶縁材料中に存在する水素の量を減らすことが望ましいことがよくある。これは、水素がホットキャリアとして機能することが可能であり、半導体装置内の電子の移動と干渉することがあるためである。従って、本発明の一実施形態では、シリコン酸窒化物スペーサ内の水素の量を最小限にまで減少させる。一実施形態では、シリコン酸窒化物の上記化学式において、zは約0.5から約7原子百分率の範囲内である。一実施形態では、zは約1から約5原子百分率の範囲内である。他の実施形態では、zは約2から約4原子百分率の範囲内である。

10

#### 【0020】

シリコン酸窒化物スペーサ114を形成する以下で説明するプロセスの結果、シリコン欠乏条件下でデポジションされたシリコン酸窒化物は、シリコンが欠乏していない、または化学量論的シリコンの条件下でデポジションされたシリコン酸窒化物とは異なった化学量論を持つ。従って、上記の化学式を参照すると、一実施形態として、シリコン欠乏条件下でデポジションされたシリコン酸窒化物はシリコンの含有量が前記範囲の下端、つまり約20から約30原子百分率となり、酸素および窒素の含有量が前記範囲の上端、つまり約25から約40原子百分率の酸素、約30から約40原子百分率の窒素となり、水素の含有量が前記範囲の下端、つまり約0から約3原子百分率となる。

20

#### 【0021】

一実施形態では、シリコン欠乏でない条件下で、上記化学式を参照すると、デポジションされたシリコン酸窒化物は、シリコン含有量が前記範囲の半ばから上端、つまり約40から約56原子百分率となり、酸素および窒素の含有量が前記範囲の下端から半ば、つまり約5から約25原子百分率の酸素、約10から約25原子百分率の窒素となる。水素の含有量は、条件および反応物質の選択に応じて、前記範囲内の任意の値をとりうる。

#### 【0022】

本来的に変化しうるシリコン酸窒化物の化学量論に起因して、さらにシリコン酸窒化物スペーサ114の非常な薄さによって、層内の様々な深さにおけるシリコン酸窒化物の正確な化学量論を区別するのは困難である。これまでの化学量論に関する開示は推定であって、かなり変化しうるものである。シリコン酸窒化物スペーサ114の組成は、X線フォトエレクトロン分光法によってある程度の正確性で決定することができる。X線フォトエレクトロン分光法は、数百オングストロームの厚みを持つ層の組成の違いを特定することが可能である。

30

#### 【0023】

当該技術分野において知られているように、シリコン酸窒化物の屈折率は化学量論に応じて変化する。従って、一実施形態において、シリコン欠乏の条件下でデポジションされたシリコン酸窒化物スペーサ114の一部は、約1.6から約1.9の範囲の屈折率を有する。ある実施形態において、シリコン欠乏の条件下でデポジションされたシリコン酸窒化物スペーサ114の一部は、約1.7の屈折率を有する。ある実施形態において、シリコン欠乏でない条件、または化学量論的なシリコンの条件下でデポジションされたシリコン酸窒化物スペーサ114の一部は、約1.95から約2.3の範囲の屈折率を有する。ある実施形態において、シリコン欠乏でない条件、または化学量論的なシリコンの条件下でデポジションされたシリコン酸窒化物スペーサ114の一部は、約2.1の屈折率を有する。

40

#### 【0024】

一実施形態では、半導体基板はバルクのシリコン基板である。ある実施形態では、半導体基板は、シリコン・オン・インシュレータ半導体基板である。他の実施形態では、半導体基板は、p型にドーパされたシリコン基板である。適切な半導体基板は、例えば、バルクのシリコン半導体基板、シリコン・オン・インシュレータ(SOI)半導体基板、シリ

50

コン・オン・サファイア（ＳＯＳ）半導体基板、および当該技術分野において知られた他の材料から形成された半導体基板である。本発明は特定の半導体基板に限定されるものではない。

【００２５】

シリコン欠乏の条件下で半導体装置にシリコン酸窒化物絶縁膜を製造する方法

本発明は、さらに上述の半導体装置の製造方法に関する。従って、本発明は、金属ゲート電極とその上に形成されたシリコン酸窒化物絶縁膜を有する半導体装置の製造方法を含む。金属ゲート電極と絶縁膜の間の界面には、金属ゲート電極の金属と絶縁膜を形成するのに使われるシリコンとの反応によって形成される金属シリサイドは実質的に存在しない。

10

【００２６】

本発明では、シリコン酸窒化物はＰＥＣＶＤプロセスによって生成される。その際、ＰＥＣＶＤ装置に当初供給されるシリコンの量は不足当量（sub-stoichiometric）である。この不足当量のシリコン供給がシリコンの反応を「欠乏」させ、それによって「自由な」シリコンが余らなくなる。余分な「自由な」シリコンをなくすことによって、金属ゲート電極の金属と、シリコン酸窒化物形成のＰＥＣＶＤプロセスのシリコンとの反応によるシリサイドの形成をなくすことができる。従って、最初に形成されるシリコン酸窒化物は、ここでより完全に説明されるように、不足当量のシリコンを含んでいる。ＰＥＣＶＤ装置に相対的に「シリコンが欠乏した」シリコン供給を行うことによって、初期のシリコン酸窒化物層の形成は相対的にゆっくりである。

20

【００２７】

金属ゲート電極上にシリコン酸窒化物の初期層が形成された後、シリコン酸窒化物の形成速度を増加させ、形成されているシリコン酸窒化物層中のシリコンの量を増加させるように、ＰＥＣＶＤ装置に供給するシリコンの量を増やす。

【００２８】

一実施形態では、金属ゲート電極を備える半導体装置の製造方法は、半導体基板を用意するステップと、この半導体基板上に金属ゲート電極を形成するステップと、金属ゲート電極の表面上にシリコン酸窒化物スペーサをＰＥＣＶＤで形成するステップとを含み、シリコン酸窒化物スペーサは、最初にシリコンが欠乏した状態、すくなくとも一つのシリコン含有材料の量が、少なくとも一つの他の反応物質の量に対して相対的に少なくなるようにＰＥＣＶＤ装置に供給される状態において形成される。それによって、金属ゲート電極とシリコン酸窒化物スペーサとの界面にはシリサイドが実質的に形成されない。

30

【００２９】

他の実施形態においては、シリコン欠乏状態は、ＰＥＣＶＤ装置に、少なくとも一つのシリコン含有材料を当初は供給せずに、酸素含有材料および窒素含有材料を供給し、後から酸素含有材料および窒素含有材料に加えて、少なくとも一つのシリコン含有材料の第１量をＰＥＣＶＤ装置に供給することを含み、供給される少なくとも一つのシリコン含有材料の第１量は、シリコン酸窒化物のＰＥＣＶＤデポジションに関して、酸素含有材料および窒素含有材料に対して不足当量のシリコンを含む。

【００３０】

本発明の方法のさらに詳細な説明を以下で行う。本明細書に開示された特定の例は本発明を説明することを意図したものであり、添付の特許請求の範囲によって定められる本発明の範囲を限定することを意図したものではない。

40

図６のステップ６０１に示す、本発明の方法の第１ステップにおいて、例えば図２に示すように半導体基板１０２が提供される。この半導体基板は、上述のように、当該技術分野において知られた、適切に選択された任意の半導体基板でよい。

【００３１】

図６のステップ６０２に示す、本発明の方法の第２ステップにおいて、ゲート絶縁膜１０８を半導体基板１０２の表面上に成長させる。ゲート絶縁膜１０８は当該技術分野で既知の任意の方法で成長させることができ、半導体装置上の金属ゲート電極とともに適切に

50

使用可能な任意の材料を含む。ゲート絶縁膜 108 は、二酸化シリコン、窒化シリコン、酸窒化シリコン、またはハフニウム酸化物 (hafnium oxide)、イットリウム酸化物 (yttrium oxide)、ランタン酸化物 (lanthanum oxide) などの様々な既知の高 K 絶縁材料のうちの任意の一つ、もしくはそのような絶縁材料の組み合わせ、例えばハフニウム珪酸塩 (hafnium silicate) を含む。適切な高 K 絶縁材料には、ハフニウム酸化物 ( $\text{HfO}_2$ )、ジルコニウム酸化物 ( $\text{ZrO}_2$ )、タンタル酸化物 ( $\text{Ta}_2\text{O}_5$ )、チタン酸バリウム ( $\text{BaTiO}_3$ )、二酸化チタン ( $\text{TiO}_2$ )、セシウム酸化物 ( $\text{CeO}_2$ )、ランタン酸化物 ( $\text{La}_2\text{O}_3$ )、タングステン酸化物 ( $\text{WO}_3$ )、イットリウム酸化物 ( $\text{Y}_2\text{O}_3$ )、ピスマスシリコン酸化物 ( $\text{Bi}_4\text{Si}_2\text{O}_{12}$ )、バリウムストロンチウム酸化物 ( $\text{Ba}_{1-x}\text{Sr}_x\text{O}_3$ )、チタン酸バリウムストロンチウム (BST) ( $\text{Ba}_{1-x}\text{Sr}_x\text{TiO}_3$ )、PZN ( $\text{PbZn}_x\text{Nb}_{1-x}\text{O}_3$ ) および PST ( $\text{PbSe}_x\text{Ta}_{1-x}\text{O}_3$ ) を含む。10  
前述の高 K 絶縁材料に加えて、他の高 K 絶縁材料、例えば高誘電性の高 K 絶縁材料、チタン酸鉛ジルコニウム (lead zirconium titanate)、チタン酸鉛ランタン (lead lanthanum titanate)、タンタル酸ストロンチウムピスマス (strontium bismuth tantalate)、チタン酸ピスマス (bismuth titanate)、チタン酸ストロンチウム (strontium titanate)、チタン酸ジルコニウム酸鉛 (lead zirconate titanate, PZT( $\text{PbZr}_x\text{Ti}_{1-x}\text{O}_3$ ))、チタン酸ハフニウムジルコニウム (barium zirconium titanate) などが本発明において適切に使用可能である。当該技術分野において知られた他の高 K 絶縁材料も使用可能である。

#### 【0032】

ゲート絶縁膜 108 は複数の層、例えば二酸化シリコンおよび窒化シリコン、または例えば SONOS タイプのデバイスにおける二酸化シリコン、窒化シリコンおよび二酸化シリコンのサンドイッチである “ONO” 層を含みうる。SONOS タイプのデバイスは、例えばカルフォルニア州、サニーベイルのアドバンスド・マイクロ・デバイスズ社から商品名 MIRROR-BIT (商標) で提供される。ゲートが金属ゲート電極であるときは、そのようなデバイスは MONOS タイプのデバイスと呼ばれる。20

#### 【0033】

図 2 は、ゲート絶縁膜または複数の絶縁膜を付加した後、つまりステップ 602 の完了後における、初期の半導体装置 100 を示す。図 2 には単一の絶縁膜 108 のみが示されているが、上述したように、ゲート絶縁膜 108 には複数の層を含めることが可能なことが理解される。

#### 【0034】

図 6 のステップ 603 に示す、本発明の方法の第 3 ステップにおいて、金属ゲート電極 110 が形成される。図 3 に示す実施形態において、金属ゲート電極は、適切な金属の金属層 110 を基板の表面上に与えることによって形成される。続いて、金属層 110 の一部がエッチングで取り除かれ、図 4 に示す金属ゲート電極 110 を形成する。30

#### 【0035】

一実施形態において、金属は上述の金属群のうちの一つ、またはそれらの金属群のなかの 2 つ以上の混合物または合金、もしくはそれらの金属、混合物または合金の窒化物である。

#### 【0036】

ある実施形態では、金属ゲート電極 110 を、米国特許第 6,066,533 号に説明されているような方法で形成することができる。そこに説明されている方法は、フィールド酸化物にゲートボイド (void) を形成し、その後、そのゲートボイドを金属ゲート電極材料で充填することで金属ゲート電極を形成する。当該方法は、基板上に高 K ゲート絶縁物をデポジションし、ゲート絶縁物上にフィールド酸化物層をデポジションすることを含む。当該方法は、フィールド酸化物層に第 1、第 2 ゲートボイドを形成することを含む。第 1 材料を含む第 1 金属ゲート電極を第 1 ゲートボイドにデポジションする。同様に、第 2 材料を含む第 2 金属ゲート電極を第 2 ゲートボイドにデポジションする。本発明に従って、第 2 材料は、第 1 材料とは異なる材料である。一実施形態において、ゲート絶縁物は少なくとも 2.5 の誘電率を持つことを特徴とする。一実施形態では、ゲート絶縁物は、例えば  $\text{TiO}_2$  または  $\text{Ta}_2\text{O}_5$  から生成される。一実施形態において、複数の金属ゲート電極の少 40 50



なくとも一つは、タングステン、チタン (Ti)、窒化チタン (TiN)、タンタル (Ta)、窒化タンタル (tantalum nitride) およびモリブデン (Mo) を含む材料群から選択された材料から生成される。

【0037】

一実施形態では、金属ゲート電極 110 は米国特許第 6,225,168 号に説明されているような方法で形成することができる。それに説明されている方法では、基板上にゲート絶縁膜を形成し、ゲート絶縁膜上に窒化チタンまたは窒化タンタルのバリア層を形成し、窒化チタンまたは窒化タンタルのバリア層上に金属ゲート電極を形成する。このプロセスは、さらに金属ゲート電極のサイドウォールに近接した窒素含有スペーサを形成して、スペーサとバリア層とがゲート絶縁膜を基板に対して封止 (シール) するようにするステップを含む。一実施形態において、'168 特許のプロセスは、下地のゲート絶縁膜およびバリア層上に金属層を形成するステップを含む。金属層および下地のゲート絶縁膜およびバリア層の一部が、例えばフォトリソグラフィーおよびエッチング技術によって除去され、金属ゲート電極を形成する。

10

【0038】

他の実施形態において、'168 特許のプロセスは、犠牲プラグの使用による金属ゲート電極の形成を含む。そこに開示されているように、犠牲プラグの使用により、温度感応性の (temperature-sensitive) 金属を用いた金属ゲート電極の形成が可能となる。この方法は、米国特許第 6,051,487 号により完全に説明されている。この '487 特許は、一実施形態としてあるプロセスを説明しており、そのプロセスでは、基板上に犠牲プラグを形成し、犠牲プラグに近接した基板上に能動領域を形成することによって半導体装置が形成される。次に、犠牲プラグに近接した基板の部分上に一つの膜を形成する。この膜に対して、犠牲プラグは選択的に除去可能である。次に、犠牲プラグを膜に開口部を残して選択的に除去し、ゲート電極を開口部に形成する。犠牲プラグは、例えばポリシリコンおよび窒化物などの窒素を含む種を含む、いくつかの材料から生成することができる。ゲート電極は、例えば金属から形成可能である。

20

【0039】

他の実施形態では、金属ゲート電極は、米国特許第 6,162,694 号に説明されているようなプロセスによって形成することができる。この特許のプロセスは、基板を形成するステップと、基板上にポリシリコンの整合 (アライメント) 構造を形成するステップとを含む。ソースおよびドレイン領域が基板に形成され、整合構造と位置合わせされる。整合構造とソースおよびドレイン領域を持つ基板とが、第 1 ラピッド・サーマル・アニールの対象となる。LDD 領域が基板に形成され、整合構造と位置合わせされる。整合構造および低濃度ドーパされたドレイン領域 (LDD) を持つ基板とが第 2 ラピッド・サーマル・アニールの対象となる。ポリシリコンの整合構造は金属ゲート電極およびゲート絶縁膜で置き換えられる。上述の金属ゲート電極を形成するための方法は単なる例示であって、本発明の範囲を制限しようとする意図したものではない。本発明の金属ゲート電極は、金属ゲート電極を形成するための当該技術分野において既知の任意の適切なプロセスによって作成可能である。

30

【0040】

図 3 は、金属ゲート層 110 が層として形成される実施形態において、金属ゲート層 110 をゲート絶縁膜 108 の上に付着させた後、つまりステップ S603 の完了後、初期の半導体装置 100 を示す。

40

【0041】

図 4 は、金属ゲート電極 110 を形成するために、金属ゲート層および下地のゲート絶縁膜をエッチバックした後の初期の半導体装置 100 を示す。もしくは、図 4 は、ゲート形成構造 (二酸化シリコン層のような) が取り除かれた後、金属ゲート電極 110 が上述の代替の方法のうちの一つによって形成された後の、初期の半導体装置 100 を示す。

【0042】

図 6 にステップ S604, S605 および S606 として示す、本発明のプロセスの次

50

のステップは、P E C V D 装置内で実行される。一実施形態では、これらのステップは、標準のC V Dプロセスによって、C V D 装置内で実行される。図4に示すように、金属ゲート電極110が初期の半導体装置100上に形成された後、装置100（または、より一般的に、装置100が形成されるウェハ）が適切なP E C V D 装置内に設置される。一実施形態では、金属ゲート層は、シリコン酸窒化層が形成される、同じP E C V D 装置内で形成されるので、ウェハを移動させる必要がない。一実施形態では、ゲート絶縁膜108、金属ゲート層110およびシリコン酸窒化物層114はすべて同じP E C V D 装置内で形成される。

#### 【0043】

図6のステップS604に示すように、P E C V D 装置内の初期の半導体装置100を保持し、適切な温度において、酸素含有ガスの流れ、および窒素含有ガスの流れが装置に導入される。このステップS604は、シリコン含有ガスの存在を除く、P E C V D の条件を設定する。この時点ではP E C V D 反応に利用可能なシリコン源が存在しないので、シリコン酸窒化物形成反応は起こらない。しかしながら、この条件は非常に反応性が高い、つまり高い温度で強い酸化性物質の流れがあるので、ステップS604の条件は約10から約20秒間保持され、一実施形態では約15秒間保持される。一実施形態では、P E C V D 装置は、酸素および窒素含有ガスの流れを導入する前に、約2 T o r r の圧力にまで排気される。

#### 【0044】

一実施形態では、酸素含有ガスは亜酸化窒素 $N_2O$ である。他の実施形態では、酸素含有ガスは酸素 $O_2$ である。

一実施形態では、窒素含有ガスは窒素 $N_2$ である。窒素は、P E C V D 装置内で搬送（キャリア）ガスとして働くので、追加の独立した搬送ガスの必要がなくなり、有利である。別の実施形態においては、当該技術分野において知られた、窒素以外の窒素含有ガスが用いられる。そのようなガスの例には、一酸化窒素 $NO$ が含まれる。

一実施形態では、窒素含有ガスはアンモニアではない。アンモニアは、その水素成分がシリコン酸窒化物の水素成分に不所望に寄与するので、好ましくない。

#### 【0045】

図6の次のステップS605に示すように、シリコン含有ガスの第1量の流れがP E C V D 装置に導入開始される。一実施形態では、ステップS605は、ステップS604が完了してから開始される。他の実施形態では、ステップS605はステップS604の完了後、実質的な遅延なしに開始される。シリコン含有ガスの流れは、図5に示すように、シリコン酸窒化物スペーサ層114の形成開始につながる。

#### 【0046】

ステップS605においてP E C V D 装置に供給されるシリコン含有ガスの流れは、酸素含有ガスおよび窒素含有ガスのいずれかまたは両方の流れに基づいて、化学量論的な量よりも実質的に少ない。このようにシリコン含有ガスの流れを最初に制限する目的は、P E C V D 反応混合物のなかに余分のシリコンが存在するのを防止して、それによって金属シリサイドの形成を避けるためである。もしシリコン含有ガスの流れが最初に、化学量論的な量の近く、当量、またはそれよりも多く供給されると、金属シリサイドが金属ゲート電極の表面上または金属ゲート電極とシリコン酸窒化物スペーサ層114との間の界面に形成される。酸素および窒素含有ガスの量との関係で、不足当量のシリコンを供給することによって、金属ゲート電極110の表面上または金属ゲート電極110とシリコン酸窒化物スペーサ層114との間の界面に、実質的に金属シリサイドは形成されない。そのような金属シリサイドは、もし最初の利用可能な自由なシリコンの量が大きければ、金属ゲート電極110の金属とシリコン含有ガス中でP E C V D 装置に供給されるシリコンとの間の反応で形成されうる。

#### 【0047】

ステップS605でP E C V D 反応に供給されるシリコン含有ガスの量が非常に限定されているので、このステップでシリコン酸窒化物層114を形成する速度は低い。例えば

、ステップS 6 0 5において、この層の形成の初期段階では、シリコン酸窒化物のデポジション速度は毎秒約5から約50オングストロームの範囲であり、一実施形態では毎秒約25オングストロームである。この速度は、例えば300から1000オングストロームの厚さにまでSiON層を形成するためには、経済的であるとは考えられないだろう。

【0048】

一実施形態では、シリコン含有ガスはシランSiH<sub>4</sub>である。他の実施形態では、シリコン含有ガスはジクロロシラン(dichlorosilane)である。TEOSのようなシリコン含有材料も使用可能であるが、PECVDプロセスによって形成されるシリコン酸窒化物スペーサ114中の水素を低いレベルに維持しておくのが望ましいときには、この材料の高いレベルの水素は望ましくないであろう。

10

【0049】

図6の次のステップS 6 0 6で示すように、PECVD装置に対するシリコン含有ガスの流れは、ステップS 6 0 5で供給された量よりも増やされる。一実施形態では、ステップS 6 0 6はステップS 6 0 5が完了したときから開始される。他の実施形態では、ステップS 6 0 6は、ステップS 6 0 5の完了後、実質的な遅延なしに開始される。シリコン含有ガスの流れによって、図5に示すようにシリコン酸窒化物スペーサ層114がさらに形成される。一実施形態では、ステップS 6 0 6の間、シリコン含有ガスの流れは、約2秒から約20秒の範囲の時間で継続する。一実施形態では、この時間は、約3秒から約10秒の範囲である。

【0050】

20

シリコン含有ガスの流れが増える結果、シリコン酸窒化物の形成速度が増加する。一実施形態では、この速度は劇的に増加する。例えば、ステップS 6 0 6において、この層のこの段階における形成は、シリコン酸窒化物のデポジション速度が毎秒約100から約150オングストロームの範囲まで増加しうる。一実施形態では、それは毎秒約125オングストロームである。この速度は、例えば300から1000オングストロームの厚さにまでSiON層を形成するのに、経済的であると考えられる。

【0051】

一実施形態では、シリコン含有ガスの流れは、シリコン酸窒化物層が約200オングストロームから約1000オングストロームの厚さの範囲にデポジションされるまで継続する。他の実施形態においては、この厚さの範囲は、約250オングストロームから約750オングストロームである。また他の実施形態では、この厚さの範囲は、約300オングストロームから約600オングストロームである。さらに他の実施形態においては、この厚さは約400オングストロームである。

30

一実施形態では、PECVDプロセスは、摂氏約300度から約600度の範囲の温度で実行される。

【0052】

一実施形態において、シリコン酸窒化物スペーサ114のシリコン欠乏部分は、シリコン酸窒化物スペーサ114全体の厚さのうち約25%から約40%であり、ある実施形態ではそれは約33%である。上述したように、X線フォトエレクトロン分光法による判定およびシリコン酸化窒化物の屈折率判定のどちらかまたはその両方によって、シリコン酸窒化物スペーサ114のシリコン欠乏部分を、スペーサ114の残りの部分と区別することができる。

40

【0053】

一実施形態において、シリコン酸窒化物スペーサ層114のデポジションに続いて、層114の金属ゲート電極110を超えて延びた部分が除去され、図1に示すシリコン酸窒化物スペーサ114を形成する。一実施形態では、層114の一部は、適切なフォトリソグラフィ、マスキングおよびエッチングのステップによって取り除かれる。もちろん、当該技術分野において知られた他の方法もシリコン酸窒化物層114のこれらの部分を除去するのに使用可能である。

【0054】

50

金属ゲート電極 110 およびシリコン酸窒化物スペーサ 114 の形成の間、任意に選択した時点、または適切な時点で、初期の半導体装置 100 は、図 1 に示すソースおよびドレイン 104, 106 の形成のために適切なインプランテーション（注入）プロセスの対象となる。一実施形態では、インプランテーションは、金属ゲート電極 110 の形成の後、シリコン酸窒化物スペーサ 114 のデポジションの前に行われる。他の実施形態では、インプランテーションは、金属ゲート電極 110 の形成およびシリコン酸窒化物層 114 のデポジションの両方の後で行われる。また、他の実施形態では、図 1 のシリコン酸窒化物スペーサ 114 が形成される、シリコン酸窒化物層 114 の余り部分の除去プロセスの後で、インプランテーションが行われる。

【0055】

10

金属ゲート電極 110、シリコン酸窒化物スペーサ 114 およびソース・ドレイン 104, 106 の形成が完了すると、図 1 に示す半導体装置 100 が得られる。その後、半導体装置 100 は、本発明のプロセスがその一部分である製造方法に適切に従って、さらに処理することができる。

【0056】

本発明を特定の実施形態に関連して説明してきたが、上述の説明に照らして、多くの代替形態、変更形態、変形形態が当業者に明らかであることが明白である。従って、そのような代替実施形態および様々な変形形態における変更はすべて、添付の特許請求の範囲の精神および広範な範囲内のものとして包含することを意図するものである。

【産業上の利用可能性】

20

【0057】

本発明は、金属ゲート電極とシリコン酸窒化物絶縁層との間の界面に、金属シリサイドを形成せず、または実質的に金属シリサイドを形成せずに、金属ゲート電極上にシリコン酸窒化物絶縁層を形成する方法を提供する。従って、本発明は金属ゲート電極上、または他の金属構造の上にシリコンを含む絶縁体層を形成する際に生じる従来技術の問題を解決し、不所望な金属シリサイドを形成しない。その結果、より小さな金属ゲート電極の寸法への要求に応えることができ、金属ゲート電極として金属の有効性を保つことができる。ここで開示した方法は既存の製造プロセスに簡単に導入することができ、従って再設計および再設備投資にかかる経費を回避することができる。

【図面の簡単な説明】

30

【0058】

【図 1】本発明に従った、金属ゲート電極およびシリコン酸窒化物スペーサの一実施形態を含む電界効果トランジスタの断面図。

【図 2】本発明の一実施形態である、ゲート絶縁膜が付加された半導体基板の断面図。

【図 3】本発明の一実施形態である、金属ゲート形成層が付加された半導体基板の断面図。

【図 4】本発明の一実施形態である、金属ゲート電極を形成するための金属ゲート形成層およびゲート絶縁膜の一部を除去した後の半導体基板の断面図。

【図 5】本発明の一実施形態である、シリコン酸窒化物層が付加された半導体基板の断面図。

40

【図 6】本発明に従った、半導体装置の製造プロセスの基本ステップを示す流れ図。

【図 1】

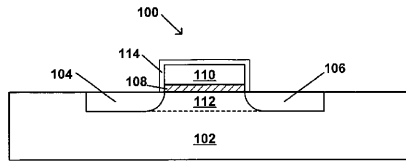


Fig. 1

【図 2】

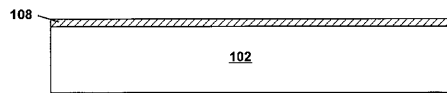


Fig. 2

【図 3】

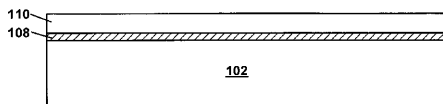


Fig. 3

【図 4】

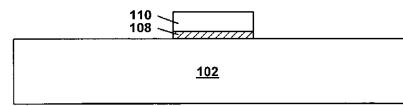


Fig. 4

【図 5】

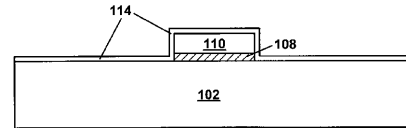
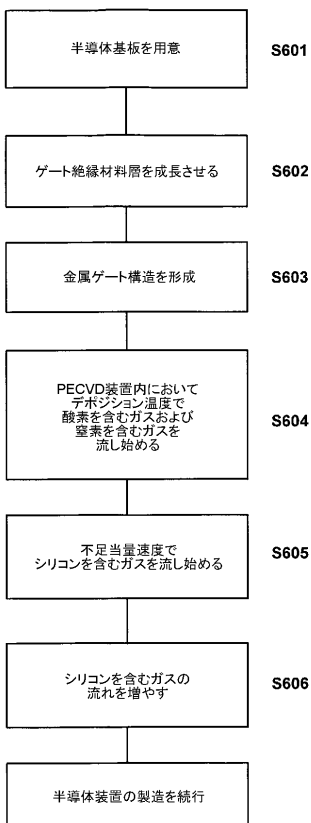


Fig. 5

【図 6】



## 【国際調査報告】

## INTERNATIONAL SEARCH REPORT

International Application No.

PCT/US 02/32582

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC 7 H01L21/318 H01L21/28 H01L29/49		
According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b>		
Minimum documentation searched (classification system followed by classification symbols) IPC 7 H01L		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal, INSPEC, COMPENDEX		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category *	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	US 4 441 247 A (GARGINI PAOLO ET AL) 10 April 1984 (1984-04-10) column 4, line 61 - line 68 ---	1,6
A	US 4 648 175 A (DRURY MICHAEL J ET AL) 10 March 1987 (1987-03-10) column 4, line 18 - line 32 ---	1,6
A	US 5 300 455 A (BAKLI MOULOUD ET AL) 5 April 1994 (1994-04-05) column 4, line 26 - line 33 -----	1,6
<input type="checkbox"/> Further documents are listed in the continuation of box C. <input checked="" type="checkbox"/> Patent family members are listed in annex.		
* Special categories of cited documents : *A* document defining the general state of the art which is not considered to be of particular relevance *E* earlier document but published on or after the international filing date *L* document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) *O* document referring to an oral disclosure, use, exhibition or other means *P* document published prior to the international filing date but later than the priority date claimed *T* later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention *X* document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone *Y* document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art. *Z* document member of the same patent family		
Date of the actual completion of the international search  11 March 2003		Date of mailing of the international search report  17/03/2003
Name and mailing address of the ISA European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel. (+31-70) 340-2040, Tx. 31 651 epo nl, Fax: (+31-70) 340-3016		Authorized officer  Nesso, S

## INTERNATIONAL SEARCH REPORT

Information on patent family members

International Application No.

PCT/US 02/32582

Patent document cited in search report		Publication date	Patent family member(s)	Publication date
US 4441247	A	10-04-1984	DE 3222805 A1	13-01-1983
			JP 1864728 C	08-08-1994
			JP 5068854 B	29-09-1993
			JP 58006177 A	13-01-1983
US 4648175	A	10-03-1987	DE 3673775 D1	04-10-1990
			DE 225920 T1	25-02-1988
			EP 0225920 A1	24-06-1987
			JP 8008224 B	29-01-1996
			JP 62503138 T	10-12-1987
			WO 8607491 A1	18-12-1986
US 5300455	A	05-04-1994	FR 2670605 A1	19-06-1992
			EP 0490761 A1	17-06-1992
			JP 6097108 A	08-04-1994

## フロントページの続き

(51)Int.Cl. <sup>7</sup>	F I	テーマコード(参考)
H 0 1 L 29/423	H 0 1 L 29/58	G
H 0 1 L 29/49	H 0 1 L 29/78	6 1 9 A
H 0 1 L 29/786	H 0 1 L 29/78	6 1 7 J
	H 0 1 L 21/90	N

(81)指定国 AP(GH,GM,KE,LS,MW,MZ,SD,SL,SZ,TZ,UG,ZM,ZW),EA(AM,AZ,BY,KG,KZ,MD,RU,TJ,TM),EP(AT, BE,BG,CH,CY,CZ,DE,DK,EE,ES,FI,FR,GB,GR,IE,IT,LU,MC,NL,PT,SE,SK,TR),OA(BF,BJ,CF,CG,CI,CM,GA,GN,GQ,GW, ML,MR,NE,SN,TD,TG),AE,AG,AL,AM,AT,AU,AZ,BA,BB,BG,BR,BY,BZ,CA,CH,CN,CO,CR,CU,CZ,DE,DK,DM,DZ,EC,EE,ES, FI,GB,GD,GE,GH,GM,HR,HU,ID,IL,IN,IS,JP,KE,KG,KP,KR,KZ,LC,LK,LR,LS,LT,LU,LV,MA,MD,MG,MK,MN,MW,MX,MZ,N O,NZ,OM,PH,PL,PT,RO,RU,SD,SE,SG,SI,SK,SL,TJ,TM,TN,TR,TT,TZ,UA,UG,US,UZ,VN,YU,ZA,ZM,ZW

(74)代理人 100108604

弁理士 村松 義人

(72)発明者 ミン バン エヌジーオー

アメリカ合衆国、カリフォルニア州 9 4 5 3 9、フレモント、キャニオン ハイッ ドライブ  
4 0 9 8 6

(72)発明者 アービンド ハリヤル

アメリカ合衆国、カリフォルニア州 9 5 0 1 4、キューパーティノ、シェリー ドライブ 2 0 6  
7 9

F ターム(参考) 4M104 AA01 AA09 BB02 BB04 BB05 BB06 BB07 BB08 BB09 BB14  
BB16 BB17 BB18 BB27 BB28 BB32 BB33 BB36 EE03 EE05  
EE12 EE14 EE16 EE17 FF18 GG08 GG09 GG16  
5F033 HH07 HH08 HH11 HH12 HH13 HH14 HH15 HH18 HH19 HH20  
HH21 HH27 HH28 HH32 HH33 HH34 MM05 MM13 MM15 QQ08  
QQ09 QQ10 RR03 RR04 RR06 RR08 RR20 SS02 SS04 SS15  
TT02 TT08 VV06 VV16 WW00 WW03 WW04 XX10  
5F058 BD15 BF07 BF29 BF30 BF37 BJ02  
5F110 AA03 AA30 BB08 CC02 DD05 DD13 EE01 EE02 EE03 EE04  
EE06 EE14 EE15 FF01 FF02 FF03 FF04 GG02 GG12 HJ13  
NN02 NN22 NN35 QQ09  
5F140 AA01 AC32 AC36 BA01 BD02 BD04 BD07 BD09 BD10 BD11  
BD12 BD13 BF01 BF05 BF07 BF10 BF11 BF15 BF17 BG03  
BG04 BG08 BG11 BG28 BG36 BG37 BG39 BG52 BH15 BK05  
BK13 CB01 CC09 CC13 CE10