

(12)特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2003年9月25日 (25.09.2003)

PCT

(10) 国際公開番号  
WO 03/079455 A1

(51) 国際特許分類:

H01L 29/808, 21/337

(71) 出願人(米国を除く全ての指定国について): 住友電  
気工業株式会社 (SUMITOMO ELECTRIC INDUS-  
TRIES, LTD.) [JP/JP]; 〒541-0041 大阪府 大阪市 中央  
区北浜四丁目 5 番 3 号 Osaka (JP).

(21) 国際出願番号:

PCT/JP02/12608

(72) 発明者; および

(22) 国際出願日: 2002年12月2日 (02.12.2002)

(75) 発明者/出願人(米国についてのみ): 藤川一洋 (FU-  
JIKAWA,Kazuhiro) [JP/JP]; 〒554-8511 大阪府 大阪市  
此花区島屋一丁目 1 番 3 号 住友電気工業株式会社  
大阪製作所内 Osaka (JP). 原田真 (HARADA,Shin)  
[JP/JP]; 〒554-8511 大阪府 大阪市 此花区島屋一丁目  
1 番 3 号 住友電気工業株式会社 大阪製作所内 Osaka  
(JP). 弘津研一 (HIROTSU,Kenichi) [JP/JP]; 〒554-8511  
大阪府 大阪市 此花区島屋一丁目 1 番 3 号 住友電気

(25) 国際出願の言語:

日本語

(26) 国際公開の言語:

日本語

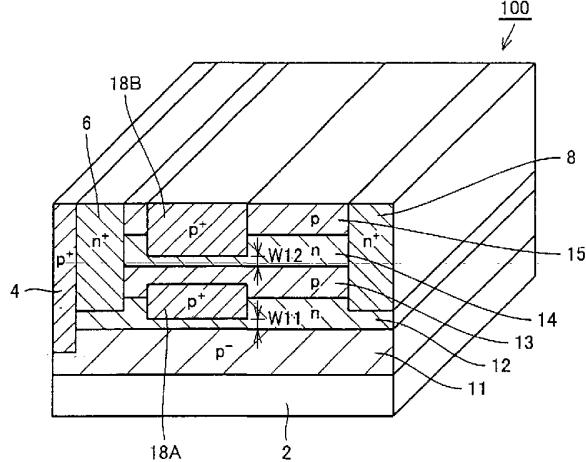
(30) 優先権データ:

特願2002-71944 2002年3月15日 (15.03.2002) JP

[続葉有]

(54) Title: LATERAL JUNCTION FIELD-EFFECT TRANSISTOR AND ITS MANUFACTURING METHOD

(54) 発明の名称: 横型接合型電界効果トランジスタおよびその製造方法



(57) Abstract: A lateral junction field-effect transistor is provided with a first gate electrode layer (18A). This first electrode layer, having a p-type impurity concentration higher than the impurity concentration of a second semiconductor layer (12), is provided between source/drain region layers (6, 8) in a third semiconductor layer (13) extending into both the second semiconductor layer (12) and the third semiconductor layer. The lower face of the first electrode layer extends into the second semiconductor layer (12). A second gate electrode layer (18B), containing p-type impurities having almost the same impurity concentration as that of the first gate electrode layer (18A) and the same potential, is provided between the source/drain region layers (6, 8) in a fifth semiconductor layer (15). The lower face of the second gate electrode layer extends into a fourth semiconductor layer (14). As a result, a lateral junction field-effect transistor is provided which has a structure for reducing the on-resistance while maintaining a favorable breakdown voltage performance.

WO 03/079455 A1

(57) 要約: この横型接合型電界効果トランジスタによれば、第3半導体層(13)中のソース／ドレイン領域層(6, 8)の間には、第2半導体層(12)および第3半導体層(13)にまたがるように、下が第2半導体層(12)にまで延在するように設けられ、第2半導体層(12)の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極

[続葉有]



工業株式会社 大阪製作所内 Osaka (JP). 初川 聰 (HATSUKAWA,Satoshi) [JP/JP]; 〒554-8511 大阪府 大阪市 此花区島屋一丁目 1番 3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 星野 孝志 (HOSHINO,Takashi) [JP/JP]; 〒554-8511 大阪府 大阪市 此花区島屋一丁目 1番 3号 住友電気工業株式会社 大阪製作所内 Osaka (JP). 松波 弘之 (MATSUNAMI,Hiroyuki) [JP/JP]; 〒614-8351 京都府 八幡市 西山足立 1-9 Kyoto (JP). 木本 恒暢 (KIMOTO,Tsunenobu) [JP/JP]; 〒612-8031 京都府 京都市 伏見区桃山町松平筑前 1-39-6 O5 Kyoto (JP).

- (74) 代理人: 深見 久郎, 外 (FUKAMI,Hisao et al.); 〒530-0054 大阪府 大阪市 北区南森町 2丁目 1番 29号 三井住友銀行南森町ビル 深見特許事務所 Osaka (JP).
- (81) 指定国 (国内): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KR, KZ, LC, LK, LR, LS, LT, LU,

LV, MA, MD, MG, MK, MN, MW, MX, MZ, NO, NZ, OM, PH, PL, PT, RO, RU, SC, SD, SE, SG, SI, SK, SL, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.

(84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, SK, TR), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

添付公開書類:  
— 国際調査報告書

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイドスノート」を参照。

---

層 (18A) が設けられている。また、第5半導体層 (15) 中のソース／ドレイン領域層 (6, 8) の間には、下面が第4半導体層 (14) にまで延在するように設けられ、第1ゲート電極層 (18A) とほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第2ゲート電極層 (18B) が設けられている。その結果、良好な耐圧性能を維持したままオン抵抗を低減可能とする構造を有する横型接合型電界効果トランジスタを提供することを可能とする。

## 明細書

## 横型接合型電界効果トランジスタおよびその製造方法

## 5 技術分野

この発明は、横型接合型電界効果トランジスタに関し、より特定的には、良好な耐圧性能を維持したままオン抵抗を低減可能とする横型接合型電界効果トランジスタの構造およびその製造方法に関する。

## 10 背景技術

横型接合型電界効果トランジスタ（以下、J F E T（Junction Field Effect Transistor）と称する）は、キャリアが通過するチャネル領域の側部に設けられたp n接合に、ゲート電極から逆バイアス電圧を印加することにより、p n接合からの空乏層をチャネル領域へ広げ、チャネル領域のコンダクタンスを制御してスイッチング等の動作を行う。このうち、横型J F E Tは、チャネル領域においてキャリアが素子表面に平行に移動するものをいう。

チャネルのキャリアは電子（n型）でも正孔（p型）でもよいが、通常、半導体基板にS i Cを用いるJ F E Tにおいては、チャネル領域をn型不純物領域とすることが多いため、以後の説明では便宜上、チャネルのキャリアは電子、したがってチャネル領域はn型不純物領域として話を進めるが、チャネル領域をp型不純物領域とする場合もあることは言うまでもない。

図72は、従来の横型J F E Tを示す断面図である（米国特許登録番号5,264,713 Junction Field-Effect Transistor Formed in Silicon Carbide）。

n型S i C基板110の上にp+型のエピタキシャル層112が配置され、その上にn-型のチャネル層114が形成されている。チャネル層114の上には、トレンチ124をはさんで、一方にn+型のソース領域116が、また他方にはn+型のドレイン領域118が配置され、それぞれの上にソース電極120とドレイン電極122とが配置されている。S i C基板110の裏面側には、ゲートコンタクト層130が形成され、その上にゲート電極（図示せず）が設けら

れている。ソース／ドレイン領域 116, 118 を通りチャネル層 114 の中にいたる深さを有するトレンチ 124 が設けられ、トレンチ 124 の底部と第 1 導電型のエピタキシャル層 112 との間の、第 2 導電型のエピタキシャル層 114 にはチャネル (C) が形成されている。

5 エピタキシャル層 112 における p 型不純物の濃度の値は、チャネルを含むエピタキシャル層 114 における n 型の濃度の値よりも高く、接合部への逆バイアス電圧の印加により空乏層がチャネルに向けて拡大する構成となっている。空乏層がチャネルを塞いだとき、電流がチャネルを通過することができないため、オフ状態となる。このため、逆バイアス電圧の大きさを加減することにより、空乏層がチャネル領域を遮断するか否か制御することが可能となる。この結果、たとえば、ゲート・ソース間の逆バイアス電圧を加減することにより、電流のオンオフ制御を行なうことが可能となる。

また、Theory of Semiconductor Superjunction Devices  
(Jpn. J. Appl. Phys. Vol. 36 (1997) Part. 1, No. 10. Oct. 1997 pp. 6254-6262) には、  
15 MOS 型電界効果トランジスタのチャネルードレイン間を p 型半導体層と n 型半導体層とを交互に積み重ねた構造（重接合構造）として、オフ状態でのドレインへの電圧印加時の電圧分布を平行平板コンデンサに近づけることにより、素子耐圧の向上とオン抵抗の増加抑制／低下とを両立することが可能であることが理論的に述べられている。

20 しかしながら、上記構成からなる横型 J F E T において、さらなる特性の向上の要求のひとつとして、オン抵抗の低下が挙げられる。特に、ノーマリオフ型タイプの横型 J F E T においては、オン抵抗の低下が強く望まれている。

しかし、図 72 に示す構造において、オン抵抗の低下を期待して、p<sup>+</sup>型のエピタキシャル層 112 の最上部とゲートコンタクト層 130 の最下部との間隔を広げると、オフするのに必要なゲート電圧の絶対値が大きくなるため、その間隔の拡大には限界があり、オン抵抗の低下にも限界がある。

また、ノーマリオフ型とする場合、その間隔はチャネル層 114 とゲートコンタクト層 130 との接合における拡散電位で広がる空乏層の間隔よりも小さくする必要があるので、自ずとその間隔の拡大には限界があり、オン抵抗の低

下にも限界が生じる。

#### 発明の開示

この発明の目的は、良好な耐圧性能を維持したままオン抵抗を低減可能とする構造を有する横型接合型電界効果トランジスタを提供することにある。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの1つの局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するよう10に設けられ、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第3半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第15第1導電型の不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、20同電位を有する第2ゲート電極層とを備える。

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法の1つの局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第2半導体層と上記第3半導体層とにまたがるように、第3半導体層の所定領域に不純物を導入して、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層を形成する工程と、上記第3半

導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在し、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同  
5 電位を有する第2ゲート電極層を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、上記第5半導体層に不純物を導入して、下面が上記第2半導体層にまで延在し、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

10 上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

15 上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

20 また、上記発明においてさらに好ましくは、上記第1半導体層の最上部と上記第1ゲート電極の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第3半導体層の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

25 また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第2半導体層と上記第3半導体層と上記第1ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることができることになる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第3半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層と、上記第1半導体層と上記第1ゲート電極層とに挟まれた上記第2半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第3半導体層と上記第2ゲート電極層とに挟まれた上記第4半導体層に、上記第1ゲート電極とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域とを備える。

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法の他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の所定領域に不純物を導入して、上記第2半導体層内に第1導電型の第1不純物注入領域を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第2半導体層と上記第3半導体層とにまたがるように不純物を導入して、上記第2半導体層の不純物

濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、上記第4半導体層内に上記第1ゲート電極とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、上記第5半導体層の所定領域に不純物を導入して、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

上記発明において好ましくは、上記第1半導体層の最上部と上記第1不純物注入領域の最下部との間の間隔が、上記第2半導体層と上記第1不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第1不純物注入領域の最上部と上記第1ゲート電極層の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第3半導体層の最上部と上記第2不純物注入領域の最下部との間の間隔が、上記第4半導体層と上記第2不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2不純

物注入領域の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

5 また、好ましくは、上記第2半導体層には、上記第1不純物注入領域が複数層設けられ、上記第4半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第2および第4半導体層を最大限に利用して、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。  
10

上記発明において好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第2半導体層と上記第3半導体層と上記第1ゲート電極層と上記第1不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることができる。  
15

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するよう設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第3半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在するよう設けられ、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース／ドレイン領  
20  
25

域層の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層とを備える。

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の所定領域に不純物を導入し、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在し、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入し、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、上記第5半導体層の所定領域に不純物を導入して、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と上記第3半導体層と上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

上記発明において好ましくは、上記第1半導体層の最上部と上記第1ゲート電極層の最下部との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第1ゲート電極層の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

上記発明において好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層と上記第1ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることができ可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第3半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在するように設けられ、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース／ドレイン領域の間において、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層と、上記第1半導体層と上記第1ゲート電極層とに挟まれた上記

第2半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第4半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域とを備える。  
5

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板の上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、下面が上記第2半導体層にまで延在し、上面が上記第4半導体層にまで延在し、上記第2半導体層および上記第4半導体層の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層を形成する工程と、上記第2半導体層の所定領域に不純物を導入して、上記第2半導体層内に第1導電型の第1不純物注入領域を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層の所定領域に不純物を導入して、下面が上記第4半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層を形成する工程と、上記第4半導体層の所定領域に不純物を導入して、上記第4半導体層内に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域を形成する工程と、上記第1ゲート電極層および上記第2ゲート電極層の両側において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。  
10  
15  
20  
25

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジス

タ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。  
5

また、上記発明においてさらに好ましくは、上記第1半導体層の最上部と上記第1不純物注入領域の最下部との間の間隔が、上記第2半導体層と上記第1不純物注入領域との接合における拡散電位で広がる空乏層の間隔よりも小さく、  
10 上記第1不純物注入領域の最上部と上記第1ゲート電極層の最下部との間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1ゲート電極層の最上部と上記第2不純物注入領域の最下部との間の間隔が、上記第4半導体層と上記第2不純物注入領域との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、  
15 上記第2不純物注入領域の最上部と上記第2ゲート電極層の最下部との間の間隔が、上記第4半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、好ましくは、上記第2半導体層には、上記第1不純物注入領域が複数層設けられ、上記第4半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第2および第4半導体層を最大限に利用して、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

25 また、上記発明においてさらに好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層と上記第1ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上積層させることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層と、上記第2半導体層の上に位置し、第1導電型不純物を含む第3半導体層と、上記第3半導体層の上に位置し、第2導電型不純物を含む第4半導体層と、上記第4半導体層の上に位置し、第1導電型不純物を含む第5半導体層と、上記第5半導体層中において所定の間隔を隔てて、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第5半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第5半導体層中の上記ソース／ドレイン領域層の間において、下面が上記第2半導体層にまで延在するように上記第1ゲート電極層に隣接して設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層とを備える。

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、上記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物を含む第2半導体層を形成する工程と、上記第2半導体層の上に、第1導電型不純物を含む第3半導体層を形成する工程と、上記第3半導体層の上に、第2導電型不純物を含む第4半導体層を形成する工程と、上記第4半導体層の上に、第1導電型不純物を含む第5半導体層を形成する工程と、上記第5半導体層中の所定領域に不純物を導入することにより、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含み、上記基板の平面方向に沿って互いに所定の間隔を隔てて配置される第1ゲート電極層および第2ゲート電極層を形成する工程と、上記第5半導体層中の所定領域に不純物を

導入することにより、上記第1ゲート電極層および上記第2ゲート電極層の配置方向に沿って上記第1ゲート電極層および上記第2ゲート電極層を両側から挟みこみ、下面が上記第2半導体層にまで延在するように設けられ、上記第2半導体層および第4半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、複数の横型J F E Tにおいてp n接合を縦方向に配置し、ゲート電極層を横方向に配置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と上記第2ゲート電極層との間の間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と上記第2ゲート電極層との間に、下面が上記第2半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域を1つ備える。この構成によりチャネル数が増加し、さらにオン抵抗を下げることが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と上記不純物注入領域との間の間隔および上記不純物注入領域と上記第2ゲート電極層との間隔が、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構

成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、上記発明においてさらに好ましくは、上記不純物注入領域が2以上設けられる。この構成によりチャネル数が増加し、さらにオン抵抗を下げることが可能になる。  
5

また、上記発明においてさらに好ましくは、上記第1ゲート電極層に最も近接する上記不純物注入領域と上記第1ゲート電極層との間の間隔、上記不純物注入領域同士の間隔、および上記第2ゲート電極層に最も近接する上記不純物注入領域と上記第2ゲート電極層との間の間隔が、いずれも、上記第2半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔、および上記第4半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。  
10

また、上記発明においてさらに好ましくは、上記第4半導体層と上記第5半導体層との間に、上記第3半導体層と上記第4半導体層とほぼ同じ構造を1つ以上有する。この構成により、半導体基板上において隣接する横方向に沿って配置されるトランジスタ構造の数が増加し、さらにオン抵抗を下げることが可能になる。  
15

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第2半導体層および上記第3半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記上記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層とを備える。  
20  
25

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、上記第2半導体層および上記第3半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるよう設けられ、上記第1半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層を形成する工程と、

上記第2半導体層および上記第3半導体層の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層が配置される方向に沿うとともに、上記ゲート電極層を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明において好ましくは、上記ゲート電極層と、上記第3半導体層の上記ゲート電極層と接しない面との間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で拡がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ、上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層および上記第5半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2ゲート電極層とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極と、上記第3半導体層の上記第1ゲート電極層と接しない面との間の間隔が、上記第3半

導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2ゲート電極層と上記第5半導体層の上記第2ゲート電極層と接しない面との間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、  
5 ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、  
10 横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第  
15 2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、上記第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも  
20 高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、

上記第4半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記第4半導体層との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることができることになる。

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に上記第2半導体層と上記第3半導体層と上記ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第2半導体層および上記第3半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記ゲート電極層と上記第3半導体層の上記ゲート電極層と接しない面とに挟まれた上記第3半導体層に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域とを備える。

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向

に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層と第2導電型不純物を含む第3半導体層とを形成する工程と、上記第2半導体層および上記第3半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるよう5に設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記第3半導体層の中に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の不純物注入領域とを形成する工程と、上記第2半導体層および上記第3半導体層の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層が配置される方向に沿うとともに、上記ゲート電極層および不純物注入領域を10挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記不純物注入領域との最も大きく接する面同士の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と、上記第3半導体層の上記ゲート電極層と接しない面との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることができる。

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設

けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層および上記第5半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間においてその一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層と、上記第4半導体層と上記第1ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第1不純物注入領域と、上記第2ゲート電極層と、上記第5半導体層の上記第2ゲート電極層と接しない面とに挟まれた上記第5半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第2不純物注入領域とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成すること

とになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。  
5

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と上記第1不純物注入領域との最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1不純物注入領域と、上記第3半導体層の上記第1ゲート電極層と接しない面との間の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2ゲート電極層と上記第2不純物注入領域との最も近接する面同士の間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さく、上記第2不純物注入領域と、上記第5半導体層の上記第2ゲート電極層と接しない面との間の間隔が、上記第5半導体層と上記第2ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることができる。  
10  
15

また、好ましくは、上記第3半導体層には、上記第1不純物注入領域が複数層設けられ、上記第5半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることができる。  
20

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。  
25

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含むゲート電極層と、上記第4半導体層と上記ゲート電極層とに挟まれた上記第3半導体層に、上記ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不純物注入領域とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層の不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記ゲート電極層と上記不純物注入領域との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と上記第4半導体層との間の間隔が、上記第3半導体層と上記ゲート電極層との接合における拡散電位で広がる空乏層の間隔よりも小さい。この構成により、

ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることができることになる。  
5

また、上記発明においてさらに好ましくは、上記第3半導体層と上記第4半導体層との間に、上記第2半導体層と上記第3半導体層と上記ゲート電極層と上記不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つまたは  
10 2以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層とを備える。  
20  
25

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成する工程と、上記第1半導体層の上に、第2導電型不純物を含む半

導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層、第2導電型不純物を含む第3半導体層、および、第1導電型不純物を含む第4半導体層を形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第3半導体層および上記第4半導体層にまたがるように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層とを形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層の所定領域に不純物を導入することにより、上記第2半導体層、上記第3半導体層、および、上記第4半導体層が配置される方向に沿うとともに、上記1ゲート電極層および上記第2ゲート電極層を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第2ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタ

を実現させることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第1半導体層の上に、かつ、上記第5半導体層に隣接して位置し、第1導電型不純物を含む第6半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層、上記第5半導体層および上記第6半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間においてその一方の側面が上記第3半導体層にまで延在し、他方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第6半導体層の上記ソース／ドレイン領域層の間においてその一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第3ゲート電極層とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層と、上記第6半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

5 また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第2ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2ゲート電極層と上記第3ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

10 また、上記発明においてさらに好ましくは、上記第5半導体層と上記第6半導体層との間に、上記第4半導体層と上記5半導体層と上記第2ゲート電極層とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

15 上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上に、かつ、上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第2半導体層、上記第3半導体層および上記第4半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導

体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不純物注入領域とを備える。  
5

また、この発明に基づいた横型接合型電界効果トランジスタの製造方法のさらに他の局面においては、半導体基板上に、第1導電型不純物を含む第1半導体層を形成すると、上記第1半導体層の上に、第2導電型不純物を含む半導体層を形成する工程と、上記半導体層中の所定領域に、上記基板の平面方向に沿って所定の間隔を隔てて第1導電型不純物を導入することにより、第1導電型不純物を含む第2半導体層、第2導電型不純物を含む第3半導体層、および、  
10 第1導電型不純物を含む第4半導体層を形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層中の所定領域に不純物を導入することにより、上記第2半導体層および上記第3半導体層にまたがるように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を  
15 含む第1ゲート電極層と、上記第3半導体層および上記第4半導体層にまたがるように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第1ゲート電極層および上記第2ゲート電極層に挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の不純物注入領域とを形成する工程と、上記第2半導体層、上記第3半導体層、および、上記第4半導体層の所定領域に不純物を導入することにより、上記第2半導体層、  
20 上記第3半導体層、および、上記第4半導体層が配置される方向に沿うとともに、上記1ゲート電極層、上記第2ゲート電極層および不純物注入領域を挟み込み、上記第3半導体層の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層を形成する工程とを備える。  
25

上記構成からなる横型接合型電界効果トランジスタおよびその製造方法によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジス

タ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と上記第3半導体層と上記第4半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、  
5 横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記不純物注入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1  
10 ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記不純物注入領域と、上記第2ゲート電極の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、好ましくは、上記第3半導体層には、上記不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

上記目的を達成するため、この発明に基づいた横型接合型電界効果トランジスタの他の局面においては、半導体基板上に位置する第1導電型不純物を含む第1半導体層と、上記第1半導体層の上に位置し、第1導電型不純物を含む第2半導体層と、上記第1半導体層の上に、かつ、上記第2半導体層に隣接して位置し、第2導電型不純物を含む第3半導体層と、上記第1半導体層の上にかつ上記第3半導体層に隣接して位置し、第1導電型不純物を含む第4半導体層と、上記第1半導体層の上に、かつ、上記第4半導体層に隣接して位置し、第2導電型不純物を含む第5半導体層と、上記第1半導体層の上に、かつ、上記第5半導体層に隣接して位置し、第1導電型不純物を含む第6半導体層と、上記第2半導体層、上記第3半導体層、上記第4半導体層、上記第5半導体層および上記第6半導体層中において所定の間隔を隔てて設けられ、上記第3半導体層および上記第5半導体層の不純物濃度よりも高い濃度の第2導電型の不純

物を含むソース／ドレイン領域層と、上記第2半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在するように設けられ、上記第3半導体層の不純物濃度よりも高い第1導電型の不純物濃度を含む第1ゲート電極層と、上記第4半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第3半導体層にまで延在し、他方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2ゲート電極層と、上記第6半導体層中の上記ソース／ドレイン領域層の間において、その一方の側面が上記第5半導体層にまで延在するように設けられ、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第3ゲート電極層と、上記第1ゲート電極層と上記第2ゲート電極層とに挟まれた上記第3半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型の第1不純物注入領域と、上記第2ゲート電極と上記第3ゲート電極層とに挟まれた上記第5半導体層に、上記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型の第2不純物注入領域とを備える。

上記構成からなる横型接合型電界効果トランジスタによれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

上記発明において好ましくは、上記第2半導体層と、上記第3半導体層と、上記第4半導体層と、上記第5半導体層と、上記第6半導体層との不純物濃度と膜厚さとがほぼ同じである。この構成により、横型接合型電界効果トランジスタのオン抵抗を最小にし、耐圧値を最大に設定することが可能になる。

また、上記発明においてさらに好ましくは、上記第1ゲート電極層と、上記第1不純物注入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第1不純物注入領域と、上記第2ゲート電極層の最も近接する

面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2ゲート電極層と、上記第2不純物注入領域の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、上記第2不純物注入領域と、上記第3ゲート電極層の最も近接する面同士の間隔が、上記第3半導体層と上記第1ゲート電極層との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さい。この構成により、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることが可能になる。

また、好ましくは、上記第3半導体層には、上記第1不純物注入領域が複数層設けられる、上記第5半導体層には、上記第2不純物注入領域が複数層設けられる。このように、不純物注入領域を複数層設けることにより、第2および第4半導体層を最大限に利用して、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させることが可能になる。

また、上記発明においてさらに好ましくは、上記第5半導体層と上記第6半導体層との間に、上記第4半導体層と上記第5半導体層と上記第2ゲート電極層と上記第2不純物注入領域とほぼ同じ構造である単位トランジスタ構造を1つ以上備える。この構成により、横型接合型電界効果トランジスタ内に単位トランジスタを3以上設けることが可能になる。

#### 図面の簡単な説明

図1は、実施の形態1における横型接合型電界効果トランジスタの構造を示す断面図である。

図2は、実施の形態1における横型接合型電界効果トランジスタの製造方法を示す第1工程断面図である。

図3は、実施の形態1における横型接合型電界効果トランジスタの製造方法を示す第2工程断面図である。

図4は、実施の形態1における横型接合型電界効果トランジスタの製造方法

を示す第 3 工程断面図である。

図 5 は、実施の形態 1 における横型接合型電界効果トランジスタの製造方法を示す第 4 工程断面図である。

図 6 は、実施の形態 1 における横型接合型電界効果トランジスタの製造方法を示す第 5 工程断面図である。

図 7 は、実施の形態 1 における横型接合型電界効果トランジスタの製造方法を示す第 6 工程断面図である。

図 8 は、実施の形態 2 における横型接合型電界効果トランジスタの構造を示す断面図である。

図 9 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 1 工程断面図である。

図 10 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 2 工程断面図である。

図 11 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 3 工程断面図である。

図 12 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 4 工程断面図である。

図 13 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 5 工程断面図である。

図 14 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 6 工程断面図である。

図 15 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 7 工程断面図である。

図 16 は、実施の形態 2 における横型接合型電界効果トランジスタの製造方法を示す第 8 工程断面図である。

図 17 は、実施の形態 3 における横型接合型電界効果トランジスタの構造を示す断面図である。

図 18 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 1 工程断面図である。

図 1 9 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 2 工程断面図である。

図 2 0 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 3 工程断面図である。

5 図 2 1 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 4 工程断面図である。

図 2 2 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 5 工程断面図である。

10 図 2 3 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 6 工程断面図である。

図 2 4 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 7 工程断面図である。

図 2 5 は、実施の形態 3 における横型接合型電界効果トランジスタの製造方法を示す第 8 工程断面図である。

15 図 2 6 は、実施の形態 4 における横型接合型電界効果トランジスタの構造を示す断面図である。

図 2 7 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 1 工程断面図である。

20 図 2 8 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 2 工程断面図である。

図 2 9 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 3 工程断面図である。

図 3 0 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 4 工程断面図である。

25 図 3 1 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 5 工程断面図である。

図 3 2 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方法を示す第 6 工程断面図である。

図 3 3 は、実施の形態 4 における横型接合型電界効果トランジスタの製造方

法を示す第7工程断面図である。

図34は、実施の形態4における横型接合型電界効果トランジスタの製造方法を示す第8工程断面図である。

図35は、実施の形態4における横型接合型電界効果トランジスタの製造方法を示す第9工程断面図である。

図36は、実施の形態4における横型接合型電界効果トランジスタの製造方法を示す第10工程断面図である。

図37は、実施の形態4における横型接合型電界効果トランジスタの製造方法を示す第11工程断面図である。

図38は、実施の形態5における横型接合型電界効果トランジスタの構造を示す断面図である。

図39は、図38中XXXIX-XXXXIX線矢視断面図である。

図40は、図38中XXXIX-XXXXIX線矢視断面図に対応する他の形態の構造を示す断面図である。

図41は、実施の形態5における横型接合型電界効果トランジスタの製造方法を示す第1工程断面図である。

図42は、実施の形態5における横型接合型電界効果トランジスタの製造方法を示す第2工程断面図である。

図43は、実施の形態5における横型接合型電界効果トランジスタの製造方法を示す第3工程断面図である。

図44は、実施の形態6における横型接合型電界効果トランジスタの構造を示す断面図である。

図45は、図44中XLV-XLV線矢視断面図である。

図46は、実施の形態6における横型接合型電界効果トランジスタの製造方法を示す第1工程断面図である。

図47は、実施の形態6における横型接合型電界効果トランジスタの製造方法を示す第2工程断面図である。

図48は、実施の形態6における横型接合型電界効果トランジスタの製造方法を示す第3工程断面図である。

図49は、実施の形態6における横型接合型電界効果トランジスタの製造方法を示す第4工程断面図である。

図50は、実施の形態6における横型接合型電界効果トランジスタの製造方法を示す第5工程断面図である。

5 図51は、実施の形態7における横型接合型電界効果トランジスタの構造を示す断面図である。

図52は、図51中LII-LII線矢視断面図である。

図53は、実施の形態7における横型接合型電界効果トランジスタの製造方法を示す第1工程断面図である。

10 図54は、実施の形態7における横型接合型電界効果トランジスタの製造方法を示す第2工程断面図である。

図55は、実施の形態7における横型接合型電界効果トランジスタの製造方法を示す第3工程断面図である。

15 図56は、実施の形態7における横型接合型電界効果トランジスタの製造方法を示す第4工程断面図である。

図57は、実施の形態7における横型接合型電界効果トランジスタの製造方法を示す第5工程断面図である。

図58は、実施の形態8における横型接合型電界効果トランジスタの構造を示す断面図である。

20 図59は、図58中LIX-LIX線矢視断面図である。

図60は、実施の形態8における横型接合型電界効果トランジスタの製造方法を示す第1工程断面図である。

図61は、実施の形態8における横型接合型電界効果トランジスタの製造方法を示す第2工程断面図である。

25 図62は、実施の形態8における横型接合型電界効果トランジスタの製造方法を示す第3工程断面図である。

図63は、実施の形態8における横型接合型電界効果トランジスタの製造方法を示す第4工程断面図である。

図64は、実施の形態8における横型接合型電界効果トランジスタの製造方

法を示す第 5 工程断面図である。

図 6 5 は、実施の形態 9 における横型接合型電界効果トランジスタの構造を示す断面図である。

図 6 6 は、図 6 5 中 L X V I — L X V I 線矢視断面図である。

5 図 6 7 は、実施の形態 9 における横型接合型電界効果トランジスタの製造方法を示す第 1 工程断面図である。

図 6 8 は、実施の形態 9 における横型接合型電界効果トランジスタの製造方法を示す第 2 工程断面図である。

10 図 6 9 は、実施の形態 9 における横型接合型電界効果トランジスタの製造方法を示す第 3 工程断面図である。

図 7 0 は、実施の形態 9 における横型接合型電界効果トランジスタの製造方法を示す第 4 工程断面図である。

図 7 1 は、実施の形態 9 における横型接合型電界効果トランジスタの製造方法を示す第 5 工程断面図である。

15 図 7 2 は、背景の技術における横型接合型電界効果トランジスタの構造を示す断面図である。

#### 発明を実施するための最良の形態

以下、本発明に基づいた各実施の形態における横型接合型電界効果トランジスタの構造およびその製造方法について、図を参照しながら説明する。

(実施の形態 1)

(横型接合型電界効果トランジスタ 100 の構造)

以下、実施の形態 1 における横型接合型電界効果トランジスタ 100 の構造について、図 1 を参照して説明する。

25 本実施の形態における横型接合型電界効果トランジスタ 100 の構造的特徴は、p-n 接合およびゲート電極層を縦方向に配置するようにしたものである。ここで、本明細書中において、縦方向とは基板の深さ方向に沿った方向を意味し、横方向とは基板の主面に並行な方向を意味する。

この横型接合型電界効果トランジスタ 100 は、Si 等からなる半導体基板

2の上に位置するp型不純物を含む第1半導体層11と、この第1半導体層11の上に、第1半導体層11の不純物濃度よりも高い濃度のn型不純物を含む第2半導体層12と、この第2半導体層12の上に位置し、p型不純物を含む第3半導体層13、この第3半導体層13の上に位置し、n型不純物を含む第4半導体層14と、この第4半導体層14の上に位置し、p型不純物を含む第5半導体層15とが設けられている。  
5

ここで、第1半導体層11の材質はSiC、膜厚は $3\text{ }\mu\text{m}\sim4\text{ }\mu\text{m}$ 程度、不純物濃度は $1\times10^{16}\text{ cm}^{-3}$ 程度に設けられ、第2半導体層12、第3半導体層13、第4半導体層14、および、第5半導体層15の材質はSiC、膜厚は $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度は $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度に設けられる。  
10

第5半導体層15の中において所定の間隔を隔てて、下面が第2半導体層12にまで延在するように設けられ、第2半導体層12および第4半導体層14の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6、  
15 8が設けられる。ソース／ドレイン領域層6、8の不純物濃度は $1\times10^{19}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度に設けられる。

第3半導体層13中のソース／ドレイン領域層6、8の間には、第2半導体層12および第3半導体層13にまたがるように、下面が第2半導体層12にまで延在するように設けられ、第2半導体層12の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層18Aが設けられている。  
20

第5半導体層15中のソース／ドレイン領域層6、8の間には、下面が第4半導体層14にまで延在するように設けられ、第1ゲート電極層18Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第2ゲート電極層18Bが設けられている。第1ゲート電極層18Aおよび第2ゲート電極層18Bの不純物濃度は $3\times10^{18}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度に設けられる。  
25

なお、ソース領域層6の外側には、第1半導体層11にまで延在するp型の不純物濃度を含む不純物領域層4が設けられている。この不純物領域層4の不純物濃度は $3\times10^{18}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第1半導体層11の最上部と第1ゲート電極18Aの最下部との間の間隔(w11)が、第2半導体層12と第1ゲート電極層18Aとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第3半導体層13の最上部と上記第2ゲート電極層18Bの最下部との間の間隔w12が、第4半導体層14と第2ゲート電極層18Bとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設ければ良い。

(横型接合型電界効果トランジスタ100の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ100の製造方法について、図2～図7を参照して説明する。

図2を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ3μm～4μm程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる第1半導体層11をエピタキシャル成長により形成する。その後、この第1半導体層11の上に、n型不純物を含む厚さ約0.5μm程度、不純物濃度が第1半導体層11よりも高い約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第2半導体層12をエピタキシャル成長により形成する。その後、第2半導体層12の上に、p型不純物を含む厚さ約0.5μm程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半導体層13をエピタキシャル成長により形成する。

次に、図3を参照して、第3半導体層13の上に、所定の開口パターンを有する酸化膜200を形成し、この酸化膜200をマスクにして、p型の不純物を第3半導体層13に導入して、第2半導体層12と第3半導体層13とにまたがる領域に、第2半導体層12の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第1ゲート電極層18Aを形成する。なお、この時の、p型の不純物の注入は、注入エネルギー約700keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、および、注入エネルギー約500keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ の2段階に分けて行なう。

次に、図4を参照して、酸化膜200を除去した後、第3半導体層13の上に、n型不純物を含む厚さ0.5μm程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第4半導体層14をエピタキシャル成長により形成する。

その後、この第4半導体層14の上に、p型不純物を含む厚さ約0.5μm程度、不純物濃度が約 $3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層15を形成する。

次に、図5を参照して、第5半導体層15の上に、所定の開口パターンを有する酸化膜201を形成し、この酸化膜201をマスクにして、p型の不純物を第5半導体層15に導入して、下面が第4半導体層14にまで延在し、第1ゲート電極層18Aとほぼ同じ $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含み、かつ、同電位を有する第2ゲート電極層18Bを形成する。なお、この時の、p型の不純物の注入は、第1段階が注入エネルギー約700keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、第2段階が注入エネルギー約500keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ 、第3段階が注入エネルギー約280keV、注入量約 $5 \times 10^{14} \text{ cm}^{-2}$ 、第4段階が注入エネルギー約140keV、注入量約 $5 \times 10^{14} \text{ cm}^{-2}$ 、第5段階が注入エネルギー約70keV、注入量約 $4 \times 10^{14} \text{ cm}^{-2}$ 、第6段階が注入エネルギー約30keV、注入量約 $3 \times 10^{14} \text{ cm}^{-2}$ の第6段階に分けて行なう。

次に、図6を参照して、酸化膜201を除去した後、再び、第5半導体層15の上に、所定の開口パターンを有する酸化膜202を形成し、この酸化膜202をマスクにして、第1ゲート電極層18Aおよび第2ゲート電極層18Bの両側において、第5半導体層15に不純物を導入して、下面が第2半導体層12にまで延在し、第2半導体層12および前記第4半導体層14の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース／ドレイン領域層6，8を形成する。

次に、図7を参照して、酸化膜202を除去した後、再び、第5半導体層15の上に、所定の開口パターンを有する酸化膜203を形成し、この酸化膜203をマスクにして、ソース／ドレイン領域層6の外側の領域において、第5半導体層15に不純物を導入して、下面が第1半導体層11にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・Ni電極形成、絶縁層形成（OCD等）、コンタクトホール開口・A1配線・パッド形成、熱

処理、オーミックコンタクト形成等の工程を経ることにより、図1に示す本実施の形態における横型接合型電界効果トランジスタ100が完成する。

(作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、複数の横型JFETが、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第2半導体層12と、第3半導体層13と、第4半導体層14と、第5半導体層15との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、第3半導体層13と第4半導体層14との間に、第2半導体層12と第3半導体層13と第1ゲート電極層18Aとほぼ同じ構造である単位トランジスタ構造を1つまたは2以上さらに設ける構造を採用することにより、横型JFETの特性をより向上させることが可能になる。

(実施の形態2)

(横型接合型電界効果トランジスタ200の構造)

以下、実施の形態2における横型接合型電界効果トランジスタ200の構造について、図8を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ200の構造的特徴は、上記横型接合型電界効果トランジスタ100と同様に、pn接合およびゲート電極層を縦方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ200は、Si等からなる半導体基板2の上に位置するp型不純物を含む第1半導体層21と、この第1半導体層21の上に、第1半導体層21の不純物濃度よりも高い濃度のn型不純物を含む第2半導体層22と、この第2半導体層22の上に位置し、p型不純物を含む第3半導体層23と、この第3半導体層23の上に位置し、n型不純物を含む第4半導体層24と、この第4半導体層24の上に位置し、p型不純物を含む第5半導体層25とが設けられている。

ここで、第1半導体層21の材質はSiC、膜厚は3μmから4μm程度、不純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層22、第3半導

体層 2 3、第 4 半導体層 2 4、および、第 5 半導体層 2 5 の材質は SiC、膜厚は  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度は  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度に設けられる。

5 第 5 半導体層 2 5 中において所定の間隔を隔てて、下面が上記第 2 半導体層 2 2 にまで延在するように設けられ、第 2 半導体層 2 2 および第 4 半導体層 2 4 の不純物濃度よりも高い濃度の n 型の不純物を含むソース／ドレイン領域層 6, 8 が設けられる。ソース／ドレイン領域層 6, 8 の不純物濃度は  $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

10 第 3 半導体層 2 3 中のソース／ドレイン領域層 6, 8 の間には、下面が第 2 半導体層 2 2 にまで延在するように設けられ、第 2 半導体層 2 2 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 2 8 A が設けられている。

15 第 5 半導体層 2 5 中のソース／ドレイン領域層 6, 8 の間には、下面が第 4 半導体層 2 4 にまで延在するように設けられ、第 1 ゲート電極層 2 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の不純物を含む第 2 ゲート電極層 2 8 B が設けられている。第 1 ゲート電極層 2 8 A および第 2 ゲート電極層 2 8 B の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

20 また、第 1 半導体層 2 1 と第 1 ゲート電極層 2 8 A とに挟まれた第 2 半導体層 2 2 には、第 1 ゲート電極層 2 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 1 不純物注入領域 2 9 A が設けられている。さらに、第 3 半導体層 2 3 と第 2 ゲート電極層 2 8 B とに挟まれた第 4 半導体層 2 4 に、第 1 ゲート電極 2 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 2 不純物注入領域 2 9 B が設けられている。なお、図 8 においては、第 1 不純物注入領域 2 9 A および第 2 不純物注入領域 2 9 B を一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第 1 不純物注入領域 2 9 A および第 2 不純物注入領域 2 9 B をそれぞれ複数層設けることも可能である。

25 なお、ソース領域層 6 の外側には、第 1 半導体層 2 1 にまで延在する p 型の

不純物濃度を含む不純物領域層 4 が設けられている。この不純物領域層 4 の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 半導体層 2 1 の最上部と第 1 不純物注入領域 2 9 A の最下部との間の間隔 w 2 1 が、第 2 半導体層 2 2 と第 1 不純物注入領域 2 9 A との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 1 不純物注入領域 2 9 A の最上部と上記第 1 ゲート電極層 2 8 A の最下部との間の間隔 (w 2 2) が、第 2 半導体層 2 2 と第 1 ゲート電極層 2 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設け、第 3 半導体層 2 3 の最上部と第 2 不純物注入領域 2 9 B の最下部との間の間隔 (w 2 3) が、第 4 半導体層 2 4 と第 2 不純物注入領域 2 9 B との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 2 不純物注入領域 2 9 B の最上部と第 2 ゲート電極層 2 8 B の最下部との間の間隔 (w 2 4) が、第 4 半導体層 2 4 と第 2 ゲート電極層 2 8 B との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

#### (横型接合型電界効果トランジスタ 200 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 200 の製造方法について、図 9～図 16 を参照して説明する。

図 9 を参照して、Si 等からなる半導体基板 2 上に、p 型不純物を含む厚さ  $3 \mu\text{m} \sim 4 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の SiC からなる第 1 半導体層 2 1 をエピタキシャル成長により形成する。その後、この第 1 半導体層 2 1 の上に、n 型不純物を含む厚さ約  $0.5 \mu\text{m}$  程度、不純物濃度が第 1 半導体層 2 1 よりも高い約  $3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 2 半導体層 2 2 をエピタキシャル成長により形成する。

次に、図 10 を参照して、第 2 半導体層 2 2 の上に、所定の開口パターンを有する酸化膜 204 a を形成し、この酸化膜 204 a をマスクにして、p 型の不純物を第 2 半導体層 2 2 に導入して、第 2 半導体層 2 2 内に、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の p 型不純物を含む第 1 不純物注入領域 2 9 A を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー約 27

0 k e v、注入量約  $7 \times 10^{13} \text{ cm}^{-2}$  程度である。

その後、図 1 1 を参照して、酸化膜 204a を除去した後、第 2 半導体層 2 の上に、p 型不純物を含む厚さ約  $0.5 \mu\text{m}$  程度、不純物濃度が約  $3 \times 10^1 \text{ cm}^{-3}$  程度の SiC からなる第 3 半導体層 23 をエピタキシャル成長により形成する。

次に、第 3 半導体層 23 の上に、所定の開口パターンを有する酸化膜 204b を形成し、この酸化膜 204b をマスクにして、p 型の不純物を第 3 半導体層 23 に導入して、第 2 半導体層 22 と第 3 半導体層 23 とにまたがる領域に、第 2 半導体層 22 の不純物濃度よりも高い  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の p 型不純物を含む第 1 ゲート電極層 28A を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー約 350 k e v、注入量約  $1 \times 10^{14} \text{ cm}^{-2}$  程度である。

次に、図 1 2 を参照して、酸化膜 204b を除去した後、第 3 半導体層 23 の上に、n 型不純物を含む厚さ約  $0.5 \mu\text{m}$  程度、不純物濃度が第 1 半導体層 11 よりも高い  $3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 4 半導体層 24 を形成する。

その後、第 4 半導体層 24 の上に、所定の開口パターンを有する酸化膜 205a を形成し、この酸化膜 205a をマスクにして、p 型の不純物を第 4 半導体層 24 に導入して、第 4 半導体層 24 内に、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の p 型不純物を含む第 2 不純物注入領域 29B を形成する。なお、この時の、p 型の不純物の注入条件は、注入エネルギー 270 k e v、注入量  $7 \times 10^{13} \text{ cm}^{-2}$  程度である。

次に、図 1 3 を参照して、第 4 半導体層 24 の上に、p 型不純物を含む厚さ約  $0.5 \mu\text{m}$  程度、不純物濃度が約  $3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 5 半導体層 25 をエピタキシャル成長により形成する。

次に、図 1 4 を参照して、第 5 半導体層 25 の上に、所定の開口パターンを有する酸化膜 205b を形成し、この酸化膜 205b をマスクにして、p 型の不純物を第 5 半導体層 25 に導入して、第 4 半導体層 24 と第 5 半導体層 25 とにまたがる領域に、第 2 半導体層 22 の不純物濃度よりも高い  $3 \times 10^{18} \text{ cm}^{-3}$  程度の p 型不純物を含む第 3 不純物注入領域 29C を形成する。

$m^{-3} \sim 1 \times 10^{20} cm^{-3}$  程度の p 型不純物を含む第 2 ゲート電極層 28B を形成する。なお、この時の、p 型の不純物の注入は、第 1 段階が注入エネルギー約 350 keV、注入量約  $1 \times 10^{14} cm^{-2}$ 、第 2 段階が注入エネルギー約 250 keV、注入量約  $2 \times 10^{14} cm^{-2}$ 、第 3 段階が注入エネルギー約 140 keV、  
5 注入量約  $5 \times 10^{14} cm^{-2}$ 、第 4 段階が注入エネルギー約 70 keV、注入量約  $4 \times 10^{14} cm^{-2}$ 、第 5 段階が注入エネルギー約 30 keV、注入量約  $3 \times 10^{14} cm^{-2}$  の第 5 段階に分けて行なう。

次に、図 15 を参照して、酸化膜 205 を除去した後、再び、第 5 半導体層 15 の上に、所定の開口パターンを有する酸化膜 206 を形成し、この酸化膜 10 206 をマスクにして、第 1 不純物注入領域 29A、第 2 不純物注入領域 29B、第 1 ゲート電極層 28A、および、第 2 ゲート電極層 28B の両側において、第 5 半導体層 15 に不純物を導入して、下面が第 2 半導体層 22 にまで延在し、第 2 半導体層 22 および前記第 4 半導体層 24 の不純物濃度よりも高い  
15  $1 \times 10^{19} cm^{-3} \sim 1 \times 10^{20} cm^{-3}$  程度の n 型の不純物を含むソース／ドレイン領域層 6, 8 を形成する。

次に、図 16 を参照して、酸化膜 206 を除去した後、再び、第 5 半導体層 15 の上に、所定の開口パターンを有する酸化膜 207 を形成し、この酸化膜 207 をマスクにして、ソース／ドレイン領域層 6 の外側の領域において、第 5 半導体層 15 に不純物を導入して、下面が第 1 半導体層 21 にまで延在し、  
20  $3 \times 10^{18} cm^{-3} \sim 1 \times 10^{20} cm^{-3}$  程度の p 型の不純物を含む不純物領域層 4 を形成する。その後、図示していないが、表面熱酸化・開口・Ni 電極形成、絶縁層形成（OCD 等）、コンタクトホール開口・A1 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 8 に示す本実施の形態における横型接合型電界効果トランジスタ 200 が完成する。

## 25 (作用効果)

以上、上記構成からなる横型 JFET およびその製造方法によれば、複数の横型 JFET が、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第 2 半導体層 22 と、第 3 半導体層 23 と、第 4 半導体層 24 と、第 5 半導体層 25 と

の不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、第 3 半導体層 23 と第 4 半導体層 24 との間に、第 2 半導体層 22 と第 3 半導体層 23 と第 1 ゲート電極層 28A と第 1 不純物注入領域 29A とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上さらに設ける構造を採用することにより、横型 J F E T の特性をより向上させることが可能になる。

(実施の形態 3)

(横型接合型電界効果トランジスタ 300 の構造)

以下、実施の形態 3 における横型接合型電界効果トランジスタ 300 の構造について、図 17 を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ 300 の構造的特徴は、上記横型接合型電界効果トランジスタ 100 と同様に、p-n 接合およびゲート電極層を縦方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ 300 は、Si 等からなる半導体基板 2 上に位置する p 型不純物を含む第 1 半導体層 31 と、この第 1 半導体層 31 の上に、第 1 半導体層 31 の不純物濃度よりも高い濃度の n 型不純物を含む第 2 半導体層 32 と、この第 2 半導体層 32 の上に位置し、p 型不純物を含む第 3 半導体層 33 と、この第 3 半導体層 33 の上に位置し、n 型不純物を含む第 4 半導体層 34 と、この第 4 半導体層 34 の上に位置し、p 型不純物を含む第 5 半導体層 35 と、この第 5 半導体層 35 の上に位置し、n 型不純物を含む第 6 半導体層 36 と、この第 6 半導体層 36 の上に位置し、p 型不純物を含む第 7 半導体層 37 とが設けられている。

ここで、第 1 半導体層 31 の材質は SiC、膜厚は 3 μm ~ 4 μm 程度、不純物濃度は  $1 \times 10^{16} \text{ cm}^{-3}$  程度に設けられ、第 2 半導体層 32、第 3 半導体層 33、第 4 半導体層 34、第 5 半導体層 35、第 6 半導体層 36、および、第 7 半導体層 37 の材質は SiC、膜厚は 0.5 μm ~ 1.0 μm 程度、不純物濃度は  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度に設けられる。

第 7 半導体層 37 中において所定の間隔を隔てて、下面が上記第 2 半導体層

3 2 にまで延在するように設けられ、上記第 2 半導体層 3 2 、第 4 半導体層 3 4 、および第 6 半導体層 3 6 の不純物濃度よりも高い濃度の n 型の不純物を含むソース／ドレイン領域層 6 , 8 が設けられる。ソース／ドレイン領域層 6 , 8 の不純物濃度は  $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

5 第 3 半導体層 3 3 中のソース／ドレイン領域層 6 , 8 の間には、下面が第 2 半導体層 3 2 にまで延在し、上面が第 4 半導体層 3 4 にまで延在するように設けられ、第 2 半導体層 3 2 および第 4 半導体層 3 4 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 3 8 A が設けられている。

10 第 5 半導体層 3 5 中のソース／ドレイン領域層 6 , 8 の間には、下面が第 4 半導体層 3 4 にまで延在し、上面が第 6 半導体層 3 6 にまで延在するように設けられ、第 4 半導体層 3 4 および第 6 半導体層 3 6 の不純物濃度よりも高い p 型の不純物濃度を含む第 2 ゲート電極層 3 8 B が設けられている。

15 第 7 半導体層 3 7 中のソース／ドレイン領域層 6 , 8 の間には、下面が第 6 半導体層にまで延在するように設けられ、第 1 ゲート電極層 3 8 A および第 2 ゲート電極層 3 8 B とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の不純物を含む第 3 ゲート電極層と 3 8 C が設けられている。

第 1 ゲート電極層 3 8 A 、第 2 ゲート電極層 3 8 B 、および、第 3 ゲート電極層 3 8 C の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

20 なお、ソース領域層 6 の外側には、第 1 半導体層 3 1 にまで延在する p 型の不純物濃度を含む不純物領域層 4 が設けられている。この不純物領域層 4 の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

25 なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 半導体層 3 1 の最上部と第 1 ゲート電極層 3 8 A の最下部との間の間隔 (w 3 1) が、第 2 半導体層 3 2 と第 1 ゲート電極層 3 8 A との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 1 ゲート電極層 3 8 A の最上部と第 2 ゲート電極層 3 8 B の最下部との間の間隔 (w 3 2) が、第 4 半導体層 3 4 と第 1 ゲート電極層 3 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

## (横型接合型電界効果トランジスタ 300 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 300 の製造方法について、図 18～図 25 を参照して説明する。

図 18 を参照して、Si 等からなる半導体基板 2 上に、p 型不純物を含む厚さ  $3 \mu\text{m} \sim 4 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の SiC からなる第 1 半導体層 31 をエピタキシャル成長により形成する。その後、この第 1 半導体層 31 の上に、n 型不純物を含む厚さ  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が第 1 半導体層 31 よりも高い  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 2 半導体層 32 をエピタキシャル成長により形成する。

その後、第 2 半導体層 32 の上に、p 型不純物を含む厚さ  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 3 半導体層 33 をエピタキシャル成長により形成する。その後、第 3 半導体層 33 の上に、n 型不純物を含む厚さ  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 4 半導体層 34 をエピタキシャル成長により形成する。

次に、図 19 を参照して、第 4 半導体層 34 の上に、所定の開口パターンを有する酸化膜 208 を形成し、この酸化膜 208 をマスクにして、p 型の不純物を第 4 半導体層 34 の所定領域に不純物を導入し、下面が第 2 半導体層 32 にまで延在し、上面が第 4 半導体層 34 にまで延在し、第 2 半導体層 32 および第 4 半導体層 34 の不純物濃度よりも高い  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の p 型不純物を含む第 1 ゲート電極層 38A を形成する。

次に、図 20 を参照して、第 4 半導体層 34 の上に、p 型不純物を含む厚さ  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 5 半導体層 35 を形成する。その後、第 5 半導体層 35 の上に、n 型不純物を含む厚さ  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる第 6 半導体層 36 をエピタキシャル成長により形成する。

次に、図 21 を参照して、第 6 半導体層 36 の上に、所定の開口パターンを有する酸化膜 209 を形成し、この酸化膜 209 をマスクにして、p 型の不純

物を第6半導体層36の所定領域に不純物を導入し、下面が第4半導体層34にまで延在し、上面が第6半導体層36にまで延在し、第4半導体層34および第6半導体層36の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第2ゲート電極層38Bを形成する。

5 次に、図22を参照して、酸化膜209を除去した後、第6半導体層36の上に、p型不純物を含む厚さ $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第7半導体層37をエピタキシャル成長により形成する。

10 次に、図23を参照して、第7半導体層37の上に、所定の開口パターンを有する酸化膜210を形成し、この酸化膜210をマスクにして、p型の不純物を第7半導体層37の所定領域に不純物を導入し、下面が第6半導体層36にまで延在し、第6半導体層36の不純物濃度よりも高い $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型不純物を含む第3ゲート電極層38Cを形成する。

15 次に、図24を参照して、酸化膜210を除去した後、再び、第7半導体層37の上に、所定の開口パターンを有する酸化膜211を形成し、この酸化膜211をマスクにして、第1ゲート電極層38A、第2ゲート電極層38B、および、第3ゲート電極層38Cの両側において、第7半導体層37に不純物を導入して、下面が第2半導体層32にまで延在し、第2半導体層32および前記第4半導体層34の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース／ドレイン領域層6，8を形成する。

20 次に、図25を参照して、酸化膜211を除去した後、再び、第7半導体層37の上に、所定の開口パターンを有する酸化膜212を形成し、この酸化膜212をマスクにして、ソース／ドレイン領域層6の外側の領域において、第7半導体層37に不純物を導入して、下面が第1半導体層31にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・N<sub>i</sub>電極形成、絶縁層形成（OCD等）、コンタクトホール開口・A1配線・パット形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図17に示す本実施の形態における横型接合型電界効果トランジスタ300が完成する。

## (作用効果)

以上、上記構成からなる横型 J F E T およびその製造方法によれば、複数の横型 J F E T が、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第 2 半導体層 3 2 と、第 3 半導体層 3 3 と、第 4 半導体層 3 4 と、第 5 半導体層 3 5 と、第 6 半導体層 3 6 と、第 7 半導体層 3 7 との不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、第 4 半導体層 3 4 と第 5 半導体層 3 5 との間に、第 3 半導体層 3 3 と第 4 半導体層 3 4 と第 1 ゲート電極層 3 8 A とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上さらに設ける構造を採用することにより、横型 J F E T の特性をより向上させることが可能になる。

## (実施の形態 4)

## (横型接合型電界効果トランジスタ 4 0 0 の構造)

以下、実施の形態 4 における横型接合型電界効果トランジスタ 4 0 0 の構造について、図 2 6 を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ 4 0 0 の構造的特徴は、上記横型接合型電界効果トランジスタ 1 0 0 と同様に、p n 接合およびゲート電極層を縦方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ 4 0 0 は、S i 等からなる半導体基板 2 の上に位置する p 型不純物を含む第 1 半導体層 4 1 と、この第 1 半導体層 4 1 の上に位置し、第 1 半導体層 4 1 の不純物濃度よりも高い濃度の n 型不純物を含む第 2 半導体層 4 2 と、この第 2 半導体層 4 2 の上に位置し、p 型不純物を含む第 3 半導体層 4 3 と、この第 3 半導体層 4 3 の上に位置し、n 型不純物を含む第 4 半導体層 4 4 と、この第 4 半導体層 4 4 の上に位置し、p 型不純物を含む第 5 半導体層 4 5 と、この第 5 半導体層 4 5 の上に位置し、n 型不純物を含む第 6 半導体層 4 6 と、この第 6 半導体層 4 6 の上に位置し、p 型不純物を含む第 7 半導体層 4 7 とが設けられている。

ここで、第 1 半導体層 4 1 の材質は S i C 、膜厚は 3  $\mu$  m ~ 4  $\mu$  m 程度、不

純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層42、第3半導体層43、第4半導体層44、第5半導体層45、第6半導体層46、および、第7半導体層47の材質はSiC、膜厚は $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

5 第7半導体層47において所定の間隔を隔てて、下面が第2半導体層42にまで延在するように設けられ、第2半導体層42、第4半導体層44、および、第6半導体層46の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6，8が設けられる。ソース／ドレイン領域層6，8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

10 第3半導体層43中のソース／ドレイン領域層6，8の間には、下面が第2半導体層42にまで延在し、上面が上記第4半導体層44にまで延在するように設けられ、第2半導体層42、上記第4半導体層44、および、第6半導体層46の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層48Aが設けられている。

15 第5半導体層45中のソース／ドレイン領域層6，8の間には、下面が第4半導体層44にまで延在し、上面が上記第6半導体層46にまで延在するように設けられ、第1ゲート電極層28Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物を含む第2ゲート電極層48Bが設けられている。

20 第7半導体層47中のソース／ドレイン領域6，8の間において、下面が第6半導体層46にまで延在するように設けられ、第1ゲート電極層48Aおよび第2ゲート電極層48Bとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層48Cが設けられている。第1ゲート電極層48A、第2ゲート電極層48B、および、第3ゲート電極層48Cの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

25 また、第1半導体層41と第1ゲート電極層48Aとに挟まれた第2半導体層42に、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第1不純物注入領域39Aが設けられ、第1ゲート電極層48Aと第2ゲート電極層48Bとに挟まれた第4半導体層44に、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2不

純物注入領域 4 9 B が設けられ、第 2 ゲート電極層 4 8 B と第 3 ゲート電極層 4 8 C とに挟まれた第 6 半導体層 4 6 に、第 1 ゲート電極層 4 8 A および第 2 ゲート電極層 4 8 B とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 3 不純物注入領域 4 9 C が設けられている。なお、図 2 6においては、第 1  
5 不純物注入領域 4 9 A、第 2 不純物注入領域 4 9 B、および、第 3 不純物注入領域 4 9 C を一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第 1 不純物注入領域 4 9 A、第 2 不純物注入領域 4 9 B、および、第 3 不純物注入領域 4 9 C をそれぞれ複数層設けることも可能で  
10 ある。

なお、ソース領域層 6 の外側には、第 1 半導体層 4 1 にまで延在する p 型の不純物濃度を含む不純物領域層 4 が設けられている。この不純物領域層 4 の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 半導体層 4 1 の最上部と第 1 ゲート電極層 4 8 A の最下部との間の間隔 (w 4 1) が、第 2 半導体層 4 2 と第 1 ゲート電極層 4 8 A との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設け、第 1 ゲート電極層 4 8 A の最上部と第 2 ゲート電極層 4 8 B の最下部との間の間隔 (w 4 2) が、第 4 半導体層 4 4 と第 1 ゲート電極層 4 8 A との接合における拡散電位で広がる空乏層の間隔と、第 4 半導体層 4 4 と第 2 ゲート電極層 4 8 B との接合における拡散電位で広がる空乏層の間隔との和よりも小さくなるように設ければ良い。  
15  
20

さらに好ましくは、第 1 半導体層 4 1 の最上部と第 1 不純物注入領域 4 9 A の最下部との間の間隔 (w 4 3) が、第 2 半導体層 4 2 と第 1 不純物注入領域 4 9 A との接合における拡散電位で広がる空乏層の間隔よりも小さく、第 1 不純物注入領域 4 9 A の最上部と第 1 ゲート電極層 4 8 A の最下部との間隔 (w 4 4) が、第 2 半導体層 4 2 と第 1 ゲート電極層 4 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設け、第 1 ゲート電極層 4 8 A の最上部と第 2 不純物注入領域 4 9 B の最下部との間の間隔 (w 4  
25

5) が、第4半導体層と第2不純物注入領域49Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設け、第2不純物注入領域49Bの最上部と第2ゲート電極層48Bの最下部との間の間隔(w46)が、第4半導体層44と第2ゲート電極層48Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設ければ良い。

#### (横型接合型電界効果トランジスタ400の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ400の製造方法について、図27～図37を参照して説明する。

図27を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3\text{ }\mu\text{m}\sim4\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times10^{16}\text{ cm}^{-3}$ 程度のSiCからなる第1半導体層41をエピタキシャル成長により形成する。その後、この第1半導体層41の上に、n型不純物を含む厚さ $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度が第1半導体層41よりも高い $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度のSiCからなる第2半導体層42をエピタキシャル成長により形成する。

その後、第2半導体層42の上に、p型不純物を含む厚さ $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度のSiCからなる第3半導体層43をエピタキシャル成長により形成する。その後、第3半導体層43の上に、n型不純物を含む厚さ $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度のSiCからなる第4半導体層44をエピタキシャル成長により形成する。

次に、図28を参照して、第4半導体層44の上に、所定の開口パターンを有する酸化膜213を形成し、この酸化膜213をマスクにして、p型の不純物を第4半導体層44の所定領域に不純物を導入し、下面が第2半導体層42にまで延在し、上面が第4半導体層44にまで延在し、第2半導体層42および第4半導体層44の不純物濃度よりも高い $3\times10^{18}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度のp型不純物を含む第1ゲート電極層48Aを形成する。

次に、図29を参照して、引続き酸化膜213をマスクにして、p型の不純物を第2半導体層42内に導入し、第1ゲート電極層48Aとほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が $3\times10^{18}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度のp型不純物を含む第2ゲート電極層48Bを形成する。

$^0 \text{ c m}^{-3}$  程度の第 1 不純物注入領域 4 9 A を形成する。

次に、図 3 0 を参照して、酸化膜 2 1 2 を除去した後、第 4 半導体層 3 4 の上に、p 型不純物を含む厚さ  $0.5 \mu \text{m} \sim 1.0 \mu \text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ c m}^{-3} \sim 3 \times 10^{17} \text{ c m}^{-3}$  程度の SiC からなる第 5 半導体層 4 5 を形成する。その後、第 5 半導体層 4 5 の上に、n 型不純物を含む厚さ  $0.5 \mu \text{m} \sim 1.0 \mu \text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ c m}^{-3} \sim 3 \times 10^{17} \text{ c m}^{-3}$  程度の SiC からなる第 6 半導体層 4 6 を形成する。

次に、図 3 1 を参照して、第 6 半導体層 4 6 の上に、所定の開口パターンを有する酸化膜 2 1 4 を形成し、この酸化膜 2 1 4 をマスクにして、p 型の不純物を第 6 半導体層 4 4 の所定領域に不純物を導入し、下面が第 4 半導体層 4 4 にまで延在し、上面が第 6 半導体層 4 6 にまで延在し、第 4 半導体層 4 4 および第 6 半導体層 4 6 の不純物濃度よりも高い  $3 \times 10^{18} \text{ c m}^{-3} \sim 1 \times 10^{20} \text{ c m}^{-3}$  程度の p 型不純物を含む第 2 ゲート電極層 4 8 B を形成する。

次に、図 3 2 を参照して、引続き酸化膜 2 1 4 をマスクにして、p 型の不純物を第 4 半導体層 4 4 内に導入し、第 1 ゲート電極層 4 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が  $3 \times 10^{18} \text{ c m}^{-3} \sim 1 \times 10^{20} \text{ c m}^{-3}$  程度の第 2 不純物注入領域 4 9 B を形成する。

次に、図 3 3 を参照して、酸化膜 2 1 4 を除去した後、第 6 半導体層 4 6 の上に、p 型不純物を含む厚さ  $0.5 \mu \text{m} \sim 1.0 \mu \text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ c m}^{-3} \sim 3 \times 10^{17} \text{ c m}^{-3}$  程度の SiC からなる第 7 半導体層 4 7 をエピタキシャル成長により形成する。

次に、図 3 4 を参照して、第 7 半導体層 3 7 の上に、所定の開口パターンを有する酸化膜 2 1 5 を形成し、この酸化膜 2 1 5 をマスクにして、p 型の不純物を第 7 半導体層 3 7 の所定領域に不純物を導入し、下面が第 6 半導体層 4 6 にまで延在し、第 6 半導体層 4 6 の不純物濃度よりも高い  $3 \times 10^{18} \text{ c m}^{-3} \sim 1 \times 10^{20} \text{ c m}^{-3}$  程度の p 型不純物を含む第 3 ゲート電極層 4 8 C を形成する。

次に、図 3 5 を参照して、引続き酸化膜 2 1 5 をマスクにして、p 型の不純物を第 6 半導体層 4 6 内に導入し、第 1 ゲート電極層 4 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する、不純物濃度が  $3 \times 10^{18} \text{ c m}^{-3} \sim 1 \times 10^{20} \text{ c m}^{-3}$  程度の p 型不純物を含む第 4 ゲート電極層 4 8 D を形成する。

$\text{cm}^{-3}$ 程度の第3不純物注入領域49Cを形成する。

次に、図36を参照して、酸化膜215を除去した後、再び、第7半導体層37の上に、所定の開口パターンを有する酸化膜216を形成し、この酸化膜216をマスクにして、第1ゲート電極層48A、第2ゲート電極層48B、第3ゲート電極層48C、第1不純物注入領域49A、第2不純物注入領域49B、および、第3不純物注入領域49Cの両側において、第7半導体層47に不純物を導入して、下面が第2半導体層42にまで延在し、第2半導体層42および前記第4半導体層44の不純物濃度よりも高い $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のn型の不純物を含むソース／ドレイン領域層6、8を形成する。

次に、図37を参照して、酸化膜216を除去した後、再び、第7半導体層37の上に、所定の開口パターンを有する酸化膜217を形成し、この酸化膜217をマスクにして、ソース／ドレイン領域層6の外側の領域において、第7半導体層47に不純物を導入して、下面が第1半導体層41にまで延在し、 $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度のp型の不純物を含む不純物領域層4を形成する。その後、図示していないが、表面熱酸化・開口・N<sub>i</sub>電極形成、絶縁層形成（OCD等）、コンタクトホール開口・A1配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図26に示す本実施の形態における横型接合型電界効果トランジスタ400が完成する。

なお、上記実施の形態1～4において、図示していないが、ゲート間接続領域層の形成は、その深さによっては、複数回に分けてイオン注入を行なう必要がある。この場合、ゲート電極層および不純物注入領域の形成のためのイオン注入を行なう段階でも、ゲート間接続領域層の形成のための不純物注入を行なう。

なお、ゲート間接続領域層とは、複数のゲート電極層および不純物注入領域を電気的に接続し、同一の電位とするためのもので、デバイスの端などに、ゲート電極層および不純物注入領域を縦に貫いて設けられる接続層のことをいい、一般にこの接続層は、第1半導体層には達しないように設けられる。

(作用効果)

以上、上記構成からなる横型 J F E T およびその製造方法によれば、複数の横型 J F E T が、縦方向に積層された構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第 2 半導体層 4 2 と、第 3 半導体層 4 3 と、第 4 半導体層 4 4 と、第 5 半導体層 4 5 と、  
5 第 6 半導体層 4 6 と、第 7 半導体層 4 7 との不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、第 4 半導体層 4 4 と第 5 半導体層 4 5 との間に、第 3 半導体層 4 3 と第 4 半導体層 4 4 と第 1 ゲート電極層 4 8 A と第 2 不純物注入領域 4 9 B とほぼ同じ構造である単位トランジスタ構造を 1 つまたは 2 以上さらに設ける構造を採用することにより、横型 J F E T の特性をより向上させることが可能になる。  
10

(実施の形態 5)

(横型接合型電界効果トランジスタ 500 の構造)

15 以下、実施の形態 5 における横型接合型電界効果トランジスタ 500 の構造について、図 38 から図 40 を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ 500 の構造的特徴は、p n 接合を縦方向に配置し、ゲート電極層を横方向に配置するようにしたものである。

20 この横型接合型電界効果トランジスタ 500 は、S i 等からなる半導体基板 2 上に位置する p 型不純物を含む第 1 半導体層 5 1 と、この第 1 半導体層 5 1 の上に位置し、第 1 半導体層の不純物濃度よりも高い濃度の n 型不純物を含む第 2 半導体層 5 2 と、この第 2 半導体層 5 2 の上に位置し、p 型不純物を含む第 3 半導体層 5 3 と、この第 3 半導体層 5 3 の上に位置し、n 型不純物を含む第 4 半導体層 5 4 と、この第 4 半導体層 5 4 の上に位置し、p 型不純物を含む第 5 半導体層 5 5 とが設けられている。  
25

ここで、第 1 半導体層 5 1 の材質は S i C 、膜厚は  $3 \mu m \sim 4 \mu m$  程度、不純物濃度は  $1 \times 10^{16} cm^{-3}$  程度に設けられ、第 2 半導体層 5 2 、第 3 半導体層 5 3 、第 4 半導体層 5 4 、および、第 5 半導体層 5 5 の材質は S i C 、膜厚

は $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$ 程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。

第5半導体層55中において所定の間隔を隔てて、下面が第2半導体層52にまで延在するように設けられ、第2半導体層52および第4半導体層54の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6, 8が設けられる。ソース／ドレイン領域層6, 8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

第5半導体層55中のソース／ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように設けられ、第2半導体層52の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層58Aが設けられている。

また、第5半導体層55中のソース／ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第1ゲート電極層58Aに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第2ゲート電極層58Bが設けられている。

また、第5半導体層55中のソース／ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第2ゲート電極層58Bに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58Aおよび第2ゲート電極層58Bとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層58Cが設けられている。

また、第5半導体層55中のソース／ドレイン領域層6, 8の間には、下面が第2半導体層52にまで延在するように第3ゲート電極層58Cに所定の間隔を隔てて隣接して横方向に設けられ、第1ゲート電極層58A、第2ゲート電極層58B、および、第3ゲート電極層58Cとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第4ゲート電極層58Dが設けられている。

第1ゲート電極層58A、第2ゲート電極層58B、第3ゲート電極層58C、および、第4ゲート電極層58Dの不純物濃度は $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるため

には、第1ゲート電極層58Aと第2ゲート電極層58Bとの間の間隔(w5  
1)が、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電  
位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58A  
との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるよう  
5 に設ければ良い。なお、第2ゲート電極層58Bと第3ゲート電極層58Cとの間の間隔、  
第3ゲート電極層58Cと第4ゲート電極層58Dとの間の間隔も同様である。

(横型接合型電界効果トランジスタ500の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ500の製造方法  
10について、図41～図43を参照して説明する。

図41を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚  
さ3μm～4μm程度、不純物濃度が $1 \times 10^{16} \text{ cm}^{-3}$ 程度のSiCからなる  
第1半導体層51をエピタキシャル成長により形成する。その後、この第1半  
導体層51の上に、n型不純物を含む厚さ0.5μm～1.0μm程度、不純  
物濃度が第1半導体層51よりも高い $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度  
15 のSiCからなる第2半導体層52をエピタキシャル成長により形成する。  
その後、第2半導体層52の上に、p型不純物を含む厚さ0.5μm～1.0  
μm程度、不純物濃度が $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第3半  
導体層53をエピタキシャル成長により形成する。その後、第3  
20 半導体層53の上に、n型不純物を含む厚さ0.5μm～1.0μm程度、不純物濃度が  
 $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第4半  
導体層54をエピタキシャル成長により形成する。その後、第4半導体層54  
の上に、p型不純物を含む厚さ0.5μm～1.0μm程度、不純物濃度が  
 $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度のSiCからなる第5半導体層55を  
25 エピタキシャル成長により形成する。

次に、図42を参照して、第5半導体層55の上に、所定の開口パターンを  
有する酸化膜を形成し(図示省略)、この酸化膜をマスクにして、第5半導体  
層55中の所定領域に不純物を導入することにより、下面が前記第2半導体層  
52にまで延在するように設けられ、第2半導体層52の不純物濃度よりも高

い  $3 \times 10^{18} \text{ cm}^{-3}$  ~  $1 \times 10^{20} \text{ cm}^{-3}$  程度の p 型不純物を含み、基板 2 の平面方向に沿って互いに所定の間隔を隔てて配置される、第 1 ゲート電極層 58 A、第 2 ゲート電極層 58 B、第 3 ゲート電極層 58 C、および、第 4 ゲート電極層 58 D を形成する。

5 次に、図 4 3 を参照して、第 5 半導体層 55 の上に、所定の開口パターンを有する酸化膜を形成し（図示省略）、この酸化膜をマスクにして、第 1 ゲート電極層 58 A、第 2 ゲート電極層 58 B、第 3 ゲート電極層 58 C、および、第 4 ゲート電極層 58 D の配置方向に沿って第 1 ゲート電極層 58 A、第 2 ゲート電極層 58 B、第 3 ゲート電極層 58 C、および、第 4 ゲート電極層 58 D を両側から挟みこむように、第 5 半導体層 55 中の所定領域に不純物を導入して、下面が第 2 半導体層 52 にまで延在し、第 2 半導体層 52 および前記第 4 半導体層 54 の不純物濃度よりも高い  $1 \times 10^{19} \text{ cm}^{-3}$  ~  $1 \times 10^{20} \text{ cm}^{-3}$  程度の n 型の不純物を含むソース／ドレイン領域層 6, 8 を形成する。その後、図示していないが、表面熱酸化・開口・N<sub>i</sub> 電極形成、絶縁層形成（OCD 等）、コンタクトホール開口・A1 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 3 8 に示す本実施の形態における横型接合型電界効果トランジスタ 500 が完成する。

なお、上記実施の形態 1 ~ 5 においては、上記ゲート電極層、不純物注入領域は、その厚みによっては、不純物の注入を複数回に分けて行なう場合を考えられる。また、この場合には、その前工程の n 層、p 層のエピタキシャル成長を一度停止して不純物の注入を行ない、その後エピタキシャル成長を再開する方法も考えられる。

また、ソース／ドレイン領域層の形成は、その深さによっては、複数回の注入に分けて行なうことも考えられる。この場合、ゲート電極層および不純物注入領域の形成のための不純物注入を行なう段階でも、ソース／ドレイン領域層および不純物領域層の形成のための不純物注入を行なう場合が考えられる。

#### （作用効果）

以上、上記構成からなる横型 J F E T およびその製造方法によれば、複数の横型 J F E T において p n 接合を縦方向に配置し、ゲート電極層を横方向に配

置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第2半導体層52と、第3半導体層53と、第4半導体層54と、第5半導体層55との不純物濃度および膜厚さを略同じ値にすることにより、横型J F E Tのオン抵抗を最小にし、耐圧値を最大5に設定することを可能としている。

なお、図40に示すように、さらにオン抵抗を下げるため、チャネル数を増加させる目的から、第1ゲート電極層58Aと第2ゲート電極層58Bとの間に、下面が第2半導体層52にまで延在するように設けられ、第1ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59Aを設け、同様に、第2ゲート電極層58Bと第3ゲート電極層58Cとの間に、下面が第2半導体層52にまで延在するように設けられ、第110ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59B、および、第3ゲート電極層58Cと第4ゲート電極層58Dとの間に、下面が第2半導体層52にまで延在するように設けられ、第115ゲート電極層58Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の不純物注入領域59Cを設ける構造を採用することも可能である。

また、図40に示す構造において、第1ゲート電極層58Aと不純物注入領域59Aとの間の間隔(w51)および不純物注入領域59Aと第2ゲート電極層58Bとの間隔(w52)が、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けることで、ノーマリオフ型の横型接合型電界効果トランジスタを実現させることができる。

また、より好ましくは、第1ゲート電極層58Aに最も近接する上記不純物注入領域59Aと第1ゲート電極層58Aとの間の間隔(w51)、不純物注入領域同士の間隔(w53)、および第2ゲート電極層58Bに最も近接する不純物注入領域59Bと第2ゲート電極層58Bとの間の間隔w54が、いずれも、第2半導体層52と第1ゲート電極層58Aとの接合における拡散電位で広がる空乏層の間隔、および第4半導体層54と第1ゲート電極層58Aと

の接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことが好ましい。

なお、ゲート電極層および不純物注入領域が設けられる数量については、横型J F E Tに要求される性能に応じて、適宜変更が可能である。

- 5 なお、第4半導体層54と第5半導体層55との間に、第3半導体層53と第4半導体層54とほぼ同じ構造を1つ以上有する構造を採用することにより、横型J F E Tの特性をより向上させることが可能になる。

(実施の形態6)

(横型接合型電界効果トランジスタ600の構造)

- 10 以下、実施の形態6における横型接合型電界効果トランジスタ600の構造について、図44および図45を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ600の構造的特徴は、p n接合およびゲート電極層を横方向に配置するようにしたものである。

- 15 この横型接合型電界効果トランジスタ600は、S i等からなる半導体基板上2に位置するp型不純物を含む第1半導体層61と、この第1半導体層61の上に位置し、p型不純物を含む第2半導体層62と、第1半導体層61の上に、かつ、第2半導体層62の横方向に隣接して位置し、n型不純物を含む第3半導体層63と、第1半導体層61の上に、かつ、第3半導体層63の横方向に隣接して位置し、p型不純物を含む第4半導体層64と、第1半導体層61の上に、かつ、第4半導体層64の横方向に隣接して位置し、n型不純物を含む第5半導体層65と、第1半導体層61の上に、かつ、第5半導体層65の横方向に隣接して位置し、p型不純物を含む第6半導体層66と、第1半導体層61の上に、かつ、第6半導体層66の横方向に隣接して位置し、n型不純物を含む第7半導体層67とが設けられている。

- 25 ここで、第1半導体層61の材質はS i C、膜厚は $3 \mu m \sim 4 \mu m$ 程度、不純物濃度は $1 \times 10^{16} cm^{-3}$ 程度に設けられ、第2半導体層62、第3半導体層63、第4半導体層64、第5半導体層65、第6半導体層66、および、第7半導体層67の材質はS i C、膜厚は $0.5 \mu m \sim 1.0 \mu m$ 程度、不純物濃度は $1 \times 10^{17} cm^{-3} \sim 3 \times 10^{17} cm^{-3}$ 程度に設けられる。なお、第2

半導体層 6 2～第 7 半導体層 6 7 の膜厚は、図 4 4 の奥行き方向の厚みを示す。

第 2 半導体層 6 2、第 3 半導体層 6 3、第 4 半導体層 6 4、第 5 半導体層 6 5、第 6 半導体層 6 6 および第 7 半導体層 6 7 中において所定の間隔を隔てて設けられ、第 3 半導体層 6 3、第 5 半導体層 6 5、および、第 5 半導体層 6 5 の不純物濃度よりも高い濃度の n 型の不純物を含むソース／ドレイン領域層 6, 8 が設けられる。ソース／ドレイン領域層 6, 8 の不純物濃度は  $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

第 2 半導体層 6 2 中のソース／ドレイン領域層 6, 8 の間には、その一方の側面が第 3 半導体層 6 3 にまで延在するように設けられ、第 3 半導体層 6 3 の不純物濃度よりも高い p 型の不純物濃度を含む第 1 ゲート電極層 6 8 A が設けられている。

また、第 4 半導体層 6 4 中のソース／ドレイン領域層 6, 8 の間には、その一方の側面が第 5 半導体層 6 5 にまで延在するように設けられ、第 1 ゲート電極層 6 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 2 ゲート電極層 6 8 B が設けられている。

また、第 6 半導体層 6 6 中のソース／ドレイン領域層 6, 8 の間には、その一方の側面が第 7 半導体層 6 7 にまで延在するように設けられ、第 1 ゲート電極層 6 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 3 ゲート電極層 6 8 C が設けられている。

第 1 ゲート電極層 6 8 A、第 2 ゲート電極層 6 8 B、および、第 3 ゲート電極層 6 8 C の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 ゲート電極 6 8 A と、第 3 半導体層 6 3 の第 1 ゲート電極層 6 8 A と接しない面との間の間隔 (w 6 1) が、第 3 半導体層 6 3 と第 1 ゲート電極層 6 8 A との接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設けられ、第 2 ゲート電極層 6 8 B と第 5 半導体層 6 5 の第 2 ゲート電極層 6 8 B と接しない面との間隔 (w 6 2) が、第 5 半導体層 6 5 と第 2 ゲート電極層 6 8 B との接合における拡散電位で広がる空乏層の間隔よりも小さくな

るよう設ければ良い。

(横型接合型電界効果トランジスタ 600 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 600 の製造方法について、図 46～図 50 を参照して説明する。

5 図 46 を参照して、Si 等からなる半導体基板 2 上に、p 型不純物を含む厚さ  $3 \mu\text{m} \sim 4 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の SiC からなる第 1 半導体層 61 をエピタキシャル成長により形成する。

10 次に、図 47 を参照して、この第 1 半導体層 61 の上に、n 型不純物を含む厚さ  $1 \mu\text{m} \sim 2 \mu\text{m}$  程度、不純物濃度が第 1 半導体層 61 よりも高い  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる半導体層 60A をエピタキシャル成長により形成する。

15 次に、図 48 を参照して、半導体層 60A 中の所定領域に、基板 2 の平面方向（奥行き方向）に沿って所定の間隔を隔てて p 型不純物を導入することにより、それぞれ奥行き方向の膜厚さが  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の、p 型第 2 半導体層 62、n 型第 3 半導体層 63、p 型第 4 半導体層 64、n 型第 5 半導体層 65、p 型第 6 半導体層 66、および、n 型第 7 半導体層 67 を形成する。

20 次に、図 49 を参照して、第 2 半導体層 62、第 3 半導体層 63、第 4 半導体層 64、第 5 半導体層 65、第 6 半導体層 66、および、第 7 半導体層 67 中の所定領域に p 型の不純物を導入することにより、第 2 半導体層 62 と第 3 半導体層 63 との間、第 4 半導体層 64 と第 5 半導体層 65 との間、第 6 半導体層 66 と第 7 半導体層 67 との間において、それぞれの領域をまたがるように、不純物濃度が  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の第 1 ゲート電極層 68A、第 2 ゲート電極層 68B、および、第 3 ゲート電極層 68C を形成する。

25 次に、図 50 を参照して、第 2 半導体層 62、第 3 半導体層 63、第 4 半導体層 64、第 5 半導体層 65、第 6 半導体層 66、および、第 7 半導体層 67 中の所定領域に n 型の不純物を導入することにより、第 2 半導体層 62、第 3 半導体層 63、第 4 半導体層 64、第 5 半導体層 65、第 6 半導体層 66、お

よび、第7半導体層67が配置される方向に沿うとともに、第1ゲート電極層68A、第2ゲート電極層68B、および、第3ゲート電極層68Cを挟み込み、第3半導体層63の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^2 \text{ cm}^{-3}$ 程度のn型の不純物を含むソース／ドレイン領域層6，8を形成する。

5 その後、図示していないが、表面熱酸化・開口・N<sub>i</sub>電極形成、絶縁層形成（OCD等）、コンタクトホール開口・A1配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図44に示す本実施の形態における横型接合型電界効果トランジスタ600が完成する。

#### (作用効果)

10 以上、上記構成からなる横型JFETおよびその製造方法によれば、半導体基板2上に設けられる各半導体層が、半導体基板2上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げる事が可能になる。また、第2半導体層62と、第3半導体層63と、第4半導体層64と、第5半導体層65と、第6半導体層66と、第7半導体層67との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、半導体層およびゲート電極層を設ける数量については、横型JFETに要求される性能によって決定することができ、たとえば、半導体層を3層、ゲート電極層を2層設ける構造や、半導体層を4層、ゲート電極層を3層設ける構造の採用が可能である。

#### (実施の形態7)

##### (横型接合型電界効果トランジスタ700の構造)

以下、実施の形態7における横型接合型電界効果トランジスタ700の構造について、図51および図52を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ700の構造的特徴は、上記横型接合型電界効果トランジスタ600と同様に、pn接合およびゲート電極層を横方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ700は、Si等からなる半導体基板

2上に位置するp型不純物を含む第1半導体層71と、この第1半導体層71の上に位置し、p型不純物を含む第2半導体層72と、第1半導体層71の上に、かつ、第2半導体層72の横方向に隣接して位置し、n型不純物を含む第3半導体層73と、第1半導体層71の上に、かつ、第3半導体層73の横方向に隣接して位置し、p型不純物を含む第4半導体層74と、第1半導体層71の上に、かつ第4半導体層74の横方向隣接して位置し、n型不純物を含む第5半導体層75と、第1半導体層71の上に、かつ、第5半導体層75の横方向に隣接して位置し、p型不純物を含む第6半導体層76と、第1半導体層71の上に、かつ第6半導体層76の横方向に隣接して位置し、n型不純物を含む第7半導体層77とが設けられている。  
10

ここで、第1半導体層71の材質はSiC、膜厚は $3\text{ }\mu\text{m}\sim4\text{ }\mu\text{m}$ 程度、不純物濃度は $1\times10^{16}\text{ cm}^{-3}$ 程度に設けられ、第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76、および、第7半導体層77の材質はSiC、膜厚は $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度は $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層72～第7半導体層77の膜厚は、図51の奥行き方向の厚みを示す。  
15

第2半導体層72、第3半導体層73、第4半導体層74、第5半導体層75、第6半導体層76および第7半導体層77中において所定の間隔を隔てて設けられ、第3半導体層73、第5半導体層75、および、第7半導体層77の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6,8が設けられる。ソース／ドレイン領域層6,8の不純物濃度は $1\times10^{19}\text{ cm}^{-3}\sim1\times10^{20}\text{ cm}^{-3}$ 程度に設けられる。  
20

第2半導体層72中のソース／ドレイン領域層6,8の間には、その一方の側面が第3半導体層73にまで延在するように設けられ、第3半導体層73の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層78Aが設けられている。  
25

また、第4半導体層74中のソース／ドレイン領域層6,8の間には、その一方の側面が第5半導体層75にまで延在するように設けられ、第1ゲート電極層78Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2ゲー

ト電極層 7 8 B が設けられている。

また、第 6 半導体層 7 6 中のソース／ドレイン領域層 6, 8 の間には、その一方の側面が第 7 半導体層 7 7 にまで延在するように設けられ、第 1 ゲート電極層 7 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 3 ゲート電極層 7 8 C が設けられている。  
5

また、第 4 半導体層 7 4 と第 1 ゲート電極層 7 8 A とに挟まれた第 3 半導体層 7 3 には、第 1 ゲート電極層 7 8 A とほぼ同じ不純物濃度を有し、かつ同電位を有する p 型の第 1 不純物注入領域 7 9 A が設けられている。

また、第 2 ゲート電極層 7 8 B と、第 5 半導体層 7 5 の第 2 ゲート電極層 7 8 B と接しない面とに挟まれた第 5 半導体層 7 5 には、第 1 ゲート電極層 7 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 2 不純物注入領域 7 9 B が設けられている。  
10

また、第 3 ゲート電極層 7 8 C と、第 7 半導体層 7 7 の第 3 ゲート電極層 7 8 C と接しない面とに挟まれた第 7 半導体層 7 7 には、第 1 ゲート電極層 7 8 A とほぼ同じ不純物濃度を有し、かつ、同電位を有する p 型の第 3 不純物注入領域 7 9 C が設けられている。  
15

なお、図 5 1においては、第 1 不純物注入領域 7 9 A、第 2 不純物注入領域 7 9 B、および、第 3 不純物注入領域 7 9 C を一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第 1 不純物注入領域 7 9 A、第 2 不純物注入領域 7 9 B、および、第 3 不純物注入領域 7 9 C をそれぞれ複数層設けることも可能である。  
20

なお、第 1 ゲート電極層 7 8 A、第 2 ゲート電極層 7 8 B、第 3 ゲート電極層 7 8 C、第 1 不純物注入領域 7 9 A、第 2 不純物注入領域 7 9 B、および、第 3 不純物注入領域 7 9 C の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。  
25

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 ゲート電極層 7 8 A と第 1 不純物注入領域 7 9 A との最も近接する面同士の間隔 (w 7 1) が、第 3 半導体層 7 3 と第 1 ゲート電極層 7 8 A との

接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第1不純物注入領域79Aと、第3半導体層73の第1ゲート電極層78Aと接しない面との間の間隔(w72)が、第3半導体層73と第1ゲート電極層78Aとの接合における拡散電位で広がる空乏層の間隔よりも小さく  
 5 なるように設けられ、第2ゲート電極層78Bと第2不純物注入領域79Bとの最も近接する面同士の間隔(w73)が、第5半導体層75と第2ゲート電極層78Bとの接合における拡散電位で広がる空乏層の間隔の2倍よりも小さくなるように設けられ、第2不純物注入領域79Bと、第5半導体層75の第2ゲート電極層78Bと接しない面との間の間隔w74が、第5半導体層75と第2ゲート電極層78Bとの接合における拡散電位で広がる空乏層の間隔よりも小さくなるように設ければ良い。

(横型接合型電界効果トランジスタ700の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ700の製造方法について、図53～図57を参照して説明する。なお、図53～図57は図5  
 15 1に示す断面構造にしたがった製造工程を示す断面図である。

図53を参照して、Si等からなる半導体基板2上に、p型不純物を含む厚さ $3\text{ }\mu\text{m}\sim4\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times10^{16}\text{ cm}^{-3}$ 程度のSiCからなる第1半導体層71をエピタキシャル成長により形成する。

次に、図54を参照して、この第1半導体層71の上に、n型不純物を含む厚さ $1\text{ }\mu\text{m}\sim2\text{ }\mu\text{m}$ 程度、不純物濃度が第1半導体層71よりも高い $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度のSiCからなる半導体層70Aをエピタキシャル成長により形成する。

次に、図55を参照して、半導体層70A中の所定領域に、基板2の平面方向(奥行き方向)に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが $0.5\text{ }\mu\text{m}\sim1.0\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times10^{17}\text{ cm}^{-3}\sim3\times10^{17}\text{ cm}^{-3}$ 程度の、p型第2半導体層72、n型第3半導体層73、p型第4半導体層74、n型第5半導体層75、p型第6半導体層76、および、n型第7半導体層77を形成する。

次に、図56を参照して、第2半導体層72、第3半導体層73、第4半導

体層 7 4、第 5 半導体層 7 5、第 6 半導体層 7 6、および、第 7 半導体層 7 7 中の所定領域に p 型の不純物を導入することにより、第 2 半導体層 7 2 と第 3 半導体層 7 3との間、第 4 半導体層 7 4 と第 5 半導体層 7 5 との間、第 6 半導体層 7 6 と第 7 半導体層 7 7 との間において、それぞれの領域をまたがるように、不純物濃度が  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の第 1 ゲート電極層 7 8 A、第 2 ゲート電極層 7 8 B、および、第 3 ゲート電極層 7 8 C を形成する。また、同時に、第 3 半導体層 7 3、第 5 半導体層 7 5、および、第 7 半導体層 7 7 の中に、第 1 ゲート電極層 7 8 A、第 2 ゲート電極層 7 8 B、および、第 3 ゲート電極層 7 8 C とほぼ同じ  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度不純物濃度を有し、かつ、同電位を有する第 1 不純物注入領域 7 9 A、第 2 不純物注入領域 7 9 B、および、第 3 不純物注入領域 7 9 C を形成する。

次に、図 5 7 を参照して、第 2 半導体層 7 2、第 3 半導体層 7 3、第 4 半導体層 7 4、第 5 半導体層 7 5、第 6 半導体層 7 6、および、第 7 半導体層 7 7 中の所定領域に n 型の不純物を導入することにより、第 2 半導体層 7 2、第 3 半導体層 7 3、第 4 半導体層 7 4、第 5 半導体層 7 5、第 6 半導体層 7 6、および、第 7 半導体層 7 7 が配置される方向に沿うとともに、第 1 ゲート電極層 7 8 A、第 2 ゲート電極層 7 8 B、第 3 ゲート電極層 7 8 C、第 1 不純物注入領域 7 9 A、第 2 不純物注入領域 7 9 B、および、第 3 不純物注入領域 7 9 C を挟み込み、第 3 半導体層 7 3 の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の n 型の不純物を含むソース／ドレイン領域層 6、8 を形成する。その後、図示していないが、表面熱酸化・開口・N i 電極形成、絶縁層形成（O C D 等）、コンタクトホール開口・A 1 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 5 1 に示す本実施の形態における横型接合型電界効果トランジスタ 7 0 0 が完成する。

## 25 (作用効果)

以上、上記構成からなる横型 J F E T およびその製造方法によれば、半導体基板 2 上に設けられる各半導体層が、半導体基板 2 上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げ

ることが可能になる。また、第2半導体層72と、第3半導体層73と、第4半導体層74と、第5半導体層75と、第6半導体層76と、第7半導体層77との不純物濃度および膜厚さを略同じ値にすることにより、横型J F E Tのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

5 なお、半導体層、ゲート電極層、および不純物注入領域を設ける数量については、横型J F E Tに要求される性能によって決定されることができ、たとえば、半導体層を3層、ゲート電極層を2層、不純物注入領域を1層設ける構造や、半導体層を4層、ゲート電極層を2層、不純物注入領域を2層設ける構造の採用が可能である。

10 (実施の形態8)

以下、実施の形態8における横型接合型電界効果トランジスタ800の構造について、図58および図59を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ800の構造的特徴は、上記横型接合型電界効果トランジスタ600と同様に、p n接合およびゲート電極層を横方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ800は、Si等からなる半導体基板2上に位置するp型不純物を含む第1半導体層81と、この第1半導体層81の上に位置し、p型不純物を含む第2半導体層82と、第1半導体層81の上に、かつ、第2半導体層82の横方向に隣接して位置し、n型不純物を含む第3半導体層83と、第1半導体層81の上に、かつ第3半導体層83の横方向に隣接して位置し、p型不純物を含む第4半導体層84と、第1半導体層81の上に、かつ第4半導体層84の横方向に隣接して位置し、n型不純物を含む第5半導体層85と、第1半導体層81の上に、かつ、第5半導体層85の横方向に隣接して位置し、p型不純物を含む第6半導体層と、第1半導体層81の上に、かつ第6半導体層86の横方向に隣接して位置し、n型不純物を含む第7半導体層87と、第1半導体層81の上に、かつ、第7半導体層87の横方向に隣接して位置し、p型不純物を含む第8半導体層(88)とが設けられている。

ここで、第1半導体層81の材質はSiC、膜厚は3μm～4μm程度、不

純物濃度は $1 \times 10^{16} \text{ cm}^{-3}$ 程度に設けられ、第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、、第7半導体層87、および、第8半導体層88の材質はSiC、膜厚は0.5 μm～1.0 μm程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層82～第8半導体層87の膜厚は、図58の奥行き方向の厚みを示す。

第2半導体層82、第3半導体層83、第4半導体層84、第5半導体層85、第6半導体層86、第7半導体層87、および、第8半導体層88中において所定の間隔を隔てて設けられ、第3半導体層83、第5半導体層85、および、第7半導体層87の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6，8が設けられる。ソース／ドレイン領域層6，8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

第2半導体層82中のソース／ドレイン領域層6，8の間には、その一方の側面が上記第3半導体層83にまで延在するように設けられ、第3半導体層83の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層88Aが設けられている。

また、第4半導体層84中のソース／ドレイン領域層6，8の間には、その一方の側面が第3半導体層83にまで延在し、他方の側面が第5半導体層85にまで延在するように設けられ、第1ゲート電極層88Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2ゲート電極層88Bが設けられている。

また、第6半導体層86中のソース／ドレイン領域層6，8の間には、その一方の側面が第5半導体層85にまで延在し、他方の側面が第7半導体層87にまで延在するように設けられ、第1ゲート電極層88Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第3ゲート電極層88Cが設けられている。

また、第8半導体層88中のソース／ドレイン領域層6，8の間には、その一方の側面が第7半導体層87にまで延在するように設けられ、第1ゲート電極層88Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第4ゲ

ート電極層 8 8 D が設けられている。

なお、第 1 ゲート電極層 8 8 A、第 2 ゲート電極層 8 8 B、第 3 ゲート電極層 8 8 C、および、第 4 ゲート電極層 8 8 D の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3}$  ~  $1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

5 なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 ゲート電極層 8 8 A と、第 2 ゲート電極層 8 8 B の最も近接する面同士の間隔 (w 8 1) が、第 3 半導体層 8 3 と第 1 ゲート電極層 8 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設けられ、第 2 ゲート電極層 8 8 B と第 3 ゲート電極層 8 8 C の最も近接する面同士の間隔 (w 8 2) が、第 3 半導体層 8 3 と第 1 ゲート電極層 8 8 A との接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

#### (横型接合型電界効果トランジスタ 800 の製造方法)

15 次に、上記構成からなる横型接合型電界効果トランジスタ 800 の製造方法について、図 6 0 ~ 図 6 4 を参照して説明する。

図 6 0 を参照して、Si 等からなる半導体基板 2 上に、p 型不純物を含む厚さ  $3 \mu\text{m} \sim 4 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の SiC からなる第 1 半導体層 8 1 をエピタキシャル成長により形成する。

20 次に、図 6 1 を参照して、この第 1 半導体層 8 1 の上に、n 型不純物を含む厚さ  $1 \mu\text{m} \sim 2 \mu\text{m}$  程度、不純物濃度が第 1 半導体層 8 1 よりも高い  $1 \times 10^{11} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の SiC からなる半導体層 8 0 A をエピタキシャル成長により形成する。

25 次に、図 6 2 を参照して、半導体層 8 0 A 中の所定領域に、基板 2 の平面方向（奥行き方向）に沿って所定の間隔を隔てて p 型不純物を導入することにより、それぞれ奥行き方向の膜厚さが  $0.5 \mu\text{m} \sim 1.0 \mu\text{m}$  程度、不純物濃度が  $1 \times 10^{17} \text{ cm}^{-3} \sim 3 \times 10^{17} \text{ cm}^{-3}$  程度の、p 型第 2 半導体層 8 2、n 型第 3 半導体層 8 3、p 型第 4 半導体層 8 4、n 型第 5 半導体層 8 5、p 型第 6 半導体層 8 6、n 型第 7 半導体層 8 7、および、p 型第 7 半導体層 8 8 を形成する。

次に、図 6 3 を参照して、第 2 半導体層 8 2、第 3 半導体層 8 3、第 4 半導体層 8 4、第 5 半導体層 8 5、第 6 半導体層 8 6、および、第 7 半導体層 8 7 中の所定領域に p 型の不純物を導入することにより、第 2 半導体層 8 2 と第 3 半導体層 8 3 との間、第 3 半導体層 8 4 と第 5 半導体層 8 5 との間、第 5 半導体層 8 5 と第 7 半導体層 8 7 との間、第 7 半導体層 7 7 と第 8 半導体層 7 8 との間において、それぞれの領域をまたがるように、不純物濃度が  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の第 1 ゲート電極層 8 8 A、第 2 ゲート電極層 8 8 B、第 3 ゲート電極層 8 8 C、および、第 4 ゲート電極層 8 8 D を形成する。

次に、図 6 4 を参照して、第 2 半導体層 8 2、第 3 半導体層 8 3、第 4 半導体層 8 4、第 5 半導体層 8 5、第 6 半導体層 8 6、第 7 半導体層 8 7、および、第 7 半導体層 8 7 中の所定領域に n 型の不純物を導入することにより、第 2 半導体層 8 2、第 3 半導体層 8 3、第 4 半導体層 8 4、第 5 半導体層 8 5、第 6 半導体層 8 6、第 7 半導体層 8 7、および、第 7 半導体層 8 7 が配置される方向に沿うとともに、第 1 ゲート電極層 8 8 A、第 2 ゲート電極層 8 8 B、および、第 3 ゲート電極層 8 8 C を挟み込み、第 3 半導体層 8 3 の不純物濃度よりも高い、 $1 \times 10^{19} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度の n 型の不純物を含むソース／ドレイン領域層 6、8 を形成する。その後、図示していないが、表面熱酸化・開口・N<sub>i</sub> 電極形成、絶縁層形成（OCD 等）、コンタクトホール開口・A1 配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図 5 1 に示す本実施の形態における横型接合型電界効果トランジスタ 8 0 0 が完成する。

#### （作用効果）

以上、上記構成からなる横型 J F E T によれば、半導体基板 2 上に設けられる各半導体層が、半導体基板 2 上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第 2 半導体層 8 2 と、第 3 半導体層 8 3 と、第 4 半導体層 8 4 と、第 5 半導体層 8 5 と、第 6 半導体層 8 6 と、第 7 半導体層 8 7、第 8 半導体層 8 8 との不純物濃度および膜厚さを略同じ値にすることにより、横型 J F E T のオ

ン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、半導体層およびゲート電極層を設ける数量については、横型 J F E T に要求される性能によって決定することができ、たとえば、半導体層を 3 層、ゲート電極層を 2 層設ける構造や、半導体層を 4 層、ゲート電極層を 3 層設ける構造の採用が可能である。

なお、上記実施の形態 6 ~ 8 に示す製造方法においては、デバイスの厚み（第 2 半導体層の図中の縦方向の厚み）によっては、複数回に分けてのイオン注入を行なうことも考えられる。この場合、各半導体層、各ゲート電極層、ソース／ドレイン領域層の各工程を複数回繰返して行ない、所望の厚みのデバイスを形成することになる。

(実施の形態 9)

(横型接合型電界効果トランジスタ 900 の構造)

以下、実施の形態 9 における横型接合型電界効果トランジスタ 900 の構造について、図 6 5 および図 6 6 を参照して説明する。

本実施の形態における横型接合型電界効果トランジスタ 900 の構造的特徴は、上記横型接合型電界効果トランジスタ 600 と同様に、p n 接合およびゲート電極層を横方向に配置するようにしたものである。

この横型接合型電界効果トランジスタ 900 は、S i 等からなる半導体基板 2 上に位置する p 型不純物を含む第 1 半導体層 91 と、この第 1 半導体層 91 上に位置し、p 型不純物を含む第 2 半導体層 92 と、第 1 半導体層 91 の上に、かつ、第 2 半導体層 92 の横方向に隣接して位置し、n 型不純物を含む第 3 半導体層 93 と、第 1 半導体層 91 の上に、かつ、第 3 半導体層 93 の横方向に隣接して位置し、p 型不純物を含む第 4 半導体層 94 と、第 1 半導体層 91 の上に、かつ、第 4 半導体層 94 の横方向に隣接して位置し、n 型不純物を含む第 5 半導体層 95 と、第 1 半導体層 91 の上に、かつ、第 5 半導体層 95 の横方向に隣接して位置し、p 型不純物を含む第 6 半導体層 96 とが設けられている。

ここで、第 1 半導体層 91 の材質は S i C、膜厚は  $3 \mu m \sim 4 \mu m$  程度、不純物濃度は  $1 \times 10^{16} cm^{-3}$  程度に設けられ、第 2 半導体層 92、第 3 半導体

層93、第4半導体層94、第5半導体層95、および、第6半導体層96の材質はSiC、膜厚は0.5μm～1.0μm程度、不純物濃度は $1 \times 10^{17} \text{ cm}^{-3}$ ～ $3 \times 10^{17} \text{ cm}^{-3}$ 程度に設けられる。なお、第2半導体層92～第6半導体層96の膜厚は、図14の奥行き方向の厚みを示す。

5 第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96中において所定の間隔を隔てて設けられ、第3半導体層93および第5半導体層95の不純物濃度よりも高い濃度のn型の不純物を含むソース／ドレイン領域層6，8が設けられる。ソース／ドレイン領域層6，8の不純物濃度は $1 \times 10^{19} \text{ cm}^{-3}$ ～ $1 \times 10^{20} \text{ cm}^{-3}$ 程度に設けられる。

10 第2半導体層92中のソース／ドレイン領域層6，8の間には、その一方の側面が第3半導体層93にまで延在するように設けられ、第3半導体層93の不純物濃度よりも高いp型の不純物濃度を含む第1ゲート電極層98Aが設けられている。

15 また、第4半導体層94中のソース／ドレイン領域層6，8の間には、その一方の側面が第3半導体層93にまで延在し、他方の側面が第5半導体層95にまで延在するように設けられ、第1ゲート電極層98Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2ゲート電極層98Bが設けられている。

20 また、第6半導体層96中のソース／ドレイン領域層6，8の間には、その一方の側面が第5半導体層95にまで延在するように設けられ、第1ゲート電極層98Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第3ゲート電極層98Cが設けられている。

25 また、第1ゲート電極層98Aと第2ゲート電極層98Bとに挟まれた第3半導体層98Bには、第1ゲート電極層98Aとほぼ同じ不純物濃度を有し、かつ、同電位を有するp型の第1不純物注入領域99Aが設けられている。

また、第2ゲート電極98Bと第3ゲート電極層98Cとに挟まれた第5半導体層95には、第1ゲート電極層98Aとほぼ同じ不純物濃度を有し、かつ同電位を有するp型の第2不純物注入領域99Bが設けられている。

なお、図 6 5においては、第 1 不純物注入領域 9 9 A、および、第 2 不純物注入領域 9 9 B を一層設ける場合を図示しているが、総チャネル幅を広くしオン抵抗を下げつつ、かつ、ノーマリオフ型の横型接合型トランジスタを実現させる観点から、半導体層内に第 1 不純物注入領域 9 9 A、および、第 2 不純物注入領域 9 9 B をそれぞれ複数層設けることも可能である。

なお、第 1 ゲート電極層 9 8 A、第 2 ゲート電極層 9 8 B、第 3 ゲート電極層 9 8 C、第 1 不純物注入領域 9 9 A、および、第 2 不純物注入領域 9 9 C の不純物濃度は  $3 \times 10^{18} \text{ cm}^{-3} \sim 1 \times 10^{20} \text{ cm}^{-3}$  程度に設けられる。

なお、ノーマリオフ型の横型接合型電界効果トランジスタを実現させるためには、第 1 ゲート電極層 9 8 A と、第 1 不純物注入領域 9 9 A の最も近接する面同士の間隔 (w 9 1) が、第 3 半導体層 9 3 と第 1 ゲート電極層 9 8 A の接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設けられ、第 1 不純物注入領域 9 9 A と、第 2 ゲート電極層 9 8 B の最も近接する面同士の間隔 (w 9 2) が、第 3 半導体層 9 3 と第 1 ゲート電極層 9 8 A の接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設けられ、第 2 ゲート電極層 9 8 B と、第 2 不純物注入領域 9 9 B の最も近接する面同士の間隔 (w 9 3) が、第 3 半導体層 9 3 と第 1 ゲート電極層 9 8 A の接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設けられ、第 2 不純物注入領域 9 9 B と、第 3 ゲート電極層 9 8 C の最も近接する面同士の間隔 (w 9 4) が、第 3 半導体層 9 3 と第 1 ゲート電極層 9 8 A の接合における拡散電位で広がる空乏層の間隔の 2 倍よりも小さくなるように設ければ良い。

#### (横型接合型電界効果トランジスタ 9 0 0 の製造方法)

次に、上記構成からなる横型接合型電界効果トランジスタ 9 0 0 の製造方法について、図 6 7～図 7 1 を参照して説明する。

図 6 7 を参照して、S i 等からなる半導体基板 2 上に、p 型不純物を含む厚さ  $3 \mu \text{m} \sim 4 \mu \text{m}$  程度、不純物濃度が  $1 \times 10^{16} \text{ cm}^{-3}$  程度の S i C からなる第 1 半導体層 9 1 をエピタキシャル成長により形成する。

次に、図 6 8 を参照して、この第 1 半導体層 9 1 の上に、n 型不純物を含む

厚さ $1\text{ }\mu\text{m}\sim 2\text{ }\mu\text{m}$ 程度、不純物濃度が第1半導体層91よりも高い $1\times 10^{17}\text{ cm}^{-3}\sim 3\times 10^{17}\text{ cm}^{-3}$ 程度のSiCからなる半導体層90Aをエピタキシャル成長により形成する。

次に、図69を参照して、半導体層90A中の所定領域に、基板2の平面方向（奥行き方向）に沿って所定の間隔を隔ててp型不純物を導入することにより、それぞれ奥行き方向の膜厚さが $0.5\text{ }\mu\text{m}\sim 1.0\text{ }\mu\text{m}$ 程度、不純物濃度が $1\times 10^{17}\text{ cm}^{-3}\sim 3\times 10^{17}\text{ cm}^{-3}$ 程度の、p型第2半導体層92、n型第3半導体層93、p型第4半導体層94、n型第5半導体層95、および、p型第6半導体層96を形成する。

次に、図69を参照して、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96の所定領域にp型の不純物を導入することにより、第2半導体層92と第3半導体層93との間、第3半導体層79と第5半導体層95との間、第5半導体層95と第6半導体層96との間において、それぞれの領域をまたがるように、不純物濃度が $3\times 10^{18}\text{ cm}^{-3}\sim 1\times 10^{20}\text{ cm}^{-3}$ 程度の第1ゲート電極層98A、第2ゲート電極層98B、および、第3ゲート電極層98Cを形成する。また、同時に、第3半導体層73、および、第5半導体層75の中に、第1ゲート電極層98A、第2ゲート電極層98B、および、第3ゲート電極層98Cとほぼ同じ $3\times 10^{18}\text{ cm}^{-3}\sim 1\times 10^{20}\text{ cm}^{-3}$ 程度不純物濃度を有し、かつ、同電位を有する第1不純物注入領域99A、および、第2不純物注入領域99Bを形成する。

次に、図70を参照して、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96の所定領域にn型の不純物を導入することにより、第2半導体層92、第3半導体層93、第4半導体層94、第5半導体層95、および、第6半導体層96が配置される方向に沿うとともに、第1ゲート電極層98A、第2ゲート電極層98B、第3ゲート電極層98C、第1不純物注入領域99A、および、第2不純物注入領域99Bを挟み込み、第3半導体層93の不純物濃度よりも高い、 $1\times 10^{19}\text{ cm}^{-3}\sim 1\times 10^{20}\text{ cm}^{-3}$ 程度のn型の不純物を含むソース／ドレイン領域層6、

8を形成する。その後、図示していないが、表面熱酸化・開口・N<sub>i</sub>電極形成、絶縁層形成（OCD等）、コンタクトホール開口・A1配線・パッド形成、熱処理、オーミックコンタクト形成等の工程を経ることにより、図65に示す本実施の形態における横型接合型電界効果トランジスタ900が完成する。

5 (作用効果)

以上、上記構成からなる横型JFETおよびその製造方法によれば、半導体基板2上に設けられる各半導体層が、半導体基板2上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。また、第2半導体層92と、第3半導体層93と、第4半導体層94と、第5半導体層95と、第6半導体層96との不純物濃度および膜厚さを略同じ値にすることにより、横型JFETのオン抵抗を最小にし、耐圧値を最大に設定することを可能としている。

なお、半導体層、ゲート電極層、および不純物注入領域を設ける数量については、横型JFETに要求される性能によって決定されることができ、たとえば、半導体層を3層、ゲート電極層を2層、不純物注入領域を1層設ける構造や、半導体層を4層、ゲート電極層を2層、不純物注入領域を2層設ける構造の採用が可能である。

なお、今回開示された実施の形態はすべての点で例示であって制限的なものではないと考えられるべきである。本発明の範囲は上記した説明ではなくて特許請求の範囲によって示され、特許請求の範囲と均等の意味および範囲内でのすべての変更が含まれることが意図される。

### 産業上の利用可能性

この発明に基づいた横型接合型電界効果トランジスタおよびその製造方法の1つの局面によれば、半導体基板上の各半導体層の積層方向である縦方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

また、この発明に基づいた横型接合型電界効果トランジスタおよびその製造

方法の他の局面によれば、複数の横型 J F E Tにおいて p n 接合を縦方向に配置し、ゲート電極層を横方向に配置した構成が採用されているため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。

また、この発明に基づいた横型接合型電界効果トランジスタおよびその製造方法のさらに他の局面によれば、半導体基板上に設けられる各半導体層が、半導体基板上において隣接する横方向に沿って配置されることにより、基板の平面方向に沿ってトランジスタ構造を形成することになるため、従来の構造に対して、さらに素子のオン抵抗を下げることが可能になる。  
5

## 請求の範囲

1. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（11）と、

5 前記第1半導体層（11）の上に位置し、前記第1半導体層（11）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（12）と、

前記第2半導体層（12）の上に位置し、第1導電型不純物（p）を含む第3半導体層（13）と、

10 前記第3半導体層（13）の上に位置し、第2導電型不純物（n）を含む第4半導体層と（14）、

前記第4半導体層（14）の上に位置し、第1導電型不純物（p）を含む第5半導体層と（15）、

15 前記第5半導体層（15）中において所定の間隔を隔てて、下面が前記第2半導体層（12）にまで延在するように設けられ、前記第2半導体層（12）および前記第4半導体層（14）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）と、

20 前記第3半導体層中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第2半導体層（12）にまで延在するように設けられ、前記第2半導体層（12）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（18A）と、

25 前記第5半導体層（15）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第4半導体層（14）にまで延在するように設けられ、前記第1ゲート電極層（18A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層（18B）と、

を備える横型接合型電界効果トランジスタ。

2. 前記第2半導体層（12）と、前記第3半導体層（13）と、前記第4半導体層（14）と、前記第5半導体層（15）との不純物濃度と膜厚さとがほぼ同じである、請求項1に記載の横型接合型電界効果トランジスタ。

3. 前記第1半導体層（11）の最上部と前記第1ゲート電極（18A）の最下部との間の間隔（w11）が、前記第2半導体層（12）と前記第1ゲート電極層（18A）との接合における拡散電位で広がる空乏層の間隔よりも小さく、

5 前記第3半導体層（13）の最上部と前記第2ゲート電極層（18B）の最下部との間の間隔（w12）が、前記第4半導体層（14）と前記第2ゲート電極層（18B）との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項1に記載の横型電界効果トランジスタ。

4. 前記第3半導体層（13）と前記第4半導体層（14）との間に、前記第10半導体層（12）と前記第3半導体層（13）と前記第1ゲート電極層（18A）とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項1に記載の横型接合型電界効果トランジスタ。

5. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（21）と、

15 前記第1半導体層（21）の上に位置し、前記第1半導体層（21）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（22）と、

前記第2半導体層（22）の上に位置し、第1導電型不純物（p）を含む第3半導体層（23）と、

20 前記第3半導体層（23）の上に位置し、第2導電型不純物（n）を含む第4半導体層（24）と、

前記第4半導体層（24）の上に位置し、第1導電型不純物（p）を含む第5半導体層（25）と、

25 前記第5半導体層（25）中において所定の間隔を隔てて、下面が前記第2半導体層（22）にまで延在するように設けられ、前記第2半導体層（22）および第4半導体層（24）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）と、

前記第3半導体層（23）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第2半導体層（22）にまで延在するように設けられ、

前記第2半導体層（22）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（28A）と、

前記第5半導体層（25）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第4半導体層（24）にまで延在するように設けられ、

5 前記第1ゲート電極層（28A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層（28B）と、

前記第1半導体層（21）と前記第1ゲート電極層（28A）とに挟まれた前記第2半導体層（22）に、前記第1ゲート電極層（28A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第1不純物注入領域（29A）と、

10 前記第3半導体層（23）と前記第2ゲート電極層（28B）とに挟まれた前記第4半導体層（24）に、前記第1ゲート電極（28A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2不純物注入領域（29B）と、

15 を備える横型接合型電界効果トランジスタ。

6. 前記第2半導体層（22）と、前記第3半導体層（23）と、前記第4半導体層（24）と、前記第5半導体層（25）との不純物濃度と膜厚さとがほぼ同じである、請求項5に記載の横型接合型電界効果トランジスタ。

7. 前記第1半導体層（21）の最上部と前記第1不純物注入領域（29A）の最下部との間の間隔（w21）が、前記第2半導体層（22）と前記第1不純物注入領域（29A）との接合における拡散電位で広がる空乏層の間隔よりも小さく、

20 前記第1不純物注入領域（29A）の最上部と前記第1ゲート電極層（28A）の最下部との間の間隔（w22）が、前記第2半導体層（22）と前記第1ゲート電極層（28A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

25 前記第3半導体層（23）の最上部と前記第2不純物注入領域（29B）の最下部との間の間隔（w23）が、前記第4半導体層（24）と前記第2不純物注入領域（29B）との接合における拡散電位で広がる空乏層の間隔よりも

小さく、

前記第2不純物注入領域（29B）の最上部と前記第2ゲート電極層（28B）の最下部との間の間隔（w24）が、前記第4半導体層（24）と前記第2ゲート電極層（28B）との接合における拡散電位で広がる空乏層の間隔の  
5 2倍よりも小さいことを特徴とする、請求項5に記載の横型接合型電界効果トランジスタ。

8. 前記第3半導体層（23）と前記第4半導体層（24）との間に、前記第2半導体層（22）と前記第3半導体層（23）と前記第1ゲート電極層（28A）と前記第1不純物注入領域（29A）とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項5に記載の横型接合型電界効果トランジスタ。  
10

9. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（31）と、

前記第1半導体層（31）の上に位置し、前記第1半導体層（31）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（32）  
15 と、

前記第2半導体層（32）の上に位置し、第1導電型不純物（p）を含む第3半導体層（33）と、

前記第3半導体層（33）の上に位置し、第2導電型不純物（n）を含む第4半導体層（34）と、  
20

前記第4半導体層（34）の上に位置し、第1導電型不純物（p）を含む第5半導体層（35）と、

前記第5半導体層（35）中において所定の間隔を隔てて、下面が前記第2半導体層にまで延在するように設けられ、前記第2半導体層（32）および第4半導体層（34）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を  
25 含むソース／ドレイン領域層（6，8）と、

前記第3半導体層（33）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第2半導体層（32）にまで延在し、上面が前記第4半導体層（34）にまで延在するように設けられ、前記第2半導体層（32）お

および前記第4半導体層（34）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（38A）と、前記第5半導体層（35）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第4半導体層にまで延在するように設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層と（38B）、  
5 を備える横型接合型電界効果トランジスタ。

10. 前記第2半導体層（32）と前記第3半導体層（33）と前記第4半導体層（34）と、前記第5半導体層（35）との不純物濃度と膜厚さとがほぼ同じである、請求項9に記載の横型接合型電界効果トランジスタ。

11. 前記第1半導体層（31）の最上部と前記第1ゲート電極層（38A）の最下部との間の間隔（w31）が、前記第2半導体層（32）と前記第1ゲート電極層（38A）との接合における拡散電位で広がる空乏層の間隔よりも小さく、

前記第1ゲート電極層（38A）の最上部と前記第2ゲート電極層（38B）の最下部との間の間隔（w32）が、前記第4半導体層（34）と前記第1ゲート電極層（38A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項9に記載の横型接合型電界効果トランジスタ。

12. 前記第4半導体層（34）と前記第5半導体層（35）との間に、前記第3半導体層（33）と前記第4半導体層（34）と前記第1ゲート電極層（38A）とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項9に記載の横型接合型電界効果トランジスタ。

13. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（41）と、

前記第1半導体層（41）の上に位置し、前記第1半導体層（41）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（42）と、

前記第2半導体層（42）の上に位置し、第1導電型不純物（p）を含む第3半導体層（43）と、

前記第3半導体層(43)の上に位置し、第2導電型不純物(n)を含む第4半導体層(44)と、

前記第4半導体層(44)の上に位置し、第1導電型不純物(p)を含む第5半導体層(45)と、

5 前記第5半導体層(45)中において所定の間隔を隔てて、下面が前記第2半導体層(42)にまで延在するように設けられ、前記第2半導体層(42)および第4半導体層(44)の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層(6, 8)と、

10 前記第3半導体層(43)中の前記ソース／ドレイン領域層(6, 8)の間ににおいて、下面が前記第2半導体層(42)にまで延在し、上面が前記第4半導体層(44)にまで延在するように設けられ、前記第2半導体層(42)および前記第4半導体層(44)の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層(48A)と、

15 前記第5半導体層(45)中の前記ソース／ドレイン領域層(6, 8)の間ににおいて、下面が前記第4半導体層(44)にまで延在するように設けられ、前記第1ゲート電極層(48A)とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型(p)の第2ゲート電極層(48B)と、

20 前記第1半導体層(41)と前記第1ゲート電極層(48A)とに挟まれた前記第2半導体層(42)に、前記第1ゲート電極層(48A)とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型(p)の第1不純物注入領域(49A)と、

25 前記第1ゲート電極層(48A)と前記第2ゲート電極層(48B)とに挟まれた前記第4半導体層(44)に、前記第1ゲート電極層(48A)とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型(p)の第2不純物注入領域(49B)と、

を備える、横型接合型電界効果トランジスタ。

14. 前記第2半導体層(42)と、前記第3半導体層(43)と、前記第4半導体層(44)と、前記第5半導体層(45)との不純物濃度と膜厚さとがほぼ同じである、請求項13に記載の横型接合型電界効果トランジスタ。

15. 前記第1半導体層（41）の最上部と前記第1不純物注入領域（49A）の最下部との間の間隔（w43）が、前記第2半導体層（42）と前記第1不純物注入領域（49A）との接合における拡散電位で広がる空乏層の間隔よりも小さく、

5 前記第1不純物注入領域（49A）の最上部と前記第1ゲート電極層（48A）の最下部との間隔（w44）が、前記第2半導体層（42）と前記第1ゲート電極層（48A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

10 前記第1ゲート電極層（48A）の最上部と前記第2不純物注入領域（49B）の最下部との間の間隔（w45）が、前記第4半導体層（44）と前記第2不純物注入領域（49B）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

15 前記第2不純物注入領域（49B）の最上部と前記第2ゲート電極層（48B）の最下部との間の間隔（w46）が、前記第4半導体層（44）と前記第2ゲート電極層（48B）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項13に記載の横型接合型電界効果トランジスタ。

20 16. 前記第4半導体層（44）と前記第5半導体層（45）との間に、前記第3半導体層（43）と前記第4半導体層（44）と前記第1ゲート電極層（48A）と前記第2不純物注入領域（49B）とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項13に記載の横型接合型電界効果トランジスタ。

25 17. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（51）と、

前記第1半導体層（51）の上に位置し、前記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（52）と、

前記第2半導体層（52）の上に位置し、第1導電型不純物（p）を含む第3半導体層（53）と、

前記第3半導体層（53）の上に位置し、第2導電型不純物（n）を含む第

4 半導体層（54）と、

前記第4半導体層（54）の上に位置し、第1導電型不純物（p）を含む第5半導体層（55）と、

前記第5半導体層（55）中において所定の間隔を隔てて、下面が前記第2半導体層（52）にまで延在するように設けられ、前記第2半導体層（52）および第4半導体層（54）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）と、

前記第5半導体層（55）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第2半導体層（52）にまで延在するように設けられ、前記第2半導体層（52）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（58A）と、

前記第5半導体層（55）中の前記ソース／ドレイン領域層（6，8）の間において、下面が前記第2半導体層（52）にまで延在するように前記第1ゲート電極層（58A）に隣接して設けられ、前記第1ゲート電極層（58A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2ゲート電極層（58B）と、

を備える横型接合型電界効果トランジスタ。

18. 前記第2半導体層（52）と、前記第3半導体層（53）と、前記第4半導体層（54）と、前記第5半導体層（55）との不純物濃度と膜厚さとがほぼ同じである、請求項17に記載の横型接合型電界効果トランジスタ。

19. 前記第1ゲート電極層（58A）と前記第2ゲート電極層（58B）との間の間隔（w51）が、前記第2半導体層（52）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔、および前記第4半導体層（54）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項17に記載の横型接合型電界効果トランジスタ。

20. 前記第1ゲート電極層（58A）と前記第2ゲート電極層（58B）との間に、下面が前記第2半導体層（52）にまで延在するように設けられ、前記第1ゲート電極層（58A）とほぼ同じ不純物濃度を有し、かつ、同電位を

有する第1導電型（p）の不純物注入領域（59A）を1つ備える、請求項17に記載の横型接合型電界効果トランジスタ。

21. 前記第1ゲート電極層（58A）と前記不純物注入領域（59A）との間の間隔（w51）および前記不純物注入領域（59A）と前記第2ゲート電極層（58B）との間隔（w52）が、前記第2半導体層（52）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔、および前記第4半導体層（54）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項20に記載の横型接合型電界効果トランジスタ。

10 22. 前記不純物注入領域（59A）が2以上設けられる、請求項21に記載の横型接合型電界効果トランジスタ。

23. 前記第1ゲート電極層（58A）に最も近接する前記不純物注入領域（59A）と前記第1ゲート電極層（58A）との間の間隔（w51）、前記不純物注入領域同士の間隔（w53）、および前記第2ゲート電極層（58B）に最も近接する前記不純物注入領域（59B）と前記第2ゲート電極層（58B）との間の間隔（w54）が、いずれも、前記第2半導体層（52）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔、および前記第4半導体層（54）と前記第1ゲート電極層（58A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項21に記載の横型接合型電界効果トランジスタ。

24. 前記第4半導体層（54）と前記第5半導体層（55）との間に、前記第3半導体層（53）と前記第4半導体層（54）とほぼ同じ構造を1つ以上有する、請求項17に記載の横型接合型電界効果トランジスタ。

25. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（61）と、

前記第1半導体層（61）の上に位置し、第1導電型不純物（p）を含む第2半導体層（62）と、

前記第1半導体層（61）の上に、かつ、前記第2半導体層（62）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（63）と、

前記第2半導体層（62）および前記第3半導体層（63）中において所定の間隔を隔てて設けられ、前記第3半導体層（63）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6，8）と、

前記第2半導体層（62）中の前記ソース／ドレイン領域層（6，8）の間ににおいて、その一方の側面が前記第3半導体層（63）にまで延在するように設けられ、前記第1半導体層（61）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含むゲート電極層（68A）と、

を備える横型接合型電界効果トランジスタ。

26. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（61）と、

前記第1半導体層（61）の上に位置し、第1導電型不純物（p）を含む第2半導体層（62）と、

前記第1半導体層（61）の上に、かつ、前記第2半導体層（62）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（63）と、

前記第1半導体層（61）の上に、かつ、前記第3半導体層（63）に隣接して位置し、第1導電型不純物（p）を含む第4半導体層（64）と、

前記第1半導体層（61）の上に、かつ、前記第4半導体層（64）に隣接して位置し、第2導電型不純物（n）を含む第5半導体層（65）と、

前記第2半導体層（62）、前記第3半導体層（63）、前記第4半導体層（64）および前記第5半導体層（65）中において所定の間隔を隔てて設けられ、前記第3半導体層（63）および前記第5半導体層（65）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）と、

前記第2半導体層（62）中の前記ソース／ドレイン領域層（6，8）の間ににおいて、その一方の側面が前記第3半導体層（63）にまで延在するように設けられ、前記第3半導体層（63）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（68A）と、前記第4半導体層（64）中の前記ソース／ドレイン領域層（6，8）の間ににおいて、その一方の側面が前記第5半導体層（65）にまで延在するように設けられ、前記第1

ゲート電極層（68A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2ゲート電極層（68B）と、  
を備える横型接合型電界効果トランジスタ。

27. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導  
5 体層（61）と、

前記第1半導体層（61）の上に位置し、第1導電型不純物（p）を含む第  
2半導体層（62）と、

前記第1半導体層（61）の上に、かつ、前記第2半導体層（62）に隣接  
して位置し、前記第2導電型不純物（n）を含む第3半導体層（63）と、

10 前記第1半導体層（61）の上に、かつ、前記第3半導体層（63）に隣接  
して位置し、第1導電型不純物（p）を含む第4半導体層（64）と、

前記第2半導体層（62）、前記第3半導体層（63）および前記第4半導  
体層（64）中において所定の間隔を隔てて設けられ、前記第3半導体層の不  
純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン  
15 領域層（6, 8）と、

前記第2半導体層（62）中の前記ソース／ドレイン領域層（6, 8）の間  
において、その一方の側面が前記第3半導体層（63）にまで延在するよう  
に設けられ、前記第3半導体層（63）の不純物濃度よりも高い第1導電型  
（p）の不純物濃度を含むゲート電極層（68A）と、

20 を備える横型接合型電界効果トランジスタ。

28. 前記第2半導体層（62）と、前記第3半導体層（63）と、前記第4  
半導体層（64）との不純物濃度と膜厚さとがほぼ同じである、請求項27に  
記載の横型接合型電界効果トランジスタ。

29. 前記ゲート電極層（68A）と前記第4半導体層（64）との間の間隔  
25 （w61）が、前記第3半導体層（63）と前記ゲート電極層（68A）との  
接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、  
請求項27に記載の横型接合型電界効果トランジスタ。

30. 前記第3半導体層（63）と前記第4半導体層（64）との間に前記第  
2半導体層（62）と前記第3半導体層（63）と前記ゲート電極層（68

A) とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項27に記載の横型接合型電界効果トランジスタ。

31. 半導体基板(2)上に位置する第1導電型不純物(p)を含む第1半導体層(71)と、

5 前記第1半導体層(71)の上に位置し、第1導電型不純物(p)を含む第2半導体層(72)と、

前記第1半導体層(71)の上に、かつ、前記第2半導体層(72)に隣接して位置し、第2導電型不純物(n)を含む第3半導体層(73)と、

10 前記第2半導体層(72)および前記第3半導体層(73)中において所定の間隔を隔てて設けられ、前記第3半導体層(73)の不純物濃度よりも高い濃度の第2導電型(n)の不純物を含むソース／ドレイン領域層(6, 8)と、

15 前記第2半導体層(72)中の前記ソース／ドレイン領域層(6, 8)の間ににおいて、その一方の側面が前記第3半導体層(73)にまで延在するように設けられ、前記第3半導体層(73)の不純物濃度よりも高い第1導電型(p)の不純物濃度を含むゲート電極層(78A)と、

前記ゲート電極層(78A)と前記第3半導体層(73)の前記ゲート電極層と(78A)接しない面とに挟まれた前記第3半導体層(73)に、前記ゲート電極層(78A)とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型(p)の不純物注入領域(79A)と、

20 を備える横型接合型電界効果トランジスタ。

32. 半導体基板(2)上に位置する第1導電型不純物(p)を含む第1半導体層(71)と、

前記第1半導体層(71)の上に位置し、第1導電型不純物(p)を含む第2半導体層(72)と、

25 前記第1半導体層(71)の上に、かつ、前記第2半導体層(72)に隣接して位置し、第2導電型不純物(n)を含む第3半導体層(73)と、

前記第1半導体層(71)の上に、かつ、前記第3半導体層(73)に隣接して位置し、第1導電型不純物(p)を含む第4半導体層(74)と、

前記第1半導体層(71)の上に、かつ前記第4半導体層(74)に隣接し

て位置し、第2導電型不純物（n）を含む第5半導体層（75）と、

前記第2半導体層（72）、前記第3半導体層（73）、前記第4半導体層（74）および前記第5半導体層（75）中において所定の間隔を隔てて設けられ、前記第3半導体層（73）および前記第5半導体層（75）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6, 8）と、

前記第2半導体層（72）中の前記ソース／ドレイン領域層（6, 8）の間ににおいて、その一方の側面が前記第3半導体層（73）にまで延在するように設けられ、前記第3半導体層（73）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（78A）と、

前記第4半導体層（74）中の前記ソース／ドレイン領域層（6, 8）の間ににおいてその一方の側面が前記第5半導体層（75）にまで延在するように設けられ、前記第1ゲート電極層（78A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層（78B）と、

前記第4半導体層（74）と前記第1ゲート電極層（78A）とに挟まれた前記第3半導体層（73）に、前記第1ゲート電極層（78A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第1不純物注入領域（79A）と、

前記第2ゲート電極層（78B）と、前記第5半導体層（75）の前記第2ゲート電極層（78B）と接しない面とに挟まれた前記第5半導体層（75）に、前記第1ゲート電極層（78A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2不純物注入領域（79B）と、  
を備える横型接合型電界効果トランジスタ。

33. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（71）と、

前記第1半導体層（71）の上に位置し、第1導電型不純物（p）を含む第2半導体層（72）と、

前記第1半導体層（71）の上に、かつ、前記第2半導体層（72）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（73）と、

前記第1半導体層(71)の上に、かつ、前記第3半導体層(73)に隣接して位置し、第1導電型不純物(p)を含む第4半導体層(74)と、

前記第2半導体層(72)、前記第3半導体層(73)および前記第4半導体層(74)中において所定の間隔を隔てて設けられ、前記第3半導体層(73)の不純物濃度よりも高い濃度の第2導電型(n)の不純物を含むソース／ドレイン領域層(6, 8)と、

前記第2半導体層(72)中の前記ソース／ドレイン領域層(6, 8)の間ににおいて、その一方の側面が前記第3半導体層(73)にまで延在するよう設けられ、前記第3半導体層(73)の不純物濃度よりも高い第1導電型(p)の不純物濃度を含むゲート電極層(78A)と、

前記第4半導体層(74)と前記ゲート電極層(78A)とに挟まれた前記第3半導体層(73)に、前記ゲート電極層(78A)とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型(p)の不純物注入領域(79A)と、を備える横型接合型電界効果トランジスタ。

34. 前記第2半導体層(72)と、前記第3半導体層(73)と、前記第4半導体層(74)の不純物濃度と膜厚さとがほぼ同じである、請求項33に記載の横型電界効果トランジスタ。

35. 前記ゲート電極層(78A)と前記不純物注入領域(79A)との間の間隔(w71)が、前記第3半導体層(73)と前記ゲート電極層(78A)との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記不純物注入領域(79A)と前記第4半導体層(74)との間の間隔が、前記第3半導体層(73)と前記ゲート電極層(78A)との接合における拡散電位で広がる空乏層の間隔よりも小さいことを特徴とする、請求項33に記載の横型接合型電界効果トランジスタ。

36. 前記第3半導体層(73)と前記第4半導体層(74)との間に、前記第2半導体層(72)と前記第3半導体層(73)と前記ゲート電極層(78A)と前記不純物注入領域(79A)とほぼ同じ構造である単位トランジスタ構造を1つまたは2以上備える、請求項33に記載の横型接合型電界効果トランジスタ。

3 7. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（8 1）と、

前記第1半導体層（8 1）の上に位置し、第1導電型不純物（p）を含む第2半導体層（8 2）と、

5 前記第1半導体層（8 1）の上に、かつ、前記第2半導体層（8 2）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（8 3）と、

前記第1半導体層（8 1）の上に、かつ、前記第3半導体層（8 3）に隣接して位置し、第1導電型不純物（p）を含む第4半導体層（8 4）と、

前記第2半導体層（8 2）、前記第3半導体層（8 3）および前記第4半導体層（8 4）中において所定の間隔を隔てて設けられ、前記第3半導体層（8 3）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6，8）と、

前記第2半導体層（8 2）中の前記ソース／ドレイン領域層（6，8）の間ににおいて、その一方の側面が前記第3半導体層（8 3）にまで延在するように設けられ、前記第3半導体層（8 3）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（8 8 A）と、

前記第4半導体層（8 4）中の前記ソース／ドレイン領域層（6，8）の間ににおいて、その一方の側面が前記第3半導体層（8 3）にまで延在するように設けられ、前記第1ゲート電極層（8 8 A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2ゲート電極層（8 8 B）と、

を備える横型接合型電界効果トランジスタ。

3 8. 前記第2半導体層（8 2）と、前記第3半導体層（8 3）と、前記第4半導体層（8 4）との不純物濃度と膜厚さとがほぼ同じである、請求項3 7に記載の横型接合型電界効果トランジスタ。

25 3 9. 前記第1ゲート電極層（8 8 A）と、前記第2ゲート電極層（8 8 B）の最も近接する面同士の間隔（w 8 1）が、前記第3半導体層（7 3）と前記第1ゲート電極層（8 8 A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項3 7に記載の横型接合型電界効果トランジスタ。

40. 半導体基板（2）上に位置する第1導電型不純物（p）を含む第1半導体層（81）と、

前記第1半導体層（81）の上に位置し、第1導電型不純物（p）を含む第2半導体層（82）と、

5 前記第1半導体層（81）の上に、かつ、前記第2半導体層（82）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（83）と、

前記第1半導体層（81）の上に、かつ前記第3半導体層（83）に隣接して位置し、第1導電型不純物（p）を含む第4半導体層（84）と、

前記第1半導体層（81）の上に、かつ前記第4半導体層（84）に隣接して位置し、第2導電型不純物（n）を含む第5半導体層（85）と、

前記第1半導体層（81）の上に、かつ、前記第5半導体層（85）に隣接して位置し、第1導電型不純物（p）を含む第6半導体層と、

前記第2半導体層（82）、前記第3半導体層（83）、前記第4半導体層（84）、前記第5半導体層（85）および前記第6半導体層（86）中において所定の間隔を隔てて設けられ、前記第3半導体層（83）および前記第5半導体層（85）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6, 8）と、

前記第2半導体層（82）中の前記ソース／ドレイン領域層（6, 8）の間において、その一方の側面が前記第3半導体層（83）にまで延在するよう設けられ、前記第3半導体層（83）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（88A）と、

前記第4半導体層（84）中の前記ソース／ドレイン領域層（6, 8）の間においてその一方の側面が前記第3半導体層（83）にまで延在し、他方の側面が前記第5半導体層（85）にまで延在するよう設けられ、前記第1ゲート電極層（88A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2ゲート電極層（88B）と、

前記第6半導体層（86）の前記ソース／ドレイン領域層（6, 8）の間においてその一方の側面が前記第5半導体層（85）にまで延在するよう設けられ、前記第1ゲート電極層とほぼ同じ不純物濃度を有し、かつ、同電位を有

する第1導電型(p)の第3ゲート電極層(88C)と、  
を備える横型接合型電界効果トランジスタ。

41. 前記第2半導体層(82)と、前記第3半導体層(83)と、前記第4半導体層(84)と、前記第5半導体層(85)と、前記第6半導体層(86)との不純物濃度と膜厚さとがほぼ同じである、請求項40に記載の横型接合型電界効果トランジスタ。

42. 前記第1ゲート電極層(88A)と、前記第2ゲート電極層(88B)の最も近接する面同士の間隔(w81)が、前記第3半導体層(83)と前記第1ゲート電極層(88A)との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第2ゲート電極層(88B)と前記第3ゲート電極層(88C)の最も近接する面同士の間隔(w82)が、前記第3半導体層(83)と前記第1ゲート電極層(88A)との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項40に記載の横型接合型電界効果トランジスタ。

43. 前記第5半導体層(85)と前記第6半導体層(86)との間に、前記第4半導体層(84)と前記第5半導体層(85)と前記第2ゲート電極層(88B)とほぼ同じ構造である単位トランジスタ構造を1つ以上備える、請求項40に記載の横型接合型電界効果トランジスタ。

44. 半導体基板(2)上に位置する第1導電型不純物(p)を含む第1半導体層(91)と、

前記第1半導体層(91)上に位置し、第1導電型不純物(p)を含む第2半導体層(92)と、

前記第1半導体層(91)の上に、かつ、前記第2半導体層(92)に隣接して位置し、第2導電型不純物(n)を含む第3半導体層(93)と、

前記第1半導体層(91)の上に、かつ、前記第3半導体層(93)に隣接して位置し、第1導電型不純物(p)を含む第4半導体層(94)と、

前記第2半導体層(92)、前記第3半導体層(93)および前記第4半導体層(94)中において所定の間隔を隔てて設けられ、前記第3半導体層(9

3) の不純物濃度よりも高い濃度の第2導電型 (n) の不純物を含むソース／ドレイン領域層 (6, 8) と、

前記第2半導体層 (92) 中の前記ソース／ドレイン領域層 (6, 8) の間ににおいて、その一方の側面が前記第3半導体層 (93) にまで延在するように設けられ、前記第3半導体層 (93) の不純物濃度よりも高い第1導電型 (p) の不純物濃度を含む第1ゲート電極層 (98A) と、

前記第4半導体層 (94) 中の前記ソース／ドレイン領域層 (6, 8) の間ににおいて、その一方の側面が前記第3半導体層にまで延在するように設けられ、前記第1ゲート電極層 (98A) とほぼ同じ不純物濃度を有し、かつ同電位を有する第2ゲート電極層 (98B) と、

前記第1ゲート電極層 (98A) と前記第2ゲート電極層 (98B) とに挟まれた前記第3半導体層 (93) に、前記第1ゲート電極層 (98A) とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型 (p) の不純物注入領域 (99A) と、

15 を備える横型接合型電界効果トランジスタ。

45. 前記第2半導体層 (92) と前記第3半導体層 (93) と前記第4半導体層 (94)との不純物濃度と膜厚さとがほぼ同じである、請求項44に記載の横型接合型電界効果トランジスタ。

46. 前記第1ゲート電極層 (98A) と、前記不純物注入領域 (99A) の最も近接する面同士の間隔 (w91) が、前記第3半導体層 (93) と前記第1ゲート電極層 (98A)との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記不純物注入領域 (99A) と、前記第2ゲート電極 (98B) の最も近接する面同士の間隔 (w92) が、前記第3半導体層 (93) と前記第1ゲート電極層 (98A)との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項44に記載の横型接合型電界効果トランジスタ。

47. 半導体基板 (2) 上に位置する第1導電型不純物 (p) を含む第1半導体層 (91) と、

前記第1半導体層（91）の上に位置し、第1導電型不純物（p）を含む第2半導体層（92）と、

前記第1半導体層（91）の上に、かつ、前記第2半導体層（92）に隣接して位置し、第2導電型不純物（n）を含む第3半導体層（93）と、

5 前記第1半導体層（91）の上にかつ前記第3半導体層（93）に隣接して位置し、第1導電型不純物（p）を含む第4半導体層（94）と、

前記第1半導体層（91）の上に、かつ、前記第4半導体層（94）に隣接して位置し、第2導電型不純物（n）を含む第5半導体層（95）と、

前記第1半導体層（91）の上に、かつ、前記第5半導体層（95）に隣接して位置し、第1導電型不純物（p）を含む第6半導体層（96）と、

前記第2半導体層（92）、前記第3半導体層（93）、前記第4半導体層（94）、前記第5半導体層（95）および前記第6半導体層（96）において所定の間隔を隔てて設けられ、前記第3半導体層（93）および前記第5半導体層（95）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6，8）と、

前記第2半導体層（92）中の前記ソース／ドレイン領域層（6，8）において、その一方の側面が前記第3半導体層（93）にまで延在するように設けられ、前記第3半導体層（93）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（98A）と、

20 前記第4半導体層（94）中の前記ソース／ドレイン領域層（6，8）において、その一方の側面が前記第3半導体層（93）にまで延在し、他方の側面が前記第5半導体層（95）にまで延在するように設けられ、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2ゲート電極層（98B）と、

25 前記第6半導体層（96）中の前記ソース／ドレイン領域層（6，8）において、その一方の側面が前記第5半導体層（95）にまで延在するように設けられ、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第3ゲート電極層（98C）と、

前記第1ゲート電極層（98A）と前記第2ゲート電極層（98B）とに挟

まれた前記第3半導体層（93B）に、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第1不純物注入領域（99A）と、

前記第2ゲート電極（98B）と前記第3ゲート電極層（98C）とに挟まれた前記第5半導体層（95）に、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2不純物注入領域（99B）と、

を備える横型接合型電界効果トランジスタ。

48. 前記第2半導体層（92）と、前記第3半導体層（93）と、前記第4半導体層（94）と、前記第5半導体層（95）と、前記第6半導体層（96）との不純物濃度と膜厚さとがほぼ同じである、請求項47に記載の横型接合型電界効果トランジスタ。

49. 前記第1ゲート電極層（98A）と、前記第1不純物注入領域（99A）の最も近接する面同士の間隔（w91）が、前記第3半導体層（93）と前記第1ゲート電極層（98A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第1不純物注入領域（99A）と、前記第2ゲート電極層（98B）の最も近接する面同士の間隔（w92）が、前記第3半導体層（93）と前記第1ゲート電極層（98A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第2ゲート電極層（98B）と、前記第2不純物注入領域（99B）の最も近接する面同士の間隔（w93）が、前記第3半導体層（93）と前記第1ゲート電極層（98A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さく、

前記第2不純物注入領域（99B）と、前記第3ゲート電極層（98C）の最も近接する面同士の間隔（w94）が、前記第3半導体層（93）と前記第1ゲート電極層（98A）との接合における拡散電位で広がる空乏層の間隔の2倍よりも小さいことを特徴とする、請求項47に記載の横型接合型電界効果トランジスタ。

50. 前記第5半導体層（95）と前記第6半導体層（96）との間に、前記第4半導体層（94）と前記第5半導体層（95）と前記第2ゲート電極層（98B）と前記第2不純物注入領域（99B）とほぼ同じ構造である単位トランジスタ構造を1つ以上備える、請求項47に記載の横型接合型電界効果トランジスタ。

51. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（11）を形成する工程と、

前記第1半導体層（11）の上に、前記第1半導体層（11）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（12）を形成する工程と、

前記第2半導体層（12）の上に、第1導電型不純物（p）を含む第3半導体層（13）を形成する工程と、

前記第2半導体層（12）と前記第3半導体層（13）とにまたがるように、第3半導体層（13）の所定領域に不純物を導入して、前記第2半導体層（12）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（18A）を形成する工程と、

前記第3半導体層（13）の上に、第2導電型不純物（n）を含む第4半導体層（14）を形成する工程と、

前記第4半導体層（14）の上に、第1導電型不純物（p）を含む第5半導体層（15）を形成する工程と、

前記第5半導体層（15）の所定領域に不純物を導入して、下面が前記第4半導体層（14）にまで延在し、前記第1ゲート電極層（18A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層（18B）を形成する工程と、

前記第1ゲート電極層（18A）および前記第2ゲート電極層（18B）の両側において、前記第5半導体層（15）に不純物を導入して、下面が前記第2半導体層（12）にまで延在し、前記第2半導体層（12）および前記第4半導体層（14）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）を形成する工程と、

を備える、横型接合型電界効果トランジスタの製造方法。

5 2. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（21）を形成する工程と、

前記第1半導体層（21）の上に、前記第1半導体層（21）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（22）を形成する工程と、

前記第2半導体層（22）の上に、第1導電型不純物（p）を含む第3半導体層（23）を形成する工程と、

前記第2半導体層（22）の所定領域に不純物を導入して、前記第2半導体層（22）内に第1導電型（p）の第1不純物注入領域（29A）を形成する工程と、

前記第2半導体層（22）と前記第3半導体層（23）とにまたがるように不純物を導入して、前記第2半導体層（22）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（28A）を形成する工程と、

15 前記第3半導体層（23）の上に、第2導電型不純物（n）を含む第4半導体層（24）を形成する工程と、

前記第4半導体層（24）の上に、第1導電型不純物（p）を含む第5半導体層（25）を形成する工程と、

前記第4半導体層（24）の所定領域に不純物を導入して、前記第4半導体層（24）内に前記第1ゲート電極（28A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2不純物注入領域（29B）を形成する工程と、

25 前記第5半導体層（25）の所定領域に不純物を導入して、下面が前記第4半導体層（24）にまで延在するように設けられ、前記第1ゲート電極層（28A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層（28B）を形成する工程と、

前記第1ゲート電極層（28A）および前記第2ゲート電極層（28B）の両側において、前記第5半導体層（25）の所定領域に不純物を導入して、下面が前記第2半導体層（22）にまで延在するように設けられ、前記第2半導

体層（22）および第4半導体層（24）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）を形成する工程と、  
を備える横型接合型電界効果トランジスタの製造方法。

5 3. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（31）を形成する工程と、

前記第1半導体層（31）の上に、前記第1半導体層（31）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（32）を形成する工程と、

10 前記第2半導体層（32）の上に、第1導電型不純物（p）を含む第3半導体層（33）を形成する工程と、

前記第3半導体層（33）の上に、第2導電型不純物（n）を含む第4半導体層（34）を形成する工程と、

15 前記第4半導体層（34）の所定領域に不純物を導入し、下面が前記第2半導体層（32）にまで延在し、上面が前記第4半導体層（34）にまで延在し、  
前記第2半導体層（32）および前記第4半導体層（34）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（38A）を形成する工程と、

前記第4半導体層（34）の上に、第1導電型不純物（p）を含む第5半導体層（35）を形成する工程と、

20 前記第5半導体層（35）の所定領域に不純物を導入し、下面が前記第4半導体層（34）にまで延在するように設けられ、前記第1ゲート電極層（38A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第2ゲート電極層（38B）を形成する工程と、

25 前記第1ゲート電極層（38A）および前記第2ゲート電極層（38B）の両側において、前記第5半導体層（35）の所定領域に不純物を導入して、下面が前記第2半導体層（32）にまで延在するように設けられ、前記第2半導体層（32）および第4半導体層（34）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6，8）と、  
を備える横型接合型電界効果トランジスタの製造方法。

5 4. 半導体基板（2）の上に、第1導電型不純物（p）を含む第1半導体層（4 1）を形成する工程と、

前記第1半導体層（4 1）の上に、前記第1半導体層（4 1）の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（4 2）を形成する工程と、  
5

前記第2半導体層（4 2）の上に、第1導電型不純物（p）を含む第3半導体層（4 3）を形成する工程と、

前記第3半導体層（4 3）の上に、第2導電型不純物（n）を含む第4半導体層（4 4）を形成する工程と、

10 前記第4半導体層（4 4）の所定領域に不純物を導入して、下面が前記第2半導体層（4 2）にまで延在し、上面が前記第4半導体層（4 4）にまで延在し、前記第2半導体層（4 2）および前記第4半導体層（4 4）の不純物濃度よりも高い不純物濃度を含む第1ゲート電極層（4 8 A）を形成する工程と、

前記第2半導体層（4 2）の所定領域に不純物を導入して、前記第2半導体層（4 2）内に、前記第1ゲート電極層（4 8 A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第1不純物注入領域（4 9 A）を形成する工程と、  
15

前記第4半導体層（4 4）の上に、第1導電型不純物（p）を含む第5半導体層（4 5）を形成する工程と、

20 前記第5半導体層（4 5）の所定領域に不純物を導入して、下面が前記第4半導体層（4 4）にまで延在するよう設けられ、前記第1ゲート電極層（4 8 A）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の第2ゲート電極層（4 8 B）を形成する工程と、

前記第4半導体層（4 4）の所定領域に不純物を導入して、前記第4半導体層（4 4）内に、前記第1ゲート電極層（4 8 A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2不純物注入領域（4 9 B）を形成する工程と、  
25

前記第1ゲート電極層（4 8 A）および前記第2ゲート電極層（4 8 B）の両側において、下面が前記第2半導体層（4 2）にまで延在するよう設けら

れ、前記第2半導体層（42）および第4半導体層（44）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）を形成する工程と、

を備える、横型接合型電界効果トランジスタ。

- 5 55. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（51）を形成する工程と、

前記第1半導体層（51）の上に、前記第1半導体層の不純物濃度よりも高い濃度の第2導電型不純物（n）を含む第2半導体層（52）を形成する工程と、

- 10 前記第2半導体層（52）の上に、第1導電型不純物（p）を含む第3半導体層（53）を形成する工程と、

前記第3半導体層（53）の上に、第2導電型不純物（n）を含む第4半導体層（54）を形成する工程と、

- 15 前記第4半導体層（54）の上に、第1導電型不純物（p）を含む第5半導体層（55）を形成する工程と、

前記第5半導体層（55）中の所定領域に不純物を導入することにより、下面が前記第2半導体層（52）にまで延在するように設けられ、前記第2半導体層（52）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含み、前記基板（2）の平面方向に沿って互いに所定の間隔を隔てて配置される第1ゲート電極層（58A）および第2ゲート電極層（58B）を形成する工程と、

- 20 前記第5半導体層（55）中の所定領域に不純物を導入することにより、前記第1ゲート電極層（58A）および前記第2ゲート電極層（58B）の配置方向に沿って前記第1ゲート電極層（58A）および前記第2ゲート電極層（58B）を両側から挟みこみ、下面が前記第2半導体層（52）にまで延在するように設けられ、前記第2半導体層（52）および第4半導体層（54）の不純物濃度よりも高い濃度の第2導電型の不純物を含むソース／ドレイン領域層（6，8）を形成する工程と、

を備える横型接合型電界効果トランジスタの製造方法。

56. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層

(6 1) を形成する工程と、

前記第 1 半導体層 (6 1) の上に、第 2 導電型不純物 (n) を含む半導体層 (6 0 A) を形成する工程と、

前記半導体層 (6 0 A) 中の所定領域に、前記基板 (2) の平面方向に沿つて所定の間隔を隔てて第 1 導電型不純物 (p) を導入することにより、第 1 導電型不純物 (p) を含む第 2 半導体層 (6 2) と第 2 導電型不純物 (n) を含む第 3 半導体層 (6 3) とを形成する工程と、

前記第 2 半導体層 (6 2) および前記第 3 半導体層 (6 3) 中の所定領域に不純物を導入することにより、前記第 2 半導体層 (6 2) および前記第 3 半導体層 (6 3) にまたがるように設けられ、前記第 1 半導体層 (6 1) の不純物濃度よりも高い第 1 導電型 (p) の不純物濃度を含むゲート電極層 (6 8 A) を形成する工程と、

前記第 2 半導体層 (6 2) および前記第 3 半導体層 (6 3) の所定領域に不純物を導入することにより、前記第 2 半導体層 (6 2) および前記第 3 半導体層 (6 3) が配置される方向に沿うとともに、前記ゲート電極層 (6 8 A) を挟み込み、前記第 3 半導体層 (6 3) の不純物濃度よりも高い濃度の第 2 導電型 (n) の不純物を含むソース／ドレイン領域層 (6, 8) を形成する工程と、を備える横型接合型電界効果トランジスタの製造方法。

5 7. 半導体基板 (2) 上に、第 1 導電型不純物 (p) を含む第 1 半導体層 (7 1) を形成する工程と、

前記第 1 半導体層 (7 1) の上に、第 2 導電型不純物 (n) を含む半導体層 (7 0 A) を形成する工程と、

前記半導体層 (7 0 A) 中の所定領域に、前記基板 (2) の平面方向に沿つて所定の間隔を隔てて第 1 導電型不純物 (p) を導入することにより、第 1 導電型不純物 (p) を含む第 2 半導体層 (7 2) と第 2 導電型不純物 (n) を含む第 3 半導体層 (7 3) とを形成する工程と、

前記第 2 半導体層 (7 2) および前記第 3 半導体層 (7 3) 中の所定領域に不純物を導入することにより、前記第 2 半導体層 (7 2) および前記第 3 半導体層 (7 3) にまたがるように設けられ、前記第 3 半導体層 (7 3) の不純物

濃度よりも高い第1導電型（p）の不純物濃度を含むゲート電極層（78Å）と、前記第3半導体層（73）の中に、前記ゲート電極層（78Å）とほぼ同じ不純物濃度を有し、かつ、同電位を有する第1導電型（p）の不純物注入領域（79Å）とを形成する工程と、

5 前記第2半導体層（72）および前記第3半導体層（73）の所定領域に不純物を導入することにより、前記第2半導体層（72）および前記第3半導体層（73）が配置される方向に沿うとともに、前記ゲート電極層（78Å）および不純物注入領域（79Å）を挟み込み、前記第3半導体層（73）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6, 8）を形成する工程と、  
10

を備える横型接合型電界効果トランジスタの製造方法。

58. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（81）を形成する工程と、

前記第1半導体層（81）の上に、第2導電型不純物（n）を含む半導体層（80Å）を形成する工程と、  
15

前記半導体層（80Å）中の所定領域に、前記基板（2）の平面方向に沿つて所定の間隔を隔てて第1導電型不純物（p）を導入することにより、第1導電型不純物（p）を含む第2半導体層（82）、第2導電型不純物（n）を含む第3半導体層（83）、および、第1導電型不純物（p）を含む第4半導体層（84）を形成する工程と、  
20

前記第2半導体層（82）、前記第3半導体層（83）、および、前記第4半導体層（84）中の所定領域に不純物を導入することにより、前記第2半導体層（82）および前記第3半導体層（93）にまたがるように設けられ、前記第3半導体層（83）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（88Å）と、前記第3半導体層（83）および前記第4半導体層（84）にまたがるように設けられ、前記第1ゲート電極層（88Å）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2ゲート電極層（88B）とを形成する工程と、  
25

前記第2半導体層（82）、前記第3半導体層（83）、および、前記第4

半導体層（84）の所定領域に不純物を導入することにより、前記第2半導体層（82）、前記第3半導体層（83）、および、前記第4半導体層（84）が配置される方向に沿うとともに、前記1ゲート電極層（88A）および前記第2ゲート電極層（88B）を挟み込み、前記第3半導体層（83）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6, 8）を形成する工程と、

を備える横型接合型電界効果トランジスタの製造方法。

5 59. 半導体基板（2）上に、第1導電型不純物（p）を含む第1半導体層（91）を形成する工程と、

10 前記第1半導体層（91）の上に、第2導電型不純物（n）を含む半導体層（90A）を形成する工程と、

前記半導体層（90A）中の所定領域に、前記基板（2）の平面方向に沿って所定の間隔を隔てて第1導電型不純物（p）を導入することにより、第1導電型不純物（p）を含む第2半導体層（92）、第2導電型不純物（n）を含む第3半導体層（93）、および、第1導電型不純物（p）を含む第4半導体層（94）を形成する工程と、

前記第2半導体層（92）、前記第3半導体層（93）、および、前記第4半導体層（94）中の所定領域に不純物を導入することにより、前記第2半導体層（92）および前記第3半導体層（93）にまたがるように設けられ、前記第3半導体層（93）の不純物濃度よりも高い第1導電型（p）の不純物濃度を含む第1ゲート電極層（98A）と、前記第3半導体層（93）および前記第4半導体層（94）にまたがるように設けられ、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の第2ゲート電極層（98B）と、前記第1ゲート電極層（98A）および前記第2ゲート電極層（98B）に挟まれた前記第3半導体層（93）に、前記第1ゲート電極層（98A）とほぼ同じ不純物濃度を有し、かつ同電位を有する第1導電型（p）の不純物注入領域（99A）とを形成する工程と、

前記第2半導体層（92）、前記第3半導体層（93）、および、前記第4半導体層（94）の所定領域に不純物を導入することにより、前記第2半導体

層（92）、前記第3半導体層（93）、および、前記第4半導体層（94）が配置される方向に沿うとともに、前記1ゲート電極層（98A）、前記第2ゲート電極層（98B）および不純物注入領域（99A）を挟み込み、前記第3半導体層（93）の不純物濃度よりも高い濃度の第2導電型（n）の不純物を含むソース／ドレイン領域層（6，8）を形成する工程と、  
5 を備える横型接合型電界効果トランジスタの製造方法。

FIG.1

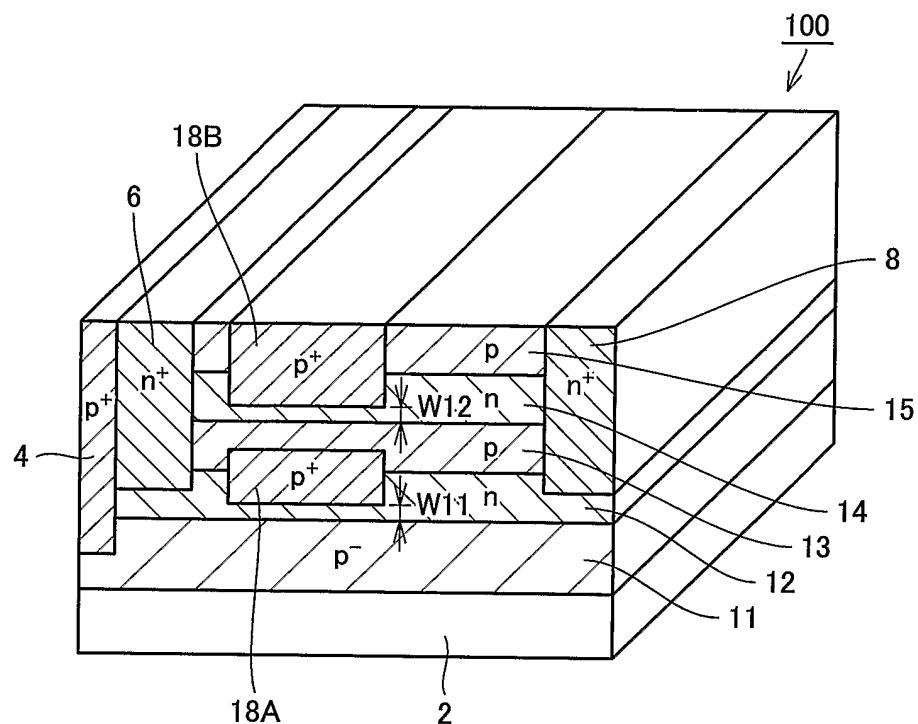


FIG.2

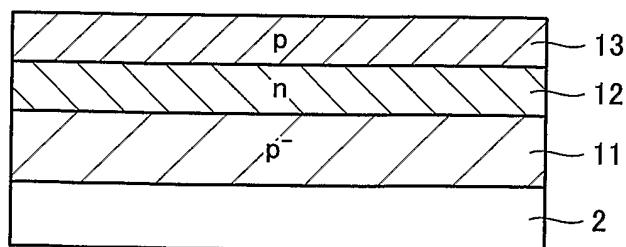


FIG.3

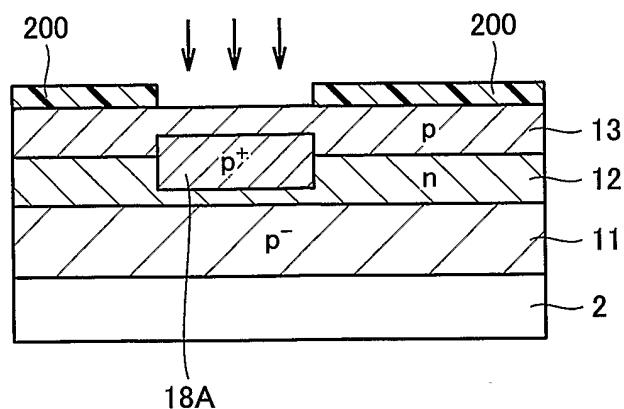


FIG.4

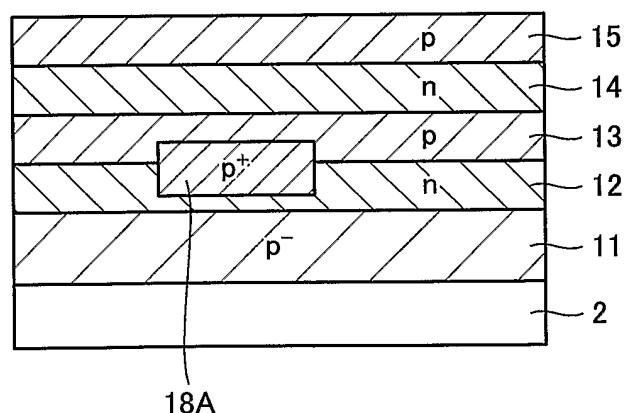


FIG.5

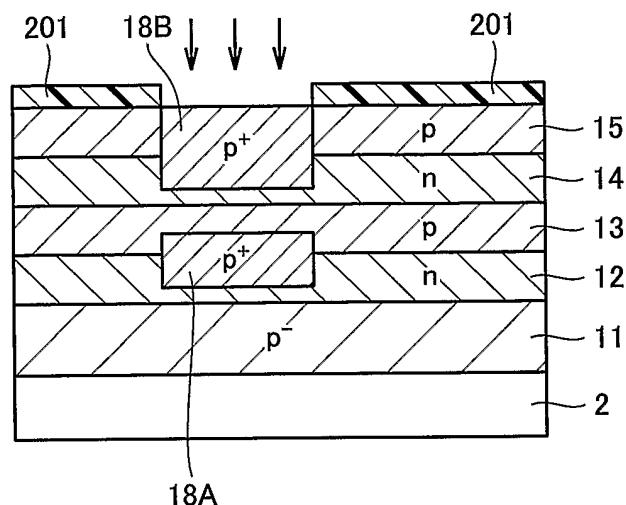


FIG.6

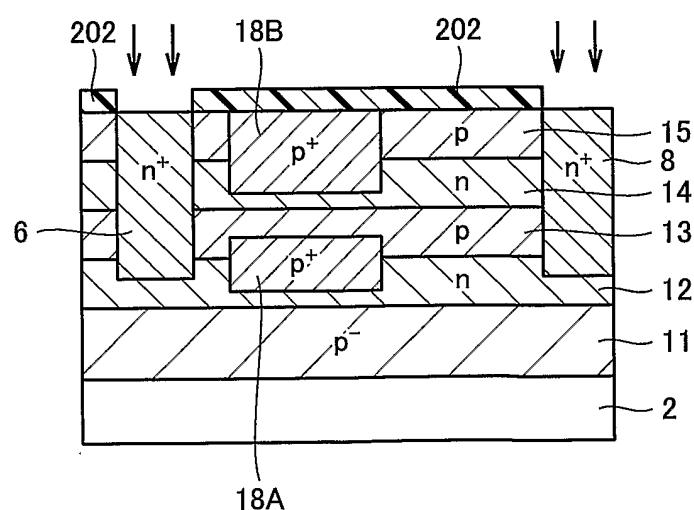


FIG.7

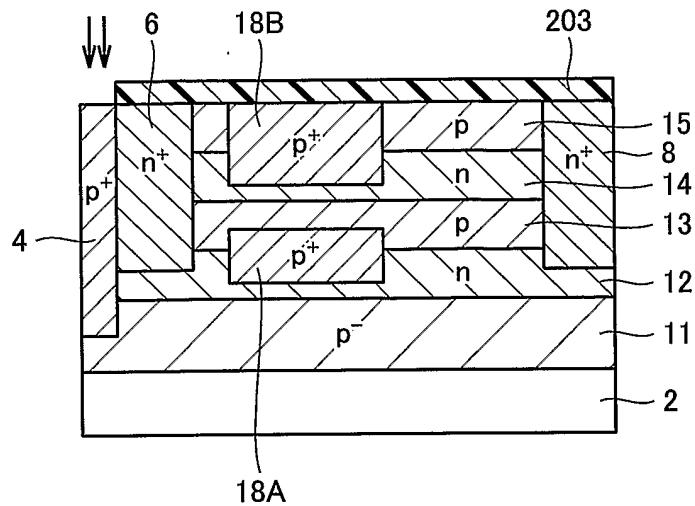


FIG.8

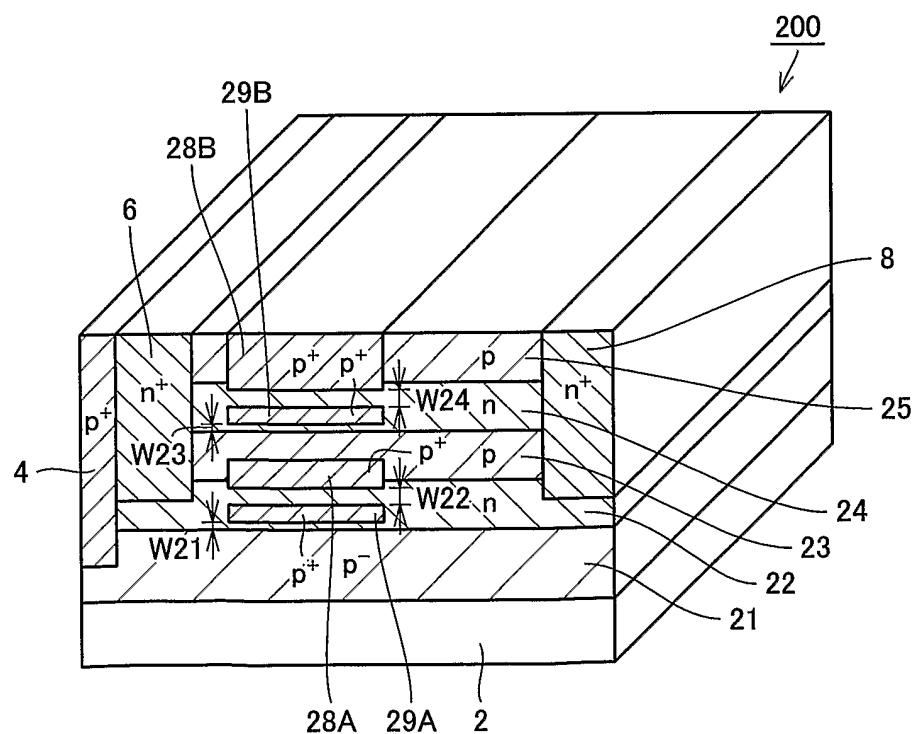


FIG.9

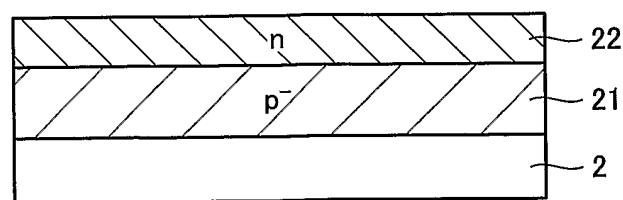


FIG.10

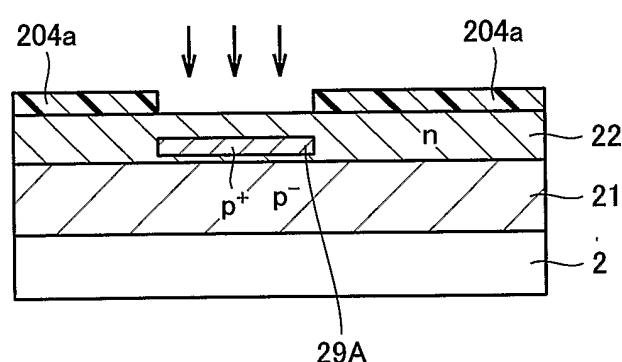


FIG.11

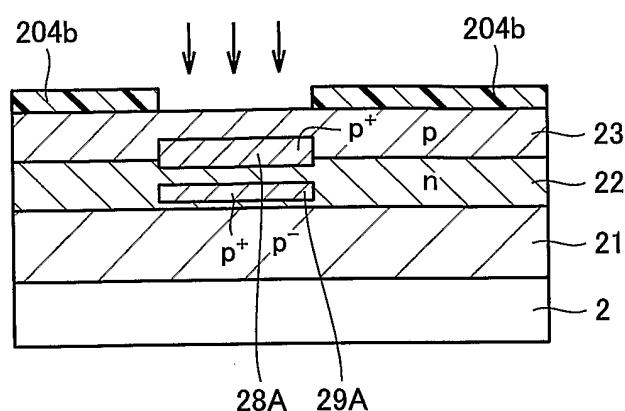


FIG.12

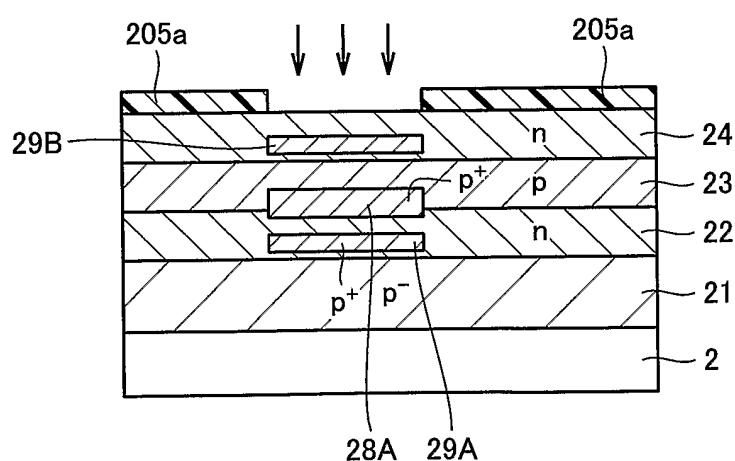


FIG.13

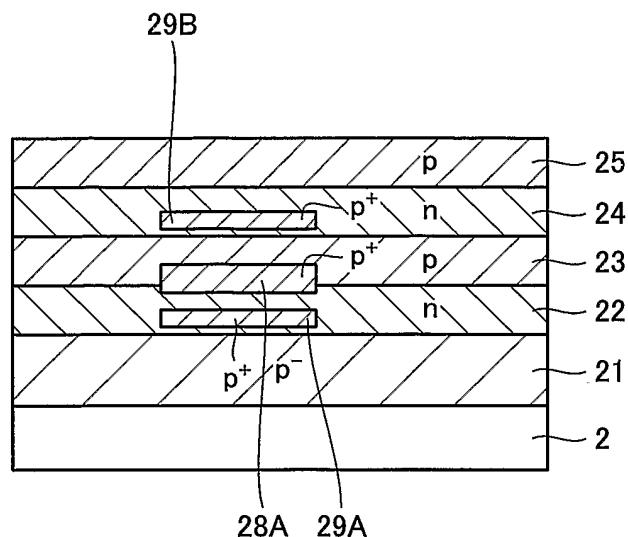


FIG.14

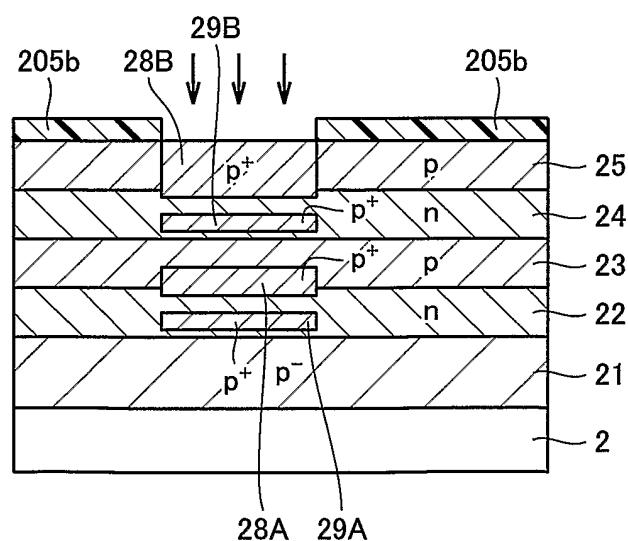


FIG.15

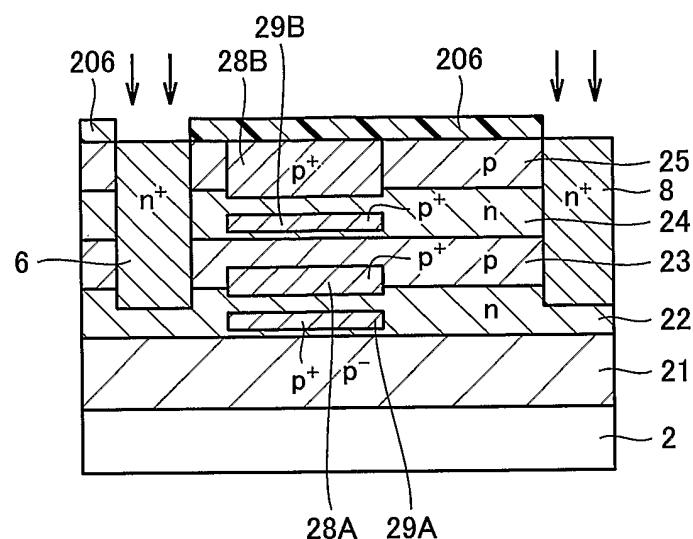


FIG.16

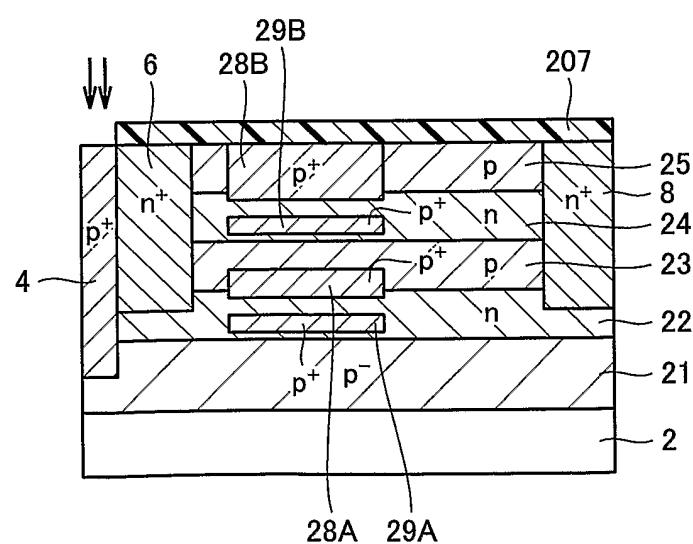


FIG.17

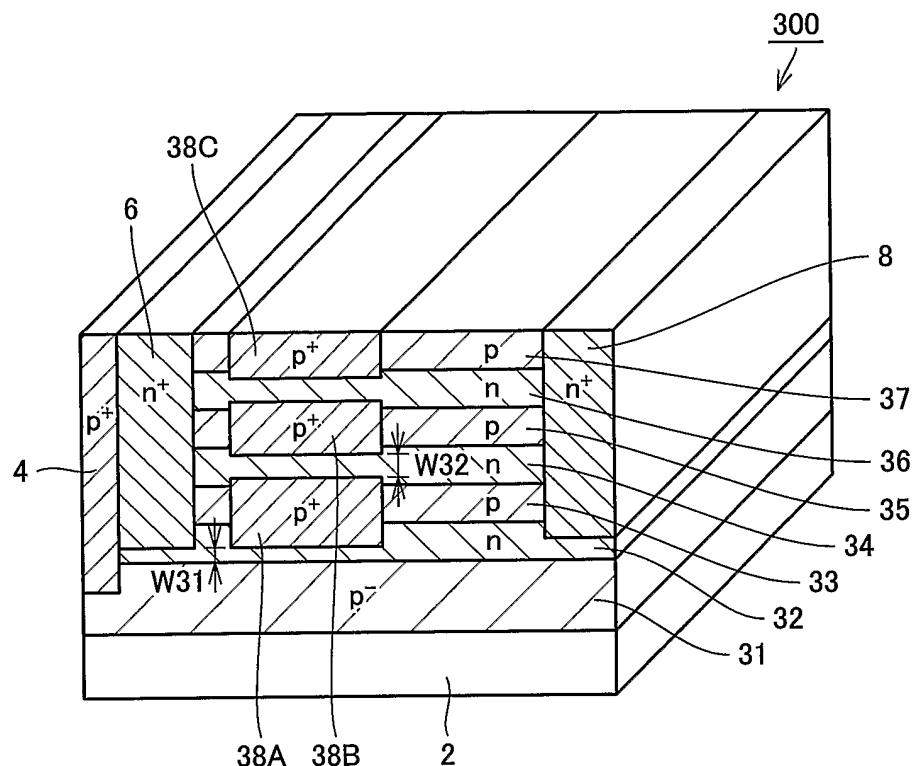


FIG.18

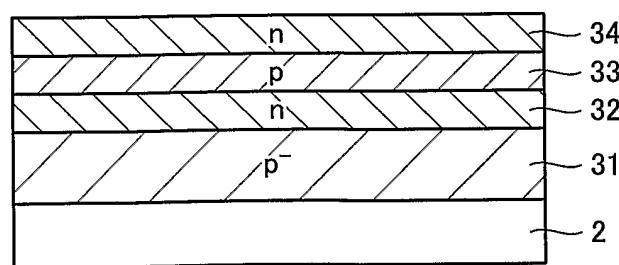


FIG.19

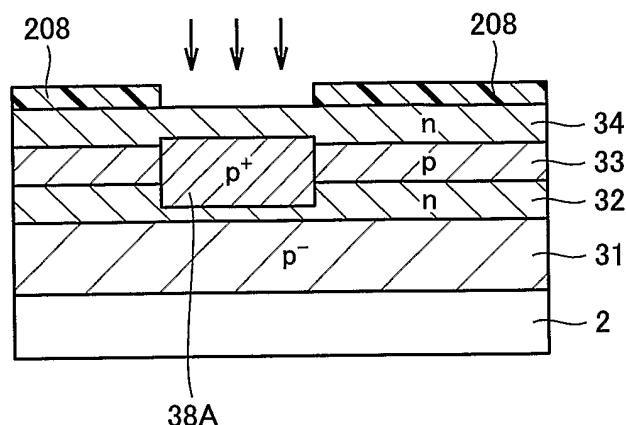


FIG.20

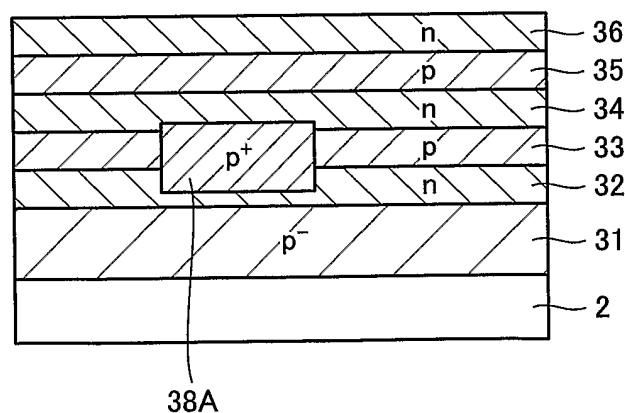


FIG.21

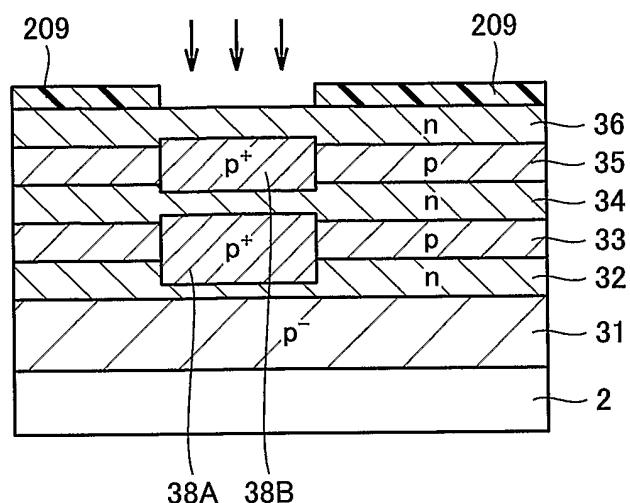


FIG.22

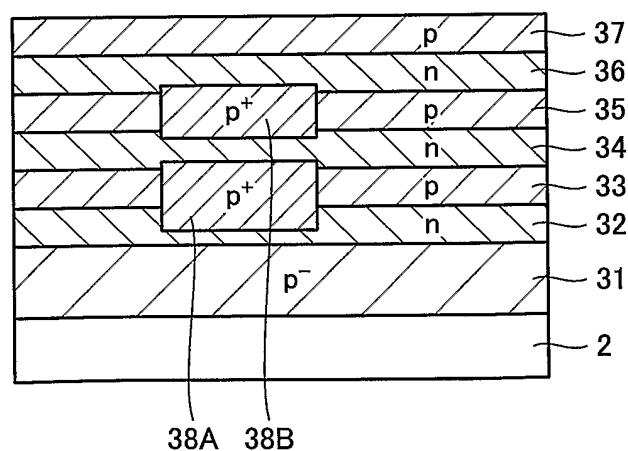


FIG.23

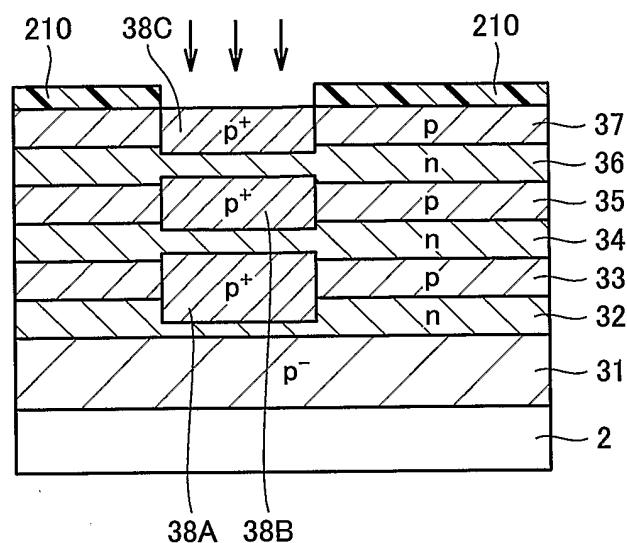


FIG.24

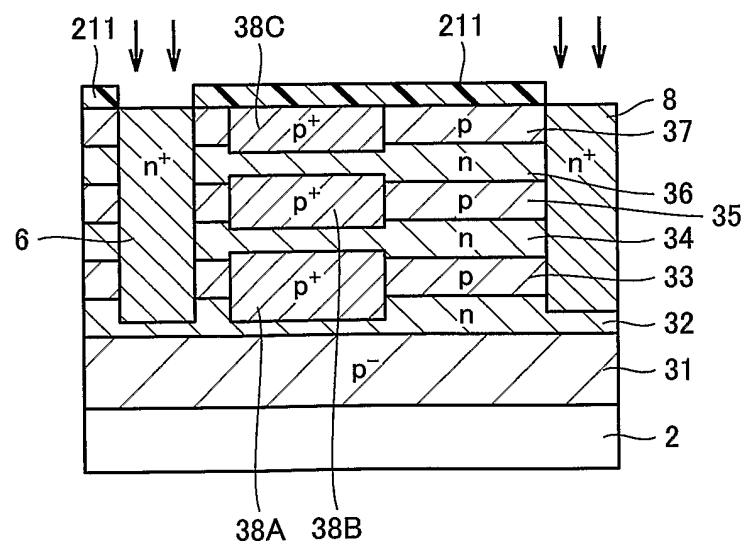


FIG.25

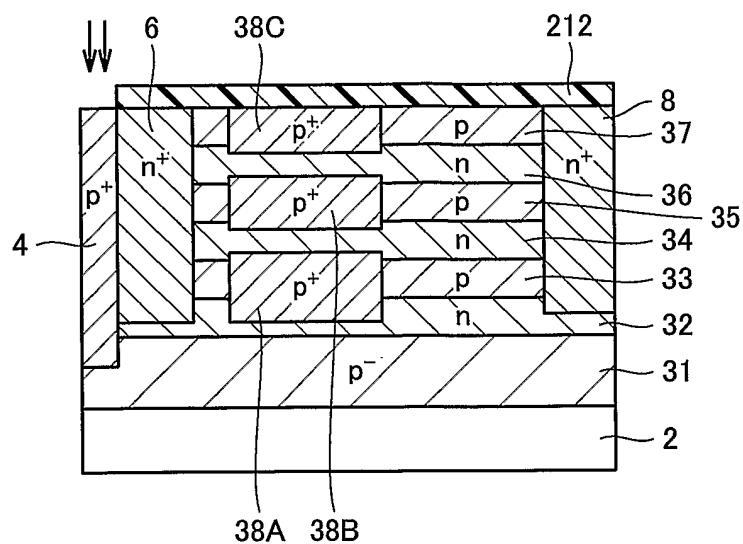


FIG.26

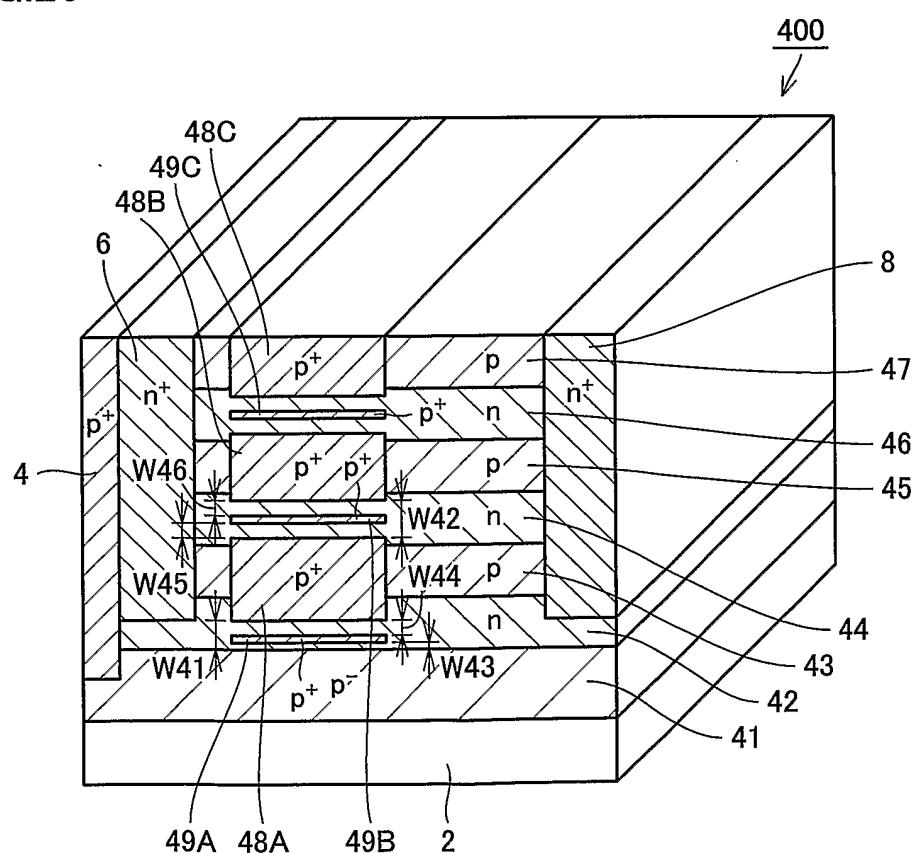


FIG.27

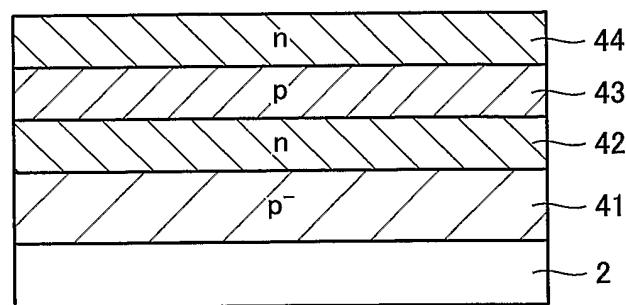


FIG.28

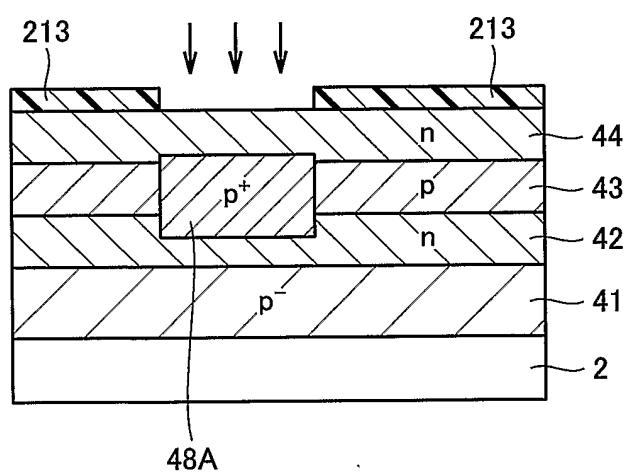


FIG.29

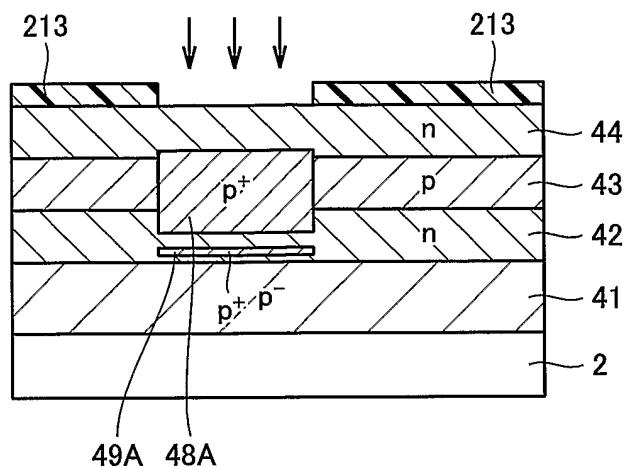


FIG.30

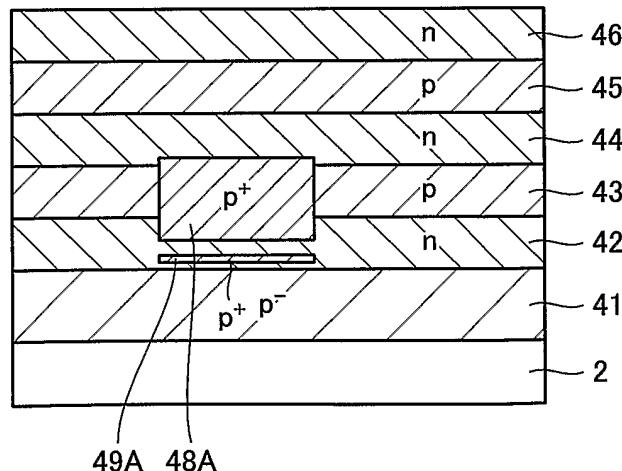


FIG.31

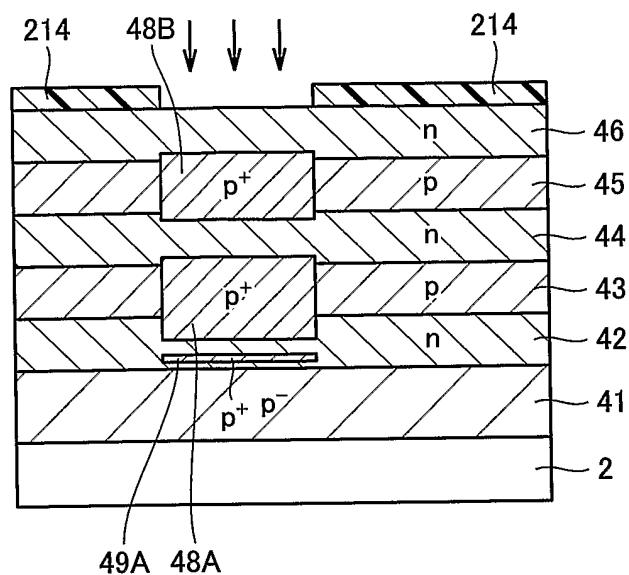


FIG.32

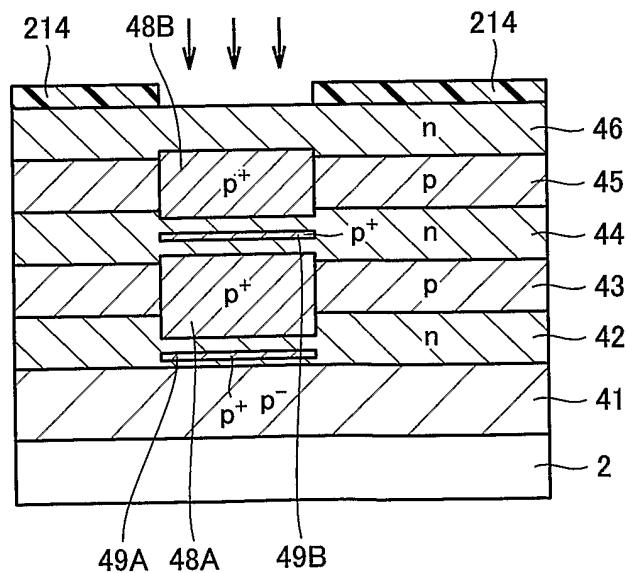


FIG.33

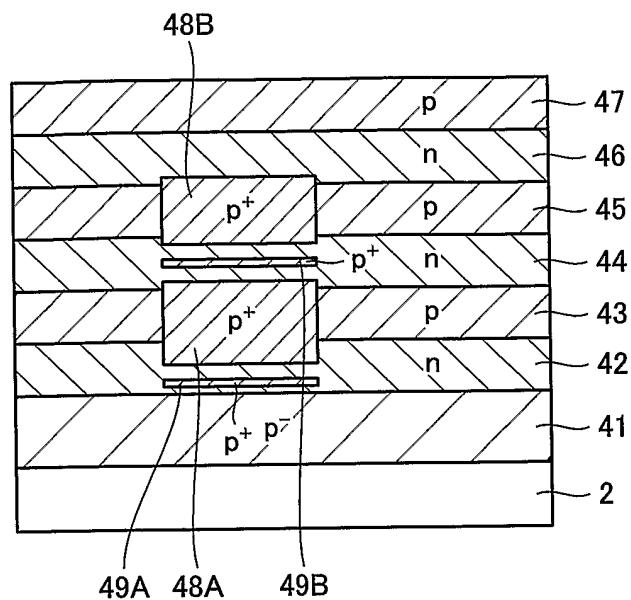


FIG.34

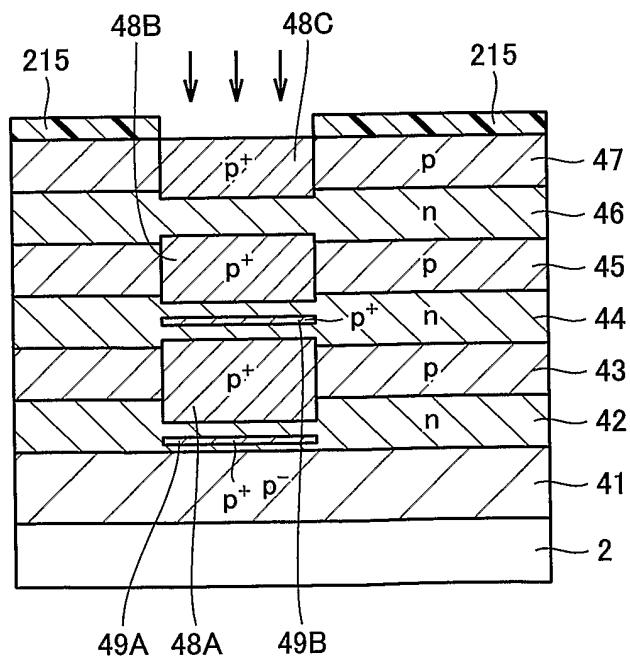


FIG.35

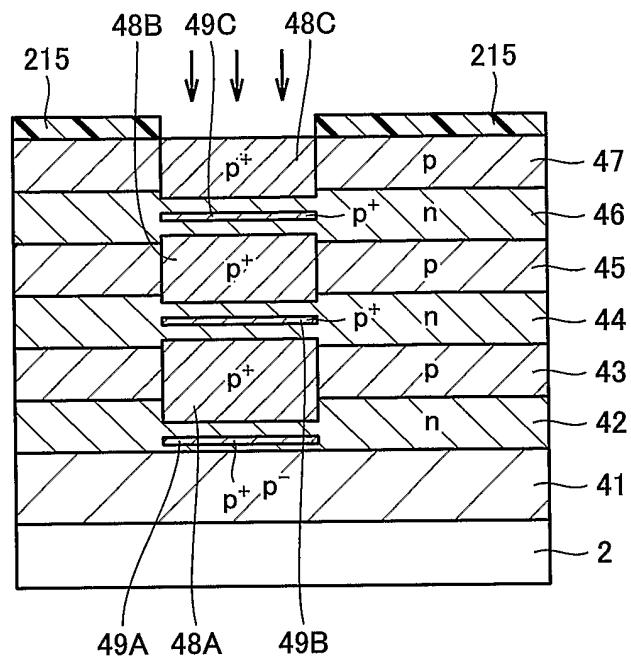


FIG.36

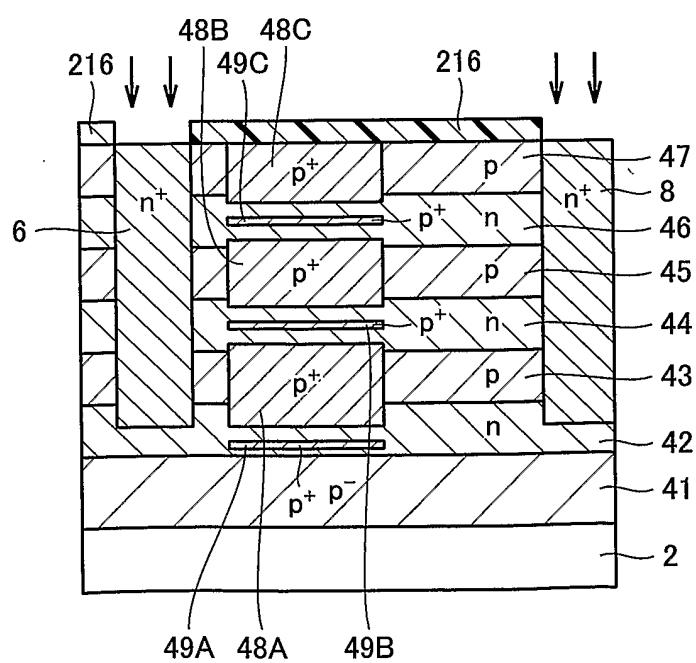


FIG.37

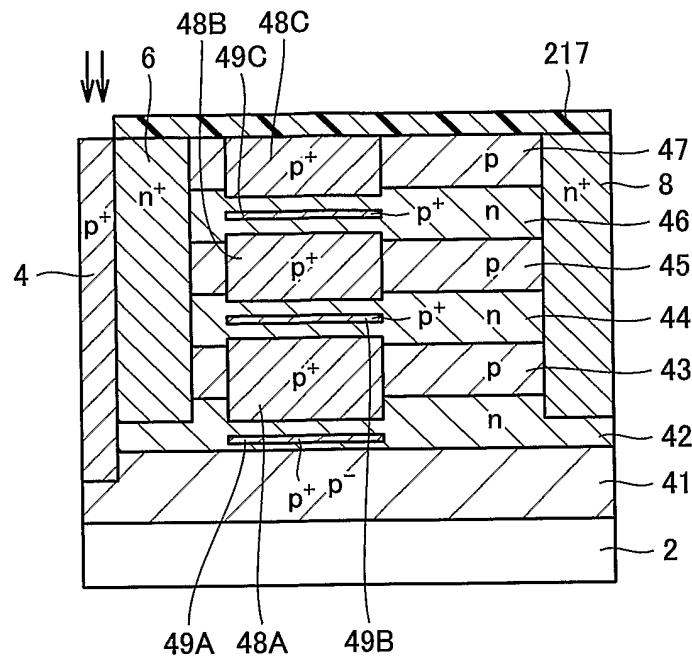


FIG.38

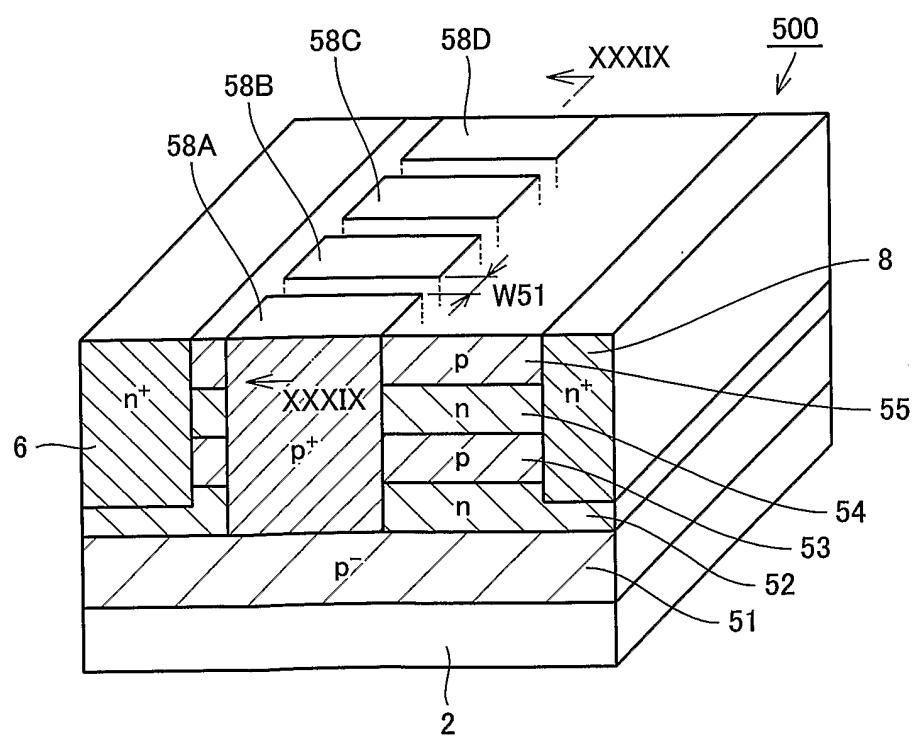


FIG.39

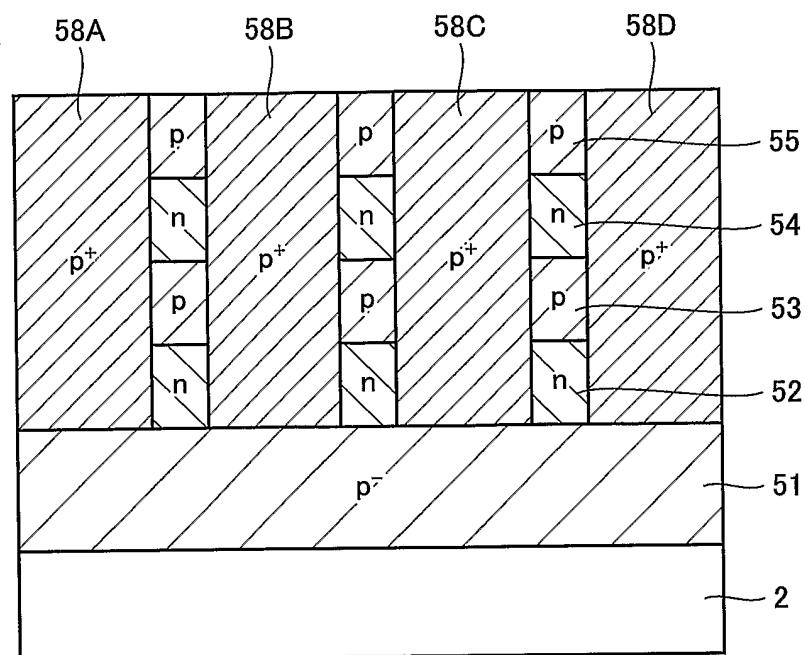


FIG.40

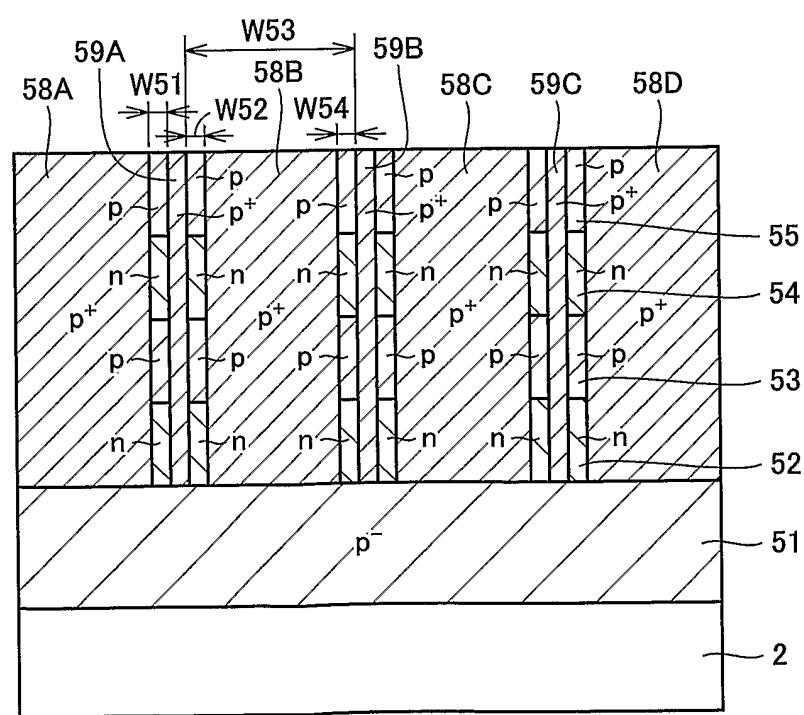


FIG.41

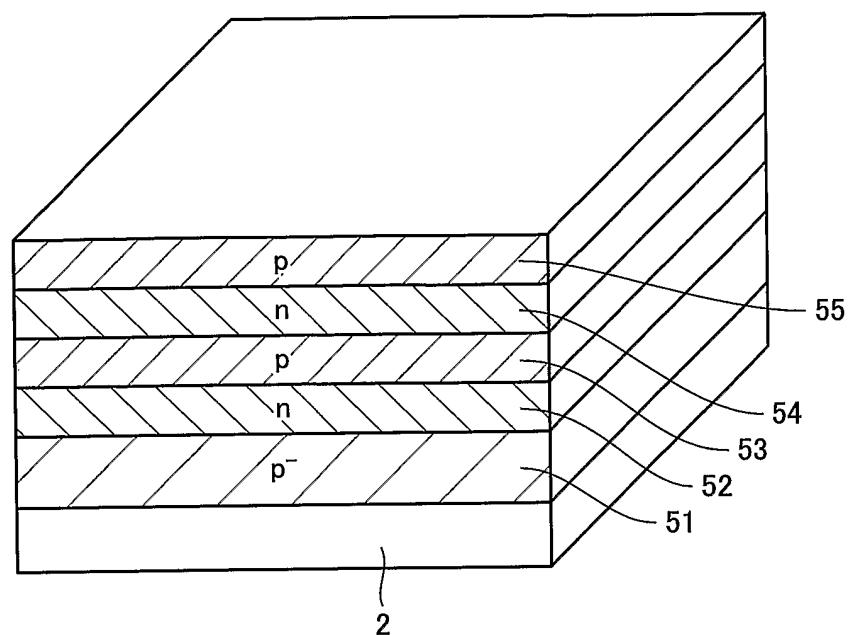


FIG.42

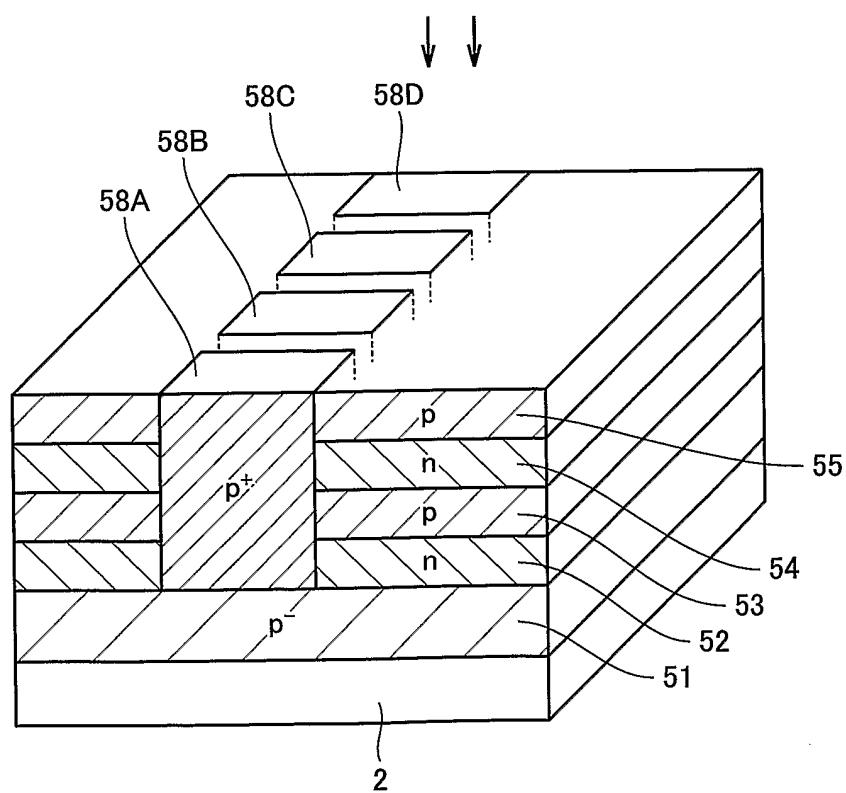


FIG.43

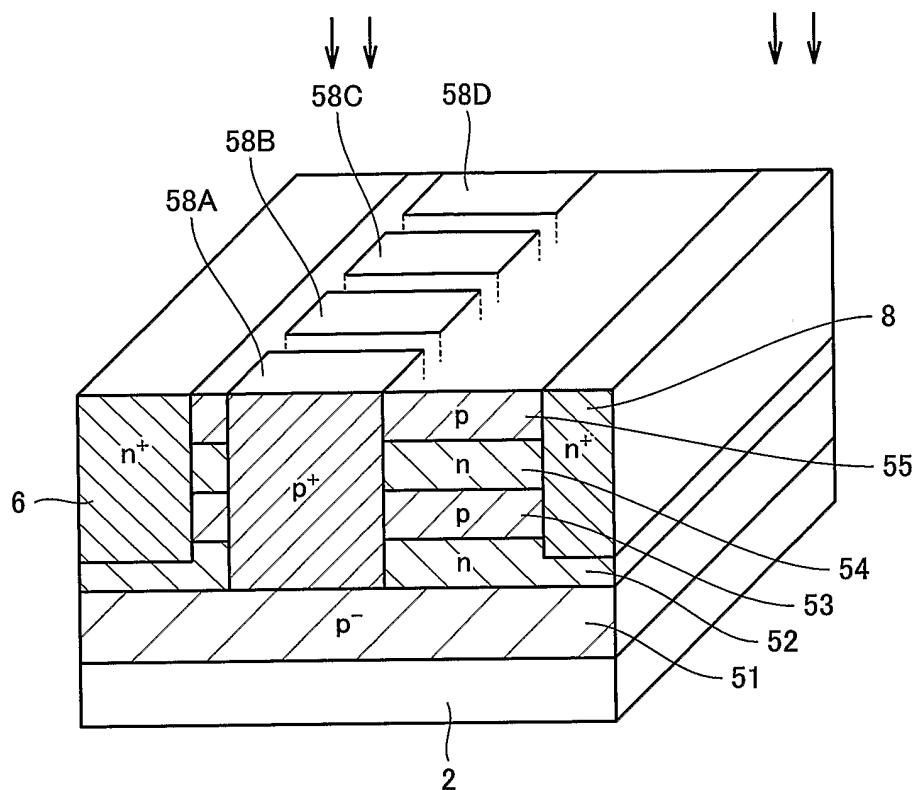


FIG.44

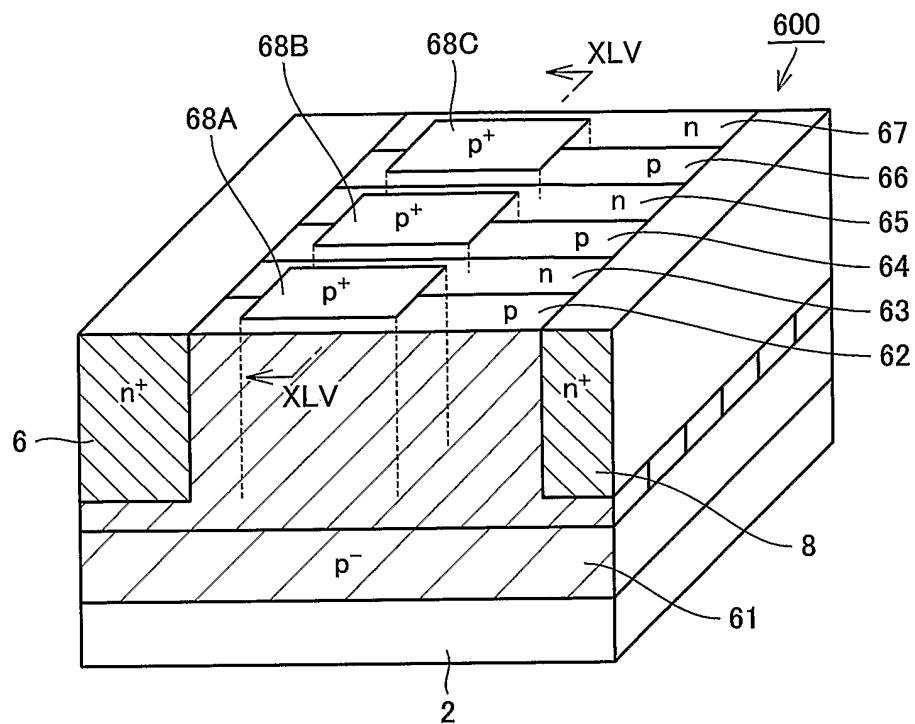


FIG.45

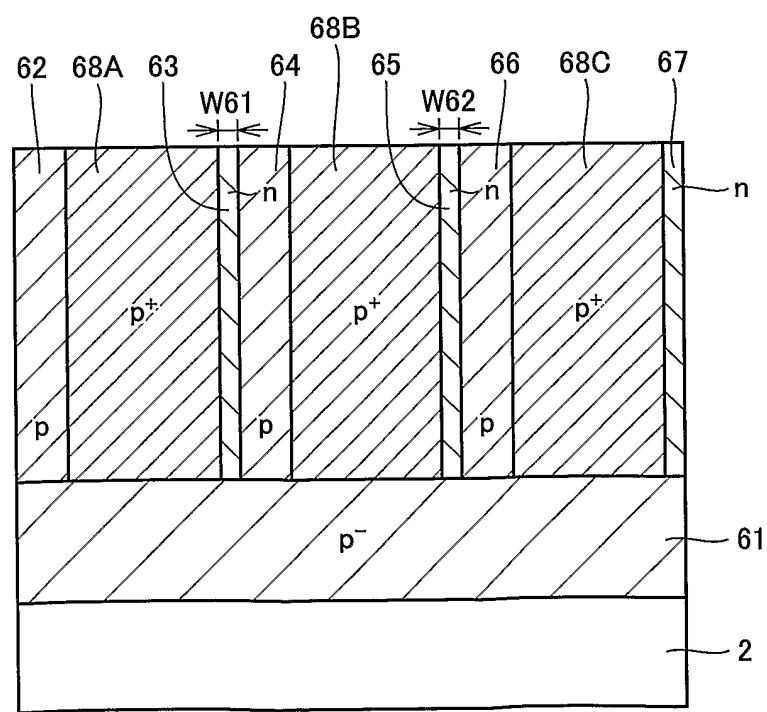


FIG.46

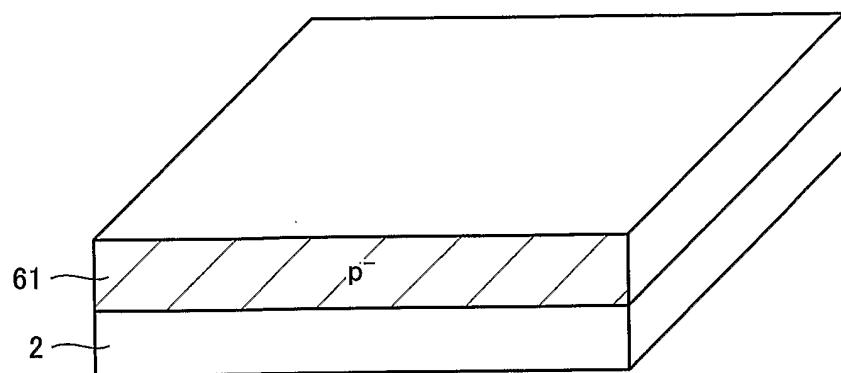


FIG.47

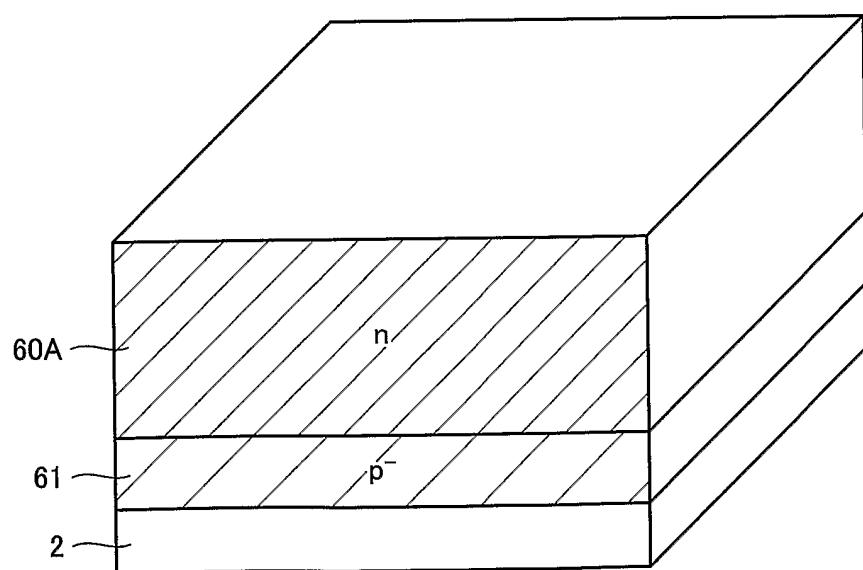


FIG.48

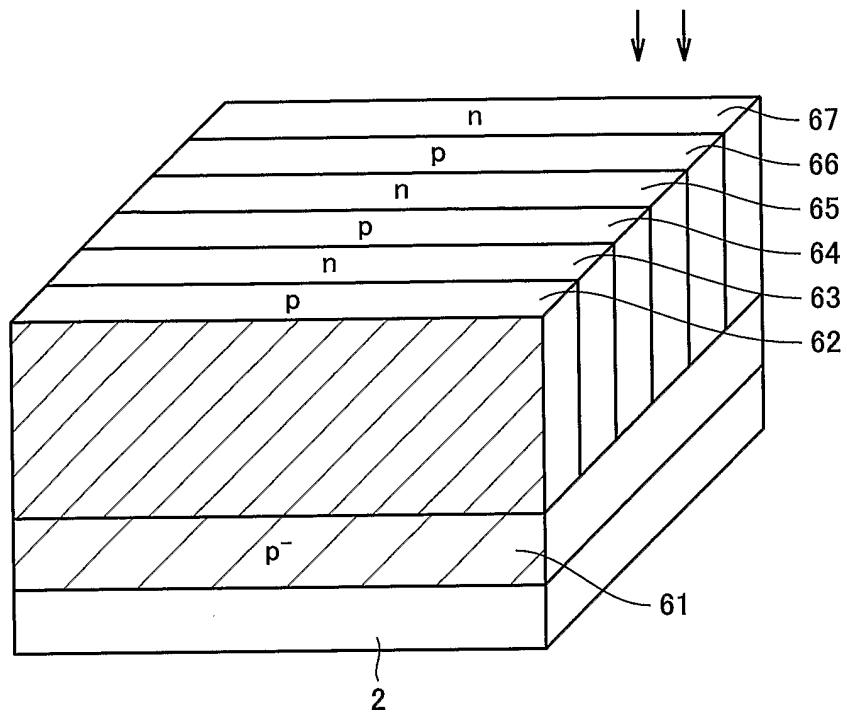


FIG.49

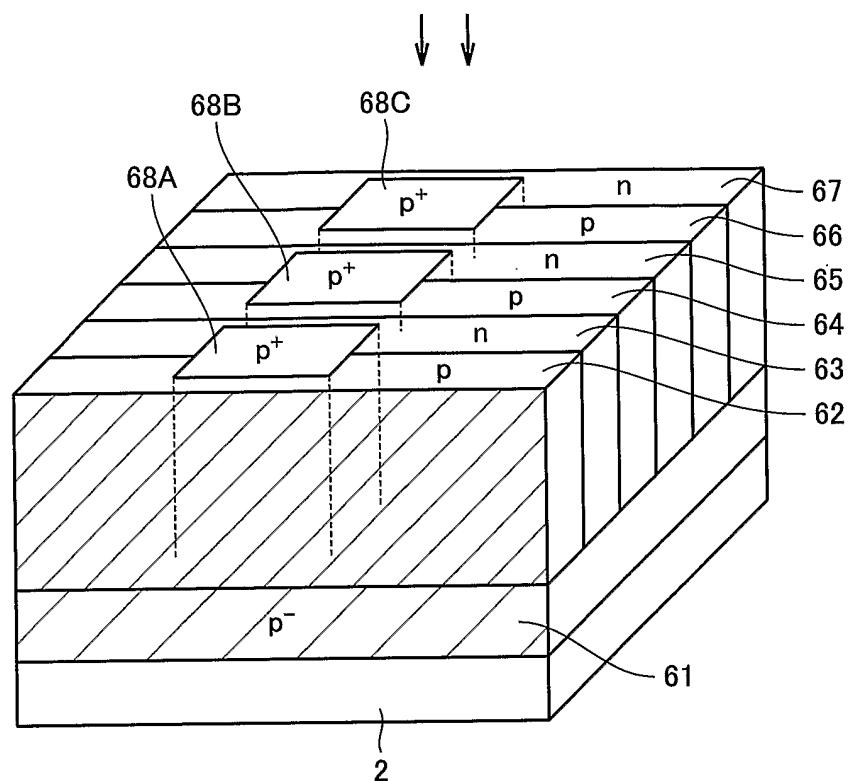


FIG.50

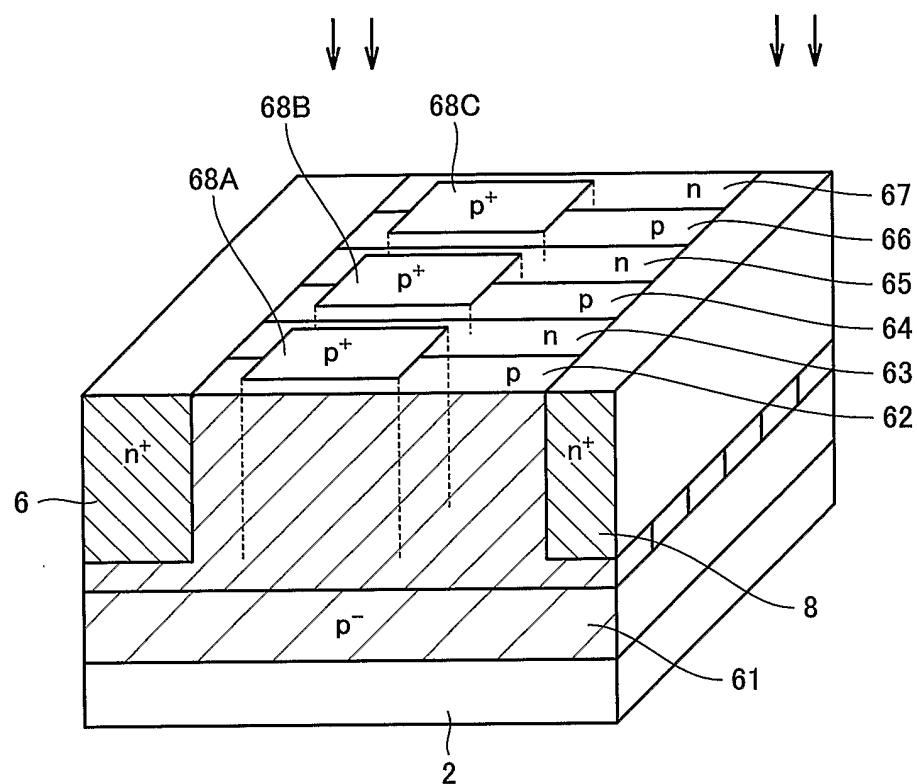


FIG.51

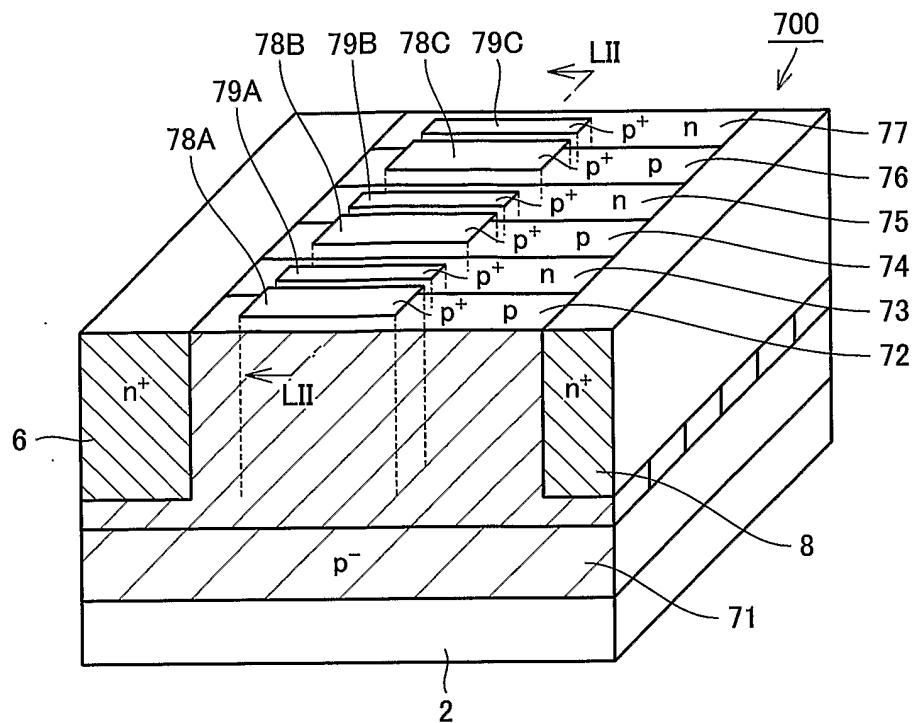


FIG.52

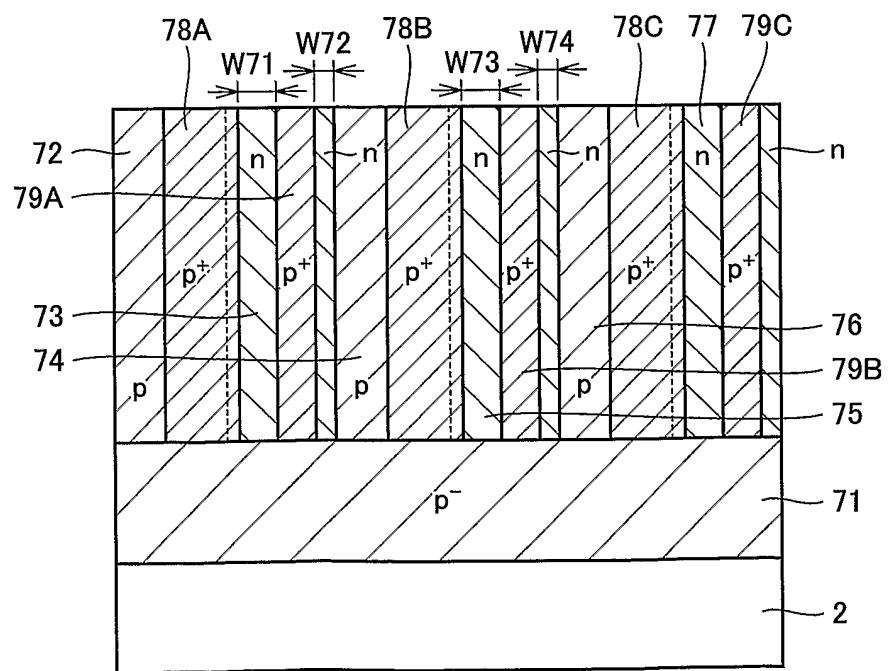


FIG.53

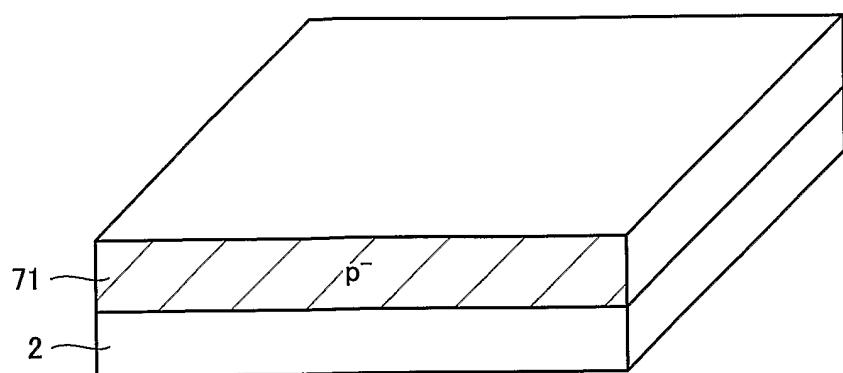


FIG.54

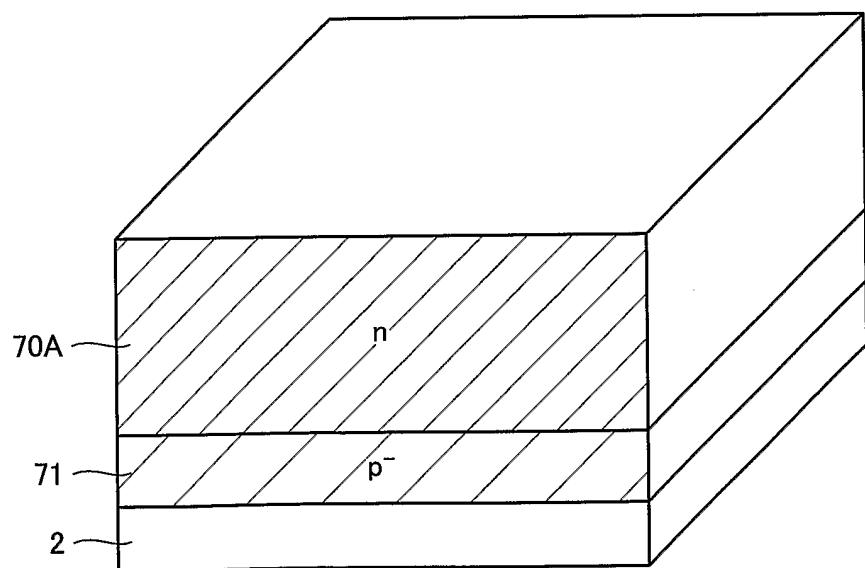


FIG.55

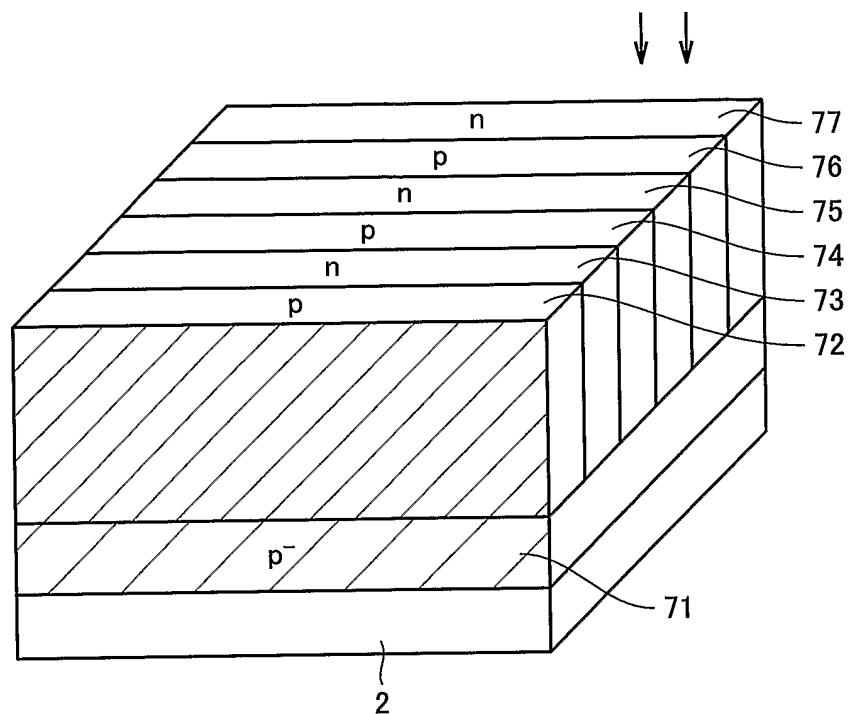


FIG.56

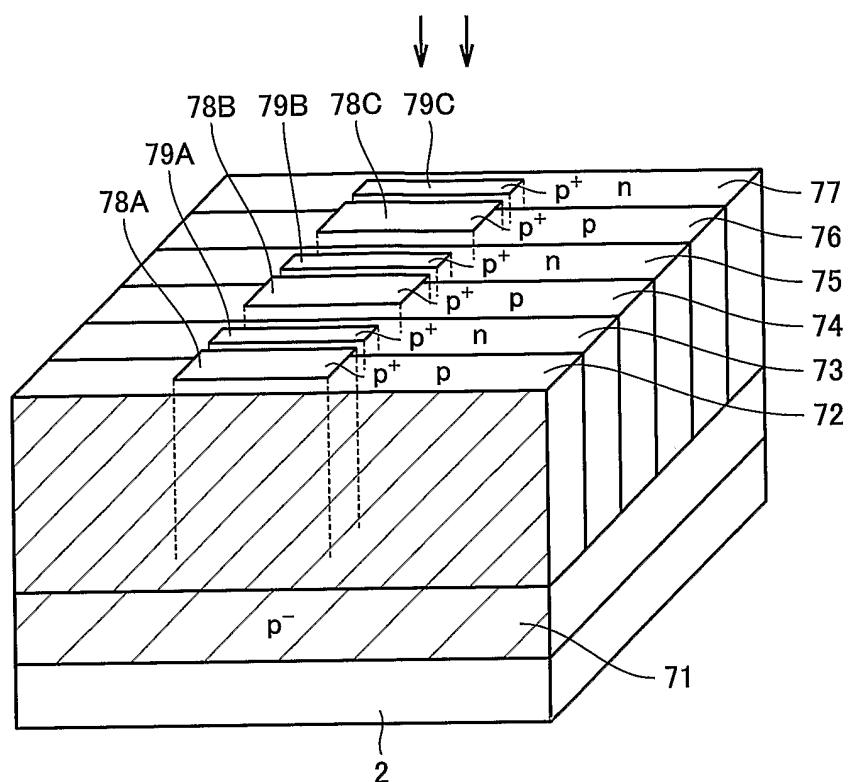


FIG.57

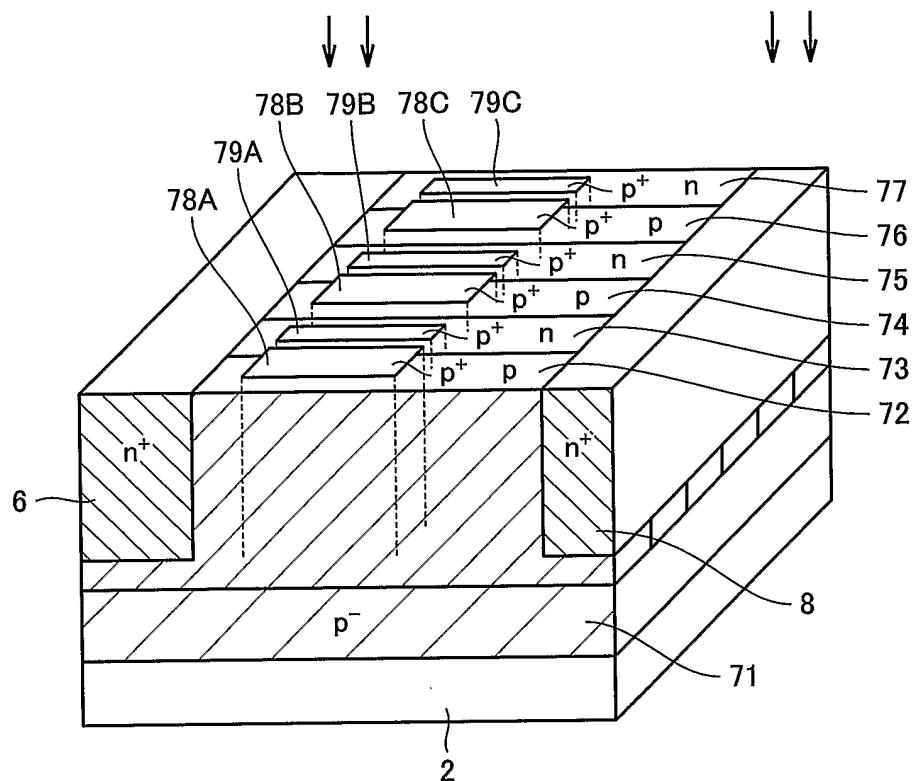


FIG.58

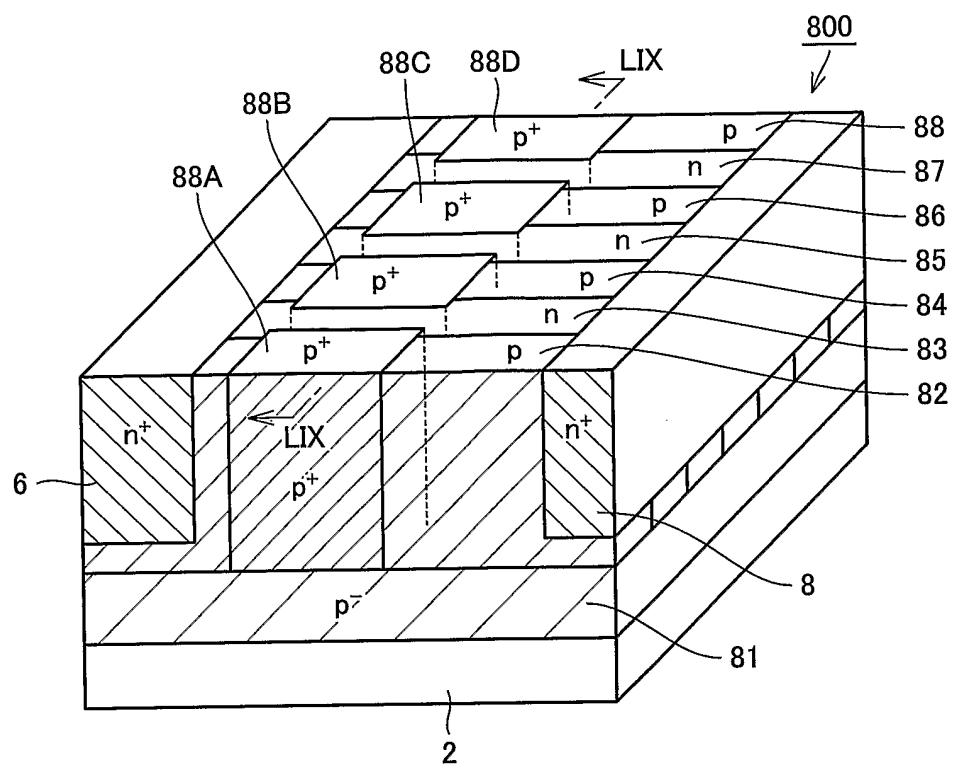


FIG.59

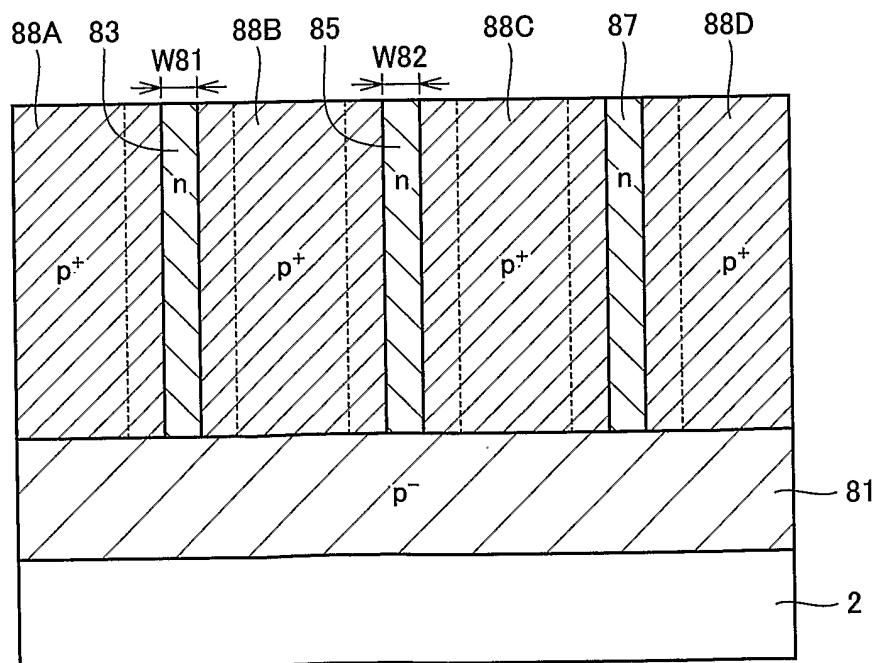


FIG.60

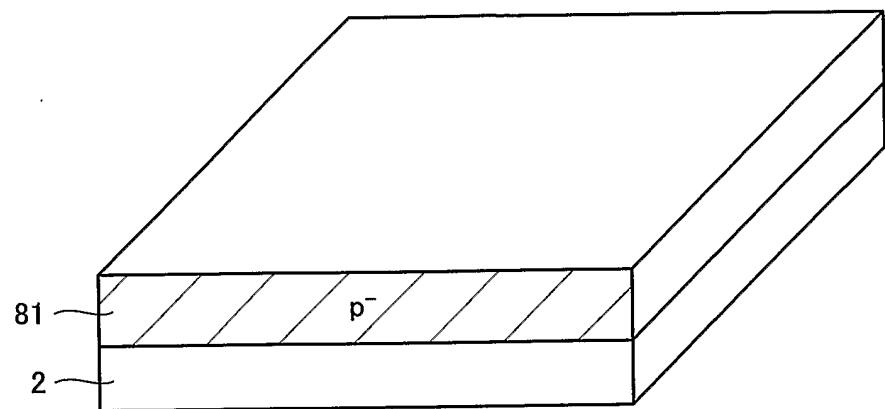


FIG.61

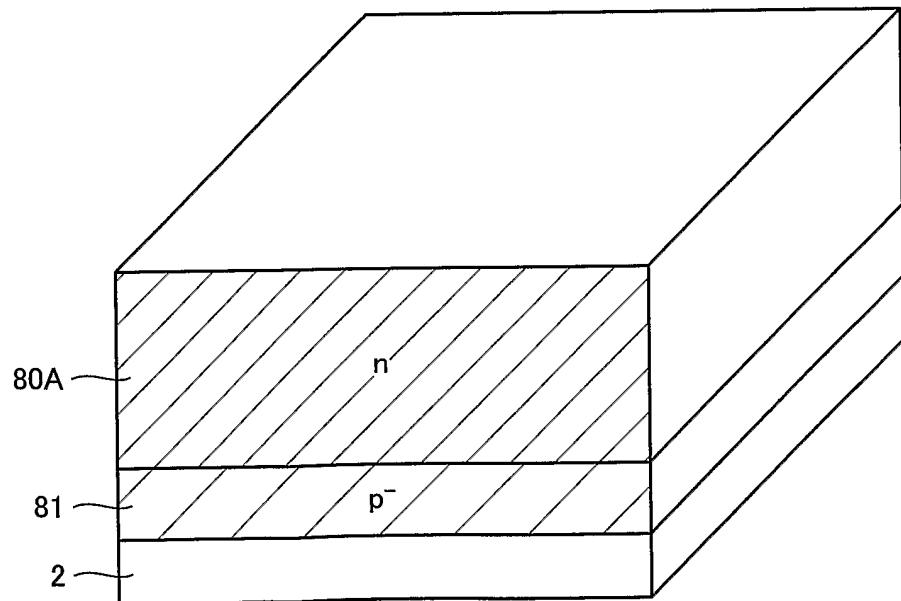


FIG.62

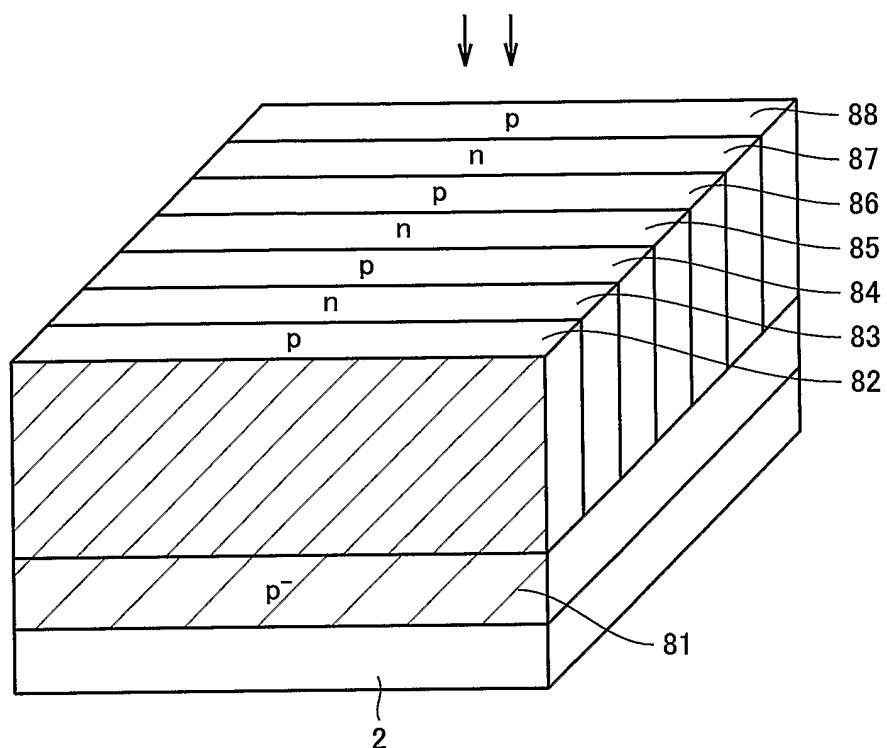


FIG.63

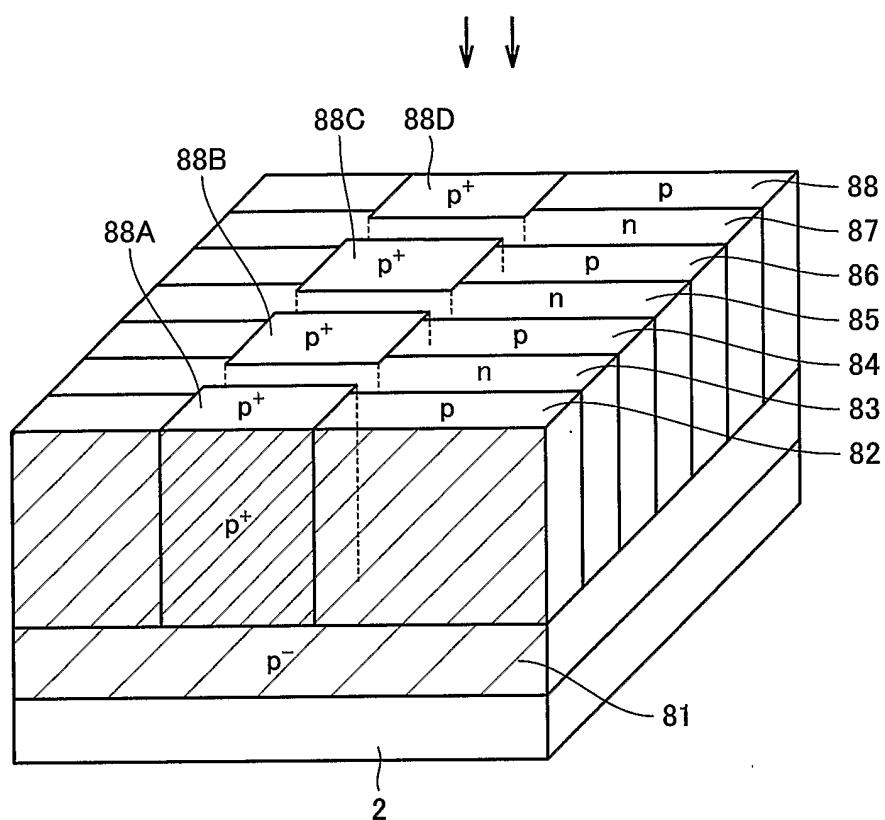


FIG.64

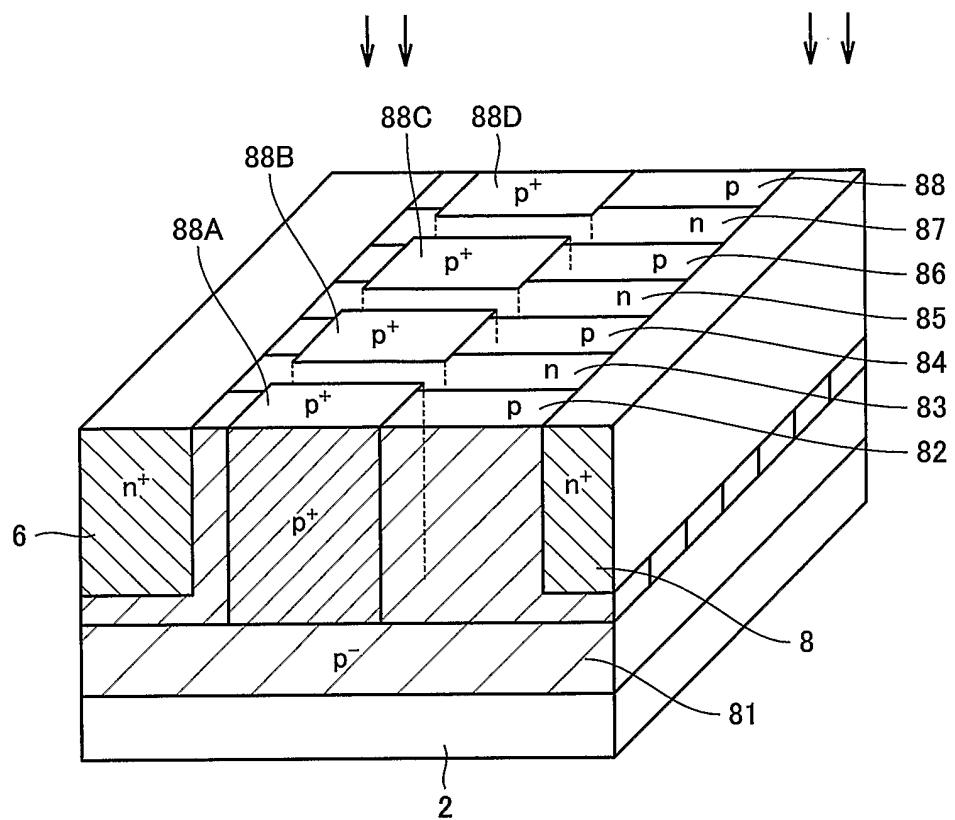


FIG.65

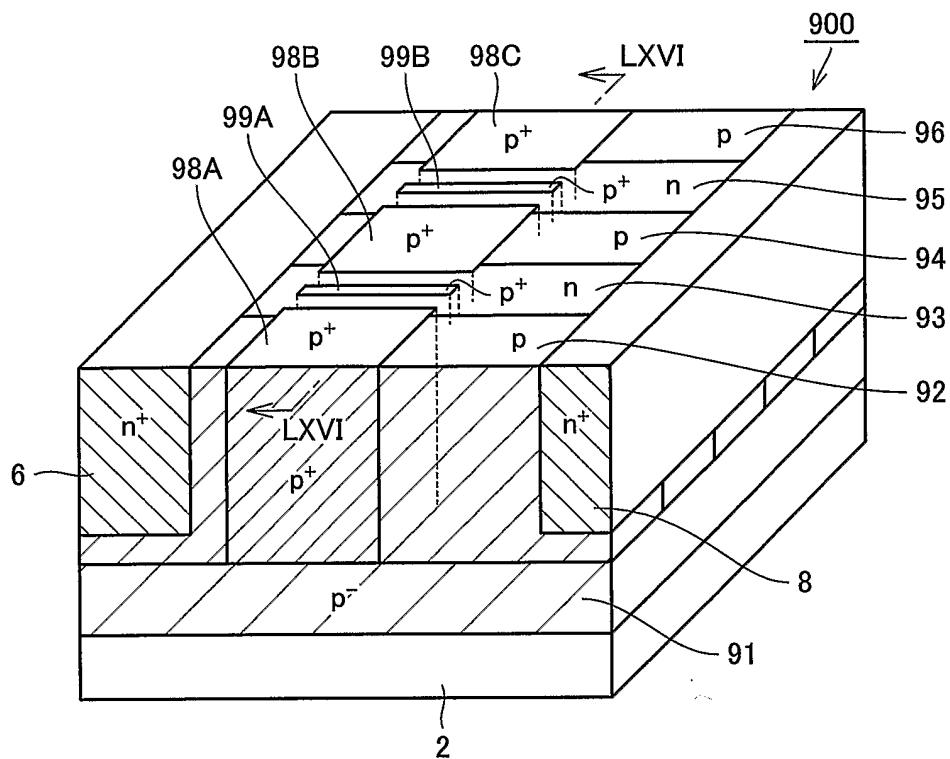


FIG.66

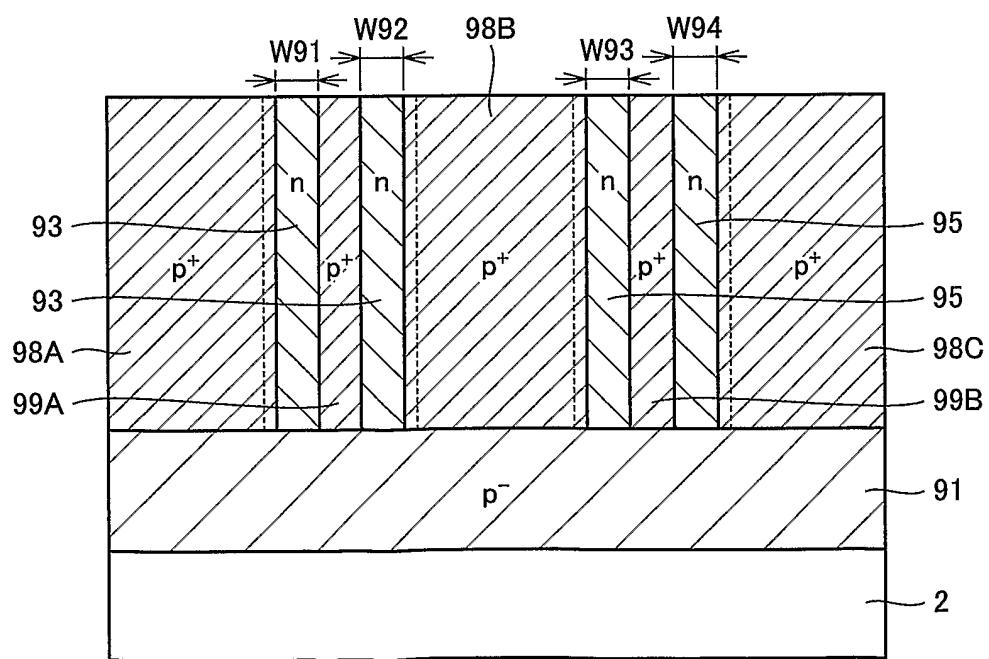


FIG.67

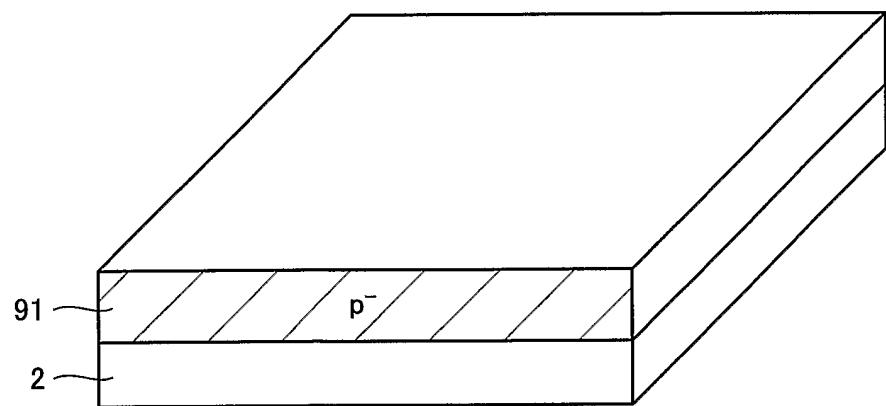


FIG.68

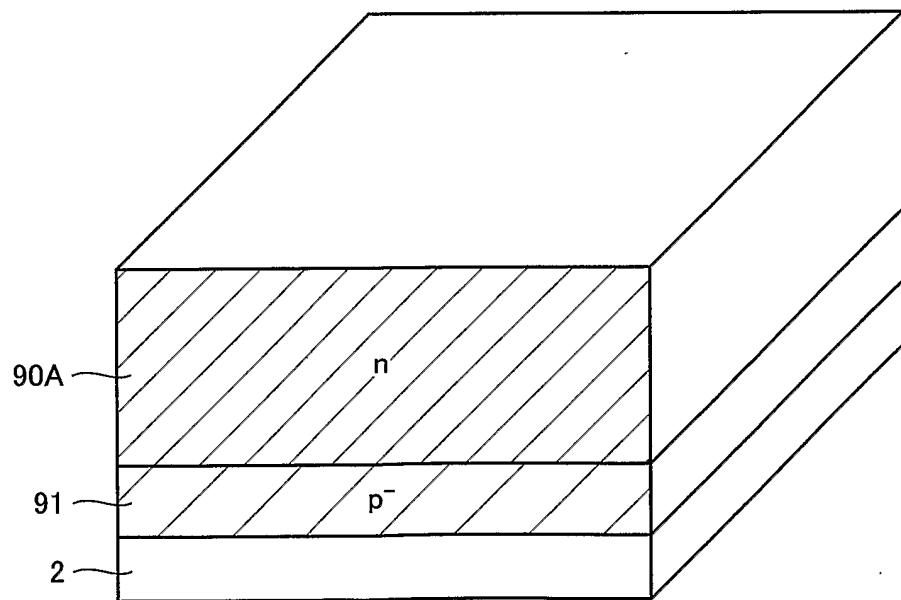


FIG.69

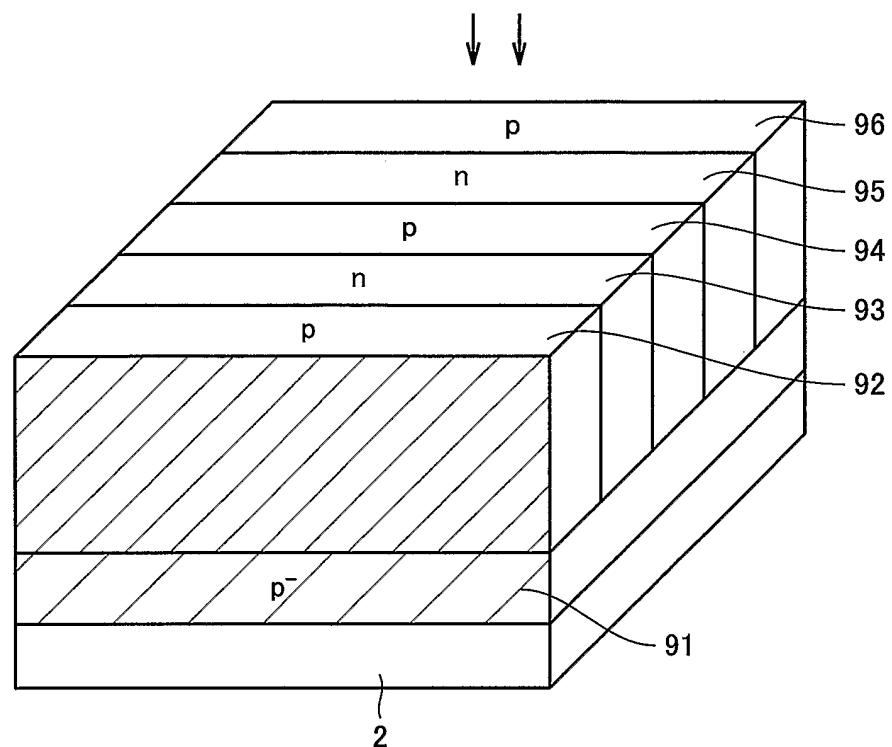


FIG.70

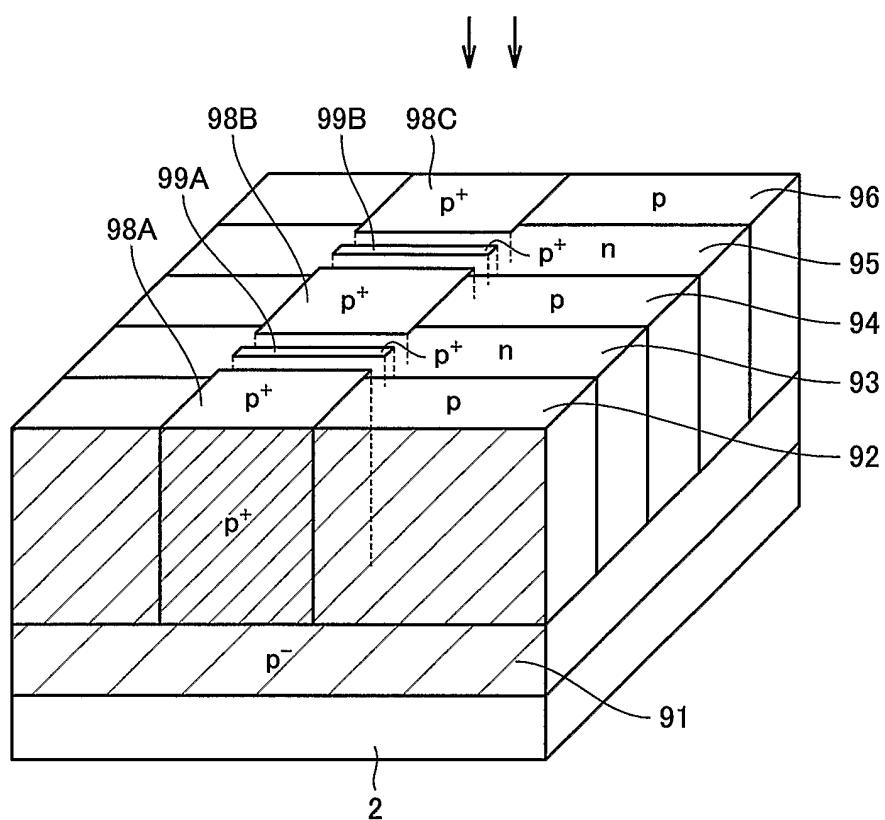


FIG.71

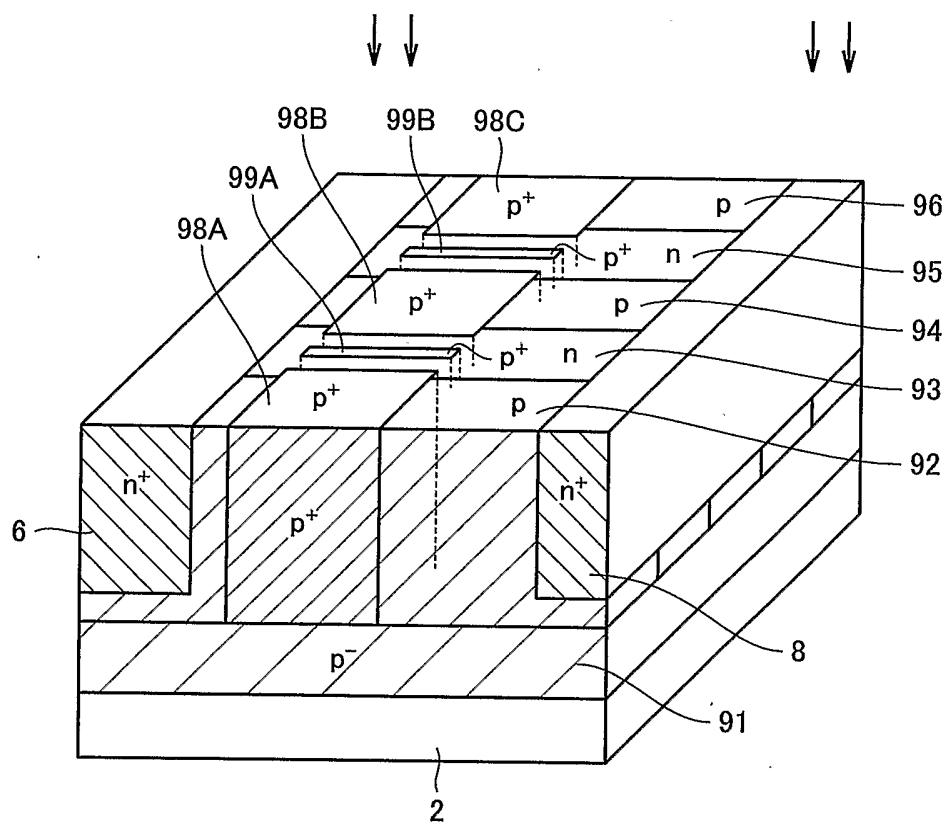
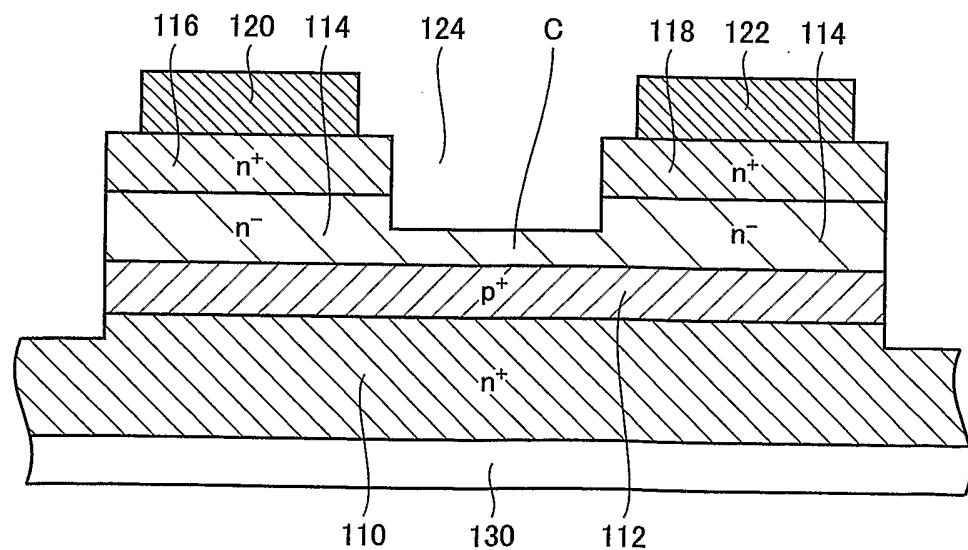


FIG.72



# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12608

**A. CLASSIFICATION OF SUBJECT MATTER**

Int.Cl<sup>7</sup> H01L29/808, H01L21/337

According to International Patent Classification (IPC) or to both national classification and IPC

**B. FIELDS SEARCHED**

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl<sup>7</sup> H01L29/808, H01L21/337

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Toroku Jitsuyo Shinan Koho 1994-2003

Kokai Jitsuyo Shinan Koho 1971-2003 Jitsuyo Shinan Toroku Koho 1996-2003

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 63-131579 A (Hitachi, Ltd.), 03 June, 1988 (03.06.88), Page 2, upper right column, line 14 to page 2, lower right column, line 17 (Family: none)	1-24, 51-55
A	JP 2001-274414 A (KABUSHIKI KAISHA TOSHIBA), 05 October, 2001 (05.10.01), Page 3, column 3, line 40 to page 3, column 4, line 22 (Family: none)	5-8, 13-16, 31-36, 44-55

Further documents are listed in the continuation of Box C.

See patent family annex.

* Special categories of cited documents:	"T"	later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X"	document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y"	document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&"	document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means		
"P" document published prior to the international filing date but later than the priority date claimed		

Date of the actual completion of the international search 27 February, 2003 (27.02.03)	Date of mailing of the international search report 11 March, 2003 (11.03.03)
---	---

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP02/12608

## C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	EP 735589 A (KABUSHIKI KAISHA TOSHIBA), 02 October, 1996 (02.10.96), Page 9, column 16, lines 8 to 31; Fig. 20A & JP 8-330601 A Page 16, column 29, lines 22 to 45 & US 5828101 A & CN 1149203 A & KR 244671 B1 & TW 306056 A	25-50, 56-59
A	JP 2-5533 A (NEC Corp.), 10 January, 1990 (10.01.90), Page 4, lower right column, line 15 to page 5, lower right column, line 17 (Family: none)	25-50, 56-59
A	N. KAMINSKI et al., Punch-Through Behaviour Wide Bandgap Materials (with Example in 6H-SiC) and its Benefit to JFETs. Materials Science Forum. Vols.264 to 268, 1998, pages 1073 to 1076 Full text	1-59

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP02/12608

**Box I Observations where certain claims were found unsearchable (Continuation of item 2 of first sheet)**

This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons:

1.  Claims Nos.:  
because they relate to subject matter not required to be searched by this Authority, namely:
  
2.  Claims Nos.:  
because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically:
  
3.  Claims Nos.:  
because they are dependent claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).

**Box II Observations where unity of invention is lacking (Continuation of item 3 of first sheet)**

This International Searching Authority found multiple inventions in this international application, as follows:

The inventions of claims 1-24, 51-55 have a feature in a layer structure vertical to a semiconductor substrate main face of a lateral junction field-effect transistor.

The inventions of claims 25-50, 56-59 have a feature in a layer structure parallel to a semiconductor substrate main face of the lateral junction field-effect transistor.

1.  As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.
2.  As all searchable claims could be searched without effort justifying an additional fee, this Authority did not invite payment of any additional fee.
3.  As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claims Nos.:
  
4.  No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claims Nos.:

**Remark on Protest**

The additional search fees were accompanied by the applicant's protest.

No protest accompanied the payment of additional search fees.

A. 発明の属する分野の分類（国際特許分類（IPC））  
Int. C17 H01L29/808, H01L21/337

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））  
Int. C17 H01L29/808, H01L21/337

## 最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2003年
日本国登録実用新案公報	1994-2003年
日本国実用新案登録公報	1996-2003年

## 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	J P 63-131579 A (株式会社日立製作所) 1988.06.03 第2頁右上欄第14行-第2頁右下欄第17行 (ファミリーなし)	1-24, 51-55
A	J P 2001-274414 A (株式会社東芝) 2001.10.05 第3頁第3欄第40行-第3頁第4欄第22行 (ファミリーなし)	5-8, 13-16, 31-36, 44-55

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

- 「A」特に関連のある文献ではなく、一般的技術水準を示すもの
- 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
- 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
- 「O」口頭による開示、使用、展示等に言及する文献
- 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

## の日の後に公表された文献

- 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
- 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
- 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
- 「&」同一パテントファミリー文献

国際調査を完了した日 27.02.03	国際調査報告の発送日 11.03.03
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 今井 拓也 電話番号 03-3581-1101 内線 3462

C(続き) 関連すると認められる文献		関連する請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
A	EP 735589 A (KABUSHIKI KAISHA TOSHIBA) 1996.10.02 第9頁第16欄第8-31行、FIG. 20A  &JP 8-330601 A 第16頁第29欄第22-45行 &US 5828101 A &CN 1149203 A &KR 244671 B1 &TW 306056 A	25-50, 56-59
A	JP 2-5533 A (日本電気株式会社) 1990.01.10 第4頁右下欄第15行-第5頁右下欄第17行 (ファミリーなし)	25-50, 56-59
A	N. KAMINSKI et. al. Punch-Through Behaviour Wide Bandgap Materials (with Example in 6H-SiC) and its Benefit to JFETs. Materials Science Forum. Vol. 264-268, 1998, p. 1073-1076 全文	1-59

## 第I欄 請求の範囲の一部の調査ができないときの意見（第1ページの2の続き）

法第8条第3項（PCT17条(2)(a)）の規定により、この国際調査報告は次の理由により請求の範囲の一部について作成しなかった。

1.  請求の範囲 \_\_\_\_\_ は、この国際調査機関が調査をすることを要しない対象に係るものである。  
つまり、
2.  請求の範囲 \_\_\_\_\_ は、有意義な国際調査をすることができる程度まで所定の要件を満たしていない国際出願の部分に係るものである。つまり、
3.  請求の範囲 \_\_\_\_\_ は、従属請求の範囲であってPCT規則6.4(a)の第2文及び第3文の規定に従って記載されていない。

## 第II欄 発明の単一性が欠如しているときの意見（第1ページの3の続き）

次に述べるようにこの国際出願に二以上の発明があるとこの国際調査機関は認めた。

請求の範囲1-24、51-55は、横型接合型電界効果トランジスタの半導体基板正面に対して垂直方向の層構造に特徴を有する発明である。

請求の範囲25-50、56-59は、横型接合型電界効果トランジスタの半導体基板正面に対して水平方向の層構造に特徴を有する発明である。

1.  出願人が必要な追加調査手数料をすべて期間内に納付したので、この国際調査報告は、すべての調査可能な請求の範囲について作成した。
2.  追加調査手数料を要求するまでもなく、すべての調査可能な請求の範囲について調査することができたので、追加調査手数料の納付を求めなかつた。
3.  出願人が必要な追加調査手数料を一部のみしか期間内に納付しなかつたので、この国際調査報告は、手数料の納付のあった次の請求の範囲のみについて作成した。
4.  出願人が必要な追加調査手数料を期間内に納付しなかつたので、この国際調査報告は、請求の範囲の最初に記載されている発明に係る次の請求の範囲について作成した。

## 追加調査手数料の異議の申立てに関する注意

- 追加調査手数料の納付と共に出願人から異議申立てがあつた。
- 追加調査手数料の納付と共に出願人から異議申立てがなかつた。