

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2020年2月6日 (06.02.2020)

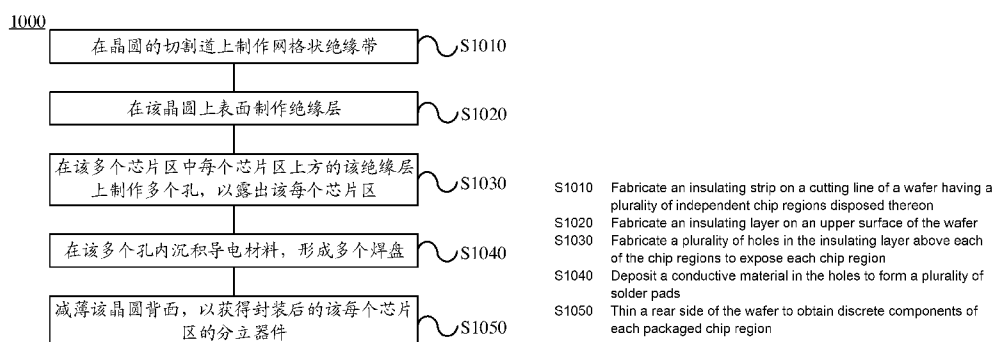


(10) 国际公布号
WO 2020/024277 A1

- (51) 国际专利分类号:
H01L 21/78 (2006.01) *H01L 21/56* (2006.01)
- (21) 国际申请号: PCT/CN2018/098583
- (22) 国际申请日: 2018年8月3日 (03.08.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (71) 申请人: 深圳市为通博科技有限责任公司 (SHENZHEN WEITONGBO TECHNOLOGY CO., LTD.) [CN/CN]; 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园F座11楼B79, Guangdong 518052 (CN)。
- (72) 发明人: 陆斌 (LU, Bin); 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园F座11楼B79, Guangdong 518052 (CN)。 沈健 (SHEN, Jian); 中国广东省深圳市南山区南头街道南海大道西桃园路南南海明珠花园F座11楼B79, Guangdong 518052 (CN)。
- (74) 代理人: 北京龙双利达知识产权代理有限公司 (LONGSUN LEAD IP LTD.); 中国北京市海淀区北清路68号院3号楼101, Beijing 100094 (CN)。
- (81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,

(54) Title: CHIP PACKAGING METHOD

(54) 发明名称: 芯片封装的方法



(57) Abstract: Embodiments of the present application relate to a chip packaging method. The method includes fabricating an insulating strip on a cutting line of a wafer having a plurality of independent chip regions disposed thereon, wherein between any two adjacent chip regions, a depth of the insulating strip is greater than or equal to a thickness of the chip region and less than or equal to a thickness of the wafer, and a width of the insulating strip is less than or equal to a width of the cutting line; fabricating an insulating layer on an upper surface of the wafer; fabricating a plurality of holes in the insulating layer above each of the chip regions to expose each chip region; depositing a conductive material in the holes to form a plurality of solder pads; and thinning a rear side of the wafer to obtain discrete components of each packaged chip region. In the chip packaging method of the embodiments of the present invention can provide a wafer-level chip side insulation protection by using a semiconductor front-end process, thereby eliminating the back-end packaging step on a single chip, reducing costs and chip size.

RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布：

— 包括国际检索报告(条约第21条(3))。

(57) 摘要：本申请实施例涉及芯片封装的方法。该方法包括在正面设置有多个独立的芯片区的晶圆的切割道上制作绝缘带，其中，在任意两个相邻芯片区之间，该绝缘带的深度大于或等于该芯片区的厚度且小于或等于该晶圆的厚度，该绝缘带的宽度小于或等于该切割道的宽度；在该晶圆上表面制作绝缘层；在该多个芯片区中每个芯片区上方的该绝缘层上制作多个孔，以露出该每个芯片区；在该多个孔内沉积导电材料，形成多个焊盘；减薄该晶圆背面，以获得封装后的该每个芯片区的分立器件。本申请实施例的芯片封装的方法，能够利用半导体前道工艺进行晶圆级芯片侧面绝缘保护，省去了后道对单个芯片的封装步骤，成本更低，芯片体积更小。

芯片封装的方法

技术领域

本申请涉及芯片领域，尤其涉及芯片封装的方法。

5

背景技术

一般来说，半导体器件的制造可以分为三个步骤：芯片设计、晶圆制造（前道）以及封装和测试（后道）。作为半导体产业链上不可或缺的一环，封装主要起引出芯片的引脚，并将芯片与外界隔离的作用。近年来，随着现代半导体器件不断向小尺寸发展，不仅封装的成本越来越高，后道封装与前道制造的界限也开始逐渐模糊，也就是说晶圆厂可能也会涉及到一些封装工

10 序。

与传统封装相比，晶圆级芯片规模封装（Wafer Level Chip Scale Packaging, WLCSP）在确保低成本的同时，可以有效地减少表面贴装器件（Surface Mounted Device, SMD）的封装后体积。然而，WLCSP的密封性不好，芯片的背面和侧面没有保护。在贴装 SMD 的时候，存在过量焊膏溢出接触芯片侧面导致器件击穿或短路的可能。

15

业内有人提出了一种名为 eWLCSP (Encapsulated WLCSP) 的封装技术。简单来讲，eWLCSP 需要先将前道制造好的晶圆以 WLCSP 的形式加工好并切割成一个个芯片；再将测试合格的芯片以一定间隔排布在载片上；然后用塑封料将所有芯片包覆后再固化；最后进行二次切割得到一个个分立器件。此项技术可以有效地保护芯片的六个面，但成本较高。

20

还有一种技术是提出了一种利用注塑模具，在前道制造好的晶圆正面及预先形成的切割槽内覆盖塑封料，然后结合再分布层（Redistribution Layer, RDL）工艺、晶圆背面减薄以及背面塑封，也可以实现芯片六个面的全包覆封装。但由于涉及多道封装工序，此项技术成本较高。

25

发明内容

本申请提供了一种芯片封装的方法，能够利用半导体前道工艺进行晶圆级芯片侧面绝缘保护，省去了后道对单个芯片的封装步骤，成本更低，芯片体积更小。

30

第一方面，提供了一种芯片封装的方法，该方法包括：在晶圆的切割道上制作绝缘带，其中，所述晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在所述任意两个相邻芯片区之间，所述绝缘带的深度大于或者等于所述芯片区的厚度且小于或者等于所述晶圆的厚度，所述绝缘带的宽度小于或者等于所述切割道的宽度；在所述晶圆上表面制作绝缘层；在所述多个芯片区中每个芯片区上方的所述绝缘层上制作多个孔，以露出所述每个芯片区；在所述多个孔内沉积导电材料，形成多个焊盘；减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件。

结合第一方面，在第一方面的一种实现方式中，所述在晶圆的切割道上制作绝缘带，包括：在所述切割道上制作环绕所述每个芯片区的沟槽；在所述沟槽内表面沉积绝缘材料，沉积所述绝缘材料后的沟槽形成所述绝缘带，沉积所述绝缘材料后的沟槽的深度大于或者等于所述每个芯片区的厚度；所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：减薄所述晶圆背面，以使所述多个芯片区分离，获得封装后的所述每个芯片区的分立器件。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述在晶圆的切割道上制作绝缘带，包括：在所述切割道上制作环绕所述每个芯片区的沟槽，所述沟槽的深度大于或者等于环绕的芯片区的厚度且小于或者等于所述晶圆的厚度；在所述沟槽内部沉积绝缘材料，形成所述绝缘带；所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：减薄所述晶圆背面，以露出所述绝缘带，并沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述在所述切割道上制作环绕所述每个芯片区的沟槽，包括：通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽，包括：在所述晶圆上表面沉积第一保护层；在所述切割道上方的所述第一保护层上制作第一窗口；将所述晶圆置于第一化学溶液中腐蚀，以在所述第一窗口处，获得所述沟槽。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所

述在所述晶圆上表面沉积第一保护层,包括:通过等离子体辅助沉积的方式,在所述晶圆上表面沉积氮化硅层作为所述第一保护层,所述第一化学溶液为以下溶液中的任意一种:氢氧化钾溶液、氢氧化钠(NaOH)溶液,四甲基氢氧化铵(TMAH)溶液以及含有氢氟酸和硝酸的混合溶液HNA。

5 结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所述沟槽为底部宽度小于上部宽度的梯形;或,所述沟槽为底部宽度等于上部宽度的矩形。

结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所述在晶圆的切割道上制作绝缘带,包括:通过电化学腐蚀,将所述切割道上
10 环绕所述每个芯片区的部分转化为多孔硅区域,所述多孔硅区域为所述绝缘带;所述减薄所述晶圆背面,以获得封装后的所述每个芯片区的分立器件,包括:减薄所述晶圆背面,以露出所述绝缘带,沿所述绝缘带划片,以获得封装后的所述每个芯片区的分立器件。

结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所
15 述通过电化学腐蚀,将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域,包括:在所述晶圆上表面沉积第二保护层;在所述切割道上方的所述第二保护层上制作第二窗口;将所述晶圆置于第二化学溶液中,通过所述电化学腐蚀,在所述第二窗口处,获得所述多孔硅区域。

结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所
20 述在所述晶圆上表面沉积第二保护层,包括:通过等离子体辅助沉积的方式,在所述晶圆上表面沉积含氟高聚物层为所述第二保护层,所述第二化学溶液为含有氢氟酸的混合溶液。

结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所
25 述晶圆包括绝缘层,所述绝缘层设置于所述每个芯片区下方,所述绝缘带与所述绝缘层连接。

结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所
述减薄所述晶圆背面,以获得封装后的所述每个芯片区的分立器件,包括:
减薄所述晶圆背面,以露出所述绝缘层,并沿所述绝缘带划片,以获得封装
后的所述每个芯片区的分立器件。

30 结合第一方面及其上述实现方式,在第一方面的另一种实现方式中,所述减薄所述晶圆背面,包括:通过磨削、研磨、化学机械抛光、干式抛光、

电化学腐蚀、湿法腐蚀、等离子辅助化学腐蚀和常压等离子腐蚀中的至少一种方式，减薄所述晶圆背面。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述在所述晶圆上表面制作绝缘层，包括：在所述晶圆上表面沉积绝缘材料，
5 以形成所述绝缘层。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述沉积绝缘材料，包括：通过物理气相沉积、化学气相沉积、等离子辅助沉积、喷涂和旋涂中至少一种方式，沉积所述绝缘材料。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述绝缘材料包括以下至少一种：硅的氧化物、硅的氮化物以及聚合物。
10

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述沉积导电材料，包括：通过原子层沉积、物理气相沉积、有机金属化学气相沉积、蒸镀和电镀中至少一种方式，沉积所述导电材料。

结合第一方面及其上述实现方式，在第一方面的另一种实现方式中，所述导电材料包括以下至少一种：重掺杂多晶硅、碳基材料、金属和氮化钛。
15

第二方面，提供了一种芯片封装的方法，该方法包括：在晶圆的切割道上制作绝缘带，其中，所述晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在所述任意两个相邻芯片区之间，所述绝缘带的深度大于或者等于所述芯片区的厚度且小于或者等于所述晶圆的厚度，所述绝缘带的宽度小于或者等于所述切割道的宽度；在所述晶圆上表面制作第一绝缘层；在所述多个芯片区中每个芯片区上方的所述第一绝缘层上制作第一窗口，以露出所述每个芯片区；在所述第一窗口内沉积导电材料，以形成所述每个芯片的第一焊盘；减薄所述晶圆背面，以露出所述绝缘带；在减薄后的所述晶圆背面沉积导电材料，以形成所述每个芯片区的第二焊盘，并沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。
20
25

结合第二方面，在第二方面的一种实现方式中，所述在减薄后的所述晶圆背面沉积导电材料，以形成所述每个芯片区的第二焊盘，包括：在减薄后的所述晶圆背面沉积绝缘材料，形成第二绝缘层；在所述每个芯片区下方的所述第二绝缘层上制作第二窗口，以露出所述每个芯片区；在所述第二窗口内沉积导电材料，以形成所述每个芯片的所述第二焊盘。
30

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述第一绝缘层与所述第二绝缘层材料相同。

5 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在晶圆的切割道上制作绝缘带，包括：在所述切割道上制作环绕所述每个芯片区的沟槽，所述沟槽的深度大于或者等于环绕的芯片区的厚度且小于或者等于所述晶圆的厚度；在所述沟槽内部沉积绝缘材料，形成所述绝缘带。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在所述切割道上制作环绕所述每个芯片区的沟槽，包括：通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽。

10 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽，包括：在所述晶圆上表面沉积第一保护层；在所述切割道上方的所述第一保护层上制作第三窗口；将所述晶圆置于第一化学溶液中腐蚀，在所述第三窗口处，获得所述沟槽。

15 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在所述晶圆上表面沉积第一保护层，包括：通过等离子体辅助沉积的方式，在所述晶圆上表面沉积氮化硅层为所述第一保护层，所述第一化学溶液为以下溶液中的任意一种：氢氧化钾溶液、氢氧化钠（NaOH）溶液，四甲基氢氧化铵（TMAH）溶液以及含有氢氟酸和硝酸的混合溶液 HNA。

20 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述沟槽为底部宽度小于上部宽度的梯形；或，所述沟槽为底部宽度等于上部宽度的矩形。

25 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在晶圆的切割道上制作绝缘带，包括：通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，所述多孔硅区域为所述绝缘带。

30 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，包括：在所述晶圆上表面沉积第二保护层；在所述切割道上方的所述第二保护层上制作第四窗口；将所述晶圆置于第二化学溶液中，通过所述电化学腐蚀，在所述第四窗口处，获得所述多孔硅区域。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在所述晶圆上表面沉积第二保护层，包括：通过等离子体辅助沉积的方式，在所述晶圆上表面沉积含氟高聚物层为所述第二保护层，所述第二化学溶液为含有氢氟酸的混合溶液。

5 结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述第一焊盘与所述第二焊盘材料相同。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述减薄所述晶圆背面，包括：通过磨削、研磨、化学机械抛光、干式抛光、电学腐蚀、湿法腐蚀、等离子辅助化学腐蚀和常压等离子腐蚀中的至少一种方式，减薄所述晶圆背面。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述在所述晶圆上表面制作绝缘层，包括：在所述晶圆上表面沉积绝缘材料，以形成所述绝缘层。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述沉积绝缘材料，包括：通过物理气相沉积、化学气相沉积、喷涂和旋涂中至少一种方式，沉积所述绝缘材料。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述绝缘材料包括以下至少一种：硅的氧化物、硅的氮化物以及聚合物。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述沉积导电材料，包括：通过原子层沉积、物理气相沉积、有机金属化学气相沉积、蒸镀和电镀中至少一种方式，沉积所述导电材料。

结合第二方面及其上述实现方式，在第二方面的另一种实现方式中，所述导电材料包括以下至少一种：重掺杂多晶硅、碳基材料、金属和氮化钛。

可选的，所述绝缘带整体上为网格状；其中所述切割道在晶圆上整体呈网格状，网格之间为芯片区，在网格状的网切割道对应位置可形成对应的网格状绝缘带。

因此，本申请实施例的芯片封装的方法，通过制作环绕芯片四周且内有绝缘材料的凹槽，或者通过制作环绕芯片四周的网格状多孔硅区域，实现在半导体前道工艺中，进行晶圆级芯片侧面绝缘保护的方法，省去了后道对单个芯片的封装步骤，成本更低，芯片体积更小，从而解决了半导体分立器件

侧面绝缘保护和后道封装工序繁琐的矛盾。

附图说明

图 1 是根据本申请实施方式一的芯片封装的方法的示意性流程图；

5 图 2 是根据本申请实施例的晶圆的俯视图；

图 3 是根据本申请实施例的晶圆的剖视图；

图 4-图 8 是根据本申请实施方式一的芯片封装方法的具体实施例一在芯片封装各步骤中晶圆、芯片的结构示意图；

10 图 9-图 14 是根据本申请实施方式一的芯片封装方法的具体实施例二在芯片封装各步骤中晶圆、芯片的结构示意图；

图 15-图 19 是根据本申请实施方式一的芯片封装方法的具体实施例三在芯片封装各步骤中晶圆、芯片的结构示意图；

图 20-图 26 是根据本申请实施方式一的芯片封装方法的具体实施例四在芯片封装各步骤中晶圆、芯片的结构示意图；

15 图 27 是根据本申请实施方式二的芯片封装的方法的示意性流程图；

图 28-图 31 是根据本申请实施方式二的芯片封装方法的具体实施例一在芯片封装各步骤中晶圆、芯片的结构示意图；以及

图 32-图 37 是根据本申请实施方式一的芯片封装方法的具体实施例二在芯片封装各步骤中晶圆、芯片的结构示意图。

20

具体实施方式

下面将结合附图，对本申请实施例中的技术方案进行描述。

图 1 示出了根据本申请实施例的芯片封装的方法 1000 的示意性流程图，如图 1 所示，该方法 1000 包括：S1010，在晶圆的切割道上制作绝缘带，其中，该晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在该任意两个相邻芯片区之间，该绝缘带的深度大于或者等于该芯片区的厚度且小于或者等于该晶圆的厚度，该绝缘带的宽度小于或者等于该切割道的宽度；S1020，在该晶圆上表面制作绝缘层；S1030，在该多个芯片区中每个芯片区上方的该绝缘层上制作多个孔，以露出该每个
25 芯片区；S1040，在该多个孔内沉积导电材料，形成多个焊盘；S1050，减薄该晶圆背面，以获得封装后的该每个芯片区的分立器件。
30

应理解，本申请实施例中的晶圆可以为如图 2 和图 3 所示的晶圆 100，图 2 示出了根据本申请实施例的晶圆 100 的俯视图，图 3 示出了根据本申请实施例的晶圆 100 的剖视图。其中，在该晶圆 100 上包括多个独立的芯片区 110，该多个芯片区 110 可以为如图 2 所示的均匀排列，即水平方向上相邻的两个芯片区 110 之间的水平距离相同，垂直方向上相邻的两个芯片区 110 之间的垂直距离也相同，并且水平距离和垂直距离之间也相同，可选地，该晶圆 100 上的芯片区 110 也可以不均匀排列，例如，水平距离之间不同，或者垂直距离之间不同，或者水平距离和垂直距离之间不同，本申请实施例并不限于此。

另外，晶圆 100 上的每个芯片区 110 的厚度小于晶圆 100 的厚度。每个芯片区 110 的厚度可以根据待封装芯片的厚度或者待封装芯片的类型进行设置。本申请实施例中涉及的芯片区 110 的厚度指该芯片区 100 在实际应用中的有效厚度。

该晶圆 100 上除了芯片区 110 以外的区域为切割道 120，即该切割道 120 为相邻的两个芯片区 110 之间的区域，如图 2 所示，该切割道 120 为网格状，对应的，在该晶圆 100 的切割道 120 上制作的绝缘带也为网格状。

在本申请实施例中，在该晶圆 100 的切割道 120 上制作绝缘带，可选地，可以通过多种方式制作绝缘带，并根据绝缘带的不同，封装芯片。具体地，制作绝缘带可以包括在该切割道 120 上制作沟槽，并在沟槽内沉积绝缘材料，从而形成绝缘带；或者，通过电化学腐蚀的方式或其他方式，将切割道 120 的部分区域转化为多孔硅区域或其他材质的绝缘区域，作为绝缘带。

根据制作绝缘带的方式的不同，下面结合图 4 至图 26，分别描述根据本申请实施例的芯片封装的方法的不同实施例。

可选地，作为一个实施例，结合图 4 至图 8，详细描述实施方式一的芯片封装的方法 1000 的实施例一。具体地，该实施例一包括以下步骤（步骤 11.1-11.5）。

步骤 11.1，在该切割道 120 上制作环绕该每个芯片区 110 的沟槽 202。其中，该沟槽的深度大于芯片区 110 的厚度且小于晶圆 100 的厚度，该沟槽 202 的宽度小于或者等于所在切割道 120 的宽度，其中，该沟槽 202 可以如图 4 所示。

应理解，如图 4 所示，这里以该沟槽 202 的侧切面为下方较窄、上方较

宽的梯形为例（也可称为倒梯形），可选地，该沟槽 202 的侧切面可以为任意图形，包括规则的和不规则的图形，例如，该沟槽 202 可以为上下宽度相等的矩形，或者也可以为弧形，本申请实施例并不限于此。

本实施例中沟槽 202 的宽度可以指该沟槽 202 侧切面上的最大宽度，例如如图 4 所示，该沟槽的最大宽度即为该沟槽 202 的最上方开口处，该宽度小于或者等于所在切割道 120 的宽度。

应理解，可以通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在该切割道 120 上制作该沟槽 202。可选择，作为一个实施例，如图 4 所示，可以先在晶圆 100 的上表面沉积一层第一保护层 201，例如，通过等离子体辅助沉积的方法，在晶圆 100 正面沉积一层氮化硅作为该第一保护层 201；在该切割道 120 上方对应的第一保护层上制作第一窗口，该第一窗口环绕芯片区 110，例如，用光刻的方式在第一保护层 201 中位于切割道 120 上方的区域打开窗口；将晶圆 100 置于第一化学溶液中腐蚀，在第一窗口处，获得环绕每个芯片区 110 的沟槽 202，其中，该第一化学溶液可以为以下溶液中的任意一种：氢氧化钾、氢氧化钠（NaOH）溶液，四甲基氢氧化铵（TMAH）溶液以及含有氢氟酸和硝酸的混合溶液 HNA，或者，该第一化学溶液也可以为其它能够腐蚀的溶液。例如，将晶圆 100 至于氢氧化钾溶液中腐蚀，得到如图 4 所示的倒梯形沟槽 202。最后，形成沟槽 202 后去掉第一保护层 201。

步骤 11.2，在该沟槽 202 内表面沉积绝缘材料，沉积该绝缘材料后的沟槽即可形成绝缘带 203，沉积该绝缘材料后的沟槽的深度大于或者等于该芯片区 110 的厚度；同时，也在该晶圆 100 上表面制作绝缘层 204，例如，在该晶圆 100 的上表面沉积绝缘材料，以形成绝缘层 204。

具体地，本申请实施例中的沉积绝缘材料，例如沉积绝缘材料形成绝缘带 203；再例如，沉积绝缘材料形成绝缘层 204，都可以通过以下方式中的至少一种，并且各个沉积绝缘材料的过程可以相同也可以不同。例如，该绝缘材料包含通过物理气相沉积（Physical Vapor Deposition, PVD）或化学气相沉积（Chemical Vapor Deposition, CVD）生长硅的氮化物或硅的氧化物，例如未掺杂硅玻璃（Undoped Silicon Glass, USG）或由四乙氧基硅烷转化得到的氧化硅（Tetraethyl Orthosilicate, TEOS）等。再例如，该绝缘材料包含通过喷涂或旋涂的各类聚合物，例如聚酰亚胺（Polyimide），帕里纶（Parylene），苯并环丁烯（BCB）等；或者该绝缘材料还包含旋转涂布玻璃

(spin on glass, SOG), 即先将一种含有硅化物的溶液旋涂或喷涂在硅片上, 再加热去除溶剂, 固化后剩余的为非晶相氧化硅。其中, 沉积绝缘材料可以是沉积一层或多层。绝缘带 203 和绝缘层 204 可在同一工序中同时形成。

5 在本申请实施例中, 在沟槽 202 中沉积绝缘材料形成绝缘带 203, 该绝缘材料仅覆盖沟槽表面, 形成具有一定厚度的凹形绝缘层, 该凹形绝缘层的凹部的深度仍然大于或者等于芯片区 110 的厚度。

步骤 11.3, 在该多个芯片区 110 中每个芯片区 110 上方的该绝缘层 204 上制作多个孔, 以露出该每个芯片区 110, 例如, 以在每个芯片区 110 上方制作两个孔为例, 如图 6 所示。

10 以晶圆 100 上任意一个芯片区为例, 假设该芯片区为如图 6 所示的中间的芯片区 110, 在该芯片区 110 的上表面对应的绝缘层 204 上开设两个孔, 例如可以通过光刻的方式开设该两个孔, 本申请实施例并不限于此。

步骤 11.4, 在该绝缘层 204 上的每个孔内沉积导电材料, 再图形化, 形成每个芯片区 110 的多个焊盘 205, 该多个焊盘 205 位于芯片区 110 的同一面, 例如, 以每个芯片区 110 的同一面上形成两个焊盘 205 为例, 如图 7 所示。

应理解, 本申请实施例中的沉积导电材料的方式可以包括以下方式中的至少一种: 例如, 原子层沉积 (atomic layer deposition, ALD)、PVD、有机金属化学气相沉积、蒸镀和电镀等。对应的, 导电材料可以是重掺杂多晶硅, 或者是碳基材料, 或者是铝、钨、铜等各类金属, 也可以是氮化钛等低电阻率的化合物, 或者是上述几种导电材料的组合, 本申请实施例并不限于此。

20 应理解, 在该绝缘层 204 上的每个孔内沉积导电材料, 以形成多个焊盘 205, 对于任意一个芯片区 110, 其对应的孔的个数大于或者等于焊盘的个数, 即在一个芯片区 110 对应的多个孔中, 可以存在两个或两个以上的孔内沉积导电材料而形成焊盘的情况。

步骤 11.5, 减薄该晶圆 100 的背面, 以使该多个芯片区 110 分离, 获得封装后的该每个芯片区 110 的分立器件, 如图 8 所示, 图 8 的中间部分示出了一个完整的包括芯片区 110 的分立器件。

具体地, 本申请实施例中的减薄方式可以包括以下方式中的至少一种: 30 磨削、研磨、化学机械抛光 (chemical mechanical polish, CMP)、干式抛光 (dry polishing)、电化学腐蚀 (electrochemical etching)、湿法腐蚀 (wet

etching)、等离子辅助化学腐蚀(plasma assisted chemical etching, PACE)、常压等离子腐蚀(atmospheric downstream plasma etching, ADPE)等。

应理解,如图8所示,由于绝缘带203的深度大于或者等于芯片区110的厚度,因此,减薄晶圆100的背面至芯片区110的底层的有效厚度部分的同时,多个芯片区110之间绝缘带203底部也被去除,也就是同时将晶圆100分割为多个分立器件,而无需进一步对切割道区域进行切割处理,减少了加工步骤。

可选地,作为一个实施例,下面结合图9至图14,详细描述芯片封装的方法1000的实施例二。具体地,该实施例二包括以下步骤(步骤12.1-12.6)。

10 步骤12.1,在该切割道120上制作环绕该每个芯片区的沟槽301,其中,该沟槽301的深度大于或者等于环绕的芯片区110的厚度且小于或者等于该晶圆100的厚度,如图9所示。

应理解,该沟槽301与步骤11.1中沟槽202类似,例如,该沟槽301的侧切面的形状,和/或,该沟槽301的制造方式,都可以采用如步骤11.1
15 中沟槽202所述的内容,在此不再赘述。其中,图9中的保护层302相当于图4所示的第一保护层201。

步骤12.2,在该沟槽301内部沉积绝缘材料,形成该绝缘带303;在该晶圆100上表面制作绝缘层304,如图10所示。

具体地,可以通过在晶圆100上表面沉积绝缘材料,形成绝缘层304。

20 应理解,在沟槽301内沉积绝缘材料和/或在晶圆100表面沉积绝缘材料的过程,可以采用步骤11.2中所述的沉积绝缘材料的方式和材料,在此不再赘述。

其中,在该沟槽301内部沉积绝缘材料形成绝缘带303可以如图10所示,将沟槽301填满绝缘材料以形成填满沟槽301的绝缘带303;或者填充较厚的绝缘材料,填充了绝缘材料之后的沟槽的深度小于芯片区110的厚度,在某些情况下,该深度可以为0,如图10所示,绝缘带303可与晶圆100
25 表面平齐。

步骤12.3,在该多个芯片区中每个芯片区110上方的该绝缘层304上制作多个孔,以露出该每个芯片区110,例如,每个芯片区110上方制作两个
30 孔,如图11所示。

应理解,该步骤12.3与步骤11.3类似,在此不再赘述。

步骤 12.4, 在该多个孔内沉积导电材料, 形成多个焊盘 305, 例如, 如图 12 所示, 每个芯片区 110 对应形成两个焊盘 305。

应理解, 该步骤 12.4 与步骤 11.4 类似, 在此不再赘述。

步骤 12.5, 减薄该晶圆 100 背面, 以露出该绝缘带 303, 如图 13 所示。

5 应理解, 该减薄晶圆 100 的方式可以与步骤 11.5 中类似, 在此不再赘述。

具体地, 如图 13 所示, 由于绝缘带 303 较厚, 因此可以将晶圆 100 减薄, 以露出该绝缘带 303 底部, 并减薄晶圆 100 的背面至芯片区 110 的底层的有效厚度部分, 获得如图 13 所示的晶圆 100。

10 步骤 12.6, 沿该绝缘带 303 划片, 以获得封装后的该每个芯片区 110 的分立器件, 如图 14 所示。

具体地, 由于绝缘带 303 较厚, 减薄晶圆 100 的背面至芯片区 110 的底层的有效厚度部分之后, 相邻芯片区 110 之间仍然通过绝缘带 303 相连, 因此可以通过划片技术, 纵向切割绝缘带 303, 以获得如图 14 所示的封装之后的芯片区 110 的分立器件。

15 可选地, 作为一个实施例, 下面结合图 15 至图 19, 详细描述芯片封装的方法 1000 的实施例三。具体地, 如图 15 所示, 该实施例三中采用的 SOI (Silicon On Insulator) 衬底包括三层, 中间为绝缘层 410, 上层可以看作如图 3 所示的晶圆 100, 包括芯片区 110, 也就是该晶圆 100 的芯片区 110 位于绝缘层 410 上方, 该下层 420 可以与上层晶圆 100 的材料相同, 也可以不同。
20 该实施例三包括以下步骤 (步骤 13.1-13.6)。

步骤 13.1, 在该切割道 120 上制作环绕该每个芯片区 110 的沟槽 401。其中, 该沟槽的深度大于或者等于芯片区 110 的厚度, 但该沟槽 401 的深度不超过中间绝缘层 410, 即沟槽 401 暴露出绝缘层 410 但不会贯穿绝缘层 410; 该沟槽 401 的宽度小于或者等于所在切割道 120 的宽度, 其中, 该沟槽 401
25 可以如图 16 所示。

应理解, 该沟槽 401 与步骤 11.1 中沟槽 202 类似, 例如, 该沟槽 401 的侧切面的形状, 和/或, 该沟槽 401 的制造方式, 都可以采用如步骤 11.1 中沟槽 202 所述的内容, 在此不再赘述。

30 步骤 13.2, 在该沟槽 401 内表面沉积绝缘材料, 形成绝缘带 402; 同时, 也在该晶圆 100 上表面制作绝缘层 403, 例如, 在该晶圆 100 的上表面沉积绝缘材料, 以形成绝缘层 403, 如图 17 所示的绝缘带 402 和绝缘层 403 (不

包括该绝缘层 403 上的孔)。

应理解,在沟槽 401 内沉积绝缘材料和/或在晶圆 100 表面沉积绝缘材料的过程,可以采用步骤 11.2 中所述的沉积绝缘材料的方式和材料,在此不再赘述。

5 其中,在该沟槽 401 内部沉积绝缘材料形成绝缘带 402 可以如图 17 所示,将沟槽 401 填满绝缘材料,由于沟槽 401 的深度大于芯片区 110 的厚度,对应的绝缘带 402 的厚度也大于芯片区 110 的厚度;或者填充较厚的绝缘材料,但并未填满沟槽 401,则填充了绝缘材料之后的沟槽的深度小于芯片区 110 的厚度。

10 步骤 13.3,在该多个芯片区中每个芯片区 110 上方的该绝缘层 403 上制作多个孔,以露出该每个芯片区 110,例如,每个芯片区 110 制作两个孔,如图 17 所示。

应理解,该步骤 13.3 与步骤 11.3 类似,在此不再赘述。

15 步骤 13.4,在该多个孔内沉积导电材料,形成多个焊盘 404,例如,如图 18 所示,每个芯片区 110 对应形成两个焊盘 404。

应理解,该步骤 13.4 与步骤 11.4 类似,在此不再赘述。

步骤 13.5,减薄该 SOI 衬底背面,以磨去下层 420,露出中间绝缘层 410,如图 19 中下图所示;或者减薄该 SOI 衬底的下层 420,并保留一定厚度的下层 420,如图 19 中上图所示。

20 应理解,该减薄晶圆 100 的方式可以与步骤 11.5 中类似,在此不再赘述。

步骤 13.6,沿该绝缘带 402 划片,以获得封装后的该每个芯片区 110 的分立器件,如图 19 所示。

25 具体地,如图 18 所示,由于绝缘带 402 较厚,因此将晶圆 100 减薄之后,相邻芯片区 110 之间仍然通过绝缘带 402 相连,因此可以通过划片技术,纵向切割绝缘带 402,以获得如图 19 所示的封装之后的芯片区 110 的分立器件。

可选地,作为一个实施例,下面结合图 20 至图 26,详细描述芯片封装的方法 1000 的实施例四。具体地,该实施例四包括以下步骤(步骤 14.1-14.6)。

30 步骤 14.1,通过电化学腐蚀等方式,将该切割道 120 上环绕该每个芯片区 110 的区域转化为多孔硅区域,该多孔硅区域即形成绝缘带 501。其中,该绝缘带 501 的厚度大于或者等于芯片区 110 的厚度且小于或者等于晶圆

100 的厚度，该绝缘带 501 的宽度小于或者等于所在切割道 120 的宽度，其中，该绝缘带 501 可以如图 20 所示。

具体地，通过电化学腐蚀的方式，或者其它方式，可以将晶圆 100 上的切割道 120 的部分单晶硅转变为多孔硅。该多孔硅以孔径介于 2-50 纳米之间的介孔多孔硅为最佳。该多孔硅构成的绝缘带 501 的侧切面的形状可以为任意形状，例如可以为如图 20 所示的圆弧形，但本申请实施例并不限于此。

可选地，作为一个实施例，如图 20 所示，先在晶圆 100 上表面沉积一层第二保护层 502，例如，用等离子体辅助沉积的方法，在晶圆 100 正面沉积一层含氟高聚物（fluoropolymer）作为第二保护层 502；在该切割道 120 上方对应的第二保护层上制作第二窗口，该第二窗口环绕芯片区 110，例如，用光刻的方式在切割道 202 区域打开窗口；将晶圆 100 置于第二化学溶液中腐蚀，在第二窗口处，获得环绕每个芯片区 110 的多孔硅区域，即为绝缘带 501，例如，该第二化学溶液可以为含有氢氟酸的混合溶液，即将晶圆 100 至于含有氢氟酸的溶液中，用电化学腐蚀的方法，得到如图 20 所示的多孔硅层，最后，去除第二保护层 502，获得如图 21 所示的绝缘带 501，图 21 为晶圆 100 的俯视图，中间网格状的切割道 120 上黑色区域即为绝缘带 501。

本实施例中绝缘带 501 的宽度可以指该绝缘带 501 侧切面上的最大宽度，例如图 20 所示，该绝缘带 501 的最大宽度即为该绝缘带 501 的最上方开口处，也就是绝缘带 501 所在圆的直径，该宽度小于或者等于所在切割道 120 的宽度。

步骤 14.2，在该晶圆 100 上表面制作绝缘层 503，如图 22 所示。

具体地，可以通过在晶圆 100 上表面沉积绝缘材料，形成绝缘层 503。

应理解，在晶圆 100 表面沉积绝缘材料的过程，可以采用步骤 11.2 中所述的沉积绝缘材料的方式和材料，在此不再赘述。

步骤 14.3，在该多个芯片区中每个芯片区 110 上方的该绝缘层 503 上制作多个孔，以露出该每个芯片区 110，例如，每个芯片区 110 制作两个孔，如图 23 所示。

应理解，该步骤 14.3 与步骤 11.3 类似，在此不再赘述。

步骤 14.4，在该多个孔内沉积导电材料，形成多个焊盘 504，例如，如图 24 所示，每个芯片区 110 对应形成两个焊盘 504。

应理解，该步骤 14.4 与步骤 11.4 类似，在此不再赘述。

步骤 14.5, 减薄该晶圆 100 背面, 以露出该绝缘带 501, 如图 25 所示。应理解, 该减薄晶圆 100 的方式可以与步骤 11.5 中类似, 在此不再赘述。

具体地, 如图 25 所示, 由于绝缘带 501 较厚, 因此可以将晶圆 100 减薄, 以露出该绝缘带 501 底部, 并减薄晶圆 100 的背面至芯片区 110 的底层的有效厚度部分, 获得如图 25 所示的晶圆 100。

步骤 14.6, 沿该绝缘带 501 划片, 以获得封装后的该每个芯片区 110 的分立器件, 如图 26 所示。

具体地, 由于绝缘带 501 较厚, 减薄晶圆 100 的背面至芯片区 110 的底层的有效厚度部分之后, 相邻芯片区 110 之间仍然通过绝缘带 501 相连, 因此可以通过划片技术, 纵向切割绝缘带 501, 以获得如图 26 所示的封装之后的芯片区 110 的分立器件。

下面结合一个具体的实施例, 详细描述本申请实施方式中的芯片封装的方法 1000 中的实施例一。

步骤 15.1, 选取由晶向为 (100) 的硅片加工得到的晶圆 100, 晶圆 100 包含多个芯片区 110 和网格状切割道 120, 晶圆正面顶视图如图 2 所示, 剖视图如图 3 所示。芯片区 110 的厚度小于晶圆 100 的厚度。

步骤 15.2, 如图 4 所示, 用等离子体辅助沉积的方法, 在晶圆 100 上表面沉积一层氮化硅 201, 用光刻的方式在切割道 120 对应的区域打开窗口。将晶圆 100 至于氢氧化钾溶液中腐蚀, 得到如图 4 所示的倒梯形凹槽 202。凹槽 202 的最大宽度小于切割道 120 的最小宽度。凹槽 202 的深度为几十到几百微米, 小于晶圆 100 厚度, 但大于芯片区 110 厚度。最后去除氮化硅 201。

步骤 15.3, 用等离子体增强化学的气相沉积 (plasma enhanced chemical vapor deposition, PECVD) 的方式, 在晶圆 100 正面以及凹槽 202 内壁沉积一层 2 微米厚的 USG 作为绝缘层 204 和绝缘带 203, 如图 5 所示。接着, 用光刻的方式在绝缘层 204 中芯片区 110 对应的区域打开 2 个窗口, 如图 6 所示。

步骤 15.4, 用 PVD 的方式, 在晶圆 100 正面沉积一层 3 微米厚的铝、200 纳米的镍、100 微米的金, 并用光刻的方式图形化制作芯片的焊盘 505, 如图 7 所示。

步骤 15.5, 用机械研磨结合干法刻蚀的方式, 将晶圆 100 减薄至芯片区 110 有效厚度, 如图 8 所示, 得到一个个侧壁覆盖绝缘材料的分立器件。

上文中结合图 1 至 26 详细描述根据本申请实施例的芯片封装方法 1000，该方法 1000 获得的芯片的分立器件的焊盘位于同一面，下面将结合图 27 至 37，描述本申请另一实施例的芯片封装的方法 2000。

图 27 示出了根据本申请实施方式二的芯片封装的方法 2000 的示意性流程图。如图 27 所示，该方法 2000 包括：S2010，在晶圆的切割道上制作绝缘带，其中，该晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在该任意两个相邻芯片区之间，该绝缘带的深度大于或者等于该芯片区的厚度且小于或者等于该晶圆的厚度，该绝缘带的宽度小于或者等于该切割道的宽度；S2020，在该晶圆上表面制作第一绝缘层；S2030，在该多个芯片区中每个芯片区上方的该第一绝缘层上制作至少一个第一窗口，以露出该每个芯片区；S2040，在该至少一个第一窗口内沉积导电材料，以形成该每个芯片的至少一个第一焊盘；S2050，减薄该晶圆背面，以露出该绝缘带；S2060，在减薄后的该晶圆背面沉积导电材料，以形成该每个芯片区的第二焊盘，并沿该绝缘带划片，以获得封装后的该每个芯片区的分立器件。

应理解，该方法 2000 中的晶圆可以与方法 1000 中的晶圆 100 相同，如图 2 和图 3 所示，在此不再赘述，对应的，形成第一焊盘的方式可参照前述实施例一至四的方法，当然，根据对焊盘数量、大小的需求不同，对应的在芯片区形成的孔的数量、大小也可做相应变化。

在本申请实施例中，在该晶圆 100 的切割道 120 上制作绝缘带，可选地，可以通过多种方式制作绝缘带，并根据绝缘带的不同，封装芯片。具体地，制作绝缘带可以包括在该切割道 120 上制作沟槽，并在沟槽内沉积绝缘材料，从而形成绝缘带；或者，通过电化学腐蚀的方式或其他方式，将切割道 120 的部分区域转化为多孔硅区域或其他材质的绝缘区域，作为绝缘带。

在本申请实施例中，该方法 2000 中的 S2060 中，在减薄后的该晶圆背面沉积导电材料，以形成该每个芯片区的第二焊盘，可以包括：在减薄后的该晶圆背面沉积绝缘材料，形成第二绝缘层；在该每个芯片区下方的该第二绝缘层上制作至少一个第二窗口，以露出该每个芯片区；在该至少一个第二窗口内沉积导电材料，以形成该每个芯片的至少一个第二焊盘。

根据制作绝缘带的方式的不同，以及根据第二焊盘制作方式的不同，下面结合图 28 至图 37，分别描述根据本申请实施例的芯片封装的方法的不同

实施例。

可选地，作为实施方式二的一个实施例一，结合图 28 至图 32，详细描述芯片封装的方法 2000 的实施例一。具体地，该方法 2000 的实施例一包括以下步骤（步骤 21.1-21.7）。

5 步骤 21.1，与步骤 12.1 相同，在此不再赘述。

步骤 21.2，与步骤 12.2 相同，在此不再赘述。

步骤 21.3，在每个芯片区 100 上方的该绝缘层 304 上制作至少一个第一窗口，以露出该每个芯片区 110，例如，每个芯片区 110 对应制作一个第一窗口，如图 28 所示。

10 应理解，这里对该绝缘层 304 上方的第一窗口的尺寸不作限制，例如，如图 28 所示，该第一窗口可以较大。

应理解，在该绝缘层 304 上制作任意一个第一窗口的过程可以与步骤 12.3 中制作多个孔中任意一个孔的方式相同，在此不再赘述。

15 步骤 21.4，在该至少一个第一窗口内沉积导电材料，以形成该每个芯片区的至少一个第一焊盘 310，例如，如图 29 所示，以每个芯片区对应一个第一焊盘 310 为例。

应理解，该沉积导电材料形成任意一个第一焊盘 310 的过程可以与步骤 11.4 中制作任意一个焊盘的过程相同，在此不再赘述。

20 应理解，该至少一个第一窗口的个数大于或者等于至少一个第一焊盘 310 的个数，也就是，可以存在两个或多于两个的第一窗口对应形成一个第一焊盘 310 的情况。

步骤 21.5，减薄该晶圆 100 背面，以露出该绝缘带 303，如图 30 所示。

应理解，该步骤 21.5 与步骤 12.5 相同，在此不再赘述。

25 步骤 21.6 在减薄后的该晶圆 100 背面沉积导电材料，以形成该每个芯片区的第二焊盘 320，如图 31 所示。或者，在减薄后的晶圆 100 的背面制作的第二焊盘 320 与第一焊盘 310 过程相同，即先在减薄后的晶圆 100 沉积绝缘材料，形成第二绝缘层 308；在该每个芯片区 110 下方的该第二绝缘层 308 上制作至少一个第二窗口，以露出该每个芯片区 110；在该至少一个第二窗口内沉积导电材料，以形成该每个芯片区的至少一个第二焊盘 320，例如，
30 如图 32 所示，以每个芯片区 110 制作一个第二窗口并形成第二焊盘 320 为例。

应理解，该沉积导电材料形成第二焊盘 320 的可选的方式和材料可以与第一焊盘 310 的相同，在此不再赘述。

步骤 21.7，沿该绝缘带 303 划片，以获得封装后的该每个芯片区 110 的分立器件，如图 31 和图 32 所示。

5 应理解，该步骤 21.7 与步骤 12.6 相同，在此不再赘述。

可选地，作为一个实施例，结合图 33 至图 37，详细描述芯片封装的方法 2000 的实施例二。具体地，该方法 2000 的实施例二包括以下步骤（步骤 22.1-22.7）。

步骤 22.1，与步骤 14.1 相同，在此不再赘述。

10 步骤 22.2，与步骤 14.2 相同，在此不再赘述。

步骤 22.3，在该多个芯片区中每个芯片区 110 上方的该绝缘层 503 上制作至少一个第一窗口，以露出该每个芯片区 110，例如，每个芯片区 110 对应制作一个第一窗口，如图 33 所示。

15 应理解，这里对该绝缘层 503 上方的第一窗口的尺寸不作限制，例如，如图 33 所示，该第一窗口可以较大。

应理解，在该绝缘层 503 上制作任意一个第一窗口的过程可以与步骤 14.3 中制作多个孔中任意一个孔的方式相同，在此不再赘述。

20 步骤 22.4，在该至少一个第一窗口内沉积导电材料，以形成该每个芯片区的至少一个第一焊盘 510，例如，如图 34 所示，以每个芯片区对应一个第一焊盘 510 为例。

应理解，该沉积导电材料形成任意一个第一焊盘 51 的过程可以与步骤 11.4 中制作任意一个焊盘的过程相同，在此不再赘述。

25 应理解，该至少一个第一窗口的个数大于或者等于至少一个第一焊盘 510 的个数，也就是，可以存在两个或多于两个的第一窗口对应形成一个第一焊盘 510 的情况。

步骤 22.5，减薄该晶圆 100 背面，以露出该绝缘带 501，如图 35 所示。

应理解，该步骤 22.5 与步骤 14.5 相同，在此不再赘述。

30 步骤 22.6 在减薄后的该晶圆 100 背面沉积导电材料，以形成该每个芯片区的第二焊盘 520，如图 36 所示。或者，在减薄后的晶圆 100 的背面制作的第二焊盘 520 与第一焊盘 510 过程相同，即先在减薄后的晶圆 100 沉积绝缘材料，形成第二绝缘层 506；在该每个芯片区 110 下方的该第二绝缘层 506

上制作至少一个第二窗口，以露出该每个芯片区 110；在该至少一个第二窗口内沉积导电材料，以形成该每个芯片区的至少一个第二焊盘 520，例如，如图 37 所示，以每个芯片区 110 制作一个第二窗口并形成第二焊盘 520 为例。

5 应理解，该沉积导电材料形成第二焊盘 520 的可选的方式和材料可以与第一焊盘 510 的相同，在此不再赘述。

步骤 22.7，沿该绝缘带 501 划片，以获得封装后的该每个芯片区 110 的分立器件，如图 36 和图 37 所示。

应理解，该步骤 21.7 与步骤 14.6 相同，在此不再赘述。

10 下面结合一个具体的实施例，详细描述本申请实施例中的芯片封装的方法 2000 中的实施例二。

步骤 23.1，选取由 p 型重掺杂硅片加工得到的晶圆 100，晶圆 100 包含多个芯片区 110 和网格状切割道 120。芯片区 110 的厚度小于晶圆 100 的厚度，如图 2 和 3 所示。

15 步骤 23.2，如图 20 所示，用等离子体辅助沉积的方法，在晶圆 100 正面沉积一层含氟高聚物（fluoropolymer）502，用光刻的方式在切割道 120 对应的区域打开窗口。将晶圆 100 至于含有氢氟酸的溶液中，用电化学腐蚀的方法，得到如图 20 所示的多孔硅层 501。多孔硅层 501 的最大宽度小于切割道 120 的最小宽度。多孔硅层 501 的深度为几十到几百微米，小于晶圆 100
20 厚度，但大于芯片区 120 厚度。最后去除含氟高聚物 502，获得如图 21 所示的顶视图。

步骤 23.3，用 PECVD 的方式，在晶圆 100 正面沉积一层 2 微米厚的 USG 作为绝缘层 503，如图 22 所示。接着，用光刻的方式在芯片区 110 上方的绝缘层 503 打开一个的窗口，如图 33 所示。

25 步骤 23.4，用 PVD 的方式，在晶圆正面沉积一层 3 微米厚的铝、200 纳米的镍、100 微米的金，并用光刻的方式图形化制作芯片的一个焊盘 510，如图 34 所示。

步骤 23.5，用机械研磨并抛光的方式，将晶圆减薄至芯片区 110 有效厚度，如图 35 所示。

30 步骤 23.6 和步骤 23.7，重复步骤 23.3 和步骤 23.4，在减薄后的晶圆 100 背面制作绝缘层 506 和背面焊盘 520，如图 37 所示。

步骤 23.8, 沿切割道划片得到一个个侧壁为多孔硅的分立器件, 如图 37 所示。

应理解, 本申请实施例中的芯片封装的方法制作侧面保护的半导体器件, 包括被动器件(电容、电感、电阻等)、储能器件等。

5 本申请实施例的芯片封装的方法, 通过制作环绕芯片四周且内有绝缘材料的凹槽, 或者通过制作环绕芯片四周的网格状多孔硅区域, 实现在半导体前道工艺中, 进行晶圆级芯片侧面绝缘保护的方法, 省去了后道对单个芯片的封装步骤, 成本更低, 芯片体积更小, 从而解决了半导体分立器件侧面绝缘保护和后道封装工序繁琐的矛盾。

10 应理解, 在本申请实施例中, “与 A 相应的 B” 表示 B 与 A 相关联, 根据 A 可以确定 B。但还应理解, 根据 A 确定 B 并不意味着仅仅根据 A 确定 B, 还可以根据 A 和/或其它信息确定 B。

另外, 本文中术语“和/或”, 仅仅是一种描述关联对象的关联关系, 表示可以存在三种关系, 例如, A 和/或 B, 可以表示: 单独存在 A, 同时存在 A 和 B, 单独存在 B 这三种情况。另外, 本文中字符“/”, 一般表示前后关联对象是一种“或”的关系。

应理解, 在本申请的各种实施例中, 上述各过程的序号的大小并不意味着执行顺序的先后, 各过程的执行顺序应以其功能和内在逻辑确定, 而不应对本申请实施例的实施过程构成任何限定。

20 本领域普通技术人员可以意识到, 以上结合附图详细描述了本申请的优选实施方式, 但是, 本申请并不限于上述实施方式中的具体细节。在本申请的技术构思范围内, 专业技术人员可以对本申请的技术方案进行多种简单变型, 这些简单变型均属于本申请的保护范围。

25 以上所述, 仅为本申请的具体实施方式, 但本申请的保护范围并不局限于此, 任何熟悉本技术领域的技术人员在本申请揭露的技术范围内, 可轻易想到变化或替换, 都应涵盖在本申请的保护范围之内。因此, 本申请的保护范围应以所述权利要求的保护范围为准。

权利要求

1. 一种芯片封装的方法，其特征在于，包括：

5 在晶圆的切割道上制作绝缘带，其中，所述晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在所述任意两个相邻芯片区之间，所述绝缘带的深度大于或者等于所述芯片区的厚度且小于或者等于所述晶圆的厚度，所述绝缘带的宽度小于或者等于所述切割道的宽度；

在所述晶圆上表面制作绝缘层；

10 在所述多个芯片区中每个芯片区上方的所述绝缘层上制作多个孔，以露出所述每个芯片区；

在所述多个孔内沉积导电材料，形成多个焊盘；

减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件。

2. 根据权利要求 1 所述的方法，其中，所述在晶圆的切割道上制作绝缘带，包括：

15 在所述切割道上制作环绕所述每个芯片区的沟槽；

在所述沟槽内表面沉积绝缘材料，沉积所述绝缘材料后的沟槽形成所述绝缘带；

所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：

20 减薄所述晶圆背面，以使所述多个芯片区分离，获得封装后的所述每个芯片区的分立器件。

3. 根据权利要求 1 所述的方法，其中，所述在晶圆的切割道上制作绝缘带，包括：

25 在所述切割道上制作环绕所述每个芯片区的沟槽，所述沟槽的深度大于或者等于环绕的芯片区的厚度且小于或者等于所述晶圆的厚度；

在所述沟槽内部沉积绝缘材料，形成所述绝缘带；

所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：

30 减薄所述晶圆背面，以露出所述绝缘带，并沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。

4. 根据权利要求 2 或 3 所述的方法，其中，所述在所述切割道上制作

环绕所述每个芯片区的沟槽，包括：

通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽。

- 5 5. 根据权利要求 4 所述的方法，其中，所述通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽，包括：

在所述晶圆上表面沉积第一保护层；

在所述切割道上方的所述第一保护层上制作第一窗口；

将所述晶圆置于第一化学溶液中腐蚀，以在所述第一窗口处，获得所述沟槽。

- 10 6. 根据权利要求 5 所述的方法，其中，所述在所述晶圆上表面沉积第一保护层，包括：

通过等离子体辅助沉积的方式，在所述晶圆上表面沉积氮化硅层作为所述第一保护层，所述第一化学溶液为以下溶液中的任意一种：氢氧化钾溶液、氧化钠溶液，四甲基氢氧化铵溶液以及含有氢氟酸和硝酸的混合溶液。

- 15 7. 根据权利要求 2 至 6 中任一项所述的方法，其中，
所述沟槽为底部宽度小于上部宽度的梯形；或
所述沟槽为底部宽度等于上部宽度的矩形。

8. 根据权利要求 1 所述的方法，其中，所述在晶圆的切割道上制作绝缘带，包括：

- 20 通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，所述多孔硅区域为所述绝缘带；

所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：

- 25 减薄所述晶圆背面，以露出所述绝缘带，沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。

9. 根据权利要求 8 所述的方法，其中，所述通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，包括：

在所述晶圆上表面沉积第二保护层；

在所述切割道上方的所述第二保护层上制作第二窗口；

- 30 将所述晶圆置于第二化学溶液中，通过所述电化学腐蚀，在所述第二窗口处，获得所述多孔硅区域。

10. 根据权利要求 9 所述的方法，其中，所述在所述晶圆上表面沉积第二保护层，包括：

通过等离子体辅助沉积的方式，在所述晶圆上表面沉积含氟高聚物层为所述第二保护层，所述第二化学溶液为含有氢氟酸的混合溶液。

5 11. 根据权利要求 1 至 10 中任一项所述的方法，其中，所述晶圆包括绝缘层，所述绝缘层设置于所述每个芯片区下方，所述绝缘带与所述绝缘层连接。

12. 根据权利要求 10 所述的方法，其中，所述减薄所述晶圆背面，以获得封装后的所述每个芯片区的分立器件，包括：

10 减薄所述晶圆背面，以露出所述绝缘层，并沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。

13. 根据权利要求 1 至 12 中任一项所述的方法，其中，所述减薄所述晶圆背面，包括：

15 通过磨削、研磨、化学机械抛光、干式抛光、电化学腐蚀、湿法腐蚀、等离子辅助化学腐蚀和常压等离子腐蚀中的至少一种方式，减薄所述晶圆背面。

14. 根据权利要求 1 至 13 中任一项所述的方法，其中，所述在所述晶圆上表面制作绝缘层，包括：

在所述晶圆上表面沉积绝缘材料，以形成所述绝缘层。

20 15. 根据权利要求 14 所述的方法，其中，所述沉积绝缘材料，包括：

通过物理气相沉积、化学气相沉积、喷涂和旋涂中至少一种方式，沉积所述绝缘材料。

16. 根据权利要求 14 或 15 所述的方法，其中，所述绝缘材料包括以下至少一种：硅的氧化物、硅的氮化物以及聚合物。

25 17. 根据权利要求 1 至 16 中任一项所述的方法，其中，所述沉积导电材料，包括：

通过原子层沉积、物理气相沉积、有机金属化学气相沉积、蒸镀和电镀中至少一种方式，沉积所述导电材料。

30 18. 根据权利要求 17 所述的方法，其中，所述导电材料包括以下至少一种：重掺杂多晶硅、碳基材料、金属和氮化钛。

19. 根据权利要求 1-18 任意一项所述的方法，其中，所述绝缘带整体上

为网格状。

20. 一种芯片封装的方法，其中，包括：

在晶圆的切割道上制作绝缘带，其中，所述晶圆正面设置有多个独立的芯片区，多个芯片区中任意两个相邻芯片区之间的部分为切割道，在所述任意两个相邻芯片区之间，所述绝缘带的深度大于或者等于所述芯片区的厚度且小于或者等于所述晶圆的厚度，所述绝缘带的宽度小于或者等于所述切割道的宽度；

在所述晶圆上表面制作第一绝缘层；

在所述多个芯片区中每个芯片区上方的所述第一绝缘层上制作至少一个第一窗口，以露出所述每个芯片区；

在所述至少一个第一窗口内沉积导电材料，以形成所述每个芯片的至少一个第一焊盘；

减薄所述晶圆背面，以露出所述绝缘带；

在减薄后的所述晶圆背面沉积导电材料，以形成所述每个芯片区的第二焊盘，并沿所述绝缘带划片，以获得封装后的所述每个芯片区的分立器件。

21. 根据权利要求 20 所述的方法，其中，所述在减薄后的所述晶圆背面沉积导电材料，以形成所述每个芯片区的第二焊盘，包括：

在减薄后的所述晶圆背面沉积绝缘材料，形成第二绝缘层；

在所述每个芯片区下方的所述第二绝缘层上制作至少一个第二窗口，以露出所述每个芯片区；

在所述至少一个第二窗口内沉积导电材料，以形成所述每个芯片的至少一个所述第二焊盘。

22. 根据权利要求 21 所述的方法，其中，所述第一绝缘层与所述第二绝缘层材料相同。

23. 根据权利要求 20 至 22 中任一项所述的方法，其中，所述在晶圆的切割道上制作绝缘带，包括：

在所述切割道上制作环绕所述每个芯片区的沟槽，所述沟槽的深度大于或者等于环绕的芯片区的厚度且小于或者等于所述晶圆的厚度；

在所述沟槽内部沉积绝缘材料，形成所述绝缘带。

24. 根据权利要求 23 所述的方法，其中，所述在所述切割道上制作环绕所述每个芯片区的沟槽，包括：

通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽。

25. 根据权利要求 24 所述的方法，其中，所述通过干法刻蚀、湿法腐蚀和机械切割中的至少一种方式，在所述切割道上制作所述沟槽，包括：

- 5 在所述晶圆上表面沉积第一保护层；
在所述切割道上方的所述第一保护层上制作第三窗口；
将所述晶圆置于第一化学溶液中腐蚀，在所述第三窗口处，获得所述沟槽。

10 26. 根据权利要求 25 所述的方法，其中，所述在所述晶圆上表面沉积第一保护层，包括：

通过等离子体辅助沉积的方式，在所述晶圆上表面沉积氮化硅层为所述第一保护层，所述第一化学溶液为以下溶液中的任意一种：氢氧化钾溶液、氢氧化钠溶液，四甲基氢氧化铵溶液以及含有氢氟酸和硝酸的混合溶液。

- 15 27. 根据权利要求 23 至 26 中任一项所述的方法，其中，
所述沟槽为底部宽度小于上部宽度的梯形；或
所述沟槽为底部宽度等于上部宽度的矩形。

28. 根据权利要求 20 至 22 中任一项所述的方法，其中，所述在晶圆的切割道上制作绝缘带，包括：

- 20 通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，所述多孔硅区域为所述绝缘带。

29. 根据权利要求 28 所述的方法，其中，所述通过电化学腐蚀，将所述切割道上环绕所述每个芯片区的部分转化为多孔硅区域，包括：

- 25 在所述晶圆上表面沉积第二保护层；
在所述切割道上方的所述第二保护层上制作第四窗口；
将所述晶圆置于第二化学溶液中，通过所述电化学腐蚀，在所述第四窗口处，获得所述多孔硅区域。

30. 根据权利要求 29 所述的方法，其中，所述在所述晶圆上表面沉积第二保护层，包括：

- 30 通过等离子体辅助沉积的方式，在所述晶圆上表面沉积含氟高聚物层为所述第二保护层，所述第二化学溶液为含有氢氟酸的混合溶液。

31. 根据权利要求 20 至 30 中任一项所述的方法，其中，所述第一焊盘

与所述第二焊盘材料相同。

32. 根据权利要求 20 至 31 中任一项所述的方法，其中，所述减薄所述晶圆背面，包括：

5 通过磨削、研磨、化学机械抛光、干式抛光、电化学腐蚀、湿法腐蚀、等离子辅助化学腐蚀和常压等离子腐蚀中的至少一种方式，减薄所述晶圆背面。

33. 根据权利要求 20 至 32 中任一项所述的方法，其中，所述在所述晶圆上表面制作绝缘层，包括：

在所述晶圆上表面沉积绝缘材料，以形成所述绝缘层。

10 34. 根据权利要求 33 所述的方法，其中，所述沉积绝缘材料，包括：

通过物理气相沉积、化学气相沉积、等离子辅助沉积、喷涂和旋涂中至少一种方式，沉积所述绝缘材料。

35. 根据权利要求 33 或 34 所述的方法，其中，所述绝缘材料包括以下至少一种：硅的氧化物、硅的氮化物以及聚合物。

15 36. 根据权利要求 20 至 35 中任一项所述的方法，其中，所述沉积导电材料，包括：

通过原子层沉积、物理气相沉积、有机金属化学气相沉积、蒸镀和电镀中至少一种方式，沉积所述导电材料。

20 37. 根据权利要求 36 所述的方法，其中，所述导电材料包括以下至少一种：重掺杂多晶硅、碳基材料、金属和氮化钛。

38. 根据权利要求 20-37 任意一项所述的方法，其中，所述绝缘带整体上为网格状。

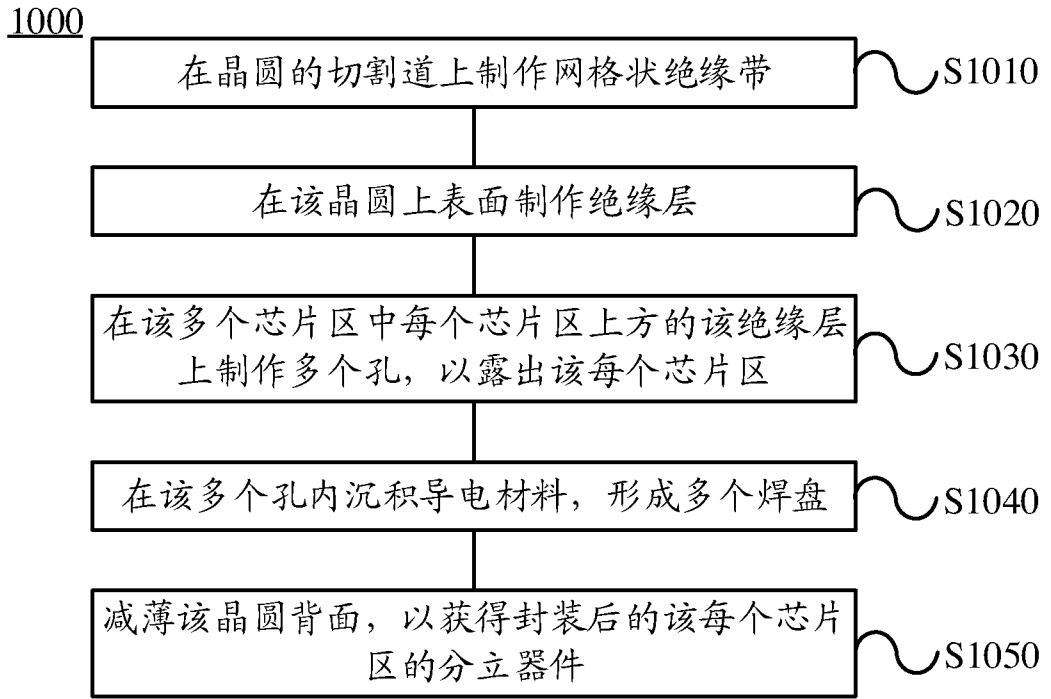


图1

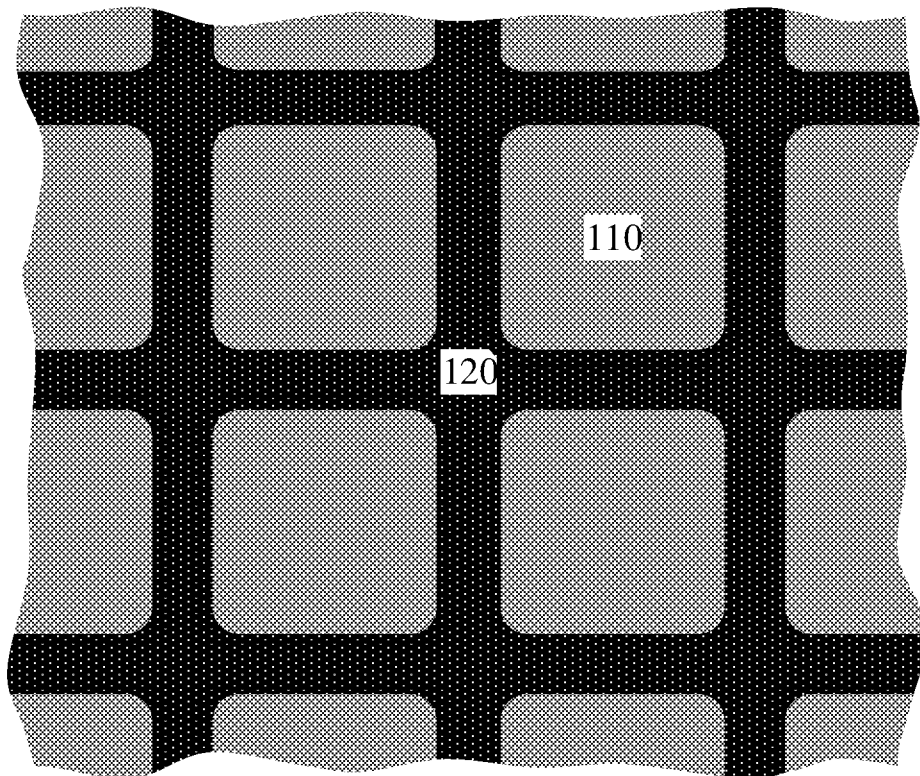


图2

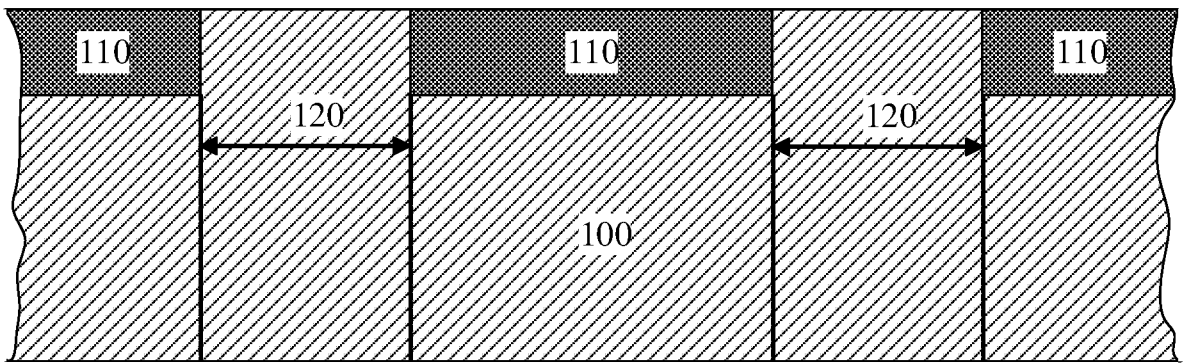


图3

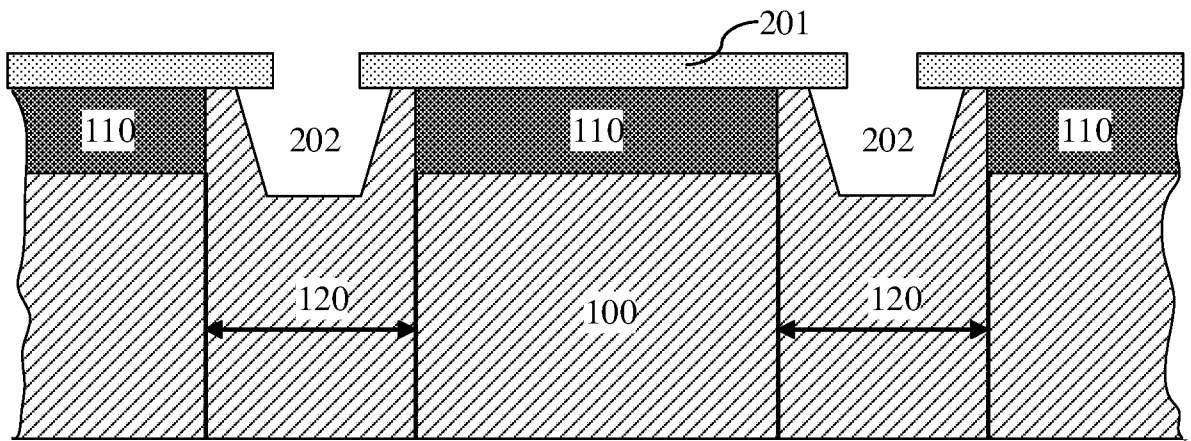


图4

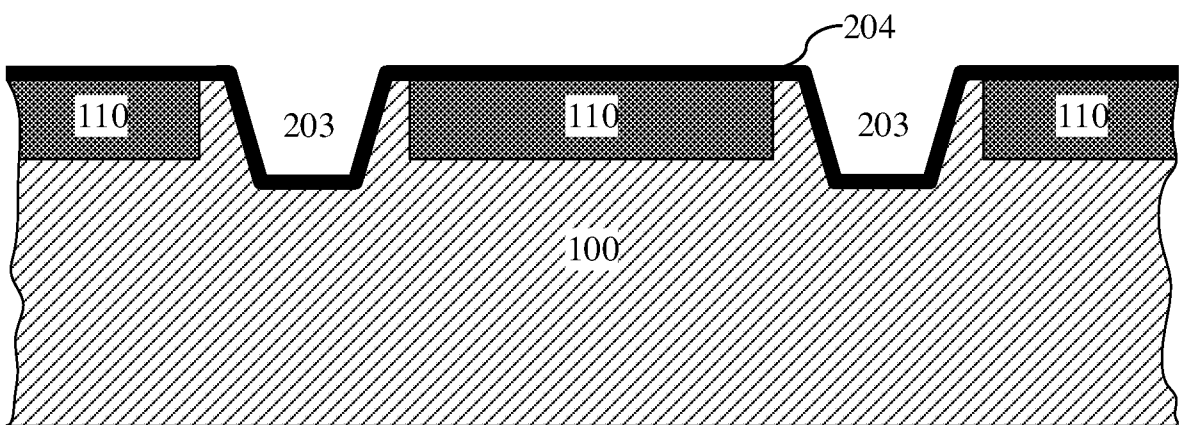


图5

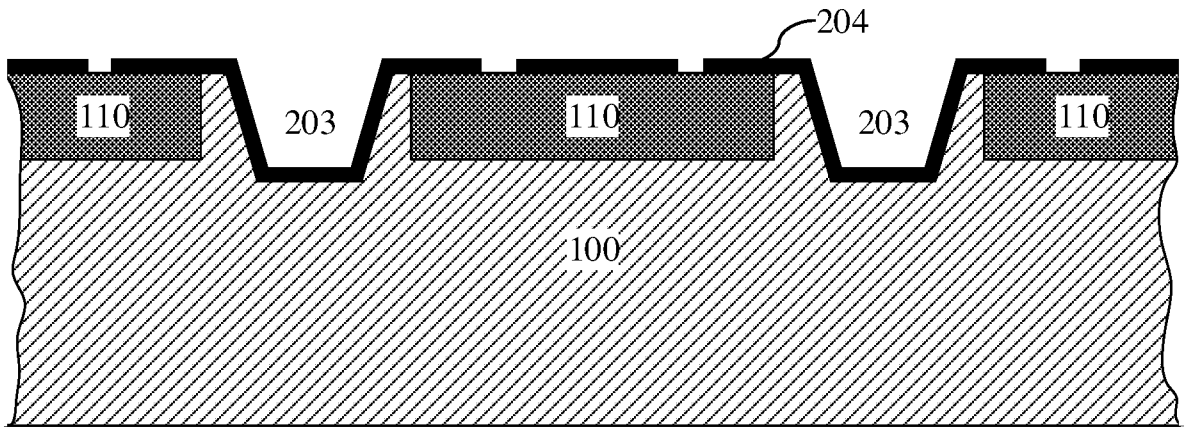


图6

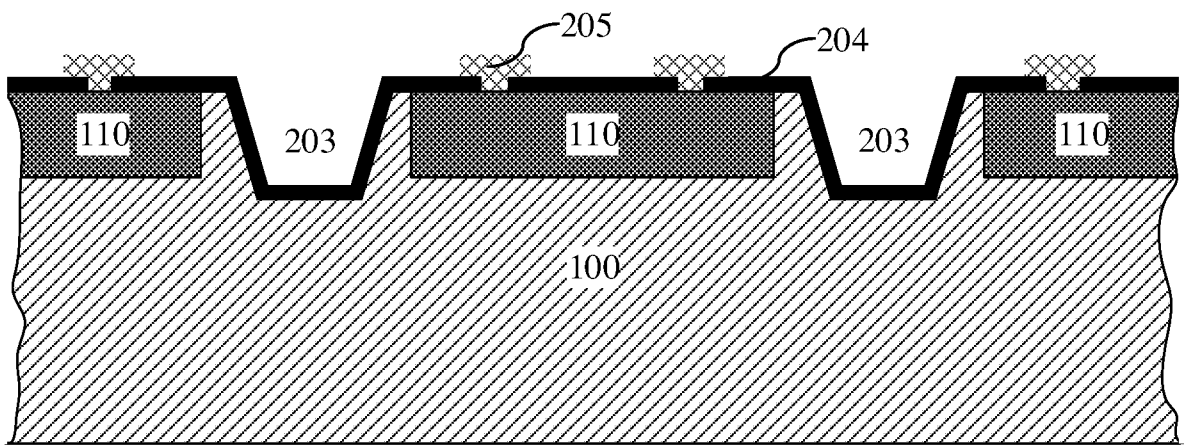


图7

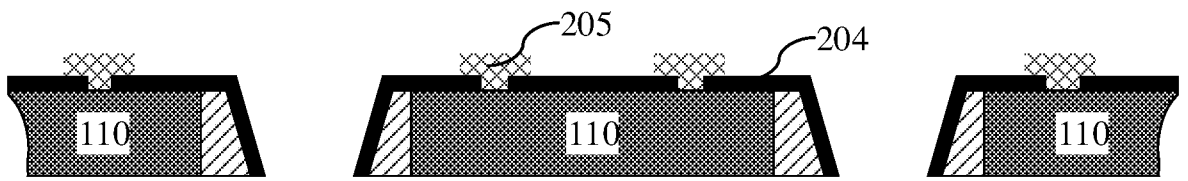


图8

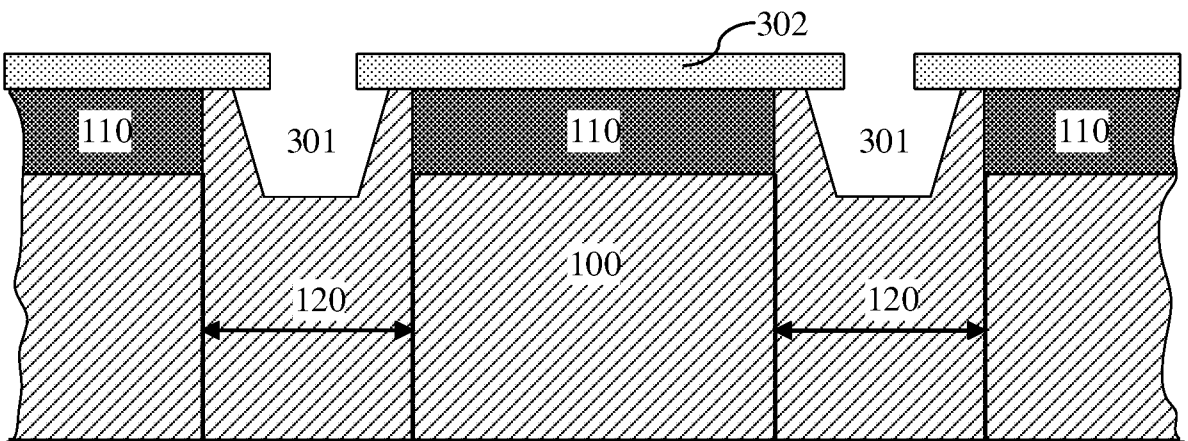


图9

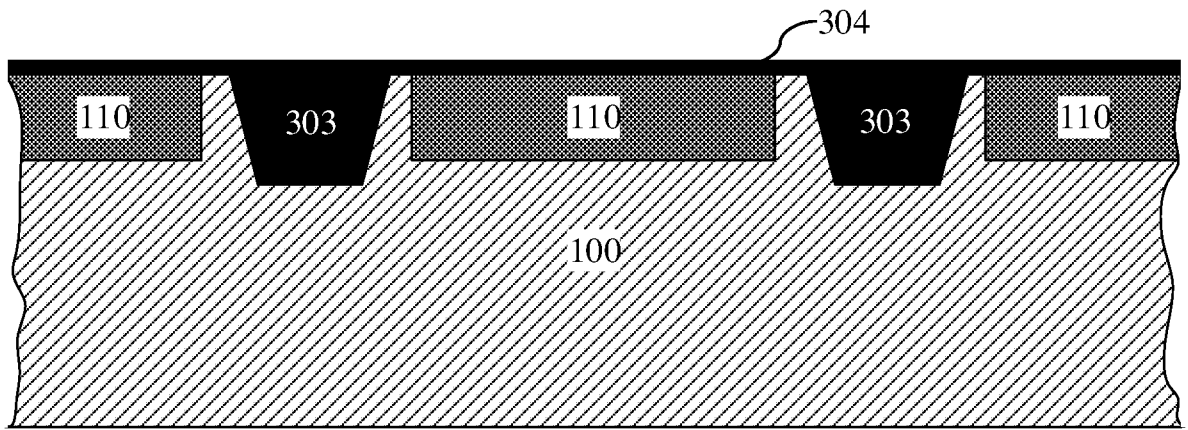


图 10

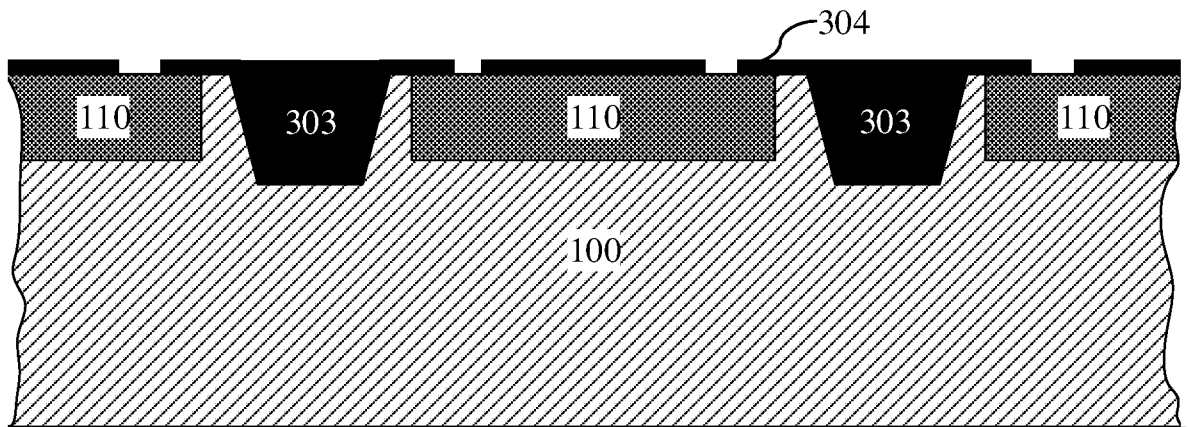


图 11

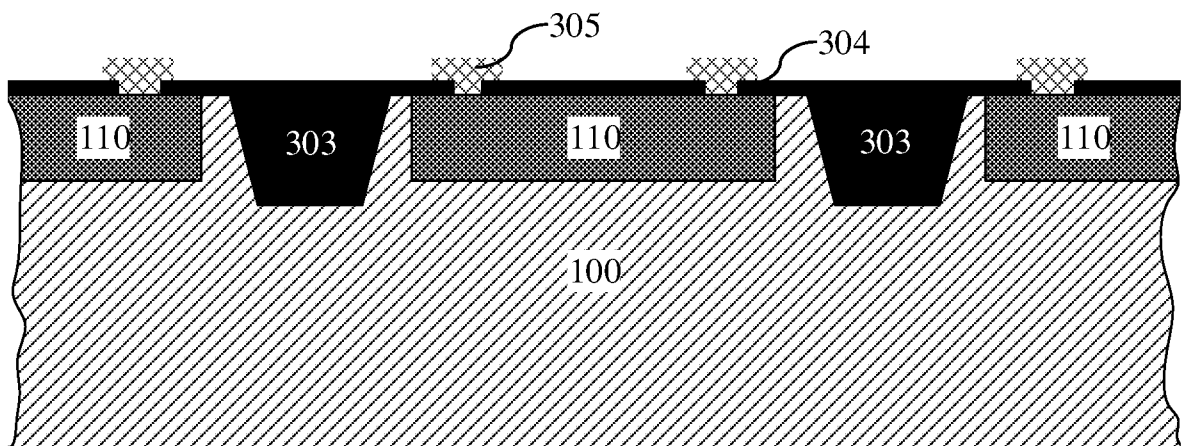


图 12

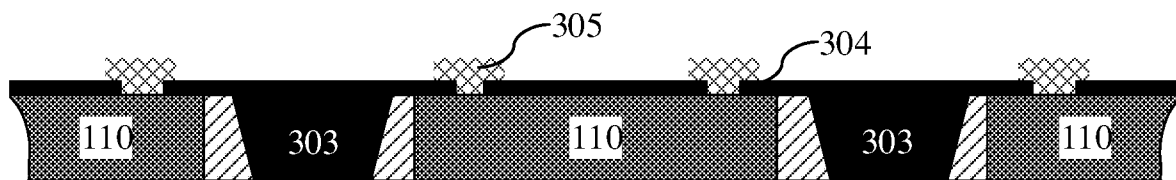


图 13

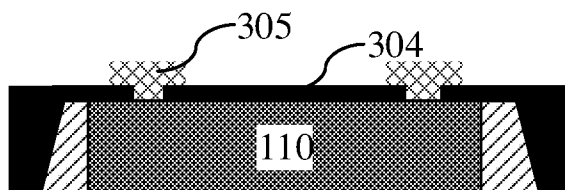


图 14

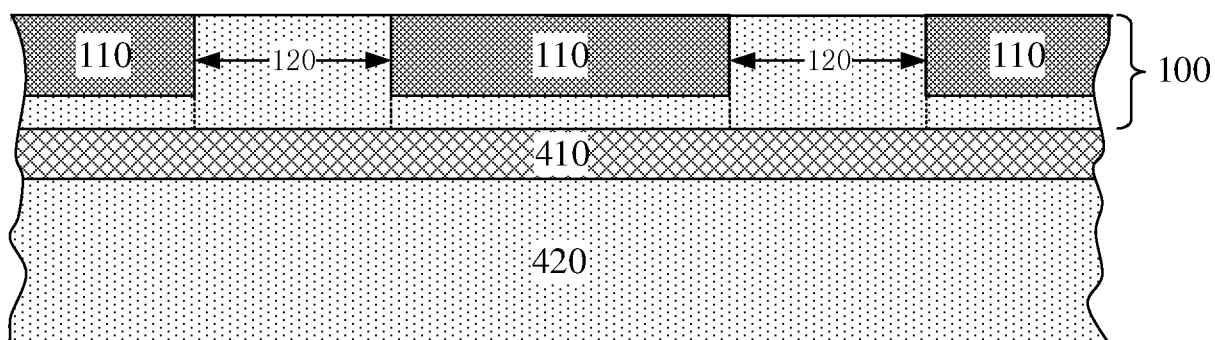


图 15

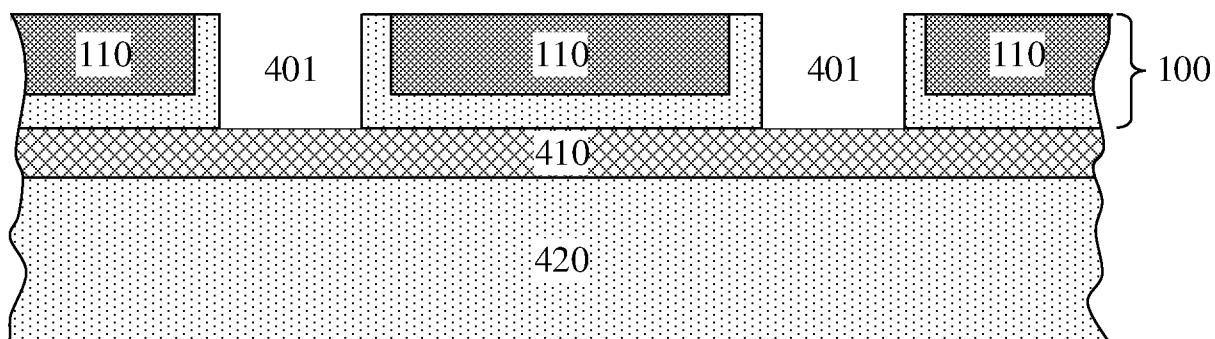


图 16

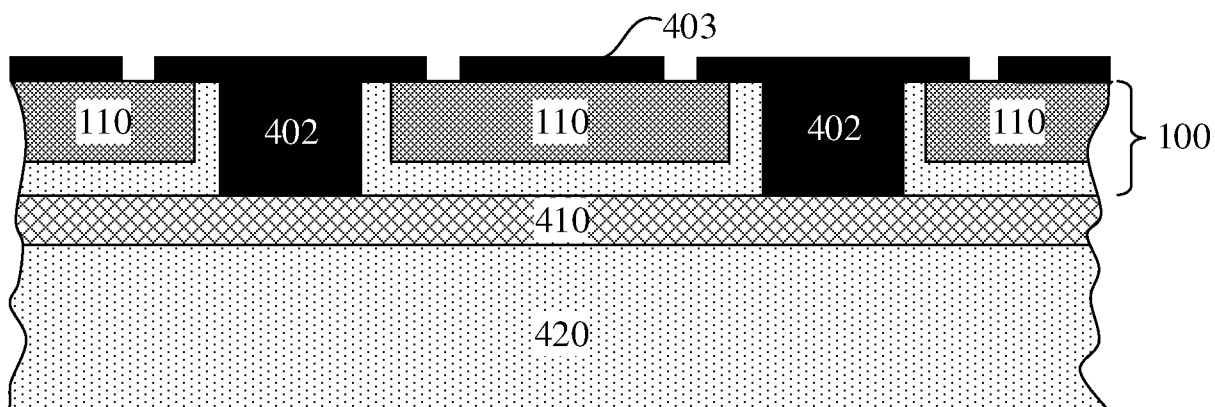


图 17

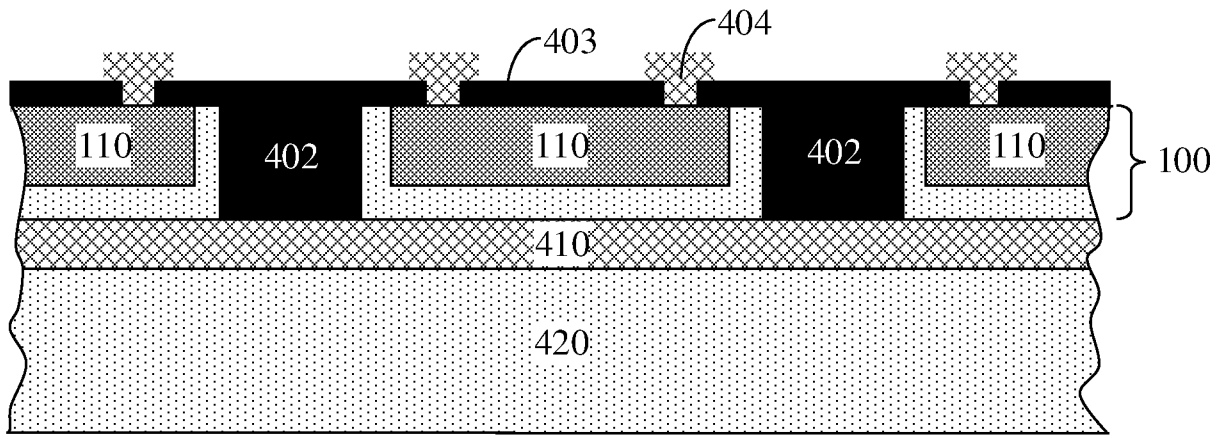


图18

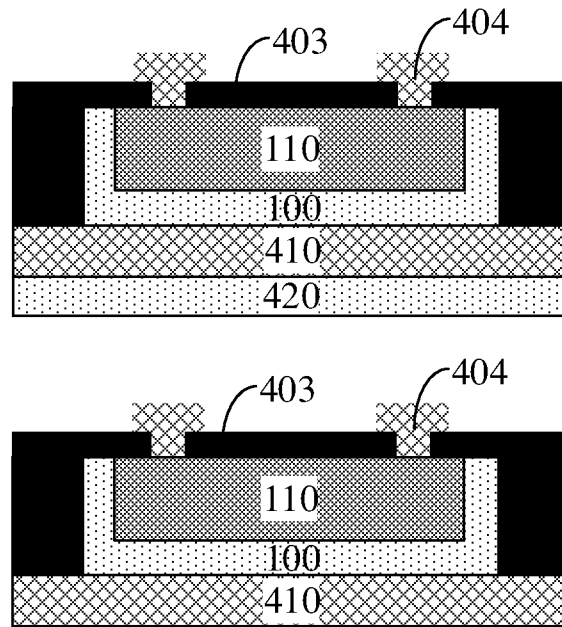


图19

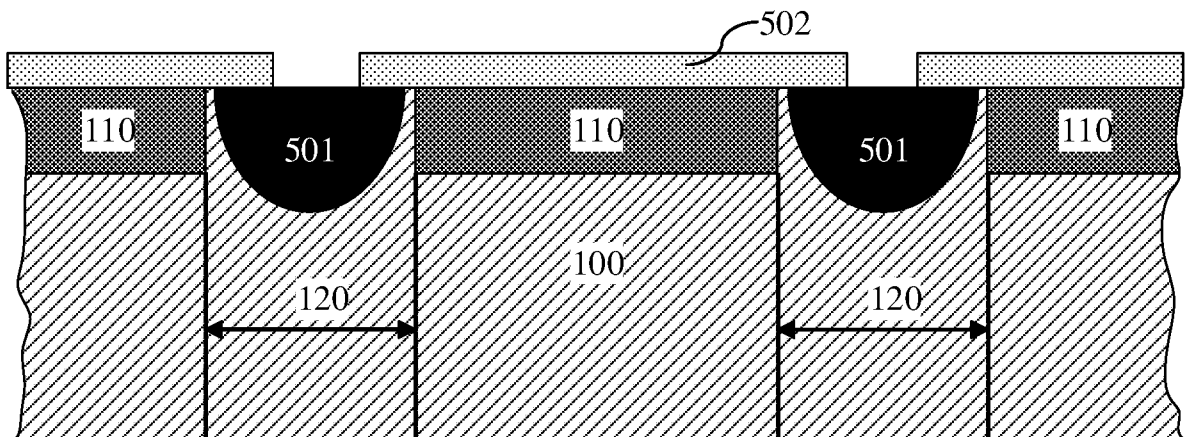


图20

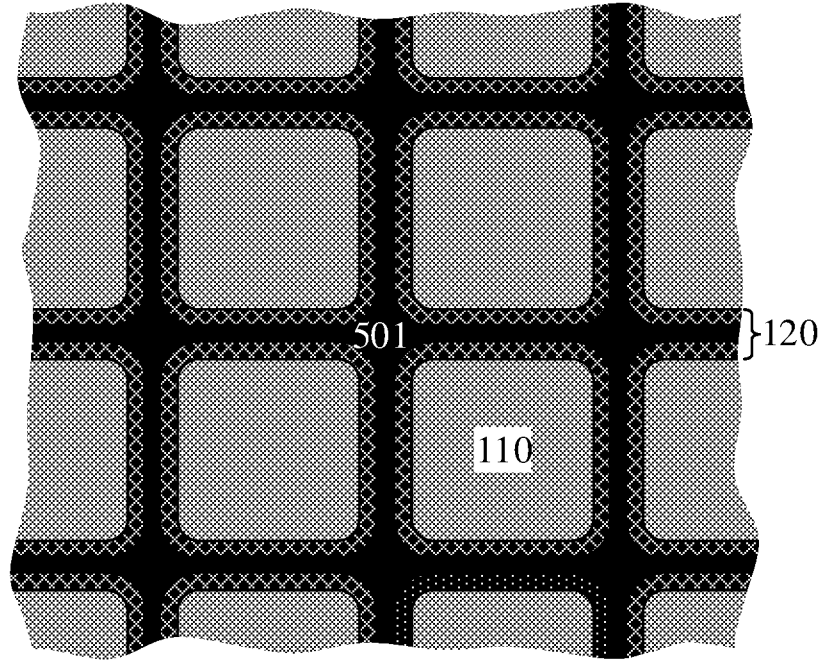


图21

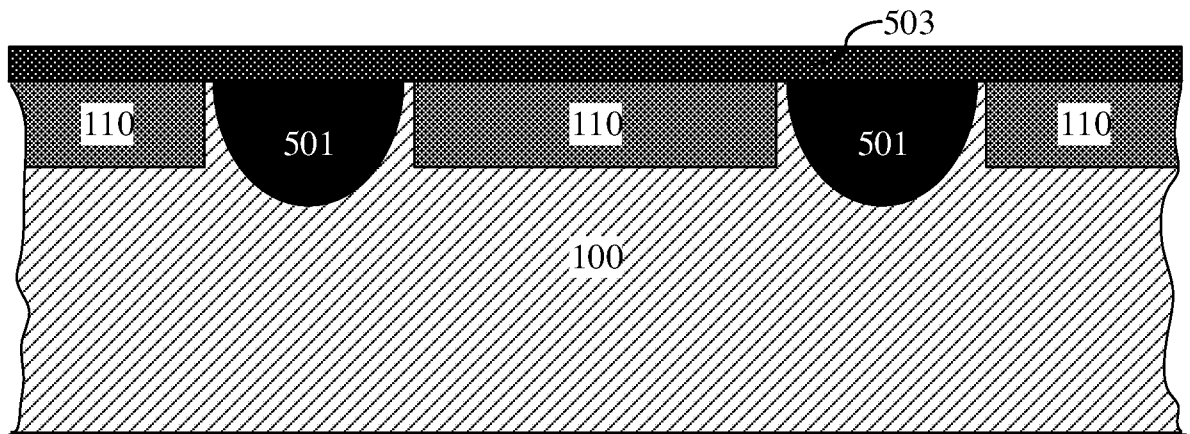


图22

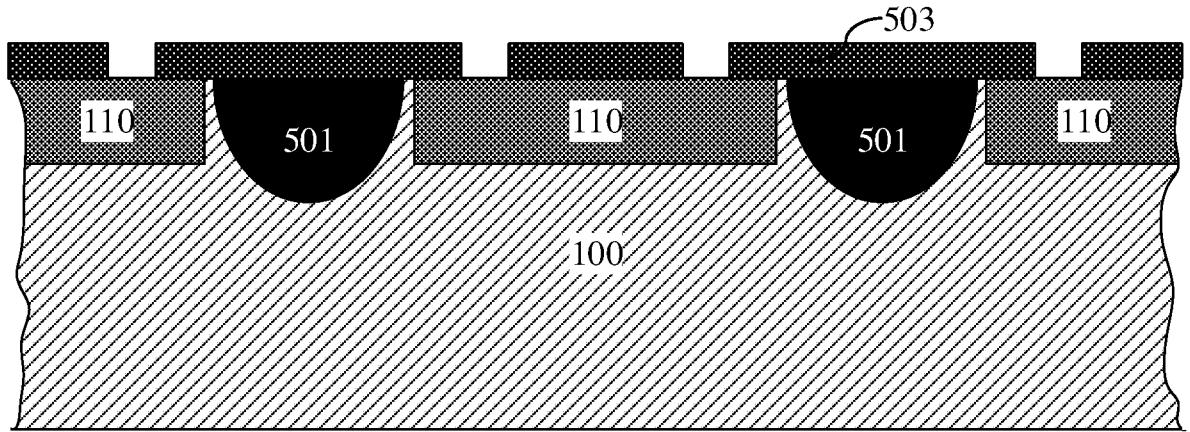


图 23

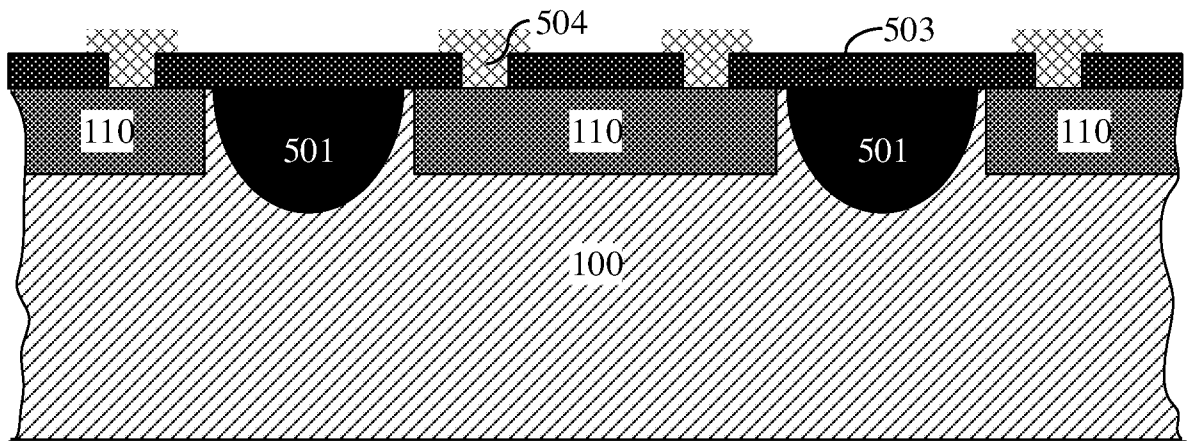


图 24

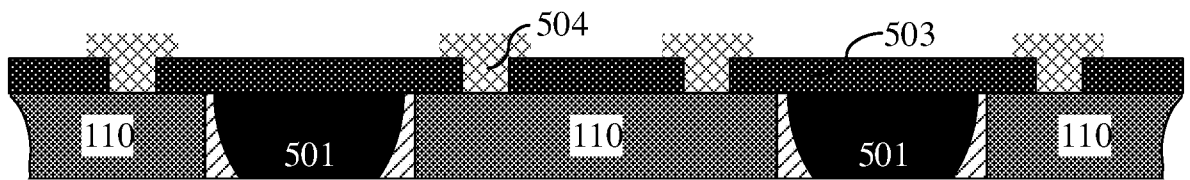


图 25

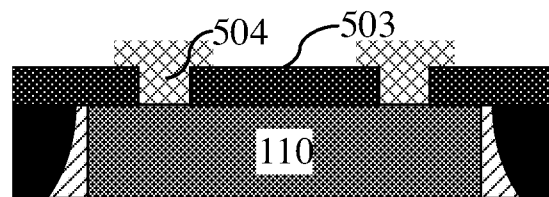


图 26

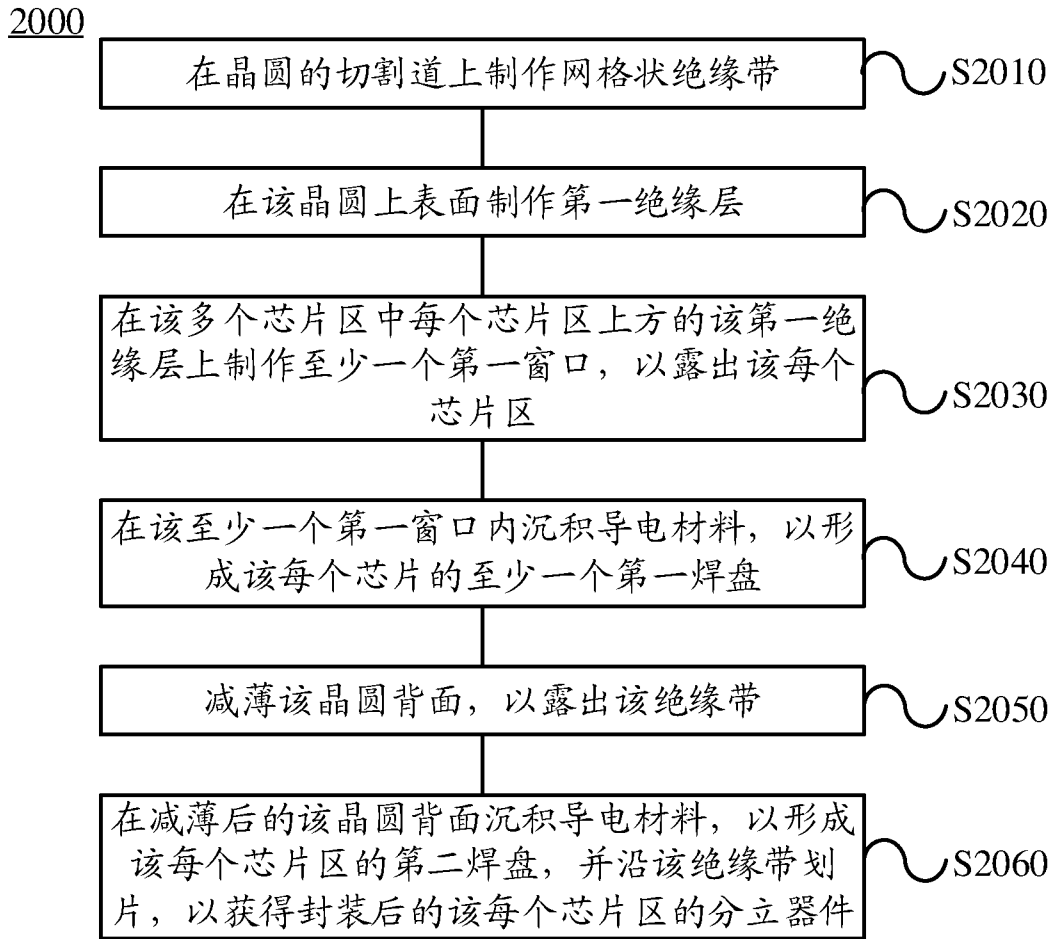


图27

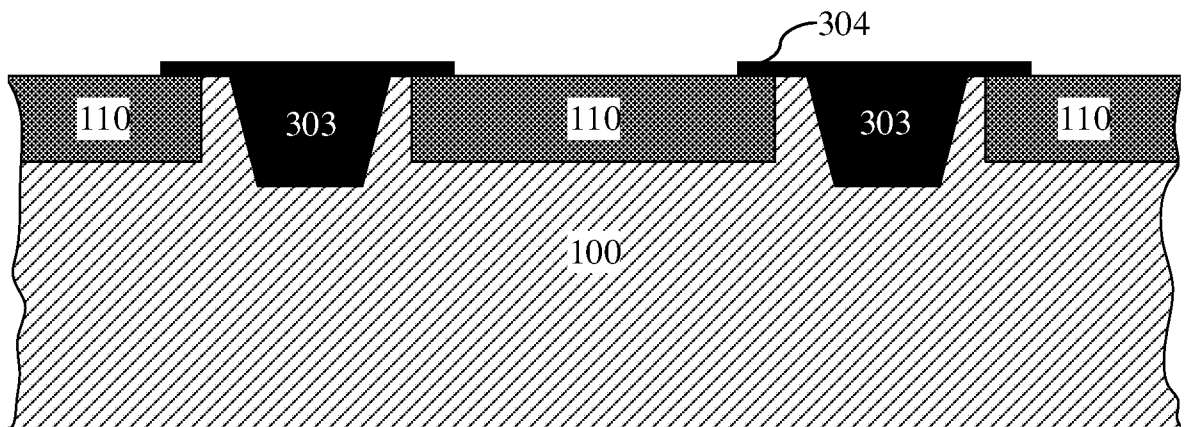


图28

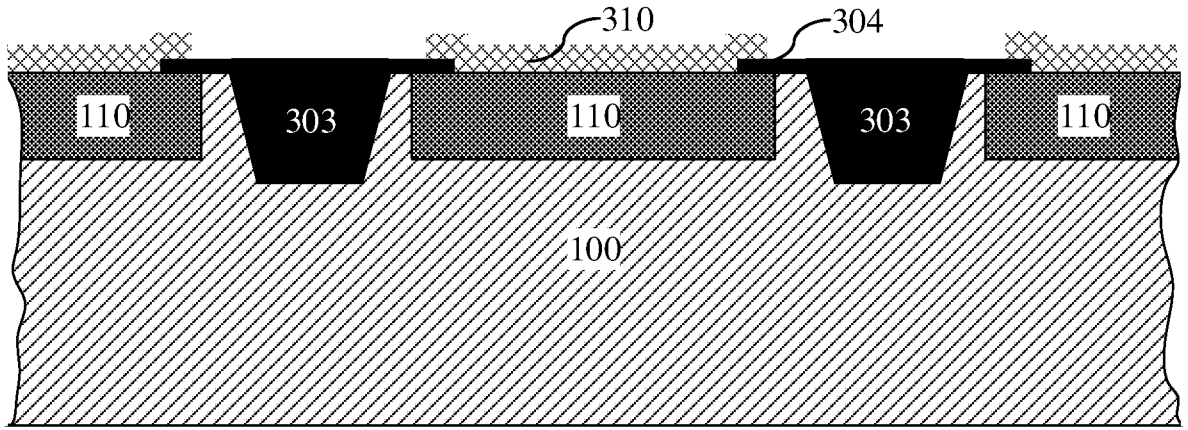


图29

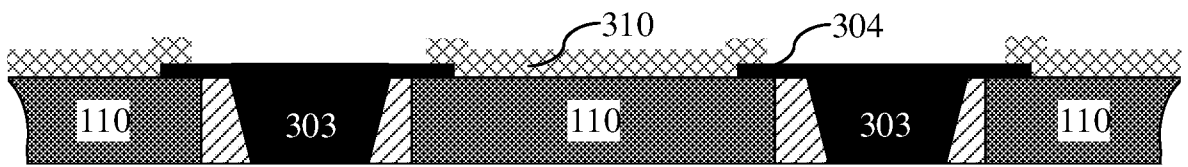


图30

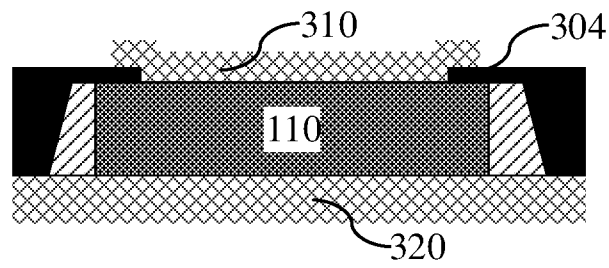


图31

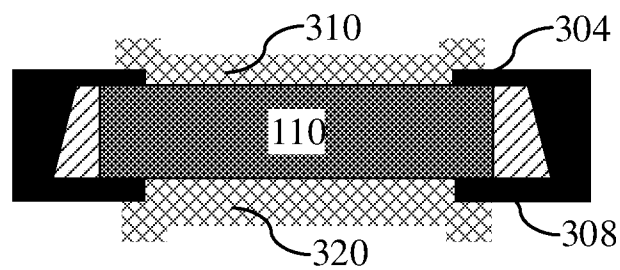


图32

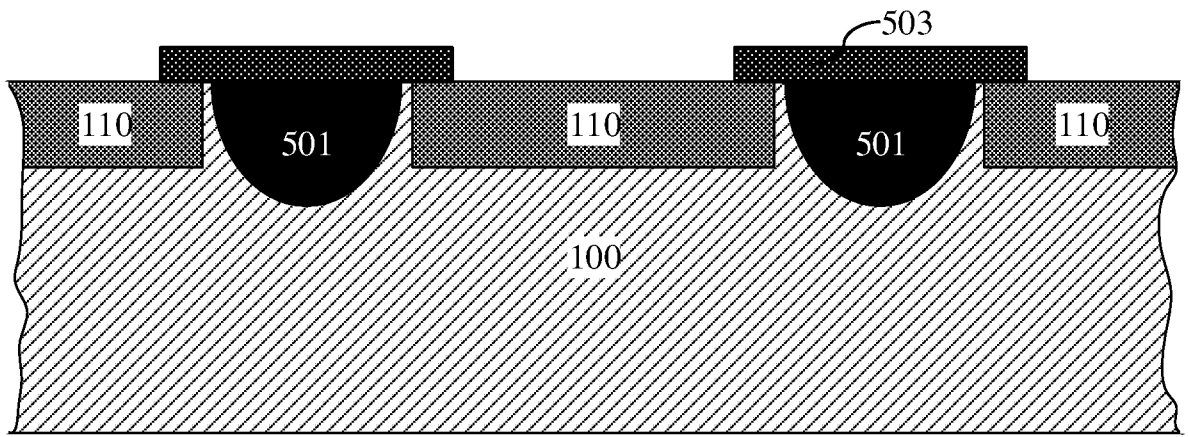


图33

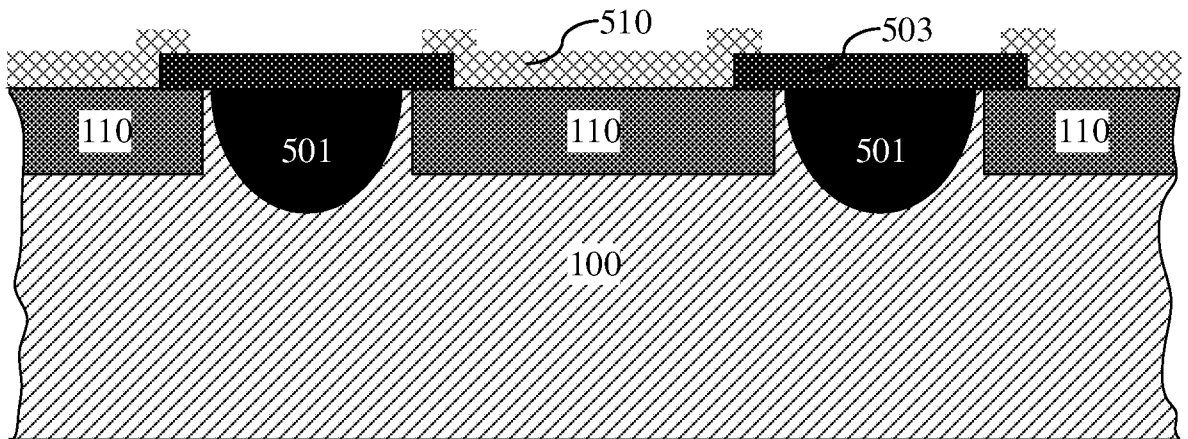


图34

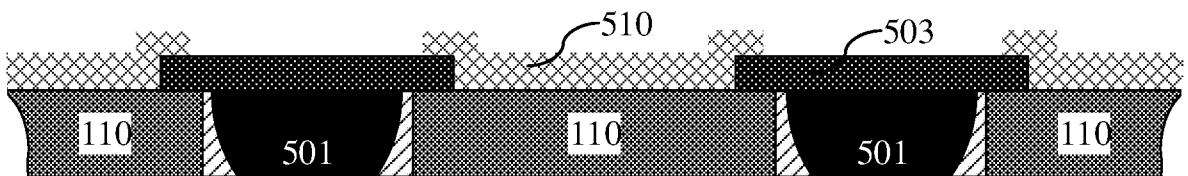


图35

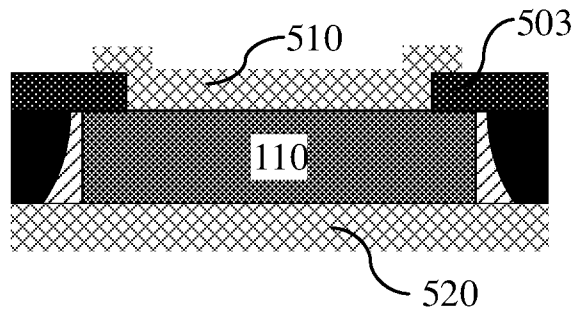


图36

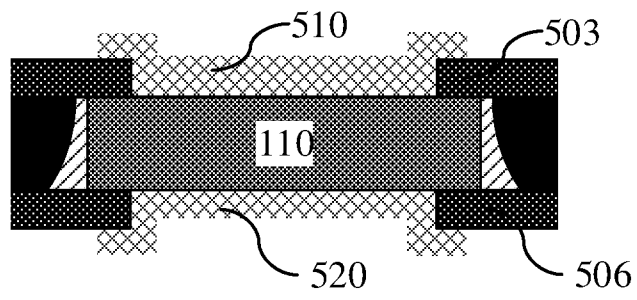


图37

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098583

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/78(2006.01)i; H01L 21/56(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

DWPI; CNABS; SIPOABS; CNKI: 沟渠, 窗口, 凹槽, 沟槽, 绝缘, 切割, 划片, 开口, 减薄, 芯片, 封装, groove, trench, insulat
+, scribe, line, open+, window, thin+, chip, package**C. DOCUMENTS CONSIDERED TO BE RELEVANT**

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	CN 102593085 A (PIXART IMAGING INC.) 18 July 2012 (2012-07-18) description, paragraphs [0070]-[0088], and figures 1-4M	1, 11, 13-19
Y	CN 105070665 A (BEIJING UNIVERSITY OF TECHNOLOGY) 18 November 2015 (2015-11-18) description, paragraphs [0016]-[0026], and figures 1-4	1, 11, 13-19
A	CN 102097287 A (PEKING UNIVERSITY FOUNDER GROUP CORP. ET AL.) 15 June 2011 (2011-06-15) entire document	1-38
A	US 8563361 B2 (ALPHA & OMEGA SEMICONDUCTOR INC) 22 October 2013 (2013-10-22) entire document	1-38
A	CN 101789414 A (CHINA WAFER LEVEL CSP CO., LTD.) 28 July 2010 (2010-07-28) entire document	1-38
A	CN 101064261 A (SILICONWARE PRECISION INDUSTRIES CO., LTD.) 31 October 2007 (2007-10-31) entire document	1-38

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 April 2019

Date of mailing of the international search report

06 May 2019

Name and mailing address of the ISA/CN

National Intellectual Property Administration, PRC (ISA/
CN)
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/098583

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 102774805 A (XINTEC INC.) 14 November 2012 (2012-11-14) entire document	1-38
<hr/>		

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/098583

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	102593085	A	18 July 2012	CN	102593085	B	13 August 2014
CN	105070665	A	18 November 2015	None			
CN	102097287	A	15 June 2011	CN	102097287	B	25 July 2012
US	8563361	B2	22 October 2013	US	2013210195	A1	15 August 2013
CN	101789414	A	28 July 2010	CN	101789414	B	17 August 2011
CN	101064261	A	31 October 2007	None			
CN	102774805	A	14 November 2012	TW	I489605	B	21 June 2015
				TW	201246488	A	16 November 2012
				CN	102774805	B	28 October 2015

国际检索报告

国际申请号

PCT/CN2018/098583

<p>A. 主题的分类 H01L 21/78(2006.01)i; H01L 21/56(2006.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																										
<p>B. 检索领域 检索的最低限度文献(标明分类系统和分类号) H01L</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用)) DWPI;CNABS;SIPOABS;CNKI:沟渠, 窗口, 凹槽, 沟槽, 绝缘, 切割, 划片, 开口, 减薄, 芯片, 封装, groove, trench, insulat+, scribe, line, open+, window, thin+, chip, package</p>																										
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>Y</td> <td>CN 102593085 A (原相科技股份有限公司) 2012年 7月 18日 (2012 - 07 - 18) 说明书第[0070]- [0088]段, 图1-4M</td> <td>1, 11, 13-19</td> </tr> <tr> <td>Y</td> <td>CN 105070665 A (北京工业大学) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0016]- [0026]段, 图1-4</td> <td>1, 11, 13-19</td> </tr> <tr> <td>A</td> <td>CN 102097287 A (北大方正集团有限公司 等) 2011年 6月 15日 (2011 - 06 - 15) 全文</td> <td>1-38</td> </tr> <tr> <td>A</td> <td>US 8563361 B2 (ALPHA & OMEGA SEMICONDUCTOR INC) 2013年 10月 22日 (2013 - 10 - 22) 全文</td> <td>1-38</td> </tr> <tr> <td>A</td> <td>CN 101789414 A (晶方半导体科技苏州有限公司) 2010年 7月 28日 (2010 - 07 - 28) 全文</td> <td>1-38</td> </tr> <tr> <td>A</td> <td>CN 101064261 A (矽品精密工业股份有限公司) 2007年 10月 31日 (2007 - 10 - 31) 全文</td> <td>1-38</td> </tr> <tr> <td>A</td> <td>CN 102774805 A (精材科技股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 全文</td> <td>1-38</td> </tr> </tbody> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	Y	CN 102593085 A (原相科技股份有限公司) 2012年 7月 18日 (2012 - 07 - 18) 说明书第[0070]- [0088]段, 图1-4M	1, 11, 13-19	Y	CN 105070665 A (北京工业大学) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0016]- [0026]段, 图1-4	1, 11, 13-19	A	CN 102097287 A (北大方正集团有限公司 等) 2011年 6月 15日 (2011 - 06 - 15) 全文	1-38	A	US 8563361 B2 (ALPHA & OMEGA SEMICONDUCTOR INC) 2013年 10月 22日 (2013 - 10 - 22) 全文	1-38	A	CN 101789414 A (晶方半导体科技苏州有限公司) 2010年 7月 28日 (2010 - 07 - 28) 全文	1-38	A	CN 101064261 A (矽品精密工业股份有限公司) 2007年 10月 31日 (2007 - 10 - 31) 全文	1-38	A	CN 102774805 A (精材科技股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 全文	1-38
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																								
Y	CN 102593085 A (原相科技股份有限公司) 2012年 7月 18日 (2012 - 07 - 18) 说明书第[0070]- [0088]段, 图1-4M	1, 11, 13-19																								
Y	CN 105070665 A (北京工业大学) 2015年 11月 18日 (2015 - 11 - 18) 说明书第[0016]- [0026]段, 图1-4	1, 11, 13-19																								
A	CN 102097287 A (北大方正集团有限公司 等) 2011年 6月 15日 (2011 - 06 - 15) 全文	1-38																								
A	US 8563361 B2 (ALPHA & OMEGA SEMICONDUCTOR INC) 2013年 10月 22日 (2013 - 10 - 22) 全文	1-38																								
A	CN 101789414 A (晶方半导体科技苏州有限公司) 2010年 7月 28日 (2010 - 07 - 28) 全文	1-38																								
A	CN 101064261 A (矽品精密工业股份有限公司) 2007年 10月 31日 (2007 - 10 - 31) 全文	1-38																								
A	CN 102774805 A (精材科技股份有限公司) 2012年 11月 14日 (2012 - 11 - 14) 全文	1-38																								
<p><input type="checkbox"/> 其余文件在C栏的续页中列出。</p> <p><input checked="" type="checkbox"/> 见同族专利附件。</p>																										
<p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件</p> <p>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>																										
国际检索实际完成的日期	国际检索报告邮寄日期																									
2019年 4月 15日	2019年 5月 6日																									
ISA/CN的名称和邮寄地址	受权官员																									
中国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	黄金卫																									
传真号 (86-10)62019451	电话号码 86-(010)-62411017																									

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/098583

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	102593085	A	2012年 7月 18日	CN	102593085	B	2014年 8月 13日
CN	105070665	A	2015年 11月 18日	无			
CN	102097287	A	2011年 6月 15日	CN	102097287	B	2012年 7月 25日
US	8563361	B2	2013年 10月 22日	US	2013210195	A1	2013年 8月 15日
CN	101789414	A	2010年 7月 28日	CN	101789414	B	2011年 8月 17日
CN	101064261	A	2007年 10月 31日	无			
CN	102774805	A	2012年 11月 14日	TW	I489605	B	2015年 6月 21日
				TW	201246488	A	2012年 11月 16日
				CN	102774805	B	2015年 10月 28日

表 PCT/ISA/210 (同族专利附件) (2015年1月)