

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4727294号
(P4727294)

(45) 発行日 平成23年7月20日 (2011.7.20)

(24) 登録日 平成23年4月22日 (2011.4.22)

(51) Int.Cl.

F I

G 0 5 F 1/56 (2006.01)

G 0 5 F 1/56 3 2 0 E

請求項の数 2 (全 14 頁)

(21) 出願番号	特願2005-142053 (P2005-142053)	(73) 特許権者	302062931
(22) 出願日	平成17年5月16日 (2005.5.16)		ルネサスエレクトロニクス株式会社
(65) 公開番号	特開2006-318326 (P2006-318326A)		神奈川県川崎市中原区下沼部 1 7 5 3 番地
(43) 公開日	平成18年11月24日 (2006.11.24)	(74) 代理人	100088672
審査請求日	平成20年4月7日 (2008.4.7)		弁理士 吉竹 英俊
		(74) 代理人	100088845
			弁理士 有田 貴弘
		(72) 発明者	井上 博之
			東京都千代田区丸の内二丁目4番1号 株
			式会社ルネサステクノロジ内
		審査官	櫻田 正紀

最終頁に続く

(54) 【発明の名称】 電源回路

(57) 【特許請求の範囲】

【請求項 1】

入力電圧に基づいて第1の電圧を出力するとともに、出力電流を制御することが可能な電圧出力回路と、

前記出力電流に応じて変化し、前記出力電流が大きくなると第1の方向に変化する第2の電圧と基準電圧とを比較し、その比較結果に基づいて前記電圧出力回路の前記出力電流に対する制御を制御する第1の回路と、

前記第1の電圧の低下に伴って、前記第1の方向に前記第2の電圧を変化させる第2の回路と

を備え、

前記電圧出力回路と前記第1の回路とは、前記第2の電圧が前記第1の方向に変化して前記第2の電圧と前記基準電圧との間の電圧差が大きくなると、前記出力電流を低減して前記第2の電圧を前記基準電圧に近づける制御を行う電流制御ループを構成し、

前記第1の回路は、前記第2の電圧を受ける第1の入力端子と前記基準電圧を受ける第2の端子を有し、前記比較結果を出力する比較回路を備え、

前記第2の回路は、トランジスタ及びツェナーダイオードを含み、

前記トランジスタの一方の電流端子は前記ツェナーダイオードのアノードと接続され、

前記ツェナーダイオードのカソードには前記入力電圧が印加され、

前記第2の回路は、前記第1の端子に接続され、前記トランジスタの電流端子間に前記第1の電圧の低下に伴って変化する電流を流すカレントミラー回路をさらに含み、

10

20

前記第 2 の電圧は、前記トランジスタの電流端子間に電流が流れると前記第 1 の方向に変化する、電源回路。

【請求項 2】

入力電圧に基づいて第 1 の電圧を出力するとともに、出力電流を制御することが可能な電圧出力回路と、

前記出力電流に応じて変化し、前記出力電流が大きくなると第 1 の方向に変化する第 2 の電圧と基準電圧とを比較し、その比較結果に基づいて前記電圧出力回路の前記出力電流に対する制御を制御する第 1 の回路と、

前記第 1 の電圧の低下に伴って、前記第 1 の方向に前記第 2 の電圧を変化させる第 2 の回路と

を備え、

前記電圧出力回路と前記第 1 の回路とは、前記第 2 の電圧が前記第 1 の方向に変化して前記第 2 の電圧と前記基準電圧との間の電圧差が大きくなると、前記出力電流を低減して前記第 2 の電圧を前記基準電圧に近づける制御を行う電流制御ループを構成し、

前記第 1 の回路は、前記第 2 の電圧を受ける第 1 の入力端子と前記基準電圧を受ける第 2 の端子を有し、前記比較結果を出力する比較回路を備え、

前記第 2 の回路は、トランジスタと、当該トランジスタの一方の電流端子に第 3 の電圧を印加する電圧発生回路とを含み、

前記第 2 の回路は、前記第 1 の端子に接続され、前記トランジスタの電流端子間に前記第 1 の電圧の低下に伴って変化する電流を流すカレントミラー回路をさらに含み、

前記第 2 の電圧は、前記トランジスタの電流端子間に電流が流れると前記第 1 の方向に変化する、電源回路。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、入力電圧に基づいて出力電圧を出力する電源回路に関する。

【背景技術】

【0002】

従来から、入力電圧に基づいて一定の出力電圧を出力することが可能な安定化電源回路に関して様々な技術が提案されている。例えば、特許文献 1、2 及び非特許文献 1、2 では、安定化電源回路の出力が接地電圧に短絡した際の当該回路内での発熱を防止するために、出力電圧の低下に伴って出力電流を低減して制限する、フォールドバック形の電流制限を行う技術が開示されている。

【0003】

【特許文献 1】特開 2002 - 169618 号公報

【特許文献 2】特開平 7 - 182055 号公報

【非特許文献 1】株式会社ルネサステクノロジ、「ルネサス標準リニア IC 総合カタログ」、2004 年、p. 59

【非特許文献 2】National Semiconductor, "Linear and Switching Voltage Regulator Fundamentals", Application Note, p.16

【発明の開示】

【発明が解決しようとする課題】

【0004】

さて、従来の安定化電源回路においては、簡単な回路構成でフォールドバック形の電流制限を行うことが困難であった。

【0005】

そこで、本発明は上述の問題に鑑みて成されたものであり、電源回路において、簡単な回路構成でフォールドバック形の電流制限を行うことが可能な技術を提供することを目的とする。

【課題を解決するための手段】

【 0 0 0 6 】

この発明の電源回路は、入力電圧に基づいて第 1 の電圧を出力するとともに、出力電流を制御することが可能な電圧出力回路と、前記出力電流に応じて変化し、前記出力電流が大きくなると第 1 の方向に変化する第 2 の電圧と基準電圧とを比較し、その比較結果に基づいて前記電圧出力回路の前記出力電流に対する制御を制御する第 1 の回路と、前記第 1 の電圧の低下に伴って、前記第 1 の方向に前記第 2 の電圧を変化させる第 2 の回路とを備え、前記電圧出力回路と前記第 1 の回路とは、前記第 2 の電圧が前記第 1 の方向に変化して前記第 2 の電圧と前記基準電圧との間の電圧差が大きくなると、前記出力電流を低減して前記第 2 の電圧を前記基準電圧に近づける制御を行う電流制御ループを構成し、前記第 1 の回路は、前記第 2 の電圧を受ける第 1 の入力端子と前記基準電圧を受ける第 2 の端子を有し、前記比較結果を出力する比較回路を備え、前記第 2 の回路は、トランジスタ及びツェナーダイオードを含み、前記トランジスタの一方の電流端子は前記ツェナーダイオードのアノードと接続され、前記ツェナーダイオードのカソードには前記入力電圧が印加され、前記第 2 の回路は、前記第 1 の端子に接続され、前記トランジスタの電流端子間に前記第 1 の電圧の低下に伴って変化する電流を流すカレントミラー回路をさらに含み、前記第 2 の電圧は、前記トランジスタの電流端子間に電流が流れると前記第 1 の方向に変化する。また、この発明の電源回路は、入力電圧に基づいて第 1 の電圧を出力するとともに、出力電流を制御することが可能な電圧出力回路と、前記出力電流に応じて変化し、前記出力電流が大きくなると第 1 の方向に変化する第 2 の電圧と基準電圧とを比較し、その比較結果に基づいて前記電圧出力回路の前記出力電流に対する制御を制御する第 1 の回路と、前記第 1 の電圧の低下に伴って、前記第 1 の方向に前記第 2 の電圧を変化させる第 2 の回路とを備え、前記電圧出力回路と前記第 1 の回路とは、前記第 2 の電圧が前記第 1 の方向に変化して前記第 2 の電圧と前記基準電圧との間の電圧差が大きくなると、前記出力電流を低減して前記第 2 の電圧を前記基準電圧に近づける制御を行う電流制御ループを構成し、前記第 1 の回路は、前記第 2 の電圧を受ける第 1 の入力端子と前記基準電圧を受ける第 2 の端子を有し、前記比較結果を出力する比較回路を備え、前記第 2 の回路は、トランジスタと、当該トランジスタの一方の電流端子に第 3 の電圧を印加する電圧発生回路とを含み、前記第 2 の回路は、前記第 1 の端子に接続され、前記トランジスタの電流端子間に前記第 1 の電圧の低下に伴って変化する電流を流すカレントミラー回路をさらに含み、前記第 2 の電圧は、前記トランジスタの電流端子間に電流が流れると前記第 1 の方向に変化する。

【 発明の効果 】

【 0 0 0 7 】

この発明の電源回路によれば、出力電流が大きくなり第 2 の電圧が変化して当該第 2 の電圧と基準電圧との間の電圧差が大きくなると、電流制御ループの働きにより、出力電流を低減して第 2 の電圧を基準電圧に近づける制御が行われる。従って、本電源回路に過電流が流れることを防止できる。

【 0 0 0 8 】

更に、本発明では、第 1 の電圧の低下に伴って第 1 の方向に第 2 の電圧が変化する。したがって、電圧出力回路の出力が接地電圧に短絡して第 1 の電圧が低下し、第 2 の電圧が第 1 の方向に変化して第 2 の電圧と基準電圧との間の電圧差が大きくなると、電流制御ループの働きによって出力電流が低減して、第 2 の電圧が基準電圧に近づくようになる。そして、更に第 1 の電圧が低下して第 2 の電圧が第 1 の方向に変化し、第 2 の電圧と基準電圧との間の電圧差が大きくなると、同様に電流制御ループの働きによって出力電流は更に減少する。したがって、本発明では、電圧出力回路の出力が接地電圧に短絡して第 1 の電圧が低下すると、その低下に伴って出力電流は低減し、フォールドバック形の電流制限が実行される。よって、本電源回路での消費電力を低減でき、発熱による本電源回路の誤動作を抑制できる。

【 0 0 0 9 】

更に、過電流を抑制することが可能な電流制御ループを利用して、第 1 の電圧の低下に

伴って出力電流を低減させているため、簡単な回路構成でフォールドバック形の電流制限を行うことができる。

【発明を実施するための最良の形態】

【0010】

実施の形態1.

図1は本発明の実施の形態1に係る安定化電源回路の回路構成を示す図である。本実施の形態1に係る安定化電源回路は、フォールドバック形の電流制限を行うことが可能である。つまり、本実施の形態1に係る安定化電源回路では、出力が接地電圧に短絡した際には、出力電圧の低下に伴って出力電流が低減して制限される。

【0011】

10

図1に示されるように、本実施の形態1に係る安定化電源回路は、定電圧出力回路1と、過電流時において定電圧出力回路1の出力電流 I_{cc} を制限する過電流制限回路2と、定電圧出力回路1の出力が接地電圧GNDに短絡した際に出力電流 I_{cc} を制限する短絡電流制限回路3と、出力コンデンサC1とを備えている。本実施の形態1に係る安定化電源回路の構成素子のうち、出力コンデンサC1と、後述する抵抗素子R1及び出力制御トランジスタQ1以外については、一つのパッケージPKG内に収められている。このパッケージPKGには、部分的に露出するように入力端子IN1～IN3及び出力端子OUTが設けられている。

【0012】

定電圧出力回路1は、入力電圧VBに基づいて一定の出力電圧Vccを出力することが可能であるとともに、出力電流 I_{cc} を制御することが可能である。入力電圧VBは例えば7Vであって、出力電圧Vccは例えばそれよりも低い5Vである。定電圧出力回路1は、誤差増幅器A1と、pnp形のバイポーラトランジスタである出力制御トランジスタQ1と、抵抗素子R2～R4と、基準電圧発生回路RVCとを備えている。

20

【0013】

誤差増幅器A1はプラス入力端子とマイナス入力端子から成る差動入力端子を備えており、入力された2つの信号の差に基づいて出力制御トランジスタQ1のベース電流を制御する。誤差増幅器A1は、プラス入力端子に入力される電圧がマイナス入力端子に入力される電圧よりも大きくなると、電流を引き込む量を低減して、出力制御トランジスタQ1のベース電流を低減させる。一方、プラス入力端子の電圧がマイナス入力端子の電圧よりも小さくなると、誤差増幅器A1は電流を引き込む量を増加させて、出力制御トランジスタQ1のベース電流を増加させる。基準電圧発生回路RVCは、バンドギャップ電圧を利用して一定電圧を出力するバンドギャップリファレンス回路であって、例えば約1.2Vの基準電圧Vref1を出力する。

30

【0014】

抵抗素子R2の一端は抵抗素子R3の一端に接続されており、当該抵抗素子R2の他端は入力端子IN3を介してパッケージPKGの外に位置する出力制御トランジスタQ1のコレクタと接続されている。抵抗素子R4の一端は抵抗素子R3の他端と接続されており、当該抵抗素子R4の他端には接地電圧GNDが接続される。

【0015】

40

誤差増幅器A1のプラス入力端子には、抵抗素子R3、R4の接続点の電圧V1が入力され、そのマイナス入力端子には、基準電圧発生回路RVCからの基準電圧Vref1が入力される。誤差増幅器A1の出力は、出力端子OUTを介して出力制御トランジスタQ1のベースと接続されている。出力制御トランジスタQ1のエミッタは、過電流制限回路2が有する後述の抵抗素子R1を介して入力電圧VBに接続されている。

【0016】

本実施の形態1に係る定電圧出力回路1は、出力制御トランジスタQ1のコレクタ電圧を出力電圧Vccとして出力し、当該出力電圧Vccが外部負荷に供給される。そして、出力制御トランジスタQ1のコレクタ電流が出力電流 I_{cc} となり、当該出力電流 I_{cc} が外部負荷に供給される。

50

【 0 0 1 7 】

以上の構成を成す定電圧出力回路 1 では、外部負荷が重くなり出力電圧 V_{cc} が低下し、抵抗素子 R_3 , R_4 の接続点の電圧 V_1 が基準電圧 V_{ref1} よりも低下すると、誤差増幅器 A_1 は電流引き込み量を増加させて、出力制御トランジスタ Q_1 のベース電流を増加させる。これにより、出力制御トランジスタ Q_1 のコレクタ電流が増加して出力電流 I_{cc} が増加し、低下した出力電圧 V_{cc} が上昇する。一方、外部負荷が軽くなり出力電圧 V_{cc} が上昇し、電圧 V_1 が基準電圧 V_{ref1} よりも大きくなると、誤差増幅器 A_1 は電流引き込み量を低減させて、出力制御トランジスタ Q_1 のベース電流を低減させる。これにより、出力制御トランジスタ Q_1 のコレクタ電流が低減して出力電流 I_{cc} が低減し、上昇した出力電圧 V_{cc} が低下する。このようにして、外部負荷が変動した場合であっても出力電圧 V_{cc} は一定電圧を保持する。

10

【 0 0 1 8 】

以上のように、本定電圧出力回路 1 では、出力電圧 V_{cc} が一定となるように出力電流 I_{cc} を制御する電流制御ループ IR_1 が構成されている。そして、この電流制御ループ IR_1 は、電圧 V_1 が基準電圧 V_{ref1} と一致するように動作する。したがって、出力電圧 V_{cc} は以下の式 (1) で表される。

【 0 0 1 9 】

【 数 1 】

$$V_{cc} = V_{ref1} \times ((R_2 + R_3) + R_4) / R_4 \cdots (1)$$

20

【 0 0 2 0 】

出力コンデンサ C_1 の一端は、出力制御トランジスタ Q_1 のコレクタと接続されており、その他端には接地電圧 GND が入力される。したがって、出力電圧 V_{cc} に含まれるノイズ成分は出力コンデンサ C_1 によって除去される。

【 0 0 2 1 】

過電流制限回路 2 は、比較器 A_2 と、抵抗素子 R_1 , R_5 , R_6 と、定電流回路 J_1 , J_2 とを備えている。比較器 A_2 は、オープンコレクタ出力のコンパレータであって、プラス入力端子及びマイナス入力端子を備えている。比較器 A_2 は、プラス入力端子に入力される信号がマイナス入力端子に入力される信号よりも小さい場合には、誤差増幅器 A_1 の電流引き込み量を低減する。これにより、出力制御トランジスタ Q_1 のベース電流が低減し、出力電流 I_{cc} が低減する。一方、プラス入力端子の信号がマイナス入力端子の信号よりも大きい場合には、比較器 A_2 の出力はハイインピーダンス状態となり、誤差増幅器 A_1 の電流引き込み量は比較器 A_2 によっては制御されない。このように、比較器 A_2 は、入力される 2 つの信号を比較し、その比較結果に基づいて、定電圧出力回路 1 における出力電流 I_{cc} に対する制御を制御する。

30

【 0 0 2 2 】

定電流回路 J_1 , J_2 はそれぞれ定電流 I_1 , I_2 を流す回路であって、カレントミラー回路等で構成されている。抵抗素子 R_5 の一端は入力端子 IN_2 を介して抵抗素子 R_1 の一端及び出力制御トランジスタ Q_1 のエミッタに接続されており、当該抵抗素子 R_5 の他端は比較器 A_2 のプラス入力端子に接続されている。定電流回路 J_1 は抵抗素子 R_5 の他端と接地電圧 GND との間に挿入されている。抵抗素子 R_6 の一端は入力端子 IN_1 を介して抵抗素子 R_1 の他端と入力電圧 VB に接続されており、当該抵抗素子 R_6 の他端は比較器 A_2 のマイナス入力端子に接続されている。そして、定電流回路 J_2 は抵抗素子 R_6 の他端と接地電圧 GND との間に挿入されている。

40

【 0 0 2 3 】

本実施の形態 1 に係る過電流制限回路 2 では、定電流回路 J_2 の働きによって抵抗素子 R_6 には定電流 I_2 が流れる。そのため、抵抗素子 R_6 では定電流 I_2 による電圧降下が生じて、抵抗素子 R_6 と比較器 A_2 のマイナス入力端子との接続点には、以下の式 (2)

50

で表される一定の基準電圧 V_{ref2} が発生する。そして、この基準電圧 V_{ref2} が基準電気信号として比較器 A 2 のマイナス入力端子に入力される。

【 0 0 2 4 】

【 数 2 】

$$V_{ref2} = V_B - R_6 \times I_2 \cdots (2)$$

【 0 0 2 5 】

一方、抵抗素子 R 5 においては、定電流回路 J 1 の働きによって定電流 I_1 が流れる。そのため、抵抗素子 R 5 では定電流 I_1 による電圧降下を生じる。その結果、抵抗素子 R 5 と比較器 A 2 のプラス入力端子との接続点には、入力端子 I N 2 の電圧 V_4 から $(R_5 \times I_1)$ を差し引いた値となる電圧 V_2 が発生する。

10

【 0 0 2 6 】

ここで、出力制御トランジスタ Q 1 ではコレクタ電流とエミッタ電流とがほぼ同一であり、更に当該コレクタ電流と定電圧出力回路 1 の出力電流 I_{cc} とは同一であるため、抵抗素子 R 1 には出力電流 I_{cc} とほぼ同じ値の電流が流れる。また、抵抗素子 R 1 には定電流 I_1 も流れる。したがって、入力端子 I N 2 の電圧 V_4 は、入力電圧 V_B から $(R_1 \times (I_{cc} + I_1))$ を差し引いた値とほぼ同じ値となる。よって、電圧 V_2 、つまり比較器 A 2 のプラス入力端子に入力される信号を以下の式 (3) で表すことができる。

20

【 0 0 2 7 】

【 数 3 】

$$\begin{aligned} V_2 &= V_B - R_1 \times (I_{cc} + I_1) - R_5 \times I_1 \\ &= V_B - R_1 \times I_{cc} - (R_1 + R_5) \times I_1 \cdots (3) \end{aligned}$$

【 0 0 2 8 】

ただし、後述の説明から明らかになるように、電圧 V_2 が上記式 (3) で表されるのは、短絡電流制限回路 3 が備える後述の P M O S トランジスタ P 1 が完全にオフ状態の場合であって、当該 P M O S トランジスタ P 1 に電流が流れない場合である。

30

【 0 0 2 9 】

このように、比較器 A 2 においては、プラス入力端子には電圧 V_2 が入力され、マイナス入力端子には基準電圧 V_{ref2} が入力される。そして、比較器 A 2 はこれらの電圧を比較して、その比較結果に基づいて定電圧出力回路 1 の出力電流 I_{cc} に対する制御を制御する。

【 0 0 3 0 】

短絡電流制限回路 3 は、抵抗素子 R 7 と、P M O S トランジスタ P 1 と、N M O S トランジスタ N 1 , N 2 とを備えている。P M O S トランジスタ P 1 のソースには抵抗素子 7 を介して入力電圧 V_B が接続されており、そのゲートには、定電圧出力回路 1 における抵抗素子 R 2 , R 3 の接続点の電圧 V_3 が入力される。N M O S トランジスタ N 1 , N 2 はカレントミラー回路を構成しており、それらのゲートは互いに接続されるとともに、P M O S トランジスタ P 1 のドレインに接続されている。N M O S トランジスタ N 1 ではドレインとゲートとが互いに接続されており、N M O S トランジスタ N 1 , N 2 のそれぞれのソースには接地電圧 G N D が接続される。そして、N M O S トランジスタ N 2 のドレインは過電流制限回路 2 における比較器 A 2 のプラス入力端子に接続されている。

40

【 0 0 3 1 】

このような構成を成す短絡電流制限回路 3 では、P M O S トランジスタ P 1 の電流端子間、つまり P M O S トランジスタ P 1 のソースとドレイン間に電流 I_3 が流れると、N M O S トランジスタ N 1 , N 2 で構成されるカレントミラー回路の働きによって、過電流制限回路 2 の抵抗素子 R 5 にも電流 I_3 が流れる。したがって、P M O S トランジスタ P 1

50

に電流 I_3 が流れる際の電圧 V_2 は以下の式 (4) で表される。

【0032】

【数4】

$$\begin{aligned} V_2 &= V_B - R_1 \times (I_{cc} + I_1 + I_3) - R_5 \times (I_1 + I_3) \\ &= V_B - R_1 \times I_{cc} - (R_1 + R_5) \times (I_1 + I_3) \cdots (4) \end{aligned}$$

【0033】

上記式 (4) に示されるように、比較器 A2 のプラス入力端子に入力される電圧 V_2 は、電流 I_3 が大きくなると小さくなる。また、電圧 V_3 は出力電圧 V_{cc} が小さくなると小さくなり、当該電圧 V_3 が小さくなると、PMOSトランジスタ P1 のソースに印加される入力電圧 V_B と PMOSトランジスタ P1 のゲート電圧との電圧差が大きくなるため、電流 I_3 は出力電圧 V_{cc} の低下に伴って大きくなる。したがって電圧 V_2 は、出力電流 I_{cc} に応じて変化するとともに、出力電圧 V_{cc} にも応じて変化する。

10

【0034】

このように、本短絡電流制限回路 3 は、PMOSトランジスタ P1 に電流 I_3 を流すことによって電圧 V_2 を変化させている。そして、定電圧出力回路 1 の出力が接地されて出力電圧 V_{cc} が低下する際には、本短絡電流制限回路 3 は、その低下に伴って電圧 V_2 を小さくなる方向に、つまり出力電流 I_{cc} が大きくなると変化する方向に変化させる。

20

【0035】

次に、本実施の形態 1 に係る安定化電源回路の過電流制限動作について説明する。本実施の形態 1 に係る安定化電源回路は、制限電流値 I_r よりも大きくならないように出力電流 I_{cc} を制限することができる。

【0036】

出力電流 I_{cc} が制限電流値 I_r よりも小さい場合には、電圧 V_2 が基準電圧 V_{ref2} よりも大きくなるように抵抗素子 R_1 , R_5 , R_6 及び定電流 I_1 , I_2 の値が設定されている。したがって、この場合には比較器 A2 の出力はハイインピーダンス状態となり、定電圧出力回路 1 の誤差増幅器 A1 は比較器 A2 によって制御されない。

【0037】

外部負荷の変動により出力電流 I_{cc} が大きくなると、入力端子 IN2 の電圧 V_4 が小さくなり電圧 V_2 も小さくなる。出力電流 I_{cc} が大きくなり制限電流値 I_r と一致すると、電圧 V_2 と基準電圧 V_{ref2} とが一致するようになる。そして、出力電流 I_{cc} が制限電流値 I_r よりも大きくなると、電圧 V_2 が基準電圧 V_{ref2} よりも小さくなって電圧 V_2 と基準電圧 V_{ref2} との電圧差が大きくなり、比較器 A2 は誤差増幅器 A1 における電流引き込み量を低減する。そうすると、出力制御トランジスタ Q1 のベース電流が低減し、そのコレクタ電流が低減して出力電流 I_{cc} が低減する。その結果、電圧 V_2 が上昇して、電圧 V_2 が基準電圧 V_{ref2} に近づくようになる。比較器 A2 は、入力信号の微小な信号差であっても誤差増幅器 A1 の電流引き込み量を十分に低減することができるため、出力電流 I_{cc} が制限電流値 I_r よりも大きくなると、過電流制限回路 2 と定電圧出力回路 1 とは共同して、電圧 V_2 を基準電圧 V_{ref2} に近づけて一致させるような制御動作を行い、その結果、出力電流 I_{cc} が制限電流値 I_r よりも大きくならないように制限される。

30

40

【0038】

このように、定電圧出力回路 1 と過電流制限回路 2 とは、電圧 V_2 が低下して当該電圧 V_2 と基準電圧 V_{ref2} との間の電圧差が大きくなると、出力電流 I_{cc} を低減して電圧 V_2 を基準電圧 V_{ref2} に近づける制御を行う電流制御ループ IR2 を構成している。そして、この電流制御ループ IR2 の働きにより、出力電流 I_{cc} は制限電流値 I_r 以下となるように制限され、本安定化電源回路に過電流が流れることを防止できる。これにより、出力制御トランジスタ Q1 に非常に大きな電流が流れて当該出力制御トランジスタ

50

Q 1 が破損することを防止できる。

【 0 0 3 9 】

本安定化電源回路では、過電流制御動作が行われている状態において、つまり出力制御トランジスタ Q 1 に比較的大きな電流が流れている状態において、定電圧出力回路 1 の出力が接地電圧に短絡して出力電圧 V_{cc} が強制的に低下させられると、短絡電流制限回路 2 が機能しない場合、出力制御トランジスタ Q 1 のエミッタとコレクタ間には高電圧が印加され、当該出力制御トランジスタ Q 1 での電力損失が大きくなる。その結果、出力制御トランジスタ Q 1 が発熱して破壊してしまうことがある。そこで、本実施の形態 1 では、出力電圧 V_{cc} の低下に伴って出力電流 I_{cc} を低減させて制限し、それによって、出力短絡時の出力制御トランジスタ Q 1 での電力損失を低減し、当該出力制御トランジスタ Q 1 の破壊を防止している。以下に、この場合における本安定化電源回路の動作について説明する。

10

【 0 0 4 0 】

定電圧出力回路 1 の出力が接地電圧に短絡しておらず、当該定電圧出力回路 1 が通常動作をしている場合には、当該 P M O S トランジスタ P 1 が完全にオフ状態になるように、当該 P M O S トランジスタ P 1 のしきい値電圧及び抵抗素子 R 2 ~ R 4 の値は設定されている。したがって、この場合には抵抗素子 R 5 には電流 I_3 は流れない。

【 0 0 4 1 】

定電圧出力回路 1 の出力が接地電圧に短絡し、出力電圧 V_{cc} が低下すると電圧 V_3 も低下する。出力電圧 V_{cc} が所定電圧よりも小さくなり、入力電圧 V_B と電圧 V_3 との電圧差が P M O S トランジスタ P 1 のしきい値電圧よりも大きくなると、P M O S トランジスタ P 1 には電流 I_3 が流れ始める。その結果、過電流制限回路 2 の抵抗素子 R 5 には電流 I_3 が流れ、電圧 V_2 が低下する。上述のように、電流制御ループ I R 2 が動作している状態では電圧 V_2 と基準電圧 V_{ref2} とは一致していることから、電圧 V_2 が低下すると、電圧 V_2 と基準電圧 V_{ref2} との間の電圧差が大きくなる。そうすると、比較器 A 2 は、誤差増幅器 A 1 の電流引き込み量を低減する。その結果、出力制御トランジスタ Q 1 のベース電流が低減し、そのコレクタ電流が低減して出力電流 I_{cc} が低減する。そして、電流制御ループ I R 2 の働きにより、電圧 V_2 と基準電圧 V_{ref2} とが一致するようになる。

20

【 0 0 4 2 】

出力電圧 V_{cc} が更に低下すると、電圧 V_3 も更に低下して電流 I_3 が更に大きくなる。そうすると、電圧 V_2 が低下して電圧 V_2 と基準電圧 V_{ref2} との間の電圧差が再度大きくなる。そうすると、比較器 A 2 は誤差増幅器 A 1 の電流引き込み量を低減する。その結果、出力制御トランジスタ Q 1 のベース電流が更に減少し、出力電流 I_{cc} が更に低減する。

30

【 0 0 4 3 】

このように、本実施の形態 1 では、電流制御ループ I R 2 と短絡電流制限回路 3 との働きによって、出力電圧 V_{cc} が所定電圧よりも低下すると、それに伴って出力電流 I_{cc} が低減する。図 2 は本実施の形態 1 に係る安定化電源回路の出力特性を示す図であって、出力電圧 V_{cc} と出力電流 I_{cc} との関係を示している。図 2 に示されるように、通常動作であって、出力電圧 V_{cc} が一定値を示す場合には、出力電流 I_{cc} は制限電流値 I_r 以下に制限される。そして、定電圧出力回路 1 の出力が接地電圧に短絡し出力電圧 V_{cc} が強制的に低下させられると、その低下に伴って出力電流 I_{cc} は低減する。

40

【 0 0 4 4 】

一方、本実施の形態 1 に係る安定化電源回路とは異なり、垂下形の電流制限を行う安定化電源回路においては、図 3 に示されるように、出力電圧 V_{cc} が低下しても出力電流 I_{cc} は変化しないことから、出力制御トランジスタ Q 1 では大きな電力損失を生じ、発熱により出力制御トランジスタ Q 1 が破壊することがある。

【 0 0 4 5 】

以上のように、本実施の形態 1 に係る安定化電源回路では、出力電流 I_{cc} が大きな

50

り電圧 V_2 が変化して当該電圧 V_2 と基準電圧 V_{ref2} との間の電圧差が大きくなると、電流制御ループ I_{R2} の働きにより、出力電流 I_{cc} を低減して電圧 V_2 を基準電圧 V_{ref2} に近づける制御が行われる。従って、本安定化電源回路に過電流が流れることを防止できる。

【0046】

更に、定電圧出力回路 1 の出力が接地電圧に短絡して出力電圧 V_{cc} が低下すると、その低下に伴って出力電流 I_{cc} は低減し、フォールドバック形の電流制限が実行される。したがって、本実施の形態 1 に係る安定化電源回路での消費電力を低減でき、発熱による本安定化電源回路の誤動作を抑制できる。

【0047】

更に、過電流を抑制することが可能な電流制御ループ I_{R2} を利用して、出力電圧 V_{cc} の低下に伴って出力電流 I_{cc} を低減させているため、本実施の形態 1 のように簡単な回路構成でフォールドバック形の電流制限を行うことができる。

【0048】

なお本実施の形態 1 では、短絡電流制限回路 3 のカレントミラー回路を MOS トランジスタで構成したが、図 4 に示されるように、NMOS トランジスタ N_1 の代わりに npn 形のバイポーラトランジスタ N_{11} を採用し、NMOS トランジスタ N_2 の代わりに npn 形のバイポーラトランジスタ N_{12} を採用することによって、当該カレントミラー回路をバイポーラトランジスタで構成しても良い。

【0049】

また本実施の形態 1 では、NMOS トランジスタ N_1 、 N_2 で構成されたカレントミラー回路を過電流制限回路 2 に接続することによって電流 I_3 を抵抗素子 R_5 に流していたが、その代わりに、PMOS トランジスタで構成されたカレントミラー回路を過電流制限回路 2 に接続することによって抵抗素子 R_5 に電流 I_3 を流しても良い。図 5 はこの場合における本安定化電源回路の回路構成を示す図である。図 5 に示される短絡電流制限回路 3 には、カレントミラー回路を構成する PMOS トランジスタ P_2 、 P_3 が更に設けられている。PMOS トランジスタ P_2 、 P_3 のゲートは互いに接続されており、それらのソースはともに入力端子 IN_1 を介して入力電圧 V_B に接続されている。PMOS トランジスタ P_2 ではドレイン及びゲートが互いに接続されており、それらは NMOS トランジスタ N_2 のドレインと接続されている。そして、PMOS トランジスタ P_3 のドレインは、抵抗素子 R_5 の一端と入力端子 IN_2 とに接続されている。その他の回路構成は、図 1 に示される回路構成と同じである。

【0050】

出力電圧 V_{cc} が所定電圧よりも低下し、PMOS トランジスタ P_1 に電流 I_3 が流れると、NMOS トランジスタ N_1 、 N_2 で構成されているカレントミラー回路の働きにより、PMOS トランジスタ P_2 にも電流 I_3 が流れる。そして、PMOS トランジスタ P_2 、 P_3 で構成されるカレントミラー回路の働きにより、抵抗素子 R_5 にも電流 I_3 が流れる。その結果、図 1 に示される回路と同様に、電圧 V_2 が低下して上述の電流制御ループ I_{R2} の働きにより出力電流 I_{cc} が低減される。よって、図 5 に示される回路構成であっても、同様の効果を得ることができる。

【0051】

また、図 5 に示される回路では、過電流制限回路 2 に接続されるカレントミラー回路を MOS トランジスタで構成していたが、図 6 に示されるように、PMOS トランジスタ P_2 の代わりに pnp 形のバイポーラトランジスタ P_{12} を採用し、PMOS トランジスタ P_3 の代わりに pnp 形のバイポーラトランジスタ P_{13} を採用することによって、当該カレントミラー回路をバイポーラトランジスタで構成しても良い。

【0052】

実施の形態 2 .

上述の実施の形態 1 に係る安定化電源回路では、PMOS トランジスタ P_1 のソースには抵抗素子 R_7 を介して入力電圧 V_B が印加されている。したがって、入力電圧 V_B を大

10

20

30

40

50

きくすると、PMOSトランジスタP1ではソース電圧とゲート電圧との電圧差が大きくなるため、入力電圧VBの供給時にPMOSトランジスタP1がオン状態となり、当該PMOSトランジスタP1に電流I3が流れることがある。その結果、電圧V2が基準電圧Vref2よりも低下して、上記の電流制御ループIR2の働きにより、出力電流Iccが低減して、出力電圧Vccが本来の一定電圧まで上昇しないことがある。そのために、外部負荷に十分な電力を供給できない問題が生じることがある。

【0053】

そこで、本実施の形態2では、入力電圧VBを大きくした場合であっても、外部負荷に十分な電力を供給することが可能な安定化電源回路を提供する。

【0054】

10

図7は本発明の実施の形態2に係る安定化電源回路の回路構成を示す図である。本実施の形態2に係る安定化電源回路は、実施の形態1に係る安定化電源回路において、短絡電流制限回路3にツェナーダイオードD1を更に設けたものである。図7に示されるように、抵抗素子R7の一端には入力電圧VBが接続されており、当該抵抗素子R7の他端にはツェナーダイオードD1のカソードが接続されている。そして、ツェナーダイオードD1のアノードにはPMOSトランジスタP1のソースが接続されている。その他の回路構成については実施の形態1に係る安定化電源回路と同様であるため、その説明は省略する。

【0055】

このように、本実施の形態2に係る安定化電源回路では、PMOSトランジスタP1のソースはツェナーダイオードD1を介して入力電圧VBと接続されているため、ツェナーダイオードD1のツェナー電圧を調整することによって、PMOSトランジスタP1のソース電圧を調整することができる。したがって、入力電圧VBの大きさに応じてツェナーダイオードD1のツェナー電圧を調整することによって、PMOSトランジスタP1では、ソース電圧と電圧V3との電圧差をしきい値電圧よりも小さくすることができ、入力電圧VBの供給時にPMOSトランジスタP1がオン状態となることを防止できる。

20

【0056】

例えば、入力電圧VB、電圧V3及びPMOSトランジスタP1のしきい値電圧がそれぞれ8V、4.5V及び1Vとすると、ツェナーダイオードD1のツェナー電圧を3.5Vに設定することによって、PMOSトランジスタP1のソース電圧と電圧V3との電圧差は0V(=8V-3.5V-4.5V)となり、当該電圧差をPMOSトランジスタP1のしきい値電圧(1V)よりも小さくすることができる。したがって、入力電圧VBの供給時に、PMOSトランジスタP1がオン状態となることを防止できる。よって、入力電圧VBを大きくした場合であっても、当該入力電圧VBの大きさに応じてツェナー電圧を調整することによって、電流制御ループIR2が不適切に動作することを防止でき、外部負荷に対して十分な電力を提供できる。

30

【0057】

なお、本実施の形態2に係るツェナーダイオードD1を上述の図4～6に示される回路に設けることによっても同様の効果を得ることができる。

【0058】

実施の形態3.

40

図8は本発明の実施の形態3に係る安定化電源回路の回路構成を示す図である。本実施の形態3に係る安定化電源回路は、実施の形態1に係る安定化電源回路において、短絡電流制限回路3に定電圧発生回路CVCを更に設けたものである。図8に示されるように、定電圧発生回路CVCは入力電圧VBからそれよりも小さい一定の電圧V5を生成して出力する。PMOSトランジスタP1のソースには抵抗素子R7を介して電圧V5が印加されている。その他の回路構成については実施の形態1に係る安定化電源回路と同様であるため、その説明は省略する。

【0059】

このように、本実施の形態3に係る安定化電源回路では、PMOSトランジスタP1のソースには一定の電圧V5が印加されるため、入力電圧VBを大きくした場合であっても

50

、入力電圧 V_B の供給時にPMOSトランジスタ P_1 がオン状態となることを防止することができる。例えば、電圧 V_3 及びPMOSトランジスタ P_1 のしきい値電圧をそれぞれ $3.5V$ 及び $1V$ とすると、電圧 V_5 を $3.5V$ に設定することによって、PMOSトランジスタ P_1 ではソース電圧とゲート電圧との電圧差($0V$)をしきい値電圧($1V$)よりも小さくすることができ、PMOSトランジスタ P_1 に電流 I_3 が流れることを防止できる。したがって、入力電圧 V_B の値に関係なく外部負荷に十分な電力を供給できる。

【0060】

更に、実施の形態2に係る安定化電源回路のように、入力電圧 V_B によってツェナーダイオード D_1 のツェナー電圧を調整する必要がないことから、入力電圧 V_B の許容範囲を広げることができる。その結果、ユーザにとって使いやすい安定化電源回路を提供することができる。

10

【0061】

なお、本実施の形態3に定電圧発生回路 CV_C を上述の図4～6に示される回路に設けることによっても同様の効果を得ることができる。

【図面の簡単な説明】

【0062】

【図1】本発明の実施の形態1に係る安定化電源回路の回路構成を示す図である。

【図2】本発明の実施の形態1に係る安定化電源回路の出力特性を示す図である。

【図3】従来の安定化電源回路の出力特性を示す図である。

【図4】本発明の実施の形態1に係る安定化電源回路の変形例の回路構成を示す図である

20

。

【図5】本発明の実施の形態1に係る安定化電源回路の変形例の回路構成を示す図である

。

【図6】本発明の実施の形態1に係る安定化電源回路の変形例の回路構成を示す図である

。

【図7】本発明の実施の形態2に係る安定化電源回路の回路構成を示す図である。

【図8】本発明の実施の形態3に係る安定化電源回路の回路構成を示す図である。

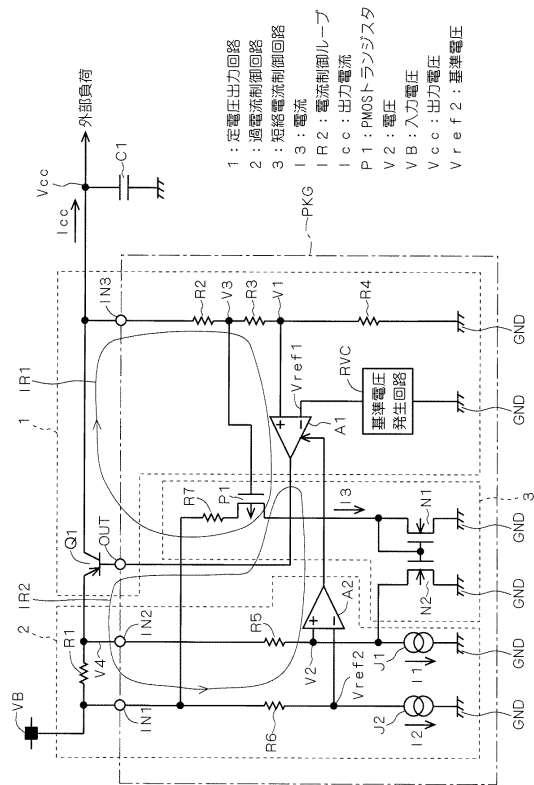
【符号の説明】

【0063】

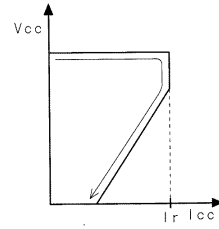
1 定電圧出力回路、2 過電流制限回路、3 短絡電流制限回路、 I_3 電流、 I_{cc} 出力電流、 I_{R2} 電流制御ループ、 D_1 ツェナーダイオード、 P_1 PMOSトランジスタ、 V_2 、 V_5 電圧、 V_B 入力電圧、 V_{cc} 出力電圧、 V_{ref2} 基準電圧。

30

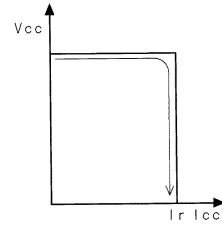
【図 1】



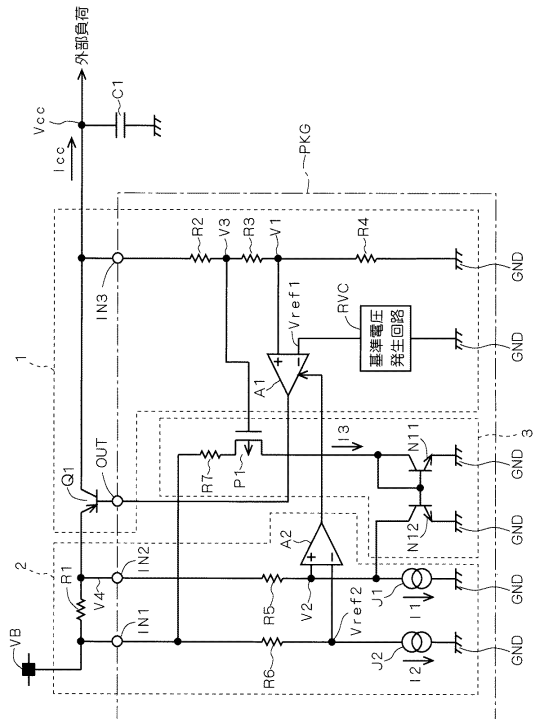
【図 2】



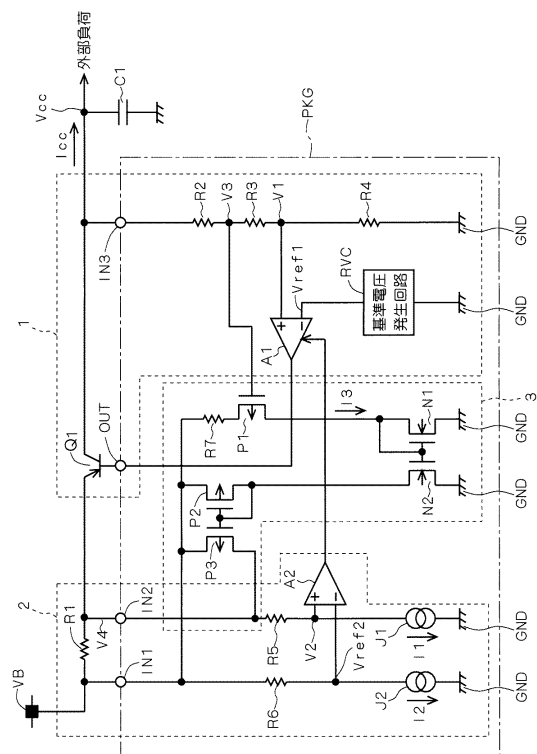
【図 3】



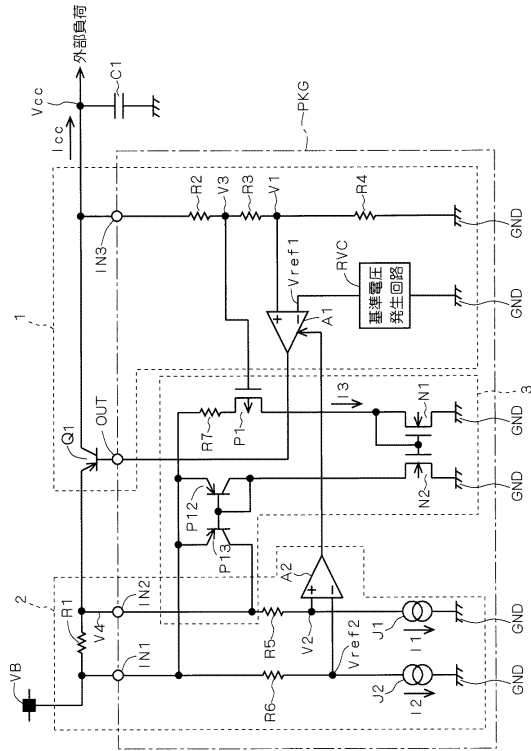
【図 4】



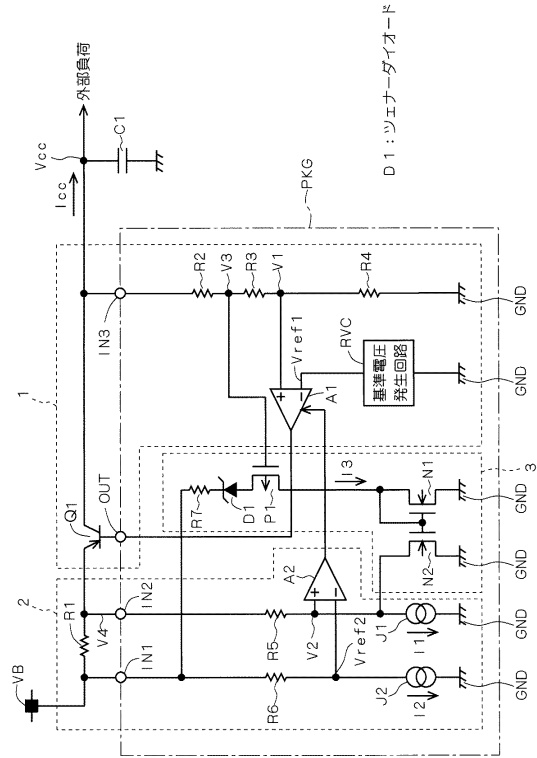
【図 5】



【図 6】

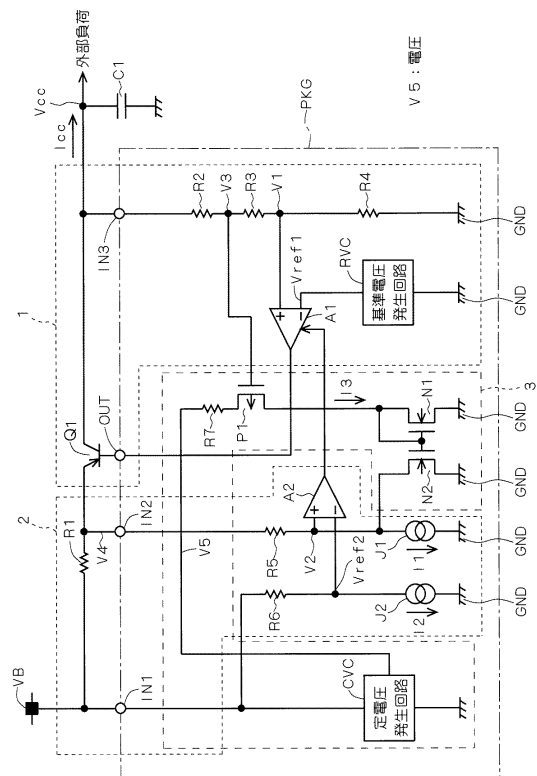


【図 7】



D1 : ツェナーダイオード

【図 8】



V5 : 電圧

フロントページの続き

- (56)参考文献 特開昭60-142411(JP,A)
特開2003-186554(JP,A)
特開平07-248834(JP,A)
特開平02-199515(JP,A)
特開昭60-037018(JP,A)
特開昭64-067613(JP,A)

- (58)調査した分野(Int.Cl., DB名)

G05F 1/445, 1/56, 1/613, 1/618