



(12)

Patentschrift

(21) Aktenzeichen: **10 2014 211 903.0**
(22) Anmeldetag: **20.06.2014**
(43) Offenlegungstag: **08.01.2015**
(45) Veröffentlichungstag
der Patenterteilung: **10.08.2017**

(51) Int Cl.: **H01L 29/78 (2006.01)**
H01L 29/161 (2006.01)

Innerhalb von neun Monaten nach Veröffentlichung der Patenterteilung kann nach § 59 Patentgesetz gegen das Patent Einspruch erhoben werden. Der Einspruch ist schriftlich zu erklären und zu begründen. Innerhalb der Einspruchsfrist ist eine Einspruchsgebühr in Höhe von 200 Euro zu entrichten (§ 6 Patentkostengesetz in Verbindung mit der Anlage zu § 2 Abs. 1 Patentkostengesetz).

(30) Unionspriorität:
2013-140348 04.07.2013 JP

(73) Patentinhaber:
Mitsubishi Electric Corporation, Tokyo, JP

(74) Vertreter:
**Prüfer & Partner mbB Patentanwälte
Rechtsanwalt, 81479 München, DE**

(72) Erfinder:
**Suekawa, Eisuke, Tokyo, JP; Kaguchi, Naoto,
Tokyo, JP; Ikegami, Masaaki, Tokyo, JP**

(56) Ermittelter Stand der Technik:
JP S64- 8 674 A

(54) Bezeichnung: **Halbleitervorrichtung mit breiter Bandlücke**

(57) Hauptanspruch: Halbleitervorrichtung mit breiter Bandlücke, die umfasst:

einen vertikalen Halbleiter-MOSFET mit breiter Bandlücke, der umfasst:

eine erste Basisschicht (3) eines zweiten Leitfähigkeitstyps, die auf einer Oberflächenschicht einer Halbleiterschicht (2) mit breiter Bandlücke eines ersten Leitfähigkeitstyps ausgebildet ist;

eine erste Sourceschicht (4) eines ersten Leitfähigkeitstyps, die auf einer Oberflächenschicht der ersten Basisschicht (3) ausgebildet ist;

einen Gateisolationfilm (6), der auf der ersten Basisschicht (3), die zwischen die erste Sourceschicht (4) und die Halbleiterschicht (2) mit breiter Bandlücke eingefügt ist, ausgebildet ist;

eine erste Gateelektrode (7), die auf dem Gateisolationfilm (6) ausgebildet ist;

einen Zwischenschicht-Isolationfilm (8), der so ausgebildet ist, dass er die erste Gateelektrode (7) bedeckt,

eine erste Sourceelektrode (9), die so ausgebildet ist, dass sie den Zwischenschicht-Isolationfilm (8), die erste Basisschicht (3) und die erste Sourceschicht (4) bedeckt; und eine Drainelektrode (10), die unter der Halbleiterschicht (2) mit breiter Bandlücke ausgebildet ist; und

einen horizontalen Halbleiter-MOSFET mit breiter Bandlücke, der umfasst:

eine zweite Basisschicht (3A), die auf der Oberflächenschicht der Halbleiterschicht (2) mit breiter Bandlücke im gleichen Schritt wie jenem zum Ausbilden der ersten Basisschicht (3) ausgebildet ist;

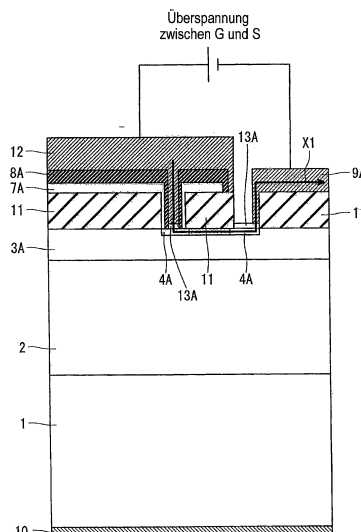
einen Feldisolationfilm (11), der auf der zweiten Basisschicht (3A) ausgebildet ist;

eine zweite Sourceschicht (4A), die auf einer Oberflächenschicht der zweiten Basisschicht (3A) im gleichen Schritt wie jenem zum Ausbilden der ersten Sourceschicht (4) ausgebildet ist, um den Feldisolationfilm (11) einzufügen;

eine zweite Gateelektrode (7A), die dieselbe Schicht wie die erste Gateelektrode (7) ist und zumindest auf dem Feldisolationfilm (11) ausgebildet ist;

eine dritte Gateelektrode (12), die auf einem der Abschnitte der zweiten Sourceschicht (4A) ausgebildet ist, so dass sie mit der zweiten Gateelektrode (7A) elektrisch verbunden ist; und

eine zweite Sourceelektrode (9A, 9B), die auf dem anderen Abschnitt der zweiten Sourceschicht (4A) ausgebildet ist.



Beschreibung

[0001] Die vorliegende Erfindung bezieht sich auf eine Halbleitervorrichtung mit breiter Bandlücke wie z. B. einen Metalloxid-Halbleiter-Feldeffekttransistor (MOSFET) zum Ausbilden einer Invertervorrichtung und dergleichen.

[0002] Als Beispiel einer Halbleitervorrichtung mit breiter Bandlücke ist ein MOSFET mit einem SiC-Wafer für das Material (nachstehend als SiC-MOSFET bezeichnet) aus mehreren Einheitszellen konfiguriert, die im gleichen Chip angeordnet sind.

[0003] Hier ist der Halbleiter mit breiter Bandlücke im Allgemeinen ein Halbleiter mit einer verbotenen Bandbreite von ungefähr 2 eV oder mehr. Er ist als Nitrid der Gruppe III, das durch GaN repräsentiert wird, als Nitrid der Gruppe II, das durch ZnO repräsentiert wird, als Chalkogenid der Gruppe II, das durch ZnSe repräsentiert wird, als SiC und dergleichen bekannt.

[0004] In der JP S64-8674 A ist ein DMOS FET offenbart, der einen Bereich vom p-Typ und einen Bereich vom p-Typ mit einem ersten Leitfähigkeitstyp, die auf einem Substrat vom n-Typ gebildet sind, aufweist. Im Substrat ist eine epitaktische Schicht vom n-Typ auf ein Substrat vom n⁺-Typ laminiert. Auf dem Bereich vom p-Typ wird ein Bereich vom n⁺-Typ gebildet. Zwei Bereiche vom n-Typ mit einem zweiten Leitfähigkeitstyp werden in ähnlicher Weise auf dem Bereich vom p-Typ mit dem ersten Leitfähigkeitstyp gebildet. Ein Bereich vom p⁺⁺-Typ wird dazwischen gebildet. Der Bereich vom p-Typ mit dem ersten Leitfähigkeitstyp, die Bereiche vom n-Typ mit dem zweiten Leitfähigkeitstyp und der Bereich vom p⁺⁺-Typ stellen zwei antiseriell verbundene Zener-Dioden dar.

[0005] In einem Fall eines SiC-MOSFET kann im Vergleich zu einem MOSFET mit einem Si-Wafer (nachstehend als Si-MOSFET bezeichnet) ein Abfall einer Durchlassspannung (Ein-Spannung) zwischen einer Drainelektrode und einer Sourceelektrode weiter verringert werden. Folglich kann die Anzahl von Einheitszellen verringert werden, so dass eine Chipgröße verkleinert werden kann (siehe JP 2012054378 A).

[0006] Wie vorstehend beschrieben, kann im SiC-MOSFET im Vergleich zu einem Si-MOSFET die Chipgröße weiter verkleinert werden. Andererseits wird jedoch die Kapazität zwischen der Gateelektrode und der Sourceelektrode verringert und der elektrostatische Durchschlagwiderstand zwischen der Gateelektrode und der Sourceelektrode wird verringert.

[0007] In vielen Fällen des SiC-MOSFET wird als Maßnahme gegen einen allgemeinen elektrostatischen Durchschlag ein pn-Übergang auf Polysilizium

(Poly-Si), so dass eine Zener-Diode enthalten ist, unter Verwendung eines Sourceprozesses (Ausbildung einer Diffusionsschicht vom n-Typ) und eines P⁺-Diffusionsprozesses (Ausbildung einer Diffusionsschicht vom p-Typ) während einer Einheitszellenausbildung ausgebildet.

[0008] Im SiC-MOSFET muss, um eine Störstelle vom p-Typ und eine Störstelle vom n-Typ zu aktivieren, eine Wärmebehandlung bei einer Temperatur von 1500°C oder mehr in einem Waferprozess durchgeführt werden. Im Allgemeinen wird vor einem Schritt des Ausbildens von Polysilizium eine Ionenimplantation der Störstelle vom p-Typ und der Störstelle vom n-Typ durchgeführt.

[0009] Aus diesem Grund muss, damit die Zener-Diode im SiC-MOSFET enthalten ist, während des Waferprozessschritts der pn-Übergang in einem anderen Schritt als der Einheitszellenausbildung ausgebildet werden und die Kosten für die Bearbeitung von Chips steigen an, wodurch die Chipkosten erhöht werden.

[0010] Es ist eine Aufgabe der vorliegenden Erfindung, eine Halbleitervorrichtung mit breiter Bandlücke zu schaffen, die in der Lage ist, einen elektrostatischen Durchschlag zwischen einer Gateelektrode und einer Sourceelektrode ohne Erhöhen der Chipkosten zu unterdrücken.

[0011] Erfindungsgemäß wird diese Aufgabe durch eine Halbleitervorrichtung mit breiter Bandlücke nach Anspruch 1 gelöst.

[0012] Eine Halbleitervorrichtung mit breiter Bandlücke gemäß einem Aspekt der vorliegenden Erfindung umfasst einen vertikalen Halbleiter-MOSFET mit breiter Bandlücke mit einer ersten Basisschicht eines zweiten Leitfähigkeitstyps, die auf einer Oberflächenschicht einer Halbleiterschicht mit breiter Bandlücke eines ersten Leitfähigkeitstyps ausgebildet ist, einer ersten Sourceschicht eines ersten Leitfähigkeitstyps, die auf einer Oberflächenschicht der ersten Basisschicht ausgebildet ist, einem Gateisolationfilm, der auf der ersten Basisschicht zwischen die erste Sourceschicht und die Halbleiterschicht mit breiter Bandlücke eingefügt ausgebildet ist, einer ersten Gateelektrode, die auf dem Gateisolationfilm ausgebildet ist, einem Zwischenschicht-Isolationfilm, der so ausgebildet ist, dass er die erste Gateelektrode bedeckt, einer ersten Sourceelektrode, die so ausgebildet ist, dass sie den Zwischenschicht-Isolationfilm, die erste Basisschicht und die erste Sourceschicht bedeckt, und einer Drainelektrode, die unter der Halbleiterschicht mit breiter Bandlücke ausgebildet ist, und einen horizontalen Halbleiter-MOSFET mit breiter Bandlücke mit einer zweiten Basisschicht, die auf der Oberflächenschicht der Halbleiterschicht mit breiter Bandlücke im gleichen Schritt wie jenem

zum Ausbilden der ersten Basisschicht ausgebildet wird, einem Feldisolationsfilm, der auf der zweiten Basisschicht ausgebildet ist, einer zweiten Source-schicht, die auf einer Oberflächenschicht der zweiten Basisschicht im gleichen Schritt wie jenem zum Ausbilden der ersten Source-schicht ausgebildet wird, um den Feldisolationsfilm einzufügen, einer zweiten Gateelektrode, die dieselbe Schicht wie die erste Gateelektrode ist und zumindest auf dem Feldisolationsfilm ausgebildet ist, einer dritten Gateelektrode, die auf einem von Abschnitten der zweiten Source-schicht ausgebildet ist, so dass sie mit der zweiten Gateelektrode elektrisch verbunden ist, und einer zweiten Sourceelektrode, die auf dem anderen Abschnitt der zweiten Source-schicht ausgebildet ist.

[0013] Vorteilhafte Weiterbildungen der Erfindung ergeben sich aus den abhängigen Ansprüchen.

[0014] Gemäß dem obigen Aspekt wird, wenn eine Überspannung zwischen einer Gateelektrode und einer Sourceelektrode eines vertikalen Halbleiter-MOSFET mit breiter Bandlücke angelegt wird, ein Kanal eines horizontalen Halbleiter-MOSFET mit breiter Bandlücke geöffnet, so dass der Gatestrom, der durch die Überspannung erzeugt wird, in Richtung einer Seite eines horizontalen n-Kanal-MOSFET fließen kann. Ohne Erhöhen der Chipkosten kann daher ein elektrostatischer Durchschlag auf einer positiven Seite zwischen der Gateelektrode und der Sourceelektrode eines SiC-MOSFET unterdrückt werden.

[0015] Weitere Merkmale und Zweckmäßigkeiten der Erfindung ergeben sich aus der Beschreibung von Ausführungsformen der Erfindung anhand der Figuren. Von den Figuren zeigen:

[0016] Fig. 1 einen Schaltplan einer Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform;

[0017] Fig. 2 und Fig. 3 Diagramme zum Beschreiben einer Operation der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform;

[0018] Fig. 4 eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0019] Fig. 5 einen schematischen Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0020] Fig. 6 eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0021] Fig. 7 einen schematischen Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0022] Fig. 8 eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0023] Fig. 9 einen Schaltplan der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform;

[0024] Fig. 10 eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0025] Fig. 11 und Fig. 12 Diagramme zum Beschreiben eines Prozesses zur Herstellung einer Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform;

[0026] Fig. 13 einen schematischen Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0027] Fig. 14 ein Diagramm, das ein Konzentrationsprofil von A-A' in Fig. 13 zeigt;

[0028] Fig. 15 einen schematischen Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß einer bevorzugten Ausführungsform zeigt;

[0029] Fig. 16 ein Diagramm, das ein Konzentrationsprofil von B-B' in Fig. 15 zeigt;

[0030] Fig. 17 einen Schaltplan der Halbleitervorrichtung mit breiter Bandlücke gemäß einer zugrundeliegenden Technologie; und

[0031] Fig. 18 einen schematischen Querschnitt der Halbleitervorrichtung mit breiter Bandlücke gemäß einer zugrundeliegenden Technologie.

[0032] Nachstehend werden bevorzugte Ausführungsformen mit Bezug auf die beigefügten Diagramme beschrieben.

[0033] Fig. 17 und Fig. 18 zeigen als Beispiel einer Siliziumcarbid-Halbleitervorrichtung (SiC-Halbleitervorrichtung), die die Halbleitervorrichtung mit breiter Bandlücke gemäß der zugrundeliegenden Technologie ist, einen Schaltplan (siehe Fig. 17) eines vertikalen MOSFET mit einem SiC-Wafer für ein Material (nachstehend als SiC-MOSFET bezeichnet) und einen schematischen Querschnitt (siehe Fig. 18) von Einheitszellen (aktiver Bereich). Das Halbleitermate-

rial kann beispielsweise GaN sein, solange es ein Halbleiter mit breiter Bandlücke ist.

[0034] Wie in **Fig. 18** gezeigt, ist der MOSFET mit dem SiC-Wafer für das Material (nachstehend als SiC-MOSFET bezeichnet) aus mehreren Einheitszellen konfiguriert, die im gleichen Chip angeordnet sind.

[0035] Insbesondere ist als Halbleiterschicht mit breiter Bandlücke eine n-Schicht **2** auf einer n⁺-Pufferschicht **1** vom n-Typ ausgebildet und eine p-Basischicht **3** vom p-Typ (erste Basisschicht) ist auf einer Oberflächenschicht einer n-Schicht **2** ausgebildet.

[0036] Ferner ist eine n⁺-Sourceschicht **4** (erste Sourceschicht) auf einer Oberflächenschicht der p-Basischicht **3** ausgebildet und ein Gateoxidfilm **6** (Gateisolationfilm) ist zumindest auf der p-Basischicht **3** zwischen die n⁺-Sourceschicht **4** und die n-Schicht **2** eingefügt ausgebildet.

[0037] Außerdem ist ein Gatepolysilizium **7** (erste Gateelektrode) auf dem Gateoxidfilm **6** ausgebildet. Das Gatepolysilizium **7** ist mit einem Zwischenschicht-Isolationfilm **8** bedeckt.

[0038] Eine Sourceelektrode **9** ist den Zwischenschicht-Isolationfilm **8**, die p-Basischicht **3** und die n⁺-Sourceschicht **4** bedeckend ausgebildet.

[0039] Andererseits ist eine Drainelektrode **10** unter der n⁺-Pufferschicht **1** ausgebildet.

[0040] Eine p⁺-Schicht **5**, die von der n⁺-Sourceschicht **4** umgeben ist, und eine NiSi-Schicht **13**, die mit der p⁺-Schicht **5** und einem Teil der n⁺-Sourceschicht **4** bedeckt ist, können ferner auf der p-Basischicht **3** vorgesehen sein.

[0041] In einem Fall eines SiC-MOSFET kann im Vergleich zu einem MOSFET mit einem Si-Wafer (nachstehend als Si-MOSFET bezeichnet) ein Abfall einer Durchlassspannung (Ein-Spannung) zwischen einer Drainelektrode und einer Sourceelektrode weiter verringert werden. Folglich kann die Anzahl von Einheitszellen verringert werden, so dass die Chipgröße verkleinert werden kann.

[0042] Andererseits wird jedoch die Kapazität zwischen der Gateelektrode und der Sourceelektrode verringert und der elektrostatische Durchschlagwiderstand zwischen der Gateelektrode und der Sourceelektrode wird verringert.

[0043] In vielen Fällen wird als Maßnahme gegen einen allgemeinen elektrostatischen Durchschlag ein pn-Übergang auf Polysilizium (Poly-Si), so dass eine Zener-Diode enthalten ist, unter Verwendung eines Sourceprozesses (Ausbildung einer Diffusionsschicht vom n-Typ) und eines P⁺-Diffusionsprozesses

(Ausbildung einer Diffusionsschicht vom p-Typ) während einer Einheitszellenausbildung ausgebildet.

[0044] Wenn jedoch versucht wird, die Zener-Diode im SiC-MOSFET aufzunehmen, muss, um eine Störstelle vom p-Typ und eine Störstelle vom n-Typ zu aktivieren, eine Wärmebehandlung bei Temperaturen von 1500°C oder mehr in einem Waferprozess durchgeführt werden. Im Allgemeinen wird vor einem Schritt zum Ausbilden von Polysilizium eine Ionenimplantation der Störstelle vom p-Typ und der Störstelle vom n-Typ durchgeführt.

[0045] Aus diesem Grund muss, um die Zener-Diode im SiC-MOSFET aufzunehmen, während des Waferprozessschritts der pn-Übergang in einem anderen Schritt als der Einheitszellenausbildung ausgebildet werden und die Kosten für die Bearbeitung von Chips nehmen zu, wodurch die Chipkosten erhöht werden.

[0046] Bevorzugte Ausführungsformen, wie nachstehend beschrieben, beziehen sich auf eine Halbleitervorrichtung mit breiter Bandlücke, die in der Lage ist, die Probleme, wie vorstehend erwähnt, zu lösen.

<Erste bevorzugte Ausführungsform>

<Konfiguration>

[0047] **Fig. 1** ist ein Schaltplan einer Halbleitervorrichtung mit breiter Bandlücke, in der ein horizontaler n-Kanal-MOSFET zwischen einer Gateelektrode eines SiC-MOSFET und einer Sourceelektrode davon enthalten ist.

[0048] Wie in **Fig. 1** gezeigt, ist ein horizontaler n-Kanal-MOSFET im SiC-MOSFET enthalten. Mit anderen Worten, eine Drainelektrode und eine Gateelektrode des horizontalen n-Kanal-MOSFET sind mit der Gateelektrodenseite des SiC-MOSFET verbunden.

[0049] Wenn bei dieser Konfiguration eine positive Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET angelegt wird, fließt der Strom in Richtung der Seite des horizontalen n-Kanal-MOSFET, so dass es möglich ist, einen Überspannungsdurchschlag wie z. B. einen elektrostatischen Durchschlag zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET zu unterdrücken.

[0050] **Fig. 2** und **Fig. 3** zeigen eine Operation des horizontalen n-Kanal-MOSFET, wenn die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET angelegt wird.

[0051] Zuerst wird eine Struktur des horizontalen n-Kanal-MOSFET mit Bezug auf **Fig. 3** beschrieben. Die in **Fig. 3** gezeigte Struktur wird mit Bezug auf die

Beziehung zu einer in **Fig. 18** gezeigten Struktur beschrieben.

<Effekte>

[0052] Wie in **Fig. 3** gezeigt, ist als Halbleiterschicht mit breiter Bandlücke die n^- -Schicht **2** auf der n^+ -Pufferschicht **1** vom n -Typ ausgebildet und eine p -Basisschicht **3A** vom p -Typ (zweite Basisschicht) ist auf der Oberflächenschicht der n^- -Schicht **2** ausgebildet. Die p -Basisschicht **3A** wird im gleichen Schritt wie jenem der Ausbildung der p -Basisschicht **3** ausgebildet.

[0053] Ferner ist ein Feldisolationsfilm **11** auf der p -Basisschicht **3A** ausgebildet. Eine n^+ -Sourceschicht **4A** (zweite Sourceschicht), die den Feldisolationsfilm **11** einfügt, ist auf der Oberflächenschicht der p -Basisschicht **3A** ausgebildet. Die n^+ -Sourceschicht **4A** wird im gleichen Schritt wie jenem zum Ausbilden der n^+ -Sourceschicht **4** ausgebildet. Der Gateoxidfilm **6** und der Feldisolationsfilm **11** werden teilweise geätzt und ein Ion vom n -Typ wird in die p -Basisschicht **3** und die p -Basisschicht **3A** implantiert, die freigelegt sind, wodurch die n^+ -Sourceschicht **4** ausgebildet wird. Eine NiSi-Schicht **13A** wird auf der n^+ -Sourceschicht **4A** ausgebildet.

[0054] Ein Gatepolysilizium **7A** (zweite Gateelektrode) wird auf dem Feldisolationsfilm **11** ausgebildet. Das Gatepolysilizium **7A** ist dieselbe Schicht wie das Gatepolysilizium **7** und es wird entsprechend zum Gateoxidfilm **6** und zum Feldisolationsfilm **11** geätzt. Hier wird "dieselbe Schicht" als folgende Schicht bezeichnet, die eine Struktur ist, die im gleichen Prozess ausgebildet wird.

[0055] Das Gatepolysilizium **7A** wird mit einem Zwischenschicht-Isolationsfilm **8A** bedeckt. Der Zwischenschicht-Isolationsfilm **8A** ist dieselbe Schicht wie der Zwischenschicht-Isolationsfilm **8** und wird entsprechend zum Gateoxidfilm **6** und zum Feldisolationsfilm **11** geätzt.

[0056] Eine Gateelektrode **12** (dritte Gateelektrode) wird so ausgebildet, dass sie den Zwischenschicht-Isolationsfilm **8A** und einen der Abschnitte der n^+ -Sourceschicht **4A** bedeckt. Das Gatepolysilizium **7A** und der Zwischenschicht-Isolationsfilm **8A**, wie vorstehend erwähnt, werden auf einer Seitenoberfläche des Feldisolationsfilms **11** auf der Seite der Gateelektrode **12** ausgebildet.

[0057] Außerdem wird eine Sourceelektrode **9A** (zweite Sourceelektrode) so ausgebildet, dass sie teilweise den Zwischenschicht-Isolationsfilm **8A** und den anderen Abschnitt der n^+ -Sourceschicht **4A** bedeckt.

[0058] Andererseits wird die Drainelektrode **10** unter der n^+ -Pufferschicht **1** ausgebildet.

[0059] Wenn eine Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET angelegt wird, wird auch eine Spannung zwischen der Gateelektrode und der Sourceelektrode des horizontalen n -Kanal-MOSFET angelegt, der im SiC-MOSFET enthalten ist. Folglich wird der n -Kanal im horizontalen n -Kanal-MOSFET gebildet.

[0060] Da der n -Kanal im horizontalen n -Kanal-MOSFET gebildet wird, fließt ein Gatestrom, der durch die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET erzeugt wird, in Richtung des horizontalen n -Kanal-MOSFET (siehe X1 in **Fig. 2** und **Fig. 3**). Aus diesem Grund kann der Fluss des Gatestroms, wie vorstehend erwähnt, zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET unterdrückt werden, und folglich kann ein Durchschlag, der durch die Überspannung zwischen der Gateelektrode und der Sourceelektrode verursacht wird, verhindert werden.

[0061] Gemäß der vorliegenden bevorzugten Ausführungsform umfasst die Halbleitervorrichtung mit breiter Bandlücke einen vertikalen Halbleiter-MOSFET mit breiter Bandlücke und einen horizontalen Halbleiter-MOSFET mit breiter Bandlücke.

[0062] Der vertikale Halbleiter-MOSFET mit breiter Bandlücke umfasst die erste Basisschicht des zweiten Leitfähigkeitstyps (p -Basisschicht **3**), die auf einer Oberflächenschicht einer Halbleiterschicht mit breiter Bandlücke vom ersten Leitfähigkeitstyp (n^- -Schicht **2**) ausgebildet ist, eine erste Sourceschicht eines ersten Leitfähigkeitstyps (n^+ -Sourceschicht **4**), die auf einer Oberflächenschicht der p -Basisschicht **3** ausgebildet ist, den Gateisolationsfilm (Gateoxidfilm **6**), der auf der p -Basisschicht **3** zwischen die n^+ -Sourceschicht **4** und die n^- -Schicht **2** eingefügt ausgebildet ist, die erste Gateelektrode (Gatepolysilizium **7**), die auf dem Gateoxidfilm **6** ausgebildet ist, den Zwischenschicht-Isolationsfilm **8**, der so ausgebildet ist, dass er das Gatepolysilizium **7** bedeckt, die Sourceelektrode **9**, die so ausgebildet ist, dass sie den Zwischenschicht-Isolationsfilm **8**, die p -Basisschicht **3** und die n^+ -Sourceschicht **4** bedeckt, und die Drainelektrode **10**, die unter der n^- -Schicht **2** ausgebildet ist.

[0063] Der horizontale Halbleiter-MOSFET mit breiter Bandlücke umfasst die zweite Basisschicht (p -Basisschicht **3A**), die auf einer Oberflächenschicht der n^- -Schicht **2** im gleichen Schritt wie jenem zum Ausbilden der p -Basisschicht **3** ausgebildet wird, den Feldisolationsfilm **11**, der auf der p -Basisschicht **3A** ausgebildet ist, die zweite Sourceschicht (n^+ -Sourceschicht **4A**), die auf einer Oberflächenschicht der p -Basisschicht **3A** ausgebildet ist, die den Feldisolationsfilm **11** einfügt und im gleichen Schritt wie jenem zum Ausbilden der n^+ -Sourceschicht **4** ausgebil-

det wird, die zweite Gateelektrode (Gatepolysilizium **7A**), die dieselbe Schicht wie das Gatepolysilizium **7** ist und zumindest auf dem Feldisolationsfilm **11** ausgebildet ist, die dritte Gateelektrode (Gateelektrode **12**), die mit dem Gatepolysilizium **7A** elektrisch verbunden ist und auf einem der Abschnitt der n⁺-Sourceeschicht **4A** ausgebildet ist, und die zweite Sourceelektrode (Sourceelektrode **9A**), die auf dem anderen Abschnitt der n⁺-Sourceeschicht **4A** ausgebildet ist.

[0064] Wenn gemäß dieser Konfiguration eine positive Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET (vertikaler Halbleiter-MOSFET mit breiter Bandlücke) angelegt wird, wird ein Kanal des horizontalen n-Kanal-MOSFET (horizontaler Halbleiter-MOSFET mit breiter Bandlücke) geöffnet und der Gatestrom, der durch die Überspannung verursacht wird, wird in Richtung der Seite des horizontalen n-Kanal-MOSFET geleitet. Folglich kann ein elektrostatischer Durchschlag auf der positiven Seite zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET unterdrückt werden.

[0065] Überdies weist gemäß der vorliegenden bevorzugten Ausführungsform der horizontale n-Kanal-MOSFET (horizontaler Halbleiter-MOSFET mit breiter Bandlücke) eine Schwellenspannung von 25 V oder mehr zwischen dem Gatepolysilizium **7A** und der Sourceelektrode **9A** auf.

[0066] Eine maximale Nennspannung zwischen einer Gateelektrode und einer Sourceelektrode eines allgemeinen SiC-MOSFET ist 20 V. Die Schwellenspannung zwischen der Gateelektrode und der Sourceelektrode des horizontalen n-Kanal-MOSFET ist auf 25 V oder mehr gesetzt, so dass, wenn eine normale Operation innerhalb der maximalen Nennspannung, die eine Spannung von 20 V oder weniger ist, zwischen der Gateelektrode und der Sourceelektrode durchgeführt wird, der horizontale n-Kanal-MOSFET keine Auswirkungen auf die Operation des SiC-MOSFET hat.

<Zweite bevorzugte Ausführungsform>

<Konfiguration>

[0067] In der Halbleitervorrichtung mit breiter Bandlücke, die in der ersten bevorzugten Ausführungsform gezeigt ist, ist die Schwellenspannung (nachstehend als VGSth bezeichnet) zwischen der Gateelektrode und der Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, und folglich kann verhindert werden, dass der horizontale n-Kanal-MOSFET Auswirkungen auf eine normale Operation des SiC-MOSFET hat.

[0068] Die maximale Nennspannung zwischen einer Gateelektrode und einer Sourceelektrode eines all-

gemeinen SiC-MOSFET ist 20 V. Folglich wird die VGSth des enthaltenen horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, was nicht ermöglicht, dass der horizontale n-Kanal-MOSFET während einer Operation eines normalen SiC-MOSFET mit der Spannung von 20 V oder weniger zwischen der Gateelektrode und der Sourceelektrode arbeitet.

[0069] Ferner ist die VGSth des horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, um einen Abfall einer Durchlassspannung (Ein-Spannung) des horizontalen n-Kanal-MOSFET zu erhöhen. Folglich kann der durch die Gateüberspannung erzeugte Gatestrom durch den horizontalen n-Kanal-MOSFET verbraucht werden. Folglich ist es unnötig, einen Widerstand zwischen dem horizontalen n-Kanal-MOSFET und dem SiC-MOSFET zum Verbrauchen des Gatestroms hinzuzufügen.

<Effekte>

[0070] Gemäß der vorliegenden bevorzugten Ausführungsform ist die zweite Sourceelektrode dieselbe Schicht wie die erste Sourceelektrode.

[0071] Gemäß dieser Konfiguration ist die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET mit der Sourceelektrode des SiC-MOSFET verbunden, so dass eine Erdungsverdrahtung (GND-Verdrahtung) in einem Abschlussverbindungsbereich des SiC-MOSFET unnötig ist, wodurch eine Vergrößerung eines unwirksamen Bereichs eines Chips unterdrückt werden kann. Ohne Erhöhen der Chipkosten kann daher der horizontale n-Kanal-MOSFET enthalten sein.

<Dritte bevorzugte Ausführungsform>

<Konfiguration>

[0072] Fig. 4 ist eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt. Fig. 5 ist ein schematischer Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt.

[0073] Die vorliegende bevorzugte Ausführungsform beschreibt einen Fall, in dem die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET mit einer Erdungsverdrahtung (nachstehend als GND-Verdrahtung bezeichnet) **9B** verbunden ist, die im Abschlussbereich des SiC-MOSFET ausgebildet ist.

[0074] Wie in Fig. 4 gezeigt, sind die Gateverdrahtung **32**, die GND-Verdrahtung **9B** und Feldbegrenzungsringe (nachstehend als FLRs bezeichnet) **33** so ausgebildet, dass sie einen aktiven Bereich mit mehreren darin ausgebildeten Einheitszellen umgeben.

Eine Sourcekontaktstelle **30** ist so angeordnet, dass sie den aktiven Bereich bedeckt, und eine Gatekontaktstelle **31** ist entlang der Gateverdrahtung **32** angeordnet.

[0075] Der horizontale n-Kanal-MOSFET, der im SiC-MOSFET enthalten ist, ist an der Grenze zwischen dem aktiven Bereich und dem Abschlussbereich angeordnet.

[0076] Fig. 5 zeigt einen Querschnitt entlang einer Linie A-A', wie in Fig. 4 gezeigt.

[0077] In Fig. 5 wird die GND-Verdrahtung **9B** des Abschlussbereichs als Sourceelektrode des horizontalen n-Kanal-MOSFET verwendet. Die GND-Verdrahtung **9B** und der horizontale n-Kanal-MOSFET sind mit einem Abschlussbereich-Schutzfilm **14** bedeckt.

[0078] Wenn die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET angelegt wird, wird die Spannung auch zwischen der Gateelektrode und der Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET angelegt. Daher wird der n-Kanal im horizontalen n-Kanal-MOSFET gebildet.

[0079] Da der n-Kanal im horizontalen n-Kanal-MOSFET gebildet wird, fließt der durch die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET erzeugte Gatestrom in Richtung des horizontalen n-Kanal-MOSFET (siehe X2 in Fig. 5).

[0080] Die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET wird als GND-Verdrahtung **9B** im Abschlussbereich des SiC-MOSFET verwendet, so dass ohne irgendwelche Auswirkungen auf eine aktive Operation (Einheitszellenoperation) des SiC-MOSFET der durch die zwischen der Gateelektrode und der Sourceelektrode angelegte Überspannung erzeugte Gatestrom zur GND-Verdrahtung abgeleitet werden kann.

<Effekte>

[0081] Gemäß der vorliegenden bevorzugten Ausführungsform ist die zweite Sourceelektrode die Erdungsverdrahtung im Abschlussbereich, der so ausgebildet ist, dass er den vertikalen Halbleiter-MOSFET mit breiter Bandlücke umgibt.

[0082] Gemäß dieser Konfiguration ist die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET mit der Erdungsverdrahtung (GND-Verdrahtung) im Abschlussbereich des SiC-MOSFET verbunden, so dass ohne irgendwelche Auswirkungen auf die Operation des aktiven Bereichs des SiC-MOSFET der durch die zwischen der Gate-

elektrode und der Sourceelektrode des SiC-MOSFET angelegte Überspannung erzeugte Gatestrom zur GND-Verdrahtung abgeleitet werden kann.

<Vierte bevorzugte Ausführungsform>

<Konfiguration>

[0083] Fig. 6 ist eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt. Fig. 7 ist ein schematischer Querschnitt, der eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt.

[0084] Die vorliegende bevorzugte Ausführungsform beschreibt einen Fall, in dem die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET dieselbe Schicht wie die Sourceelektrode des SiC-MOSFET ist.

[0085] Wie in Fig. 6 gezeigt, sind die Gateverdrahtung **32** und die FLRs **33** so ausgebildet, dass sie den aktiven Bereich, in dem die mehreren Einheitszellen ausgebildet sind, umgeben. Die Sourcekontaktstelle **30** ist so angeordnet, dass sie den aktiven Bereich bedeckt, und die Gatekontaktstelle **31** ist entlang der Gateverdrahtung **32** angeordnet.

[0086] Der horizontale n-Kanal-MOSFET, der im SiC-MOSFET enthalten ist, ist an der Grenze zwischen dem aktiven Bereich und dem Abschlussbereich angeordnet.

[0087] Fig. 7 zeigt einen Querschnitt entlang einer Linie A-A', wie in Fig. 6 gezeigt.

[0088] In Fig. 7 ist die Sourceelektrode des horizontalen n-Kanal-MOSFET die Sourceelektrode **9** des SiC-MOSFET.

[0089] Dann ist die Gateelektrode **12** so ausgebildet, dass sie einen der Abschnitte der n⁺-Sourceschicht **4A** (auf der entgegengesetzten Seite von Fig. 5) bedeckt. Das Gatepolysilizium **7B**, wie vorstehend erwähnt, ist auf der Seitenoberfläche des Feldisolationfilms **11** auf der Seite der Gateelektrode **12** ausgebildet.

[0090] Außerdem ist die Sourceelektrode **9** so ausgebildet, dass sie teilweise den Zwischenschicht-Isolationfilm **8A** und den anderen Abschnitt der n⁺-Sourceschicht **4A** bedeckt. Das Gatepolysilizium **7B** des horizontalen n-Kanal-MOSFET ist nicht mit dem Zwischenschicht-Isolationfilm **8A** bedeckt. Der horizontale n-Kanal-MOSFET ist mit dem Abschlussbereich-Schutzfilm **14** bedeckt.

[0091] Wenn die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET angelegt wird, wird die Spannung auch zwischen der Gateelektrode und der Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET angelegt. Daher wird der n-Kanal im horizontalen n-Kanal-MOSFET gebildet.

[0092] Da der n-Kanal im horizontalen n-Kanal-MOSFET gebildet wird, fließt der durch die Überspannung zwischen der Gateelektrode und der Sourceelektrode des SiC-MOSFET erzeugte Gatestrom in Richtung des horizontalen n-Kanal-MOSFET (siehe X3 in Fig. 7).

<Effekte>

[0093] Die Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET ist als Sourceelektrode des SiC-MOSFET festgelegt, so dass es unnötig ist, eine Sourceelektrode des horizontalen n-Kanal-MOSFET neu auszubilden, wodurch eine Vergrößerung einer unwirksamen Fläche des SiC-MOSFET-Chips unterdrückt werden kann. Eine Vergrößerung der unwirksamen Fläche kann unterdrückt werden, wodurch der horizontale n-Kanal-MOSFET ohne Vergrößern einer Fläche des Chips enthalten sein kann und eine Erhöhung der Chipkosten unterdrückt werden kann.

<Fünfte bevorzugte Ausführungsform>

<Konfiguration>

[0094] Fig. 8 ist eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt.

[0095] Die vorliegende bevorzugte Ausführungsform beschreibt einen Fall, in dem der enthaltene horizontale n-Kanal-MOSFET innerhalb eines Drahtbondkontaktstellenbereichs der Gateelektrode des SiC-MOSFET angeordnet ist.

[0096] Wie in Fig. 8 gezeigt, sind die Gateverdrahtung **32** und die FLRs **33** so ausgebildet, dass sie den aktiven Bereich, in dem die mehreren Zellen ausgebildet sind, umgeben. Die Sourcekontaktstelle **30** ist so ausgebildet, dass sie den aktiven Bereich bedeckt, und die Gatekontaktstelle **31** ist entlang der Gateverdrahtung **32** angeordnet.

[0097] Der horizontale n-Kanal-MOSFET, der im SiC-MOSFET enthalten ist, ist an der Grenze zwischen dem aktiven Bereich und dem Abschlussbereich angeordnet und in der Gatekontaktstelle **31** angeordnet.

<Effekte>

[0098] In dieser Weise ist der horizontale n-Kanal-MOSFET innerhalb des Drahtbondkontaktstellenbereichs der Gateelektrode des SiC-MOSFET angeordnet, so dass es möglich ist, den horizontalen n-Kanal-MOSFET aufzunehmen, ohne den unwirksamen Bereich des SiC-MOSFET-Chips zu vergrößern, und eine Erhöhung der Chipkosten zu unterdrücken. Ferner kann die Vergrößerung der unwirksamen Bereiche des Chips verhindert werden.

<Sechste bevorzugte Ausführungsform>

<Konfiguration>

[0099] Fig. 9 zeigt einen Schaltplan der Halbleitervorrichtung mit breiter Bandlücke, bei der der horizontale n-Kanal-MOSFET zwischen der Gateelektrode und der Sourceelektrode eines Stromerfassungsmosfet enthalten ist. Der Stromerfassungsmosfet ist im SiC-MOSFET enthalten.

[0100] Die Stromerfassung ist in einem IGBT-Chip, einem MOSFET-Chip und dergleichen enthalten, die für ein intelligentes Leistungsmodul (nachstehend als IPM bezeichnet) verwendet werden. Die Stromerfassung wird für den Schutz und die Detektion, wenn ein Überstrom in einen Chip fließt, verwendet.

[0101] Im Allgemeinen weist der MOSFET, der als Stromerfassung fungiert, eine Fläche eines aktiven Bereichs auf, in dem ungefähr ein Zehntausendstel des Stroms, der durch den aktiven Bereich des IGBT-Chips, des MOSFET-Chips oder dergleichen fließt, geleitet werden kann. Die Stromerfassung weist eine kleine Fläche des aktiven Bereichs und eine kleine Kapazität zwischen der Gateelektrode und der Sourceelektrode auf, so dass der elektrostatische Durchschlagwiderstand zwischen der Gateelektrode und der Sourceelektrode niedrig ist.

[0102] Wie in Fig. 9 gezeigt, ist der horizontale n-Kanal-MOSFET im Stromerfassungsmosfet enthalten. Mit anderen Worten, die Drainelektrode und die Gateelektrode des horizontalen n-Kanal-MOSFET sind mit der Gateelektrodenseite des Stromerfassungsmosfet verbunden.

<Effekte>

[0103] Wenn bei dieser Konfiguration die positive Überspannung zwischen der Gateelektrode und der Sourceelektrode des Stromerfassungsmosfet angelegt wird, fließt der Strom in Richtung der Seite des horizontalen n-Kanal-MOSFET, so dass es möglich ist, einen Überspannungsdurchschlag wie z. B. einen elektrostatischen Durchschlag zwischen der Gateelektrode und der Sourceelektrode des Stromerfassungsmosfet zu unterdrücken. Überdies kann

die Vergrößerung der unwirksamen Fläche des Chips verhindert werden.

<Siebte bevorzugte Ausführungsform>

<Konfiguration>

[0104] In der Halbleitervorrichtung mit breiter Bandlücke, wie in der sechsten bevorzugten Ausführungsform gezeigt, ist die Schwellenspannung (VGSt_h) zwischen der Gateelektrode und der Sourceelektrode des enthaltenen horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, und folglich kann verhindert werden, dass der horizontale n-Kanal-MOSFET Auswirkungen auf die normale Operation des Stromerfassungs-MOSFET hat.

[0105] Die maximale Nennspannung zwischen einer Gateelektrode und einer Sourceelektrode eines allgemeinen Stromerfassungs-MOSFET ist 20 V. Folglich ist die VGSt_h des enthaltenen horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, was nicht ermöglicht, dass der horizontale n-Kanal-MOSFET während einer Operation eines normalen Stromerfassungs-MOSFET mit der Spannung von 20 V oder weniger zwischen der Gateelektrode und der Sourceelektrode arbeitet.

[0106] Ferner ist die VGSt_h des horizontalen n-Kanal-MOSFET auf 25 V oder mehr gesetzt, um einen Abfall einer Durchlassspannung (Ein-Spannung) des horizontalen n-Kanal-MOSFET zu erhöhen. Folglich kann der durch die Gateüberspannung erzeugte Gatestrom durch den horizontalen n-Kanal-MOSFET verbraucht werden. Folglich ist es unnötig, einen Widerstand zwischen dem horizontalen n-Kanal-MOSFET und dem Stromerfassungs-MOSFET zum Verbrauchen des Gatestroms hinzuzufügen.

<Achte bevorzugte Ausführungsform>

<Konfiguration>

[0107] Fig. 10 ist eine Draufsicht, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigt.

[0108] Die vorliegende bevorzugte Ausführungsform beschreibt einen Fall, in dem der enthaltene horizontale n-Kanal-MOSFET innerhalb eines Drahtbondkontaktstellenbereichs des Stromerfassungs-MOSFET angeordnet ist.

[0109] Wie in Fig. 10 gezeigt, sind die Gateverdrahtung **32** und die FLRs **33** so ausgebildet, dass sie den aktiven Bereich, in dem die mehreren Einheitszellen ausgebildet sind, umgeben. Die Sourcekontaktstelle **30** ist so ausgebildet, dass sie den aktiven Bereich bedeckt. Die Gatekontaktstelle **31** und die Stromer-

fassungskontaktstelle **34** sind entlang der Gateverdrahtung **32** angeordnet.

[0110] Der horizontale n-Kanal-MOSFET, der im Stromerfassungs-MOSFET enthalten ist, ist in der Stromerfassungskontaktstelle **34** angeordnet.

<Effekte>

[0111] In dieser Weise ist der horizontale n-Kanal-MOSFET innerhalb des Drahtbondkontaktstellenbereichs des Stromerfassungs-MOSFET angeordnet, so dass es möglich ist, den horizontalen n-Kanal-MOSFET ohne Vergrößern des unwirksamen Bereichs des SiC-MOSFET-Chips aufzunehmen und die Erhöhung der Chipkosten zu unterdrücken.

<Neunte bevorzugte Ausführungsform>

<Konfiguration>

[0112] Fig. 11 und Fig. 12 zeigen einen Fall, in dem der Feldisolationsfilm **11** des enthaltenen horizontalen n-Kanal-MOSFET gleichzeitig in einem Feldoxidationsprozess des SiC-MOSFET in der zweiten bevorzugten Ausführungsform und der siebten bevorzugten Ausführungsform ausgebildet wird.

[0113] Im Allgemeinen weist ein Oxidfilm, der in einem Feldoxidationsprozess in einem Umfangsbereich des SiC-MOSFET ausgebildet wird, eine größere Filmdicke als jene des Gateoxidfilms **6** im aktiven Bereich (Einheitszelle) auf. Der im Feldoxidationsprozess ausgebildete Oxidfilm wird als Gateisolationsfilm des horizontalen n-Kanal-MOSFET verwendet, was ermöglicht, dass der Gateisolationsfilm des horizontalen n-Kanal-MOSFET ohne Erhöhen der Anzahl von Prozessen ausgebildet wird. Da ferner der Oxidfilm die große Filmdicke aufweist, ist es möglich, die VGSt_h des horizontalen n-Kanal-MOSFET höher als die VGSt_h des SiC-MOSFET zu setzen.

[0114] Aus diesem Grund ist es ohne Erhöhen der Chipkosten möglich, den horizontalen n-Kanal-MOSFET ohne Auswirkungen auf die normale Operation des SiC-MOSFET aufzunehmen.

<Effekte>

[0115] Gemäß der vorliegenden bevorzugten Ausführungsform wird der Feldisolationsfilm **11** in einem Schritt zum Ausbilden des Umfangsbereichs, der den vertikalen Halbleiter-MOSFET mit breiter Bandlücke umgibt, ausgebildet.

[0116] Im Allgemeinen weist ein Oxidfilm, der in einem Feldoxidationsprozess des SiC-MOSFET ausgebildet wird, eine größere Dicke als jene des aktiven Bereichs des SiC-MOSFET auf. Der Oxidfilm im Feldoxidationsprozess wird als Gateoxidfilm des horizon-

talen n-Kanal-MOSFET verwendet. Ohne Erhöhen der Anzahl von Prozessen kann daher die Schwellenspannung zwischen der Gateelektrode und der Sourceelektrode des horizontalen n-Kanal-MOSFET höher festgelegt werden als jene zwischen der Gateelektrode und der Sourceelektrode des aktiven Bereichs des SiC-MOSFET.

<Zehnte bevorzugte Ausführungsform>

<Konfiguration>

[0117] Die vorliegende bevorzugte Ausführungsform beschreibt einen Fall, in dem eine Oberflächenschicht der Halbleiterschicht mit breiter Bandlücke geätzt wird, um einen vertieften Teil **20** auszubilden, und die n⁺-Sourceschicht **4A** des horizontalen n-Kanal-MOSFET innerhalb des vertieften Teils **20** in der zweiten bevorzugten Ausführungsform und der siebten bevorzugten Ausführungsform ausgebildet wird.

[0118] Fig. 13 und Fig. 15 sind schematische Querschnitte, die eine Konfiguration der Halbleitervorrichtung mit breiter Bandlücke gemäß der vorliegenden bevorzugten Ausführungsform zeigen. Fig. 14 ist ein Diagramm, das ein Konzentrationsprofil von A-A' in Fig. 13 zeigt. Fig. 16 ist ein Diagramm, das ein Konzentrationsprofil von B-B' in Fig. 15 zeigt. In Fig. 14 und Fig. 16 gibt eine vertikale Achse die Störstellenkonzentration in jeder Schicht an und eine horizontale Achse gibt die Position einer X-Achsen-Richtung in einem Fall an, in dem eine horizontale Richtung in Fig. 13 und Fig. 15 die X-Achse ist.

[0119] Wie in Fig. 14 und Fig. 16 gezeigt, weist im Allgemeinen die p-Basisschicht eine höhere Konzentration vom p-Typ mit zunehmender Tiefe von der Oberflächenschicht der n⁻-Schicht **2** auf. Folglich wird die Oberflächenschicht der n⁻-Schicht **2** geätzt, um den vertieften Teil **20** auszubilden, und die n⁺-Sourceschicht **4A** des horizontalen n-Kanal-MOSFET wird innerhalb des vertieften Teils **20** ausgebildet, was ermöglicht, dass der n-Kanal des n-Kanal-MOSFET in einem Bereich mit der höheren Konzentration vom p-Typ als jener des aktiven Bereichs des SiC-MOSFET gebildet wird.

[0120] Aus diesem Grund kann ohne Erhöhen der Dicke des Gateisolationfilms der horizontale n-Kanal-MOSFET die höhere VGSt_h erhalten als jene des aktiven Bereichs (Einheitszelle) des SiC-MOSFET.

[0121] Selbst in der normalen Operation, in der die maximale Nennspannung zwischen der Gateelektrode und der Sourceelektrode 20 V oder weniger ist, ist es daher möglich, den horizontalen n-Kanal-MOSFET ohne Auswirkungen auf die normale Operation des SiC-MOSFET aufzunehmen.

<Effekte>

[0122] Gemäß der vorliegenden bevorzugten Ausführungsform umfasst die Halbleitervorrichtung mit breiter Bandlücke den vertieften Teil **20**, der auf der Oberflächenschicht der p-Basisschicht **3A** (zweite Basisschicht) ausgebildet ist. Die n⁺-Sourceschicht **4A** ist innerhalb des vertieften Teils **20** ausgebildet.

[0123] Im Allgemeinen weist die p-Basisschicht des SiC-MOSFET eine höhere Konzentration als jene der p-Schicht auf, die tiefer als die äußerste Oberfläche des SiC ausgebildet ist. Daher wird die Oberfläche des SiC geätzt, um den vertieften Teil **20** auszubilden, und der horizontale n-Kanal-MOSFET mit der n⁺-Sourceschicht **4A**, die innerhalb des vertieften Teils **20** angeordnet ist, wird ausgebildet, wodurch ein Kanal in dem Bereich mit einer höheren Konzentration der p-Schicht als jener des aktiven Bereichs des SiC-MOSFET gebildet werden kann.

[0124] Aus diesem Grund kann ohne Erhöhen der Dicke des Gateoxidfilms des horizontalen n-Kanal-MOSFET die höhere Schwellenspannung zwischen der Gateelektrode und der Sourceelektrode als jener des aktiven Bereichs des SiC-MOSFET erhalten werden. In der normalen Operation, in der die maximale Nennspannung zwischen der Gateelektrode und der Sourceelektrode 20 V oder weniger ist, weist folglich der horizontale n-Kanal-MOSFET keine Auswirkungen auf den aktiven Bereich des SiC-MOSFET und die normale Operation der Stromerfassung auf.

Patentansprüche

1. Halbleitervorrichtung mit breiter Bandlücke, die umfasst:
einen vertikalen Halbleiter-MOSFET mit breiter Bandlücke, der umfasst:
eine erste Basisschicht (**3**) eines zweiten Leitfähigkeitstyps, die auf einer Oberflächenschicht einer Halbleiterschicht (**2**) mit breiter Bandlücke eines ersten Leitfähigkeitstyps ausgebildet ist;
eine erste Sourceschicht (**4**) eines ersten Leitfähigkeitstyps, die auf einer Oberflächenschicht der ersten Basisschicht (**3**) ausgebildet ist;
einen Gateisolationfilm (**6**), der auf der ersten Basisschicht (**3**), die zwischen die erste Sourceschicht (**4**) und die Halbleiterschicht (**2**) mit breiter Bandlücke eingefügt ist, ausgebildet ist;
eine erste Gateelektrode (**7**), die auf dem Gateisolationfilm (**6**) ausgebildet ist;
einen Zwischenschicht-Isolationfilm (**8**), der so ausgebildet ist, dass er die erste Gateelektrode (**7**) bedeckt,
eine erste Sourceelektrode (**9**), die so ausgebildet ist, dass sie den Zwischenschicht-Isolationfilm (**8**), die erste Basisschicht (**3**) und die erste Sourceschicht (**4**) bedeckt; und

eine Drainelektrode (**10**), die unter der Halbleiterschicht (**2**) mit breiter Bandlücke ausgebildet ist; und einen horizontalen Halbleiter-MOSFET mit breiter Bandlücke, der umfasst:

eine zweite Basisschicht (**3A**), die auf der Oberflächenschicht der Halbleiterschicht (**2**) mit breiter Bandlücke im gleichen Schritt wie jenem zum Ausbilden der ersten Basisschicht (**3**) ausgebildet ist;

einen Feldisolationsfilm (**11**), der auf der zweiten Basisschicht (**3A**) ausgebildet ist;

eine zweite Sourceschicht (**4A**), die auf einer Oberflächenschicht der zweiten Basisschicht (**3A**) im gleichen Schritt wie jenem zum Ausbilden der ersten Sourceschicht (**4**) ausgebildet ist, um den Feldisolationsfilm (**11**) einzufügen;

eine zweite Gateelektrode (**7A**), die dieselbe Schicht wie die erste Gateelektrode (**7**) ist und zumindest auf dem Feldisolationsfilm (**11**) ausgebildet ist;

eine dritte Gateelektrode (**12**), die auf einem der Abschnitte der zweiten Sourceschicht (**4A**) ausgebildet ist, so dass sie mit der zweiten Gateelektrode (**7A**) elektrisch verbunden ist; und

eine zweite Sourceelektrode (**9A, 9B**), die auf dem anderen Abschnitt der zweiten Sourceschicht (**4A**) ausgebildet ist.

2. Halbleitervorrichtung mit breiter Bandlücke nach Anspruch 1, wobei die zweite Sourceelektrode (**9A**) dieselbe Schicht wie die erste Sourceelektrode (**9**) ist.

3. Halbleitervorrichtung mit breiter Bandlücke nach Anspruch 1, wobei die zweite Sourceelektrode (**9B**) eine Erdungsverdrahtung in einem Abschlussbereich ist, der so ausgebildet ist, dass er den vertikalen Halbleiter-MOSFET mit breiter Bandlücke umgibt.

4. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 3, wobei der horizontale Halbleiter-MOSFET mit breiter Bandlücke eine Schwellenspannung von 25 V oder mehr zwischen der zweiten Gateelektrode (**7A**) und der zweiten Sourceelektrode (**9A, 9B**) aufweist.

5. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 4, wobei der Feldisolationsfilm (**11**) in einem Schritt zum Ausbilden eines Umfangsbereichs, der den vertikalen Halbleiter-MOSFET mit breiter Bandlücke umgibt, ausgebildet wird.

6. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 5, wobei der vertikale Halbleiter-MOSFET mit breiter Bandlücke ein Stromerfassungs-MOSFET ist.

7. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 6, wobei der horizontale Halbleiter-MOSFET mit breiter Bandlücke in einem Bereich einer Gatekontaktstelle (**31**) des vertikalen

Halbleiter-MOSFET mit breiter Bandlücke angeordnet ist.

8. Halbleitervorrichtung mit breiter Bandlücke nach Anspruch 6, wobei der horizontale Halbleiter-MOSFET mit breiter Bandlücke in einem Bereich einer Stromerfassungskontaktstelle (**34**) des vertikalen Halbleiter-MOSFET mit breiter Bandlücke angeordnet ist.

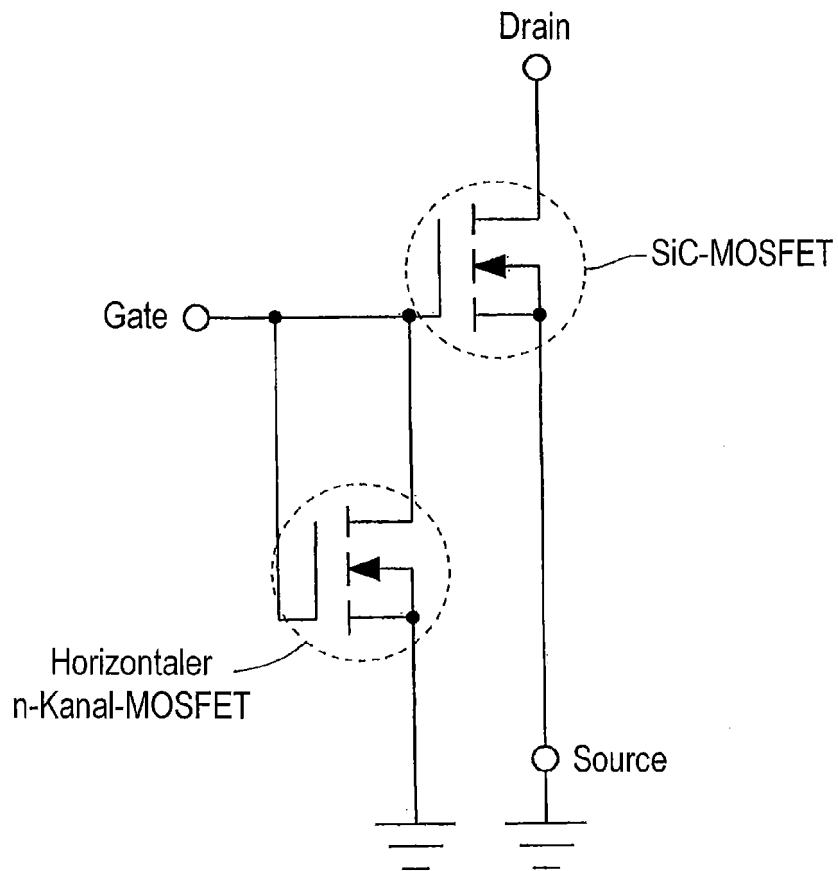
9. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 8, die ferner einen vertieften Teil (**20**) umfasst, der auf einer Oberflächenschicht der zweiten Basisschicht (**3A**) ausgebildet ist, wobei die zweite Sourceschicht (**4A**) innerhalb des vertieften Teils (**20**) ausgebildet ist.

10. Halbleitervorrichtung mit breiter Bandlücke nach einem der Ansprüche 1 bis 9, wobei der Halbleiter mit breiter Bandlücke SiC oder GaN ist.

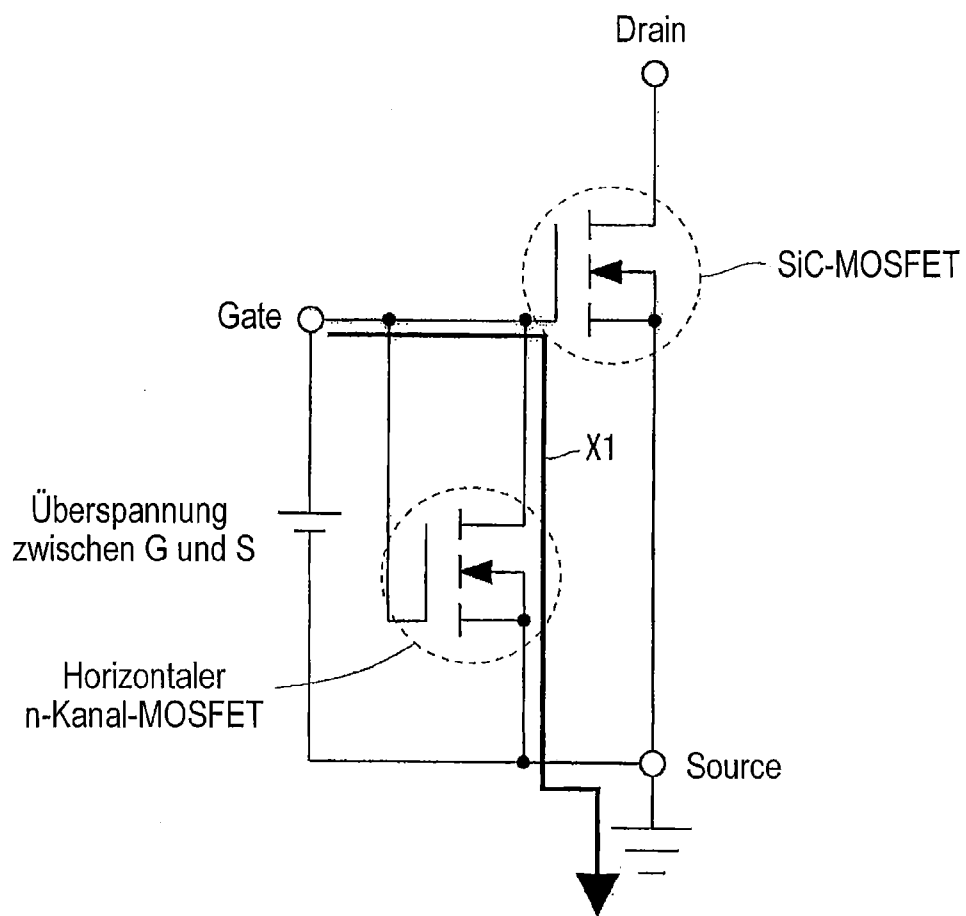
Es folgen 15 Seiten Zeichnungen

Anhängende Zeichnungen

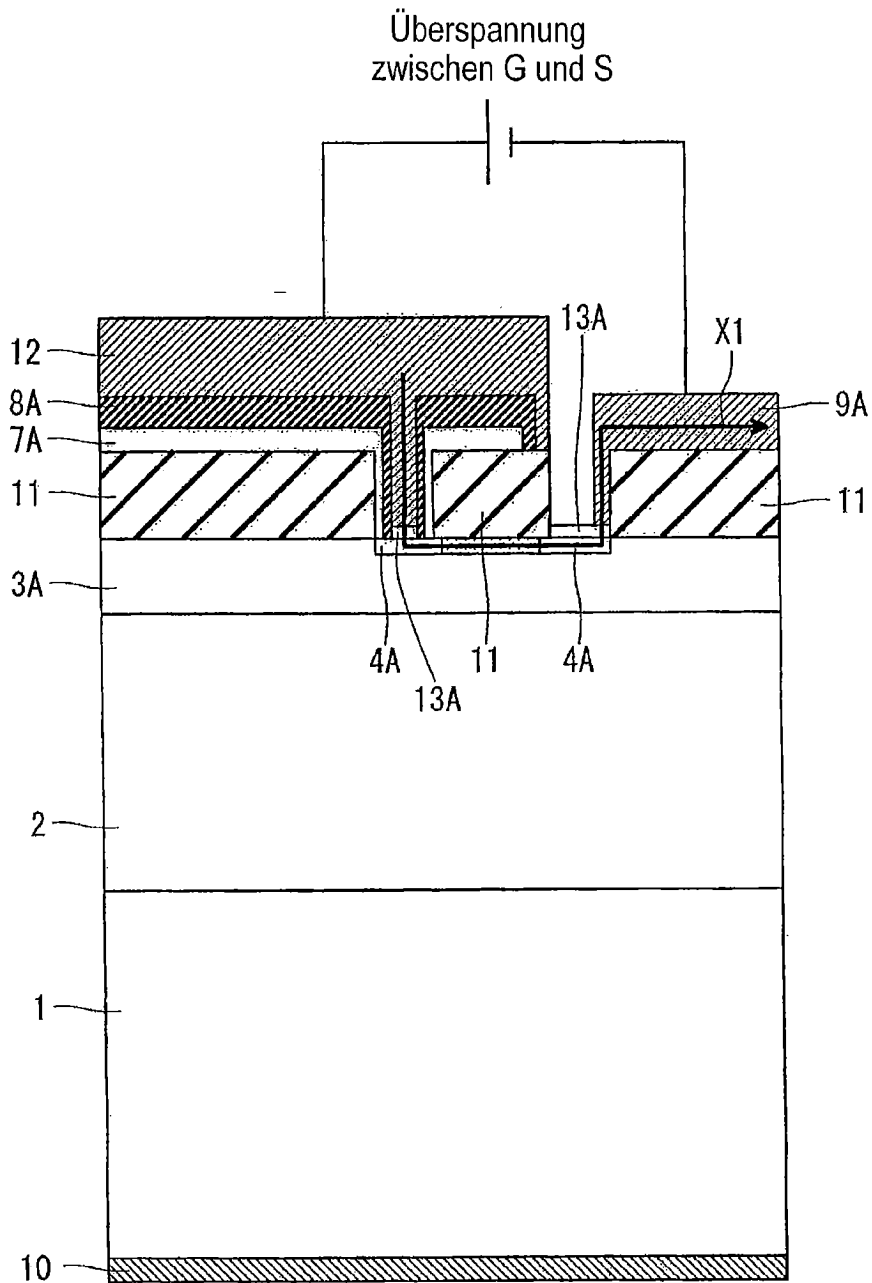
F I G . 1



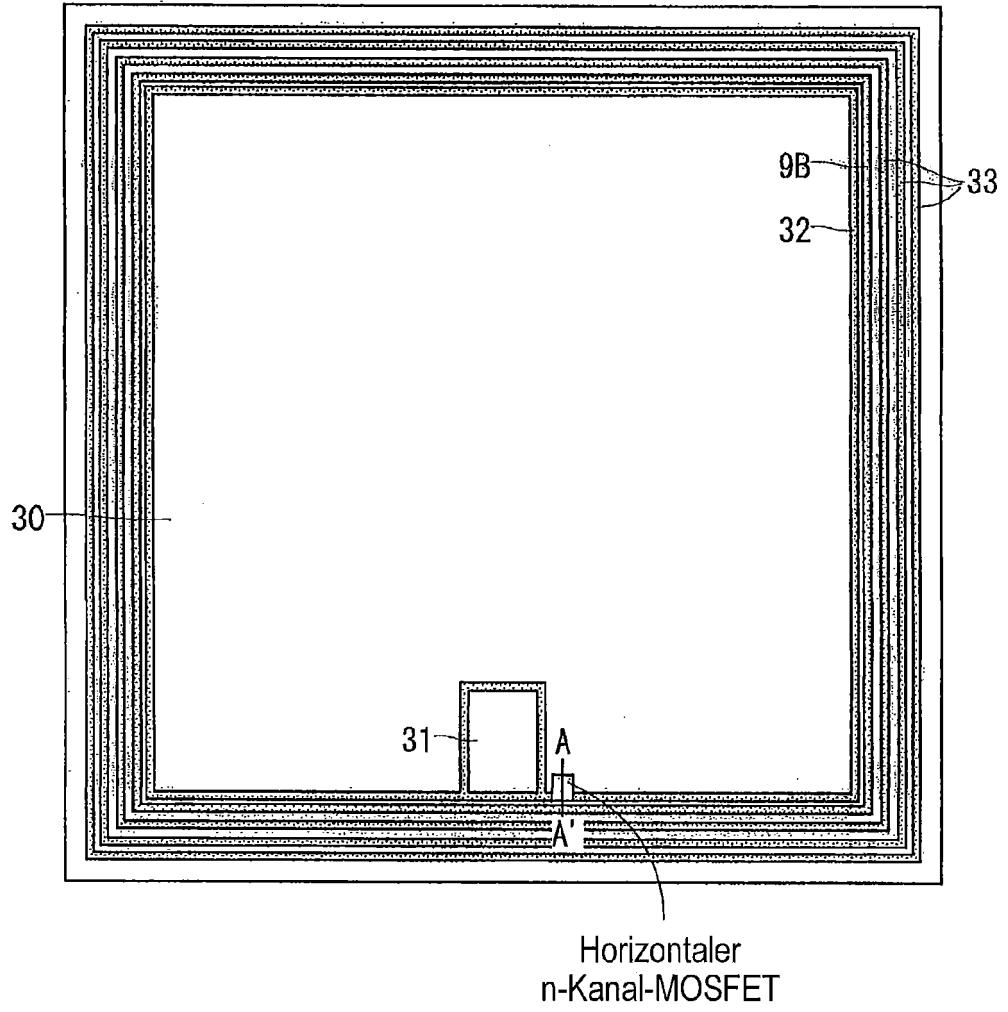
F I G . 2



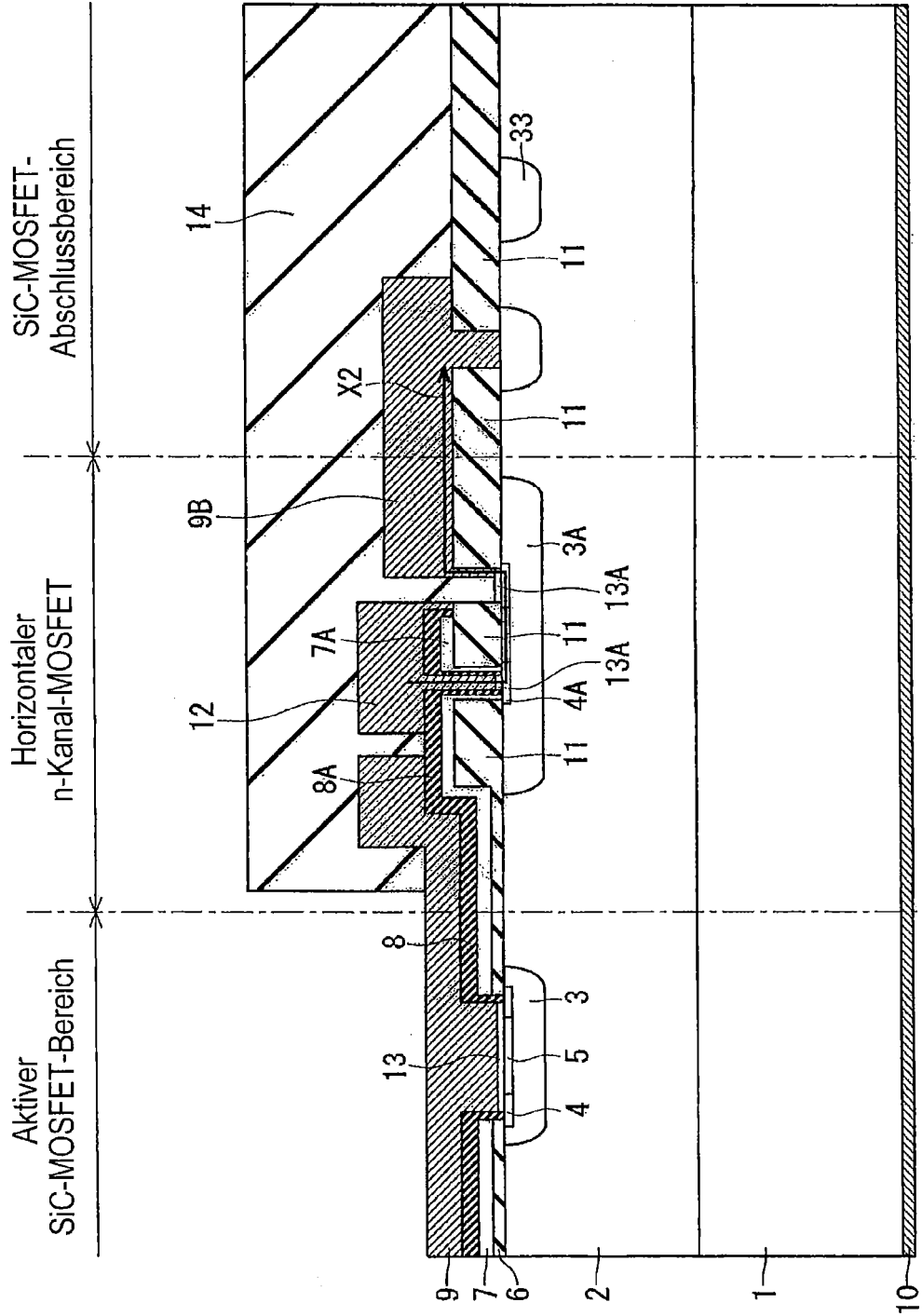
F I G . 3



F I G . 4



F I G . 5



F I G . 6

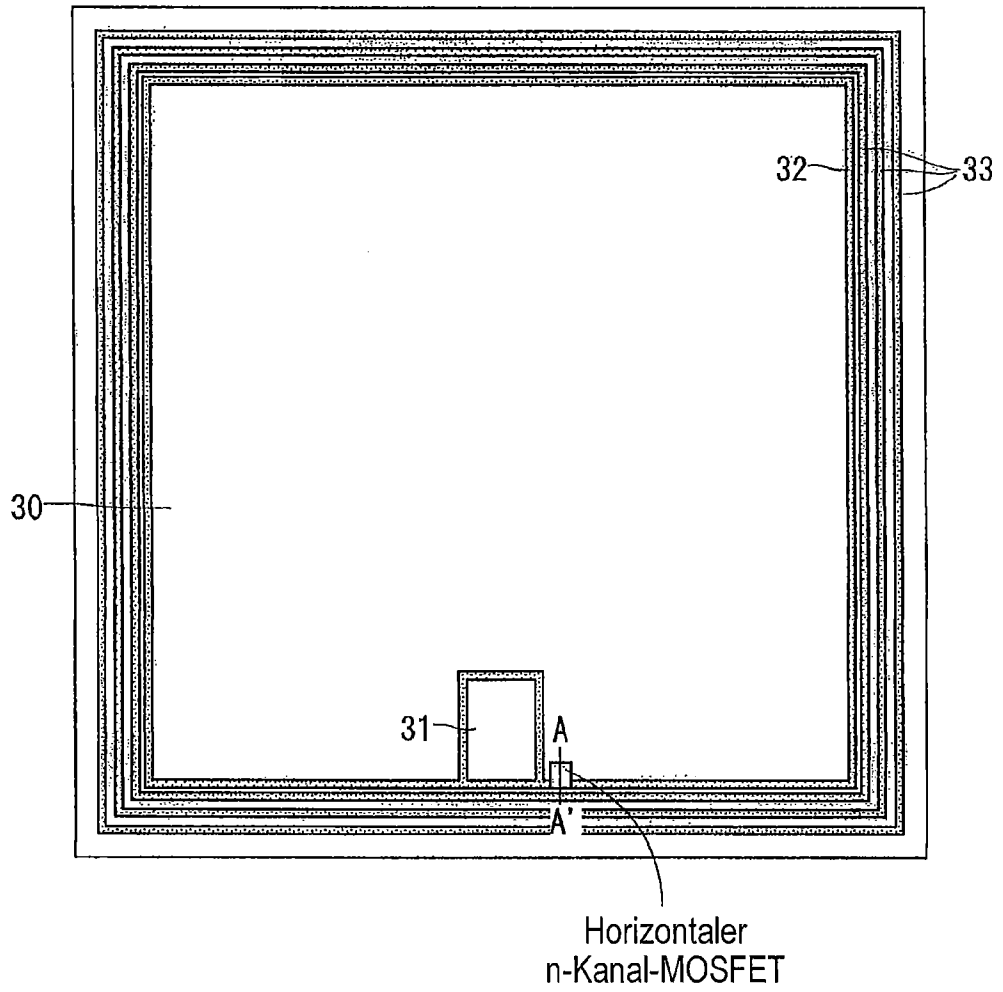
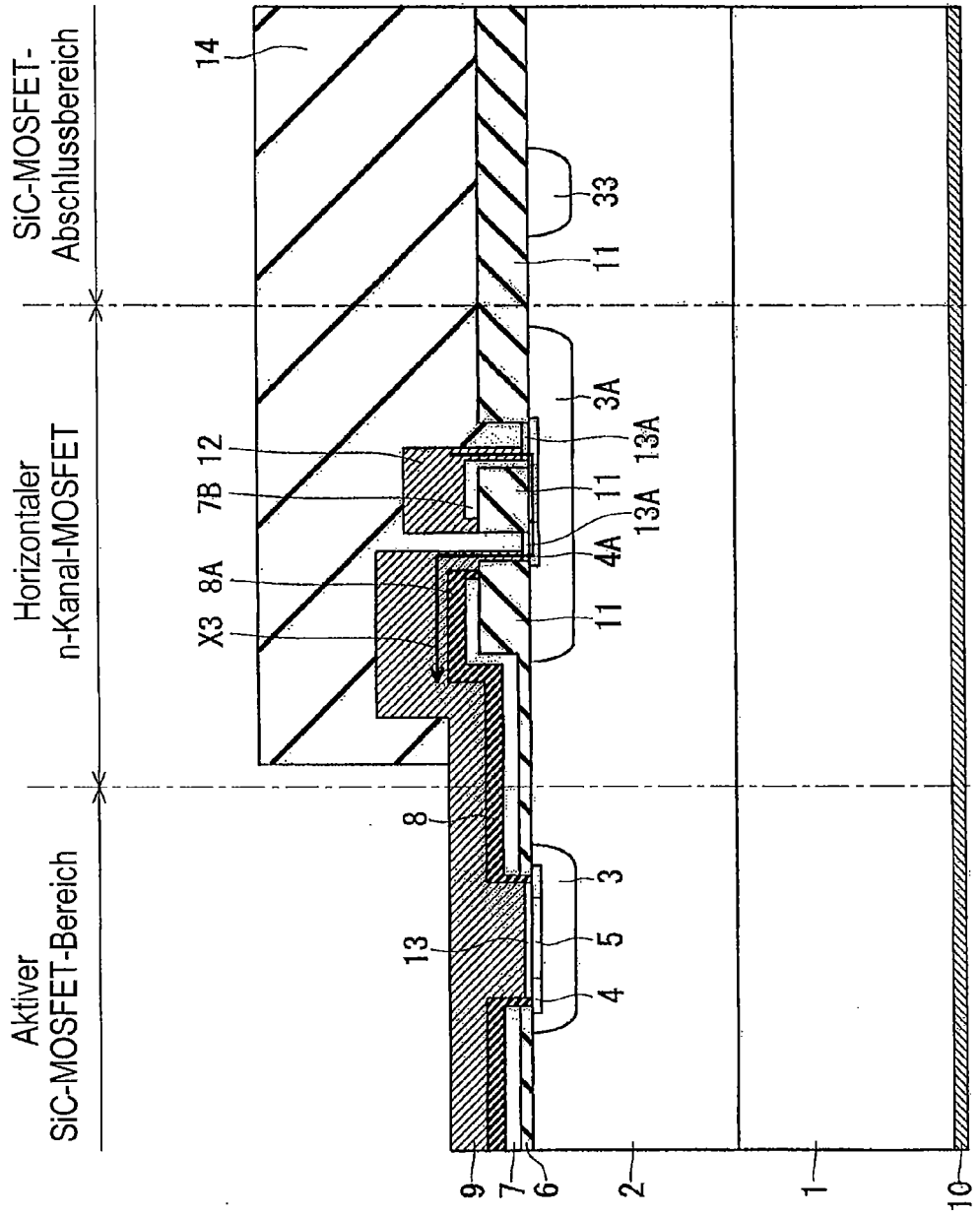
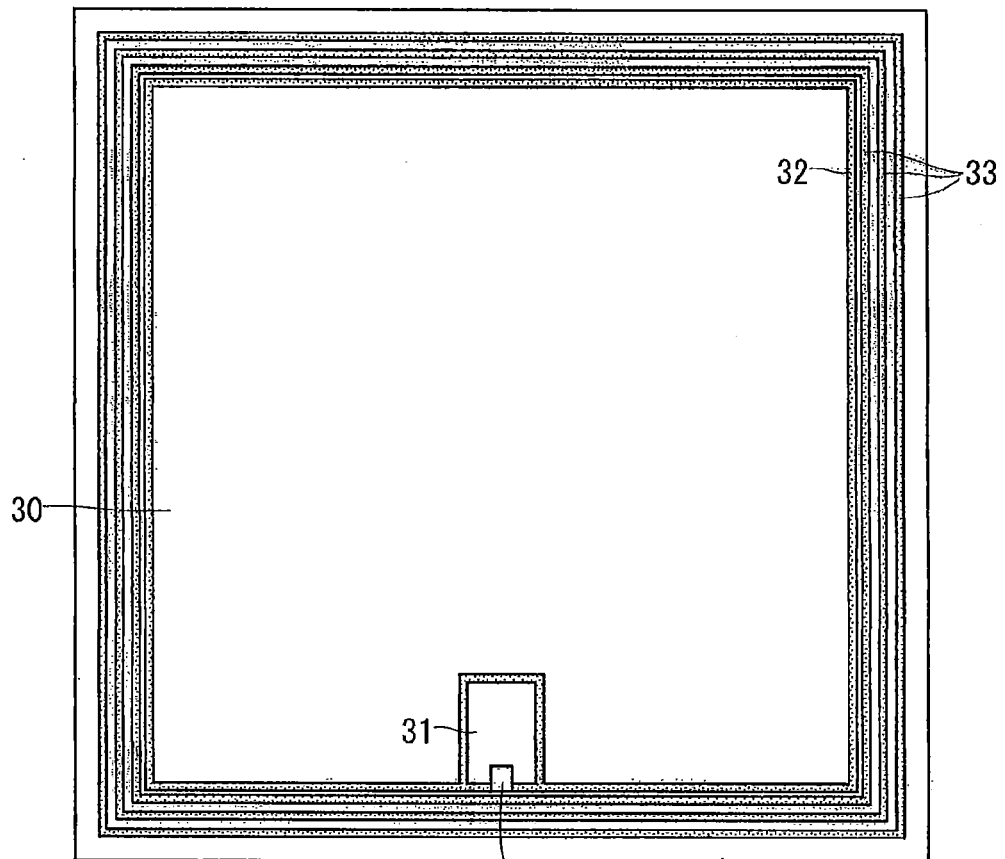


FIG. 7

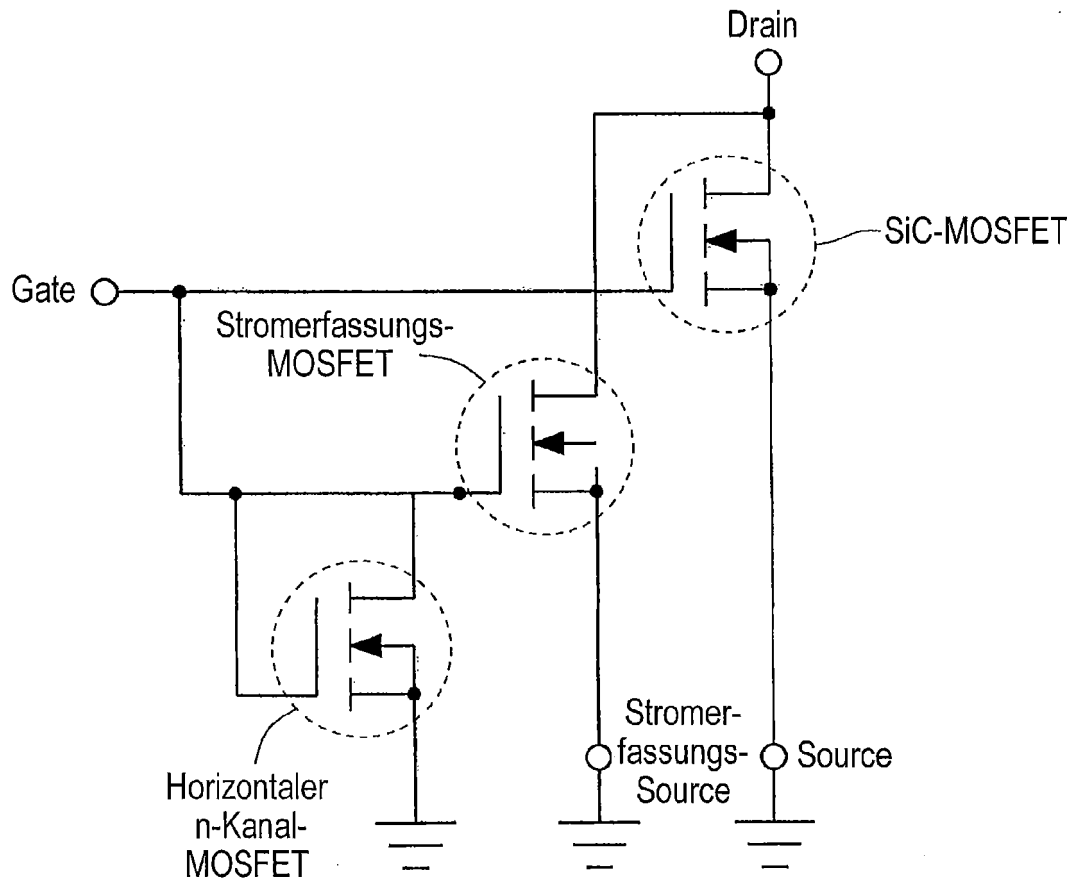


F I G . 8

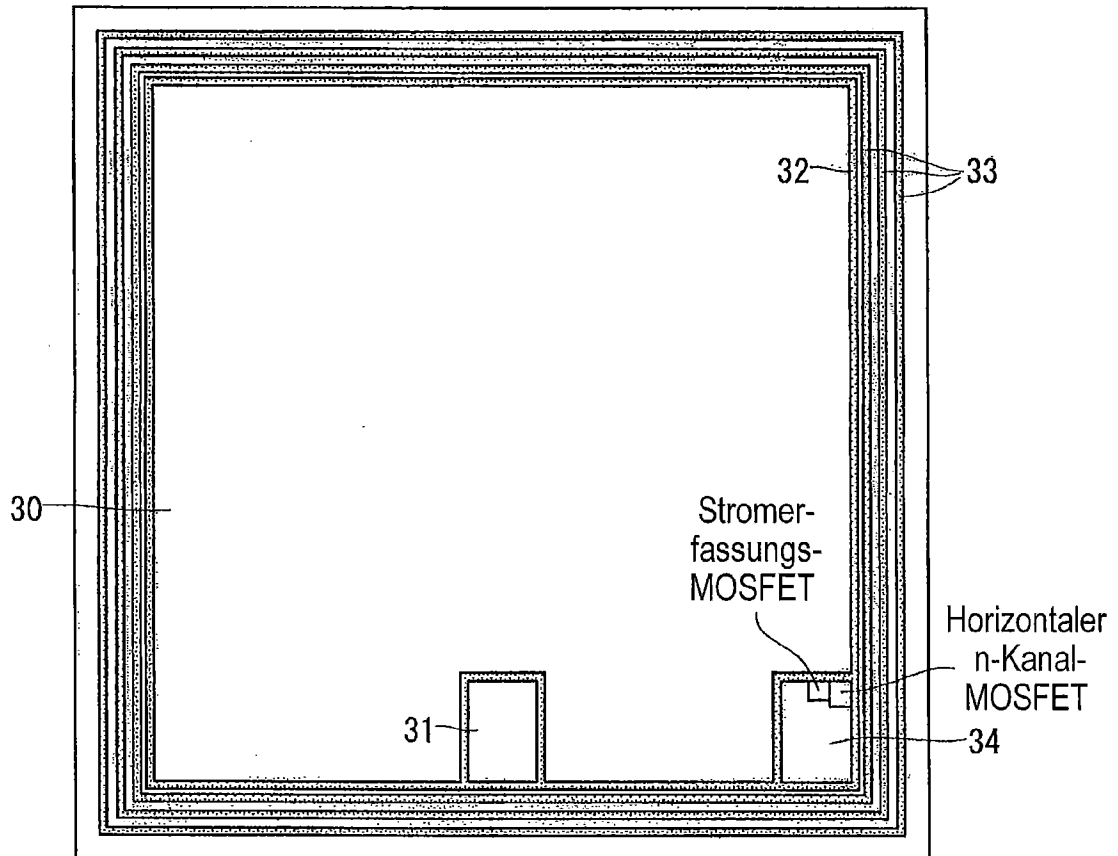


Horizontal
n-Kanal-MOSFET

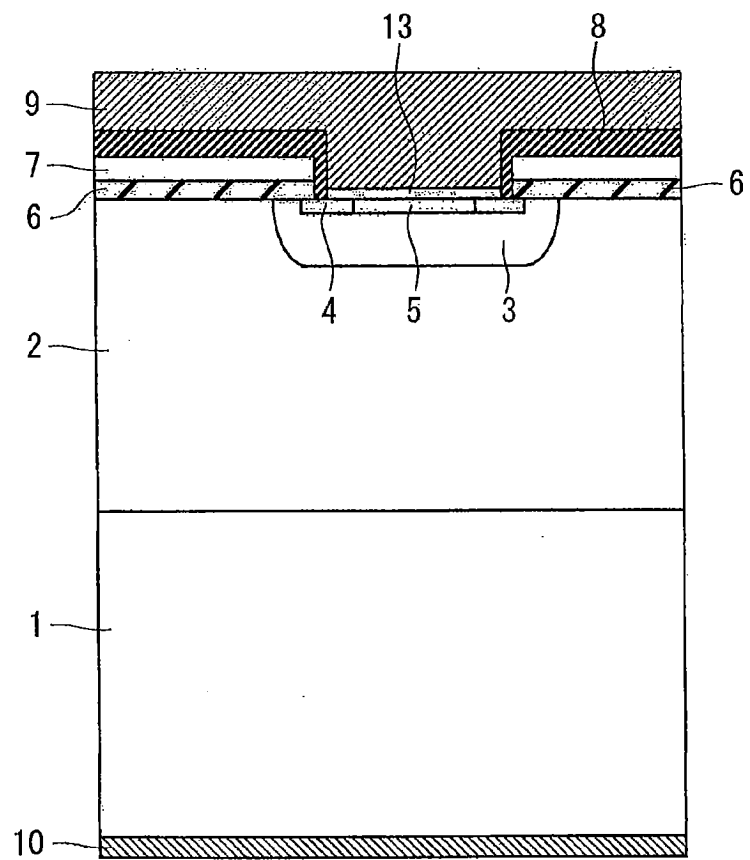
F I G . 9



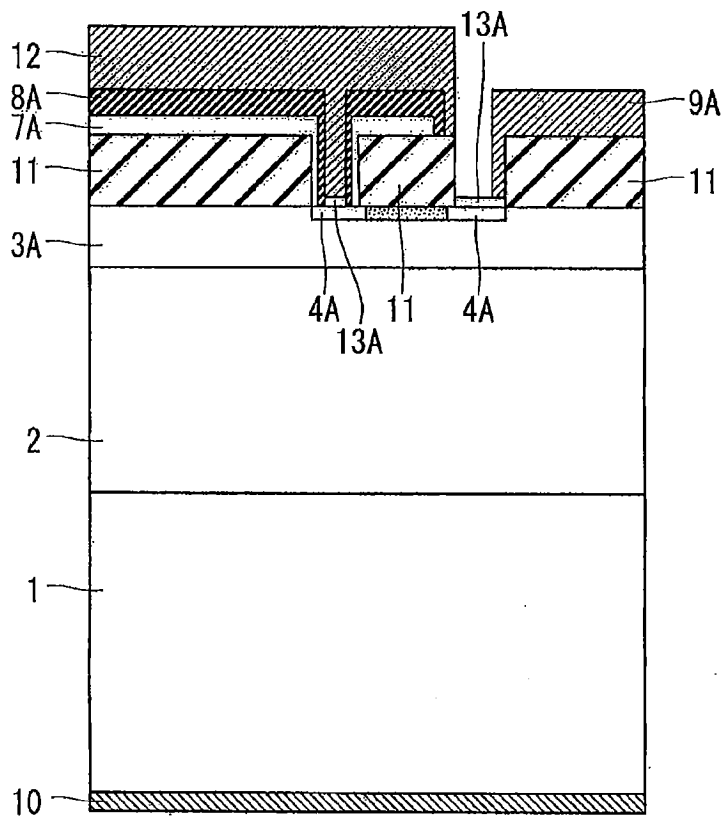
F I G . 1 0



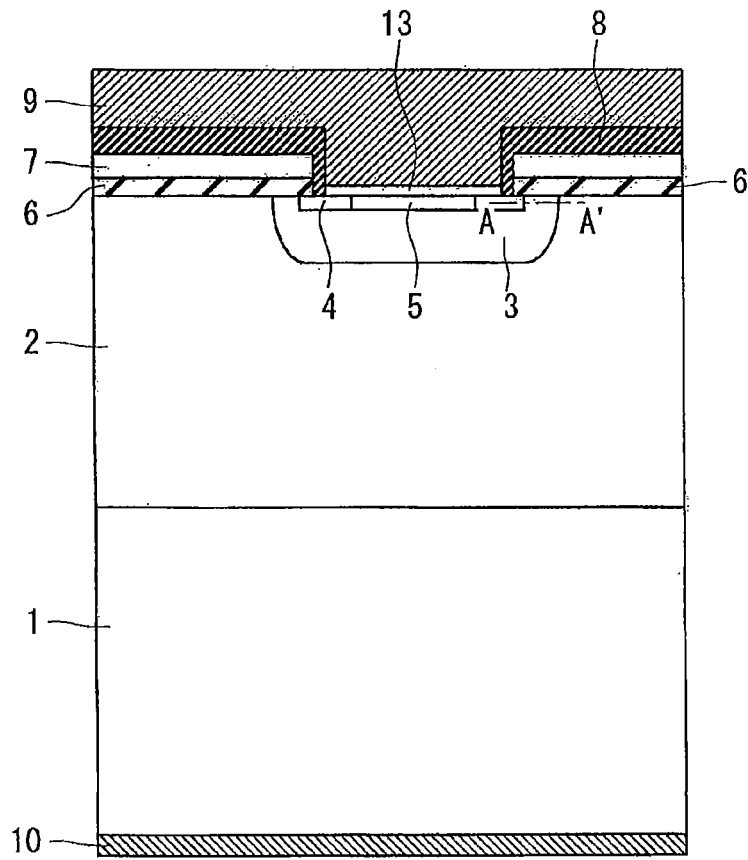
F I G . 1 1



F I G . 1 2



F I G . 1 3



F I G . 1 4

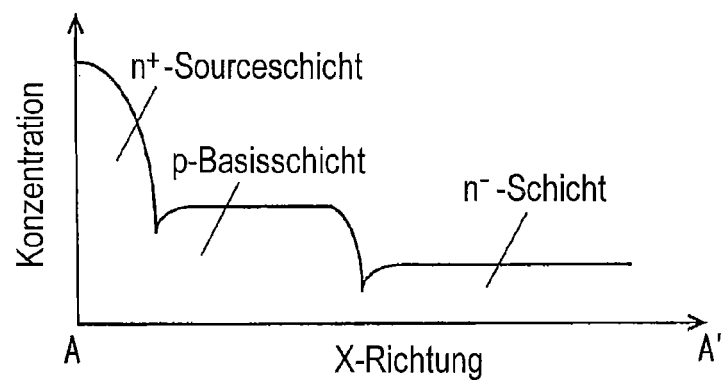


FIG. 15

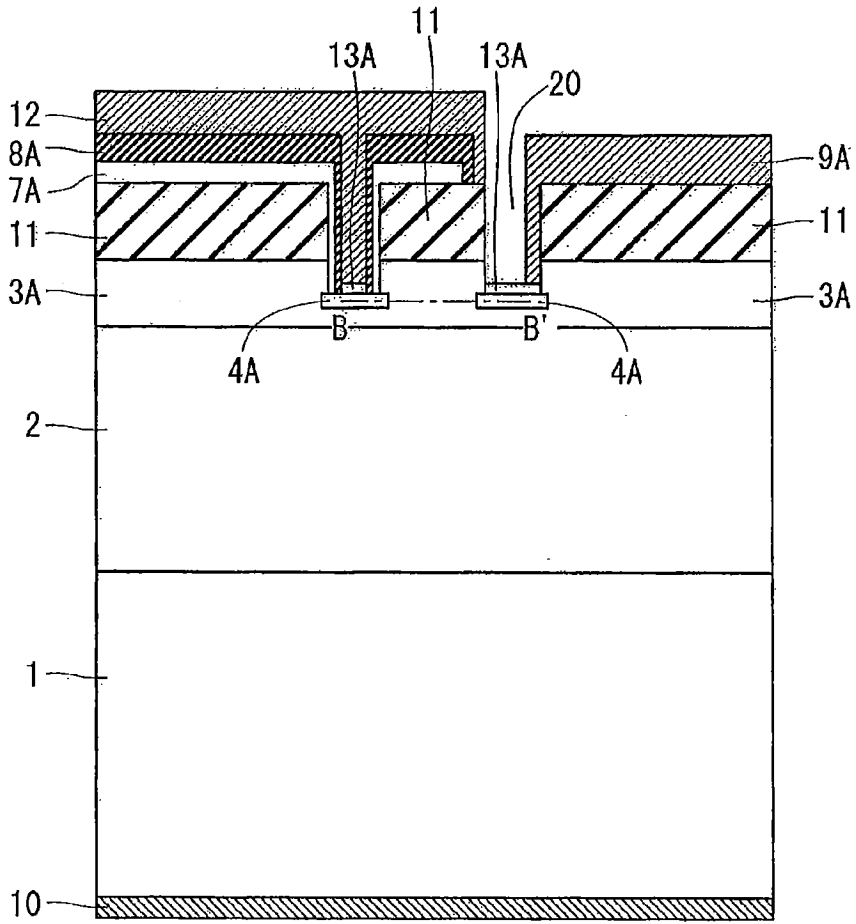
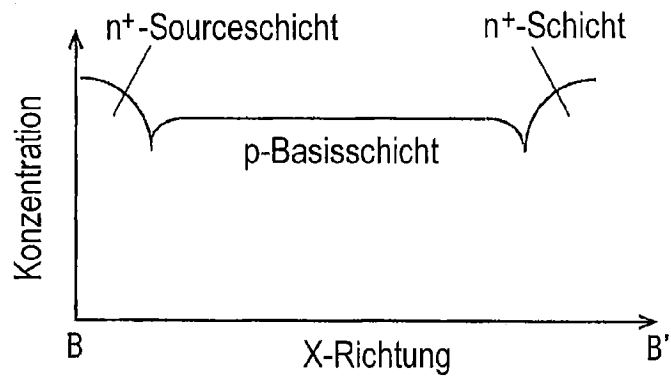
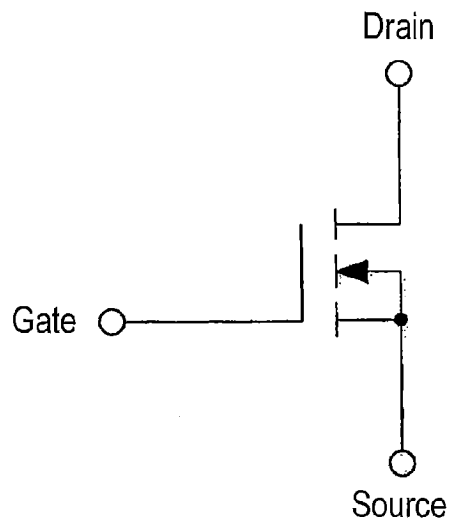


FIG. 16



F I G . 1 7



F I G . 1 8

