

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局

(43) 国際公開日  
2018年12月20日(20.12.2018)



(10) 国際公開番号

**WO 2018/230338 A1**

(51) 国際特許分類:  
*H03K 5/00* (2006.01) *H03K 5/133* (2014.01)  
*H03K 5/1252* (2006.01)

(21) 国際出願番号: PCT/JP2018/020651

(22) 国際出願日: 2018年5月30日(30.05.2018)

(25) 国際出願の言語: 日本語

(26) 国際公開の言語: 日本語

(30) 優先権データ:  
特願 2017-115826 2017年6月13日(13.06.2017) JP

(71) 出願人: ソニーセミコンダクタソリューションズ株式会社(SONY SEMICONDUCTOR SOLUTIONS CORPORATION) [JP/JP]; 〒2430014 神奈川県厚木市旭町四丁目1番4号 Kanagawa (JP).

(72) 発明者: 田畑 満志 (TABATA Mitsushi); 〒2430014 神奈川県厚木市旭町四丁目1番4号

番1号 ソニーセミコンダクタソリューションズ株式会社内 Kanagawa (JP).

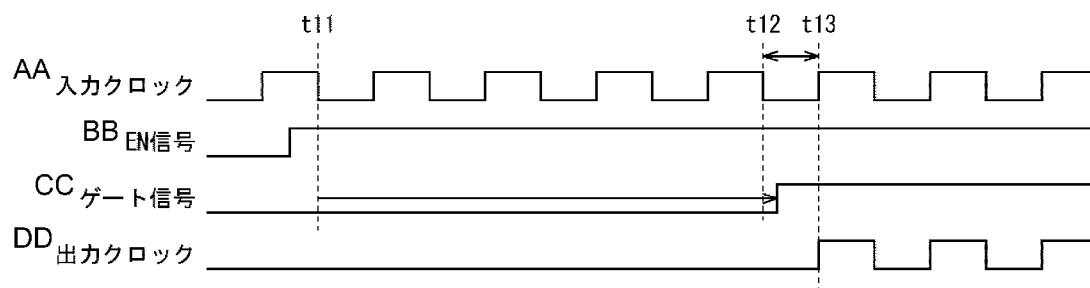
(74) 代理人: 西川 孝, 外 (NISHIKAWA Takashi et al.); 〒1600023 東京都新宿区西新宿7丁目5番25号 西新宿プライムスクエア9階 Tokyo (JP).

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,

(54) Title: CLOCK ENABLER CIRCUIT

(54) 発明の名称: クロックイネーブラ回路

【図4】



AA Input clock  
BB EN signal  
CC Gate signal  
DD Output clock

(57) **Abstract:** The present technique relates to a clock enabler circuit capable of preventing a whisker from occurring in an output clock. A gate signal generation unit generates an input clock-enabling gate signal on the basis of an input clock and an enable signal, and a clock signal output unit outputs an output clock by enabling the input clock in response to the level of the gate signal. The gate signal generation unit generates the gate signal by delaying the level change timing of the enable signal to a timing at which the input clock is disabled in the clock signal output unit. The present technique can be applied to the clock enabler circuit.

[続葉有]



WO 2018/230338 A1



SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,  
UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 一 国際調査報告(条約第21条(3))

(57) 要約: 本技術は、出力クロックにおけるヒゲの発生を防止することができるようにするクロックイネーブラ回路に関する。ゲート信号生成部は、入力クロックとイネーブル信号とに基づいて、入力クロックを有効にするゲート信号を生成し、クロック信号出力部は、ゲート信号のレベルに応じて入力クロックを有効にすることで、出力クロックを出力する。ゲート信号生成部は、イネーブル信号のレベル変化のタイミングを、クロック信号出力部において入力クロックが有効にならないタイミングまで遅延させることで、ゲート信号を生成する。本技術は、クロックイネーブラ回路に適用することができる。

## 明 細 書

**発明の名称：** クロックイネーブラ回路

### 技術分野

[0001] 本技術は、クロックイネーブラ回路に関し、特に、出力クロックにおけるヒゲの発生を防止することができるようにするクロックイネーブラ回路に関する。

### 背景技術

[0002] 従来、クロックが必要な回路において、動作タイミング（クロックの入力タイミング）や、ロジック信号とのタイミングを揃えるためのクロックイネーブラ回路が知られている。クロックイネーブラ回路は、その前段のクロック生成回路の動作が安定するまで、後段にクロックを出力しないように動作する。

[0003] 例えば、特許文献1には、イネーブル信号がハイレベルになってから、クロック生成回路からの入力クロックの数サイクル後に、出力クロックを出力するクロックイネーブラ回路が開示されている。

### 先行技術文献

#### 特許文献

[0004] 特許文献1：特開2012-39448号公報

### 発明の概要

#### 発明が解決しようとする課題

[0005] しかしながら、特許文献1に開示されるようなクロックイネーブラ回路に対して高速な動作が要求された場合、回路内のフリップフロップによる遅延のため、出力クロックに、ヒゲ（ハザードともいう）と呼ばれるパルス状のノイズが発生するおそれがある。

[0006] 本技術は、このような状況に鑑みてなされたものであり、出力クロックにおけるヒゲの発生を防止することができるようにするものである。

#### 課題を解決するための手段

[0007] 本技術のクロックイネーブラ回路は、入力クロックとイネーブル信号とに基づいて、前記入力クロックを有効にするゲート信号を生成するゲート信号生成部と、前記ゲート信号のレベルに応じて前記入力クロックを有効にすることで、出力クロックを出力するクロック信号出力部とを備え、前記ゲート信号生成部は、前記イネーブル信号のレベル変化のタイミングを、前記クロック信号出力部において前記入力クロックが有効にならないタイミングまで遅延させることで、前記ゲート信号を生成する。

[0008] 本技術においては、イネーブル信号のレベル変化のタイミングが、クロック信号出力部において入力クロックが有効にならないタイミングまで遅延されることで、ゲート信号が生成される。

### 発明の効果

[0009] 本技術によれば、出力クロックにおけるヒゲの発生を防止することが可能となる。

[0010] なお、ここに記載された効果は必ずしも限定されるものではなく、本開示中に記載されたいずれかの効果であってもよい。

### 図面の簡単な説明

[0011] [図1]従来のクロックイネーブラ回路の構成例を示す図である。

[図2]従来のクロックイネーブラ回路の動作を示すタイミングチャートである。  
。

[図3]従来のクロックイネーブラ回路の動作を示すタイミングチャートである。  
。

[図4]本技術を適用したクロックイネーブラ回路の動作例を示す図である。

[図5]第1の実施の形態のクロックイネーブラ回路の構成例を示すブロック図である。

[図6]図5のクロックイネーブラ回路の回路構成例を示す図である。

[図7]図6のクロックイネーブラ回路の動作を示すタイミングチャートである。  
。

[図8]入力クロック遅延部を設けない場合のタイミングチャートである。

[図9]差動入力に対応したクロックイネーブラ回路の回路構成例を示す図である。

[図10]第2の実施の形態のクロックイネーブラ回路の構成例を示すブロック図である。

[図11]図10のクロックイネーブラ回路の回路構成例を示す図である。

[図12]図11のクロックイネーブラ回路の動作を示すタイミングチャートである。

[図13]EN3信号が常時Hの場合のタイミングチャートである。

[図14]図10のクロックイネーブラ回路の他の回路構成例を示す図である。

[図15]図10のクロックイネーブラ回路のさらに他の回路構成例を示す図である。

[図16]差動入力に対応したクロックイネーブラ回路の回路構成例を示す図である。

### 発明を実施するための形態

[0012] 以下、本開示を実施するための形態（以下、実施の形態とする）について説明する。なお、説明は以下の順序で行う。

[0013] 1. 従来技術の課題と本技術の概要

2. 第1の実施の形態

3. 第2の実施の形態

[0014] <1. 従来技術の課題と本技術の概要>

図1は、従来のクロックイネーブラ回路の構成例を示すブロック図である。

[0015] 図1のクロックイネーブラ回路10は、ゲート信号生成部11およびクロック信号出力部12から構成される。

[0016] ゲート信号生成部11は、内部にフリップフロップを備え、図示せぬクロック生成回路からの入力クロックと、イネーブル信号（EN信号）とに基づいて、入力クロックを有効にするゲート信号を生成し、クロック信号出力部12に供給する。

[0017] クロック信号出力部 12 は、ゲート信号のレベルに応じて入力クロックを有効にすることで、出力クロックを出力する。

[0018] 具体的には、図 2 に示されるように、ゲート信号生成部 11 は、時刻  $t_1$  において入力クロックが立ち下がると、L (Low) レベルから H (High) レベルになった EN 信号をゲート信号として出力する。入力クロックの立ち下がりから H レベルの EN 信号がゲート信号として出力されるまでには、フリップフロップによる遅延が生じる。

[0019] この状態、すなわち、ゲート信号が H レベルの状態、時刻  $t_2$  において入力クロックが立ち上がると、クロック信号出力部 12 は、入力クロックを有効にすることで出力クロックを出力する。

[0020] しかしながら、クロックイネーブラ回路 10 に対して高速な動作が要求された場合、図 3 に示されるように、入力クロックに対して、フリップフロップによる遅延が大きくなる。この場合、図 3 に示されるように、入力クロックが H レベルになっている間の時刻  $t_3$  に、ゲート信号が H レベルになることがある。

[0021] このとき、クロック信号出力部 12 が、入力クロックを有効にすることで、出力クロックに、ヒゲ（ハザードともいう）と呼ばれるパルス状のノイズ Hd が発生してしまう。特に、入力クロックと EN 信号とが非同期の場合、そのフリップフロップが 1 段であっても、ヒゲが発生するおそれがある。

[0022] そこで、本技術を適用したクロックイネーブラ回路のクロック信号出力部は、図 4 に示されるように、EN 信号の L レベルから H レベルへのレベル変化のタイミングを、時刻  $t_{11}$  から、入力クロックが有効にならないタイミング、例えば、入力クロックが L レベルとなる時刻  $t_{12}$  乃至  $t_{13}$  の間まで遅延させることで、ゲート信号を生成するようにする。

[0023] < 2. 第 1 の実施の形態 >

（クロックイネーブラ回路の構成例）

図 5 は、本技術の第 1 の実施の形態のクロックイネーブラ回路の構成例を示すブロック図である。

- [0024] 図5のクロックイネーブラ回路30は、ゲート信号生成部31、クロック信号出力部32、および入力クロック遅延部33から構成される。
- [0025] ゲート信号生成部31は、図示せぬクロック生成回路からの入力クロックと、EN信号とに基づいて、入力クロックを有効にするゲート信号を生成し、クロック信号出力部32に供給する。ゲート信号生成部31は、EN信号を遅延させる遅延回路と、遅延回路により遅延されたEN信号をラッチすることでゲート信号を出力するラッチ回路を有する。
- [0026] クロック信号出力部32は、ゲート信号生成部31からのゲート信号のレベルに応じて、入力クロック遅延部33からの入力クロックを有効にすることで、出力クロックを出力する。
- [0027] 入力クロック遅延部33は、図示せぬクロック生成回路からの入力クロックを遅延させて、クロック信号出力部32に供給する。
- [0028] 図6は、図5のクロックイネーブラ回路30の回路構成例を示す図である。
- [0029] 図6の例においては、ゲート信号生成部31の入力クロックの入力端に、NANDゲート34が接続されており、NANDゲート34には、入力クロックと第2のイネーブル信号（EN2信号）が入力される。すなわち、NANDゲート34は、EN2信号がHレベルになることで、入力クロックを反転した反転入力クロックを、ゲート信号生成部31に供給する。
- [0030] 図6のゲート信号生成部31は、4段のフリップフロップ41乃至44、およびラッチ回路45から構成される。
- [0031] フリップフロップ41乃至44は、直列に接続されることでシフトレジスタを構成する。より具体的には、フリップフロップ41乃至44は、それぞれに入力される反転入力クロックの4パルス分、EN信号を遅延させる遅延回路を構成する。
- [0032] ラッチ回路45は、フリップフロップ41乃至44（遅延回路）により遅延されたEN信号をラッチすることでゲート信号を出力する。
- [0033] なお、図6のゲート信号生成部31においては、4段のフリップフロップ

が設けられるものとしたが、その段数は４段に限られない。また、ラッチ回路４５に代えて、フリップフロップを設けるようにしてもよい。

[0034] 図６のクロック信号出力部３２は、ｐ型トランジスタ５１、５２、ｎ型トランジスタ５３、５４、およびインバータ５５から構成される。ｐ型トランジスタ５１、５２、ｎ型トランジスタ５３、５４は、スイッチドインバータを構成する。

[0035] ｐ型トランジスタ５１のソースまたはドレインの一方は、電源電位に接続され、ソースまたはドレインの他方は、ｐ型トランジスタ５２のソースまたはドレインの一方に接続される。ｐ型トランジスタ５２のソースまたはドレインの他方は、出力端子に接続される。

[0036] ｎ型トランジスタ５４のソースまたはドレインの一方は、ＧＮＤに接続され、ソースまたはドレインの他方は、ｎ型トランジスタ５３のソースまたはドレインの一方に接続される。ｎ型トランジスタ５３のソースまたはドレインの他方は、出力端子に接続される。

[0037] また、ｐ型トランジスタ５１のゲートは、インバータ５５を介して、ゲート信号生成部３１の出力端に接続され、ｎ型トランジスタ５４のゲートは、直接、ゲート信号生成部３１の出力端に接続される。そして、ｐ型トランジスタ５２およびｎ型トランジスタ５３のゲートは、入力クロック遅延部３３の出力端に接続される。

[0038] このような構成により、クロック信号出力部３２は、ゲート信号がＬレベルの状態では、入力クロック遅延部３３からの入力クロックによらず、何も出力しない（出力クロックをＨレベルのままとする）。また、クロック信号出力部３２は、ゲート信号がＨレベルの状態では、入力クロック遅延部３３からの入力クロックを反転した信号を出力クロックとして出力する。

[0039] 図６の入力クロック遅延部３３は、直列に接続された２個のインバータ６１、６２から構成される。このような構成により、入力クロック遅延部３３は、入力クロックの極性を変えることなく、入力クロックを遅延させた遅延入力クロックを出力する。なお、入力クロック遅延部３３を構成するインバ

ータの数は、2個に限らず、偶数個であればよい。

[0040] (クロックイネーブラ回路の動作)

次に、図7のタイミングチャートを参照して、図6のクロックイネーブラ回路30の動作について説明する。

[0041] EN2信号がHレベルになった状態で、時刻 $t_{31}$ において入力クロックが立ち上がると、NANDゲート34は、時刻 $t_{31}$ から時間 $d_{11}$ だけ遅延した反転入力クロックを出力する。

[0042] また、時刻 $t_{31}$ において入力クロックが立ち上がると、入力クロック遅延部33は、時刻 $t_{31}$ から時間 $d_{12}$ だけ遅延した遅延入力クロックを出力する。

[0043] 一方で、EN信号がHレベルになると、フリップフロップ41乃至44は、EN信号を、反転入力クロック4パルス分遅延させる。そして、時刻 $t_{32}$ において、反転入力クロックが立ち下がると、ラッチ回路45は、時刻 $t_{32}$ から時間 $d_{13}$ だけ遅延させた時刻 $t_{33}$ において、HレベルになったEN信号をラッチし、ゲート信号として出力する。

[0044] なお、時刻 $t_{33}$ までは、ゲート信号がLレベルの状態であるので、クロック信号出力部32は、入力クロック遅延部33からの遅延入力クロックによらず、何も出力しない（出力クロックはLレベル）。また、時刻 $t_{33}$ において、ゲート信号がHレベルになるが、入力クロック遅延部33からの遅延入力クロックがHレベルであるので、出力クロックはLレベルのままとなる。

[0045] そして、時刻 $t_{34}$ において、遅延入力クロックが立ち下がると、クロック信号出力部32は、遅延入力クロックを反転した信号を、出力クロックとして出力し始める。

[0046] なお、入力クロック遅延部33を設けなくて、入力クロックが直接、クロック信号出力部32に供給されるようにした場合、図8に示されるように、時刻 $t_{33}$ において、ゲート信号がHレベルになると、入力クロックがLレベルであるので、出力クロックはHレベルとなり、ヒゲ（ノイズHd）が発

生してしまう。

[0047] 以上の動作によれば、クロックイネーブラ回路30に対して高速な動作が要求された場合や、入力クロックとイネーブル信号とが非同期の場合であっても、遅延入力クロックが有効にならないタイミングでゲート信号がHレベルに変化するので、確実に、出力クロックにおけるヒゲの発生を防止することが可能となる。

[0048] (他の回路構成例)

以上においては、入力クロックが、シングルエンド信号としてクロックイネーブラ回路30に入力されるようにしたが、差動信号として入力されるようにしてもよい。

[0049] 図9は、入力クロックが差動信号として入力されるようにしたクロックイネーブラ回路30の回路構成例を示す図である。

[0050] 図9の例においては、差動入力クロックINP, INNが、入力クロック遅延部33を介して、クロック信号出力部32に入力される。

[0051] 図9の入力クロック遅延部33には、信号INPに対応するインバータ61-1, 62-1と、信号INNに対応するインバータ61-2, 62-2とが設けられる。また、インバータ61-1, 61-2の出力側には、クロスカップルインバータ63, 64が接続される。これにより、インバータ61-1, 61-2それぞれから出力される信号の変化のタイミングが一致するようになる。

[0052] 図9のクロック信号出力部32には、信号INPに対応するp型トランジスタ51-1, 52-1、n型トランジスタ53-1, 54-1、およびインバータ55-1と、信号INNに対応するp型トランジスタ51-2, 52-2、n型トランジスタ53-2, 54-2、およびインバータ55-2とが設けられる。p型トランジスタ51-1, 52-1、n型トランジスタ53-1, 54-1と、p型トランジスタ51-2, 52-2、n型トランジスタ53-2, 54-2とは、それぞれスイッチドインバータを構成する。

[0053] このような構成により、入力クロックが差動信号として入力される場合であっても、確実に、出力クロックにおけるヒゲの発生を防止することが可能となる。

[0054] ところで、本実施の形態のクロックイネーブラ回路30においては、ゲート信号がHレベルになるタイミングと、入力クロックを有効にするタイミングとを調整するために、入力クロック遅延部33を設けるようにした。

[0055] しかしながら、入力クロックの伝送路であるクロックパスに入力クロック遅延部33（インバータ）を設けることで、ジッタが生じたり、消費電力が大きくなってしまう。

[0056] また、クロック信号出力部32内にスイッチドインバータを構成することで、インバータ55（55-1, 55-2）を設けるようにしたが、これにより、タイミングマージンが小さくなってしまう。

[0057] そこで、以下においては、ジッタの発生や消費電力を抑えつつ、タイミングマージンを確保するようにした構成について説明する。

[0058] <3. 第2の実施の形態>

（クロックイネーブラ回路の構成例）

図10は、本技術の第2の実施の形態のクロックイネーブラ回路の構成例を示すブロック図である。

[0059] 図10のクロックイネーブラ回路130は、ゲート信号生成部131、およびクロック信号出力部132から構成される。

[0060] ゲート信号生成部131は、図示せぬクロック生成回路からの入力クロックと、EN信号とに基づいて、入力クロックを有効にするゲート信号を生成し、クロック信号出力部132に供給する。ゲート信号生成部131は、EN信号を差動化して遅延させる遅延回路と、遅延回路により差動化され遅延されたEN信号をラッチすることでゲート信号を出力するラッチ回路を有する。

[0061] クロック信号出力部132は、ゲート信号生成部131からのゲート信号のレベルに応じて、入力クロックを有効にすることで、出力クロックを出力

する。

[0062] 図 1 1 は、クロックイネーブラ回路 1 3 0 の回路構成例を示す図である。

[0063] 図 1 1 の例においては、ゲート信号生成部 1 3 1 の入力クロックの入力端に、NAND ゲート 1 3 3 - 1, 1 3 3 - 2 が接続されており、NAND ゲート 1 3 3 - 1, 1 3 3 - 2 それぞれには、入力クロックと第 2 のイネーブル信号 (E N 2 信号) が入力される。すなわち、NAND ゲート 1 3 3 - 1, 1 3 3 - 2 は、E N 2 信号が H レベルになることで、入力クロックを反転した反転入力クロックを、ゲート信号生成部 1 3 1 に供給する。

[0064] また、図 1 1 の例において、ゲート信号生成部 1 3 1 には、E N 信号が直接入力される他、E N 信号を反転した反転信号がインバータ 1 3 4 を介して入力される。

[0065] 図 1 1 のゲート信号生成部 1 3 1 は、遅延回路 1 4 0 およびラッチ回路 1 5 0 を有する。

[0066] 遅延回路 1 4 0 は、4 段のフリップフロップ 1 4 1 - 1 乃至 1 4 4 - 1 からなる第 1 のシフトレジスタと、4 段のフリップフロップ 1 4 1 - 2 乃至 1 4 4 - 2 からなる第 2 のシフトレジスタとから構成される。

[0067] フリップフロップ 1 4 1 - 1 乃至 1 4 4 - 1 は、NAND ゲート 1 3 3 - 1 からそれぞれに入力される反転入力クロックの 4 パルス分、E N 信号を遅延させる遅延回路を構成する。

[0068] フリップフロップ 1 4 1 - 2 乃至 1 4 4 - 2 は、NAND ゲート 1 3 3 - 2 からそれぞれに入力される反転入力クロックの 4 パルス分、E N 信号の反転信号を遅延させる遅延回路を構成する。

[0069] ただし、図 1 1 の例においては、第 1 のシフトレジスタにおける 2 段目のフリップフロップ 1 4 2 - 1 の反転出力が、第 2 のシフトレジスタにおける 3 段目のフリップフロップ 1 4 3 - 2 の入力となっている。したがって、フリップフロップ 1 4 1 - 2, 1 4 2 - 2 は、電氣的には設ける必要がないが、第 1 のシフトレジスタと第 2 のシフトレジスタとの対称性を保つために設けられている。

[0070] なお、図 11 の例では、第 1 のシフトレジスタの 2 段目のフリップフロップ 142-1 の反転出力が第 2 のシフトレジスタの 3 段目のフリップフロップ 143-2 に入力されるものとしたが、第 1 のシフトレジスタにおける 2 段目以外の  $n$  段目のフリップフロップの反転出力が第 2 のシフトレジスタの  $(n+1)$  段目のフリップフロップに入力されるようにしてもよい。

[0071] このように、EN 信号を差動化することで、ゲート信号が H レベルに変化するタイミングを調整するようことができるようになる。しかしながら、単に、EN 信号を差動化しただけでは、差動化された EN 信号のミスマッチにより、クロックイネーブラ回路 130 が誤動作するおそれがある。そこで、第 1 のシフトレジスタにおける  $n$  段目のフリップフロップの反転出力が第 2 のシフトレジスタの  $(n+1)$  段目のフリップフロップに入力されるようにすることで、差動化された EN 信号のミスマッチの影響を低減することができる。

[0072] ラッチ回路 150 は、トランスファゲート 151-1, 151-2、NOR ゲート 152、および NAND ゲート 153 から構成される。

[0073] トランスファゲート 151-1 は、NAND ゲート 133-1 からの反転入力クロックに応じて導通状態となることで、第 1 のシフトレジスタ（フリップフロップ 141-1 乃至 144-1）により遅延された EN 信号を、ゲート信号としてクロック信号出力部 132 に出力する。

[0074] トランスファゲート 151-2 は、NAND ゲート 133-2 からの反転入力クロックに応じて導通状態となることで、第 2 のシフトレジスタ（フリップフロップ 141-2 乃至 144-2）により遅延された EN 信号の反転信号を出力する。

[0075] NOR ゲート 152 および NAND ゲート 153 は、トランスファゲート 151-1, 151-2 それぞれから出力された信号をラッチするラッチ部として構成される。

[0076] NOR ゲート 152 は、トランスファゲート 151-1 の出力と、クロックイネーブラ回路 130 全体を有効化する第 3 のイネーブル信号（EN3 信

号)とを入力として、トランスファゲート151-2の出力側に出力する。

[0077] NANDゲート153は、トランスファゲート151-2の出力と、EN3信号の反転信号であるEN3B信号とを入力として、トランスファゲート151-1の出力側に出力する。

[0078] 例えば、EN3信号がLレベルの状態、トランスファゲート151-1の出力(すなわちゲート信号)がLレベルの場合、NORゲート152により、トランスファゲート151-2の出力はHレベルに確定される。このとき、EN3B信号はHレベルの状態であるので、NANDゲート153により、トランスファゲート151-1の出力はLレベルに確定される。

[0079] また、EN3信号がLレベルの状態、トランスファゲート151-1の出力(ゲート信号)がHレベルとなることで、NORゲート152により、トランスファゲート151-2の出力がLレベルに確定される。このとき、EN3B信号はHレベルの状態であるので、NANDゲート153により、トランスファゲート151-1の出力(ゲート信号)がHレベルに確定される。

[0080] なお、EN3信号がHレベルの場合、トランスファゲート151-1の出力(ゲート信号)によらず、NORゲート152により、トランスファゲート151-2の出力がLレベルに確定される。このとき、EN3B信号はLレベルの状態であるので、NANDゲート153により、トランスファゲート151-1の出力(ゲート信号)がHレベルに確定される。

[0081] このように、トランスファゲート151-1, 151-2のみでは論理が確定されないため、ラッチ部を構成するNORゲート152およびNANDゲート153により、論理が確定されるようになる。

[0082] 図11のクロック信号出力部132は、NANDゲート161から構成される。入力クロックと、トランスファゲート151-1の出力(ゲート信号)とを入力として、出力クロックを出力する。

[0083] トランスファゲート151-1の出力(ゲート信号)がLレベルの場合、入力クロックのレベルによらず、NANDゲート161により、出力クロック

クはHレベルとなる。トランスファゲート151-1の出力（ゲート信号）がHレベルの場合、入力クロックのレベルの変化に応じて、NANDゲート161により、入力クロックを反転した信号が出力クロックとして出力される。

[0084] （クロックイネーブラ回路の動作）

次に、図12のタイミングチャートを参照して、図11のクロックイネーブラ回路130の動作について説明する。

[0085] 図12の例では、EN3信号は常時Lレベルをとるものとする。

[0086] EN2信号がHレベルになった状態で、時刻t51において入力クロックが立ち上がると、NANDゲート133-1, 133-2は、時刻t51から時間d21だけ遅延した反転入力クロックを出力する。

[0087] 一方で、EN信号がHレベルになると、フリップフロップ141-1乃至144-1は、EN信号を、反転入力クロック4パルス分遅延させる。そして、時刻t52において、反転入力クロックが立ち上がると、トランスファゲート151-1は、導通状態となり、時刻t52から時間d22だけ遅延させて、HレベルになったEN信号を出力する。ラッチ回路150は、そのEN信号をラッチし、ゲート信号として出力する。

[0088] なお、ここまでは、ゲート信号がLレベルの状態であるので、クロック信号出力部132は、入力クロックにかかわらず、出力クロックをHレベルとする。また、時刻t52から時間d22経過後、ゲート信号がHレベルになったときも、入力クロックがLレベルであるので、出力クロックはHレベルのままとなる。

[0089] そして、時刻t53において、入力クロックが立ち上がると、クロック信号出力部132は、入力クロックを反転した信号を、出力クロックとして出力し始める。

[0090] 以上の動作によれば、クロックイネーブラ回路130に対して高速な動作が要求された場合や、入力クロックとイネーブル信号とが非同期の場合であっても、入力クロックが有効にならないタイミングでゲート信号がHレベル

に変化するので、確実に、出力クロックにおけるヒゲの発生を防止することが可能となる。

[0091] また、入力クロックの伝送路であるクロックパスに入力クロック遅延部（インバータ）を設ける必要がなく、クロック信号出力部 132 内にインバータを設ける必要もないので、ジッタの発生や消費電力を抑えつつ、タイミングマージンを確保することが可能となる。

[0092] なお、クロックイネーブラ回路 130 においては、EN 信号を差動化したことで、消費電流が増大するかのように見える。しかしながら、出力クロックの出力開始後は、EN2 信号を L レベルにすることで、ゲート信号のレベルを保持したまま、ゲート信号生成部 131（特に遅延回路 140）の動作を停止することができる。そのため、全体として消費電流が増大することはない。

[0093] また、図 12 の例では、EN3 信号は常時 L レベルをとるものとしたが、図 13 に示されるように、EN3 信号が常時 H レベルをとるようにした場合、EN 信号や EN2 信号によらず、トランスファゲート 151-1 の出力が H レベルに確定されることで、常時、入力クロックを反転した信号が出力クロックとして出力されるようになる。

[0094]（他の回路構成例）

図 14 は、クロックイネーブラ回路 130 の他の回路構成例を示す図である。

[0095] 図 14 のクロックイネーブラ回路 130 は、クロック信号出力部 132 に、NAND ゲート 161 に代えて、p 型トランジスタ 171, 172、n 型トランジスタ 173, 174 が設けられている点で、図 11 のクロックイネーブラ回路 130 と異なる。p 型トランジスタ 171, 172、n 型トランジスタ 173, 174 は、スイッチドインバータを構成する。

[0096] このような構成においても、クロック信号出力部 132 は、ゲート信号が L レベルの状態では、入力クロックにかかわらず、何も出力せず、ゲート信号が H レベルの状態では、入力クロックを反転した信号を出力クロックとし

て出力する。

[0097] 図15は、クロックイネーブラ回路130のさらに他の回路構成例を示す図である。

[0098] 図15のクロックイネーブラ回路130は、ラッチ回路150に、NORゲート152およびNANDゲート153に代えて、インバータ181, 182が設けられている点で、図14のクロックイネーブラ回路130と異なる。インバータ181, 182もまた、トランスファゲート151-1, 151-2それぞれから出力された信号をラッチするラッチ部として構成される。

[0099] このような構成においても、トランスファゲート151-1, 151-2のみでは論理が確定されないため、ラッチ部を構成するインバータ181, 182により、論理が確定されるようになる。

[0100] なお、以上においては、入力クロックが、シングルエンド信号としてクロックイネーブラ回路130に入力されるようにしたが、差動信号として入力されるようにしてもよい。

[0101] 図16は、入力クロックが差動信号として入力されるようにしたクロックイネーブラ回路の回路構成例を示す図である。

[0102] 図16の例においては、差動入力クロックINP, INNが、クロック信号出力部132に入力される。

[0103] 図16のクロック信号出力部132には、信号INPに対応するp型トランジスタ171-1, 172-1、n型トランジスタ173-1, 174-1と、信号INNに対応するp型トランジスタ171-2, 172-2、n型トランジスタ173-2, 174-2とが設けられる。p型トランジスタ171-1, 172-1、n型トランジスタ173-1, 174-1と、信号INNに対応するp型トランジスタ171-2, 172-2、n型トランジスタ173-2, 174-2とは、それぞれスイッチドインバータを構成する。

[0104] このような構成により、同じく入力クロックが差動信号として入力される

図9の構成と比較しても、入力クロックの伝送路であるクロックパスにクロスカップルインバータを含む入力クロック遅延部を設ける必要がなく、クロック信号出力部132内にインバータを設ける必要もないので、ジッタや消費電力を抑えつつ、タイミングマージンを確保することが可能となる。

[0105] また、図16の例においては、ラッチ回路150に、インバータ181、182に代えて、NORゲート152およびNANDゲート153が設けられるようにしてもよい。さらに、クロック信号出力部132に、p型トランジスタ171-1、172-1、n型トランジスタ173-1、174-1、および、p型トランジスタ171-2、172-2、n型トランジスタ173-2、174-2に代えて、信号INP、INNそれぞれに対応するNANDゲートが設けられるようにしてもよい。

[0106] なお、本実施の形態において、出力段となるクロック信号出力部132の負荷（クロックパスの負荷）が大きい場合には、トランスファゲート151-1、151-2の前段および後段にインバータを接続することで、クロック信号出力部132を構成するトランジスタのサイズを大きくすることができる。

[0107] 本技術の実施の形態は、上述した実施の形態に限定されるものではなく、本技術の要旨を逸脱しない範囲において種々の変更が可能である。

[0108] さらに、本技術は以下のような構成をとることができる。

(1)

入力クロックとイネーブル信号とに基づいて、前記入力クロックを有効にするゲート信号を生成するゲート信号生成部と、

前記ゲート信号のレベルに応じて前記入力クロックを有効にすることで、出力クロックを出力するクロック信号出力部と

を備え、

前記ゲート信号生成部は、前記イネーブル信号のレベル変化のタイミングを、前記クロック信号出力部において前記入力クロックが有効にならないタイミングまで遅延させることで、前記ゲート信号を生成する

クロックイネーブラ回路。

(2)

前記ゲート信号生成部は、

前記イネーブル信号を差動化して遅延させる遅延回路と、

前記遅延回路により差動化され遅延された前記イネーブル信号をラッチすることで前記ゲート信号を出力するラッチ回路と

を有する

(1)に記載のクロックイネーブラ回路。

(3)

前記ラッチ回路は、

前記入力クロックを反転した反転入力クロックに応じて導通状態となることで、差動化された前記イネーブル信号を出力する第1および第2のトランスファゲートと、

前記第1および第2のトランスファゲートから出力された前記イネーブル信号それぞれをラッチするラッチ部と

を有し、

ラッチされた前記第1のトランスファゲートからの前記イネーブル信号を、前記ゲート信号として出力する

(2)に記載のクロックイネーブラ回路。

(4)

前記ラッチ部は、前記第1のトランスファゲートの出力を入力として前記第2のトランスファゲートの出力側に出力するNORゲート、および、前記第2のトランスファゲートの出力を入力として前記第1のトランスファゲートの出力側に出力するNANDゲートから構成される

(3)に記載のクロックイネーブラ回路。

(5)

前記ラッチ部は、前記第1のトランスファゲートの出力を入力として前記第2のトランスファゲートの出力側に出力する第1のインバータ、および、

前記第2のトランスファゲートの出力を入力として前記第1のトランスファゲートの出力側に出力する第2のインバータから構成される

(3)に記載のクロックイネーブラ回路。

(6)

前記遅延回路は、それぞれ $n$ 段のフリップフロップからなる第1および第2のシフトレジスタから構成され、

前記第1のシフトレジスタにおける $n$ 段目のフリップフロップの反転出力が、前記第2のシフトレジスタにおける $(n+1)$ 段目のフリップフロップの入力となる

(3)乃至(5)のいずれかに記載のクロックイネーブラ回路。

(7)

前記ゲート信号生成部は、

前記イネーブル信号を遅延させる遅延回路と、

前記遅延回路により遅延された前記イネーブル信号をラッチすることで前記ゲート信号を出力するラッチ回路と

を有し、

前記クロック信号出力部に入力される前記入力クロックを遅延させる入力クロック遅延部をさらに備える

(1)に記載のクロックイネーブラ回路。

(8)

前記入力クロック遅延部は、偶数個のインバータが直列に接続されることで構成される

(7)に記載のクロックイネーブラ回路。

(9)

前記クロック信号出力部は、

前記ゲート信号を反転して出力するインバータと、

前記ゲート信号と、前記インバータから出力される反転ゲート信号とに基づいて、前記出力クロックを出力するスイッチドインバータと

を有する

(7) または (8) に記載のクロックイネーブラ回路。

(10)

前記遅延回路は、複数段のフリップフロップからなるシフトレジスタから構成される

(7) 乃至 (9) のいずれかに記載のクロックイネーブラ回路。

(11)

前記入力クロックは、シングルエンド信号である

(1) 乃至 (10) のいずれかに記載のクロックイネーブラ回路。

(12)

前記入力クロックは、差動信号である

(1) 乃至 (10) のいずれかに記載のクロックイネーブラ回路。

## 符号の説明

[0109] 30 クロックイネーブラ回路, 31 ゲート信号生成部, 32 クロック信号出力部, 33 入力クロック遅延部, 41乃至44 フリップフロップ, 45 ラッチ回路, 51, 52 p型トランジスタ, 53, 54 n型トランジスタ, 55 インバータ, 61, 62 インバータ, 130 クロックイネーブラ回路, 131 ゲート信号生成部, 132 クロック信号出力部, 140 遅延回路, 141-1乃至144-1, 141-2乃至144-2 フリップフロップ, 150 ラッチ回路, 151-1, 151-2 トランスファゲート, 152 NORゲート, 153 NANDゲート, 161 NANDゲート, 171, 172 p型トランジスタ, 173, 174 n型トランジスタ, 181, 182 インバータ

## 請求の範囲

- [請求項1]           入力クロックとイネーブル信号とに基づいて、前記入力クロックを有効にするゲート信号を生成するゲート信号生成部と、
- 前記ゲート信号のレベルに応じて前記入力クロックを有効にすることで、出力クロックを出力するクロック信号出力部と
- を備え、
- 前記ゲート信号生成部は、前記イネーブル信号のレベル変化のタイミングを、前記クロック信号出力部において前記入力クロックが有効にならないタイミングまで遅延させることで、前記ゲート信号を生成する
- クロックイネーブラ回路。
- [請求項2]           前記ゲート信号生成部は、
- 前記イネーブル信号を差動化して遅延させる遅延回路と、
- 前記遅延回路により差動化され遅延された前記イネーブル信号をラッチすることで前記ゲート信号を出力するラッチ回路と
- を有する
- 請求項1に記載のクロックイネーブラ回路。
- [請求項3]           前記ラッチ回路は、
- 前記入力クロックを反転した反転入力クロックに応じて導通状態となることで、差動化された前記イネーブル信号を出力する第1および第2のトランスファゲートと、
- 前記第1および第2のトランスファゲートから出力された前記イネーブル信号それぞれをラッチするラッチ部と
- を有し、
- ラッチされた前記第1のトランスファゲートからの前記イネーブル信号を、前記ゲート信号として出力する
- 請求項2に記載のクロックイネーブラ回路。
- [請求項4]           前記ラッチ部は、前記第1のトランスファゲートの出力を入力とし

て前記第2のトランスファゲートの出力側に出力するNORゲート、および、前記第2のトランスファゲートの出力を入力として前記第1のトランスファゲートの出力側に出力するNANDゲートから構成される

請求項3に記載のクロックイネーブラ回路。

[請求項5] 前記ラッチ部は、前記第1のトランスファゲートの出力を入力として前記第2のトランスファゲートの出力側に出力する第1のインバータ、および、前記第2のトランスファゲートの出力を入力として前記第1のトランスファゲートの出力側に出力する第2のインバータから構成される

請求項3に記載のクロックイネーブラ回路。

[請求項6] 前記遅延回路は、それぞれ $n$ 段のフリップフロップからなる第1および第2のシフトレジスタから構成され、

前記第1のシフトレジスタにおける $n$ 段目のフリップフロップの反転出力が、前記第2のシフトレジスタにおける $(n+1)$ 段目のフリップフロップの入力となる

請求項3に記載のクロックイネーブラ回路。

[請求項7] 前記ゲート信号生成部は、

前記イネーブル信号を遅延させる遅延回路と、

前記遅延回路により遅延された前記イネーブル信号をラッチすることで前記ゲート信号を出力するラッチ回路と

を有し、

前記クロック信号出力部に入力される前記入力クロックを遅延させる入力クロック遅延部をさらに備える

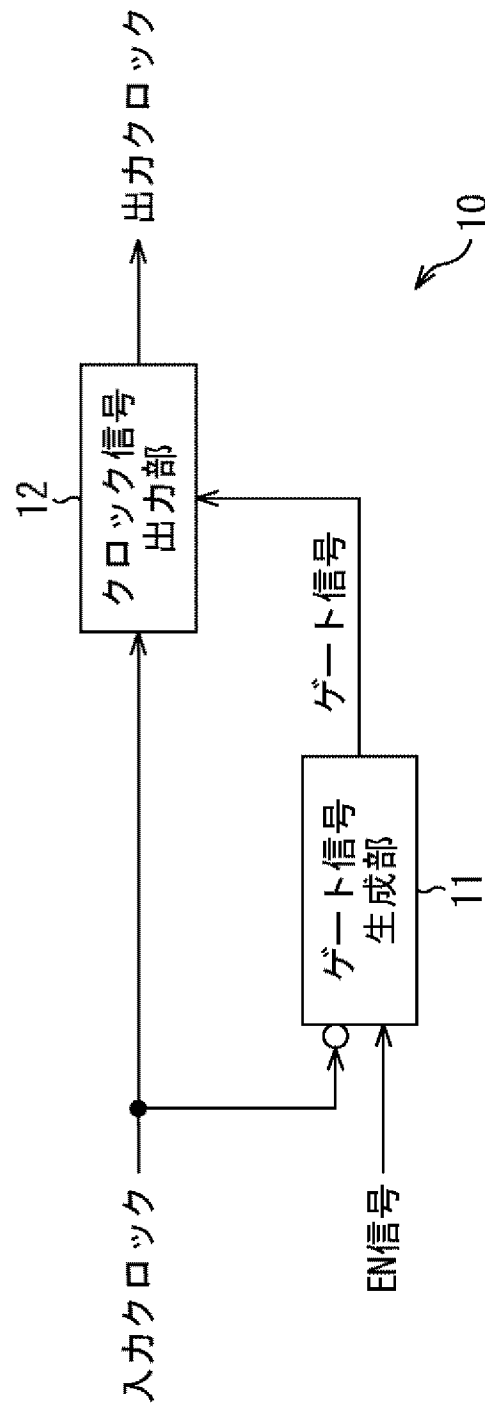
請求項1に記載のクロックイネーブラ回路。

[請求項8] 前記入力クロック遅延部は、偶数個のインバータが直列に接続されることで構成される

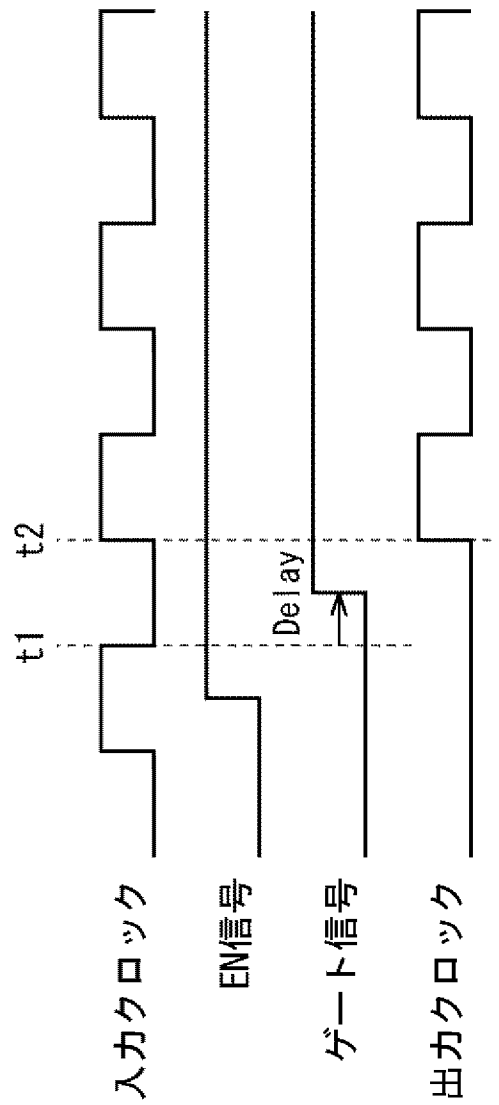
請求項7に記載のクロックイネーブラ回路。

- [請求項9]           前記クロック信号出力部は、  
                  前記ゲート信号を反転して出力するインバータと、  
                  前記ゲート信号と、前記インバータから出力される反転ゲート信号とに基づいて、前記出力クロックを出力するスイッチドインバータと  
                  と  
                  を有する  
                  請求項7に記載のクロックイネーブラ回路。
- [請求項10]          前記遅延回路は、複数段のフリップフロップからなるシフトレジスタから構成される  
                  請求項7に記載のクロックイネーブラ回路。
- [請求項11]          前記入力クロックは、シングルエンド信号である  
                  請求項1に記載のクロックイネーブラ回路。
- [請求項12]          前記入力クロックは、差動信号である  
                  請求項1に記載のクロックイネーブラ回路。

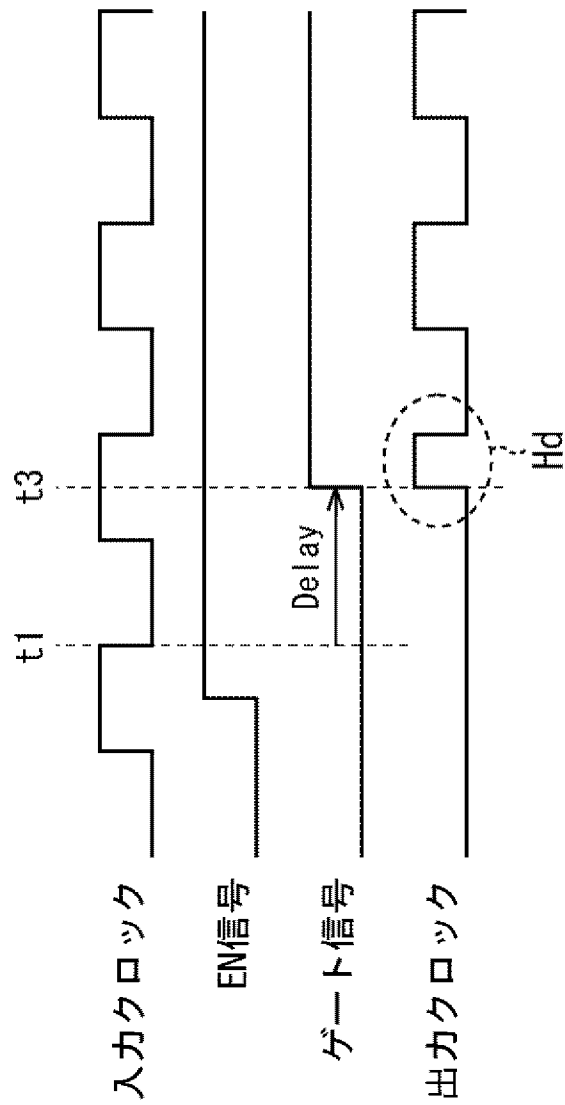
[図1]  
FIG. 1



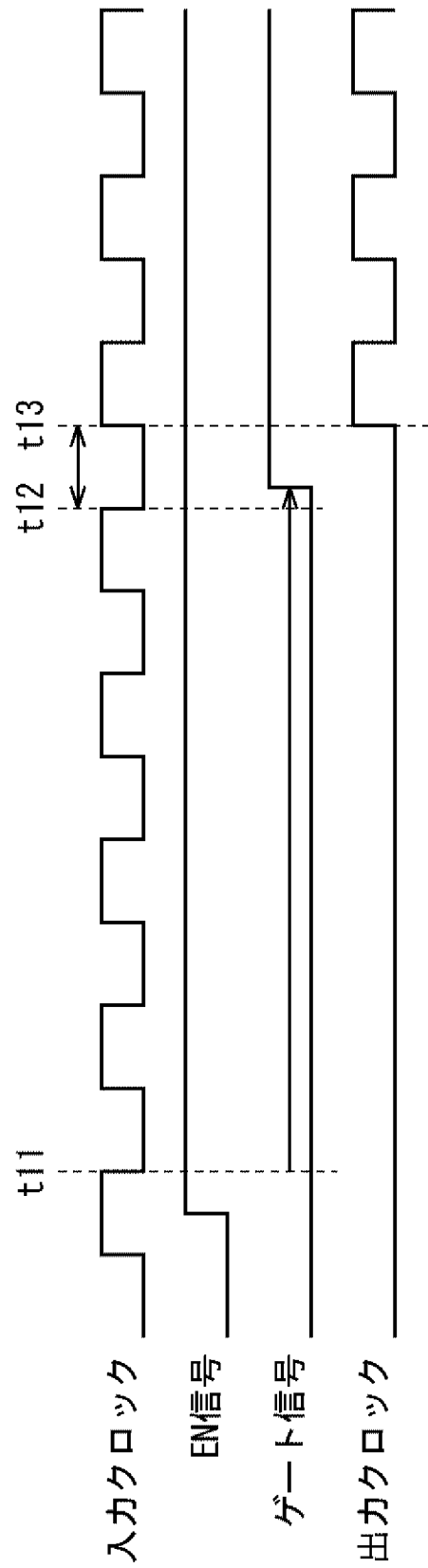
[図2]  
FIG. 2



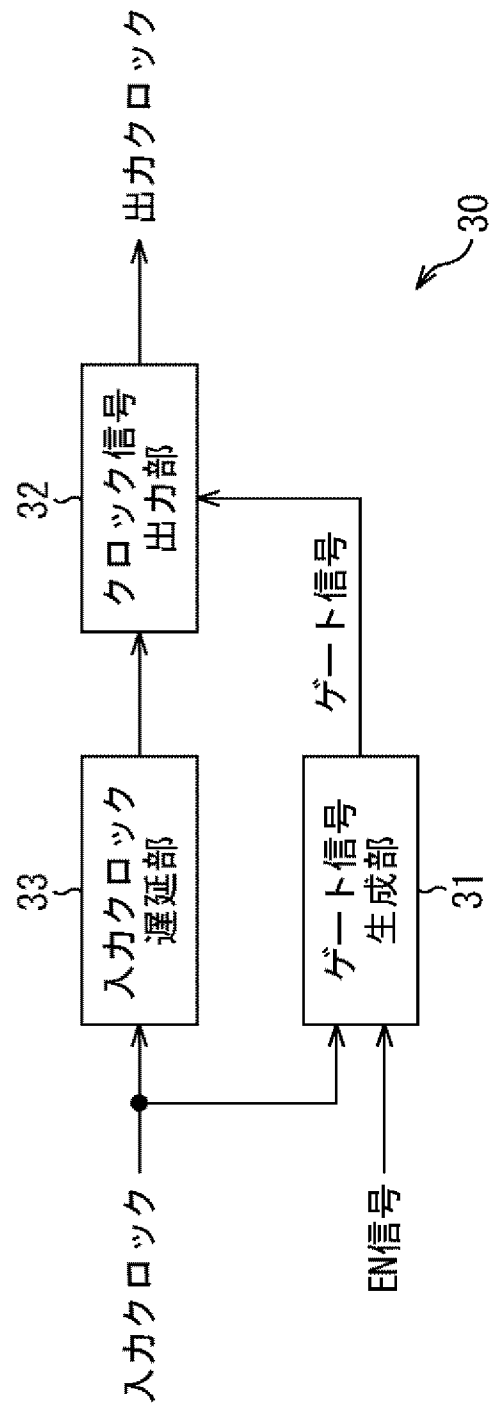
[図3]  
FIG. 3



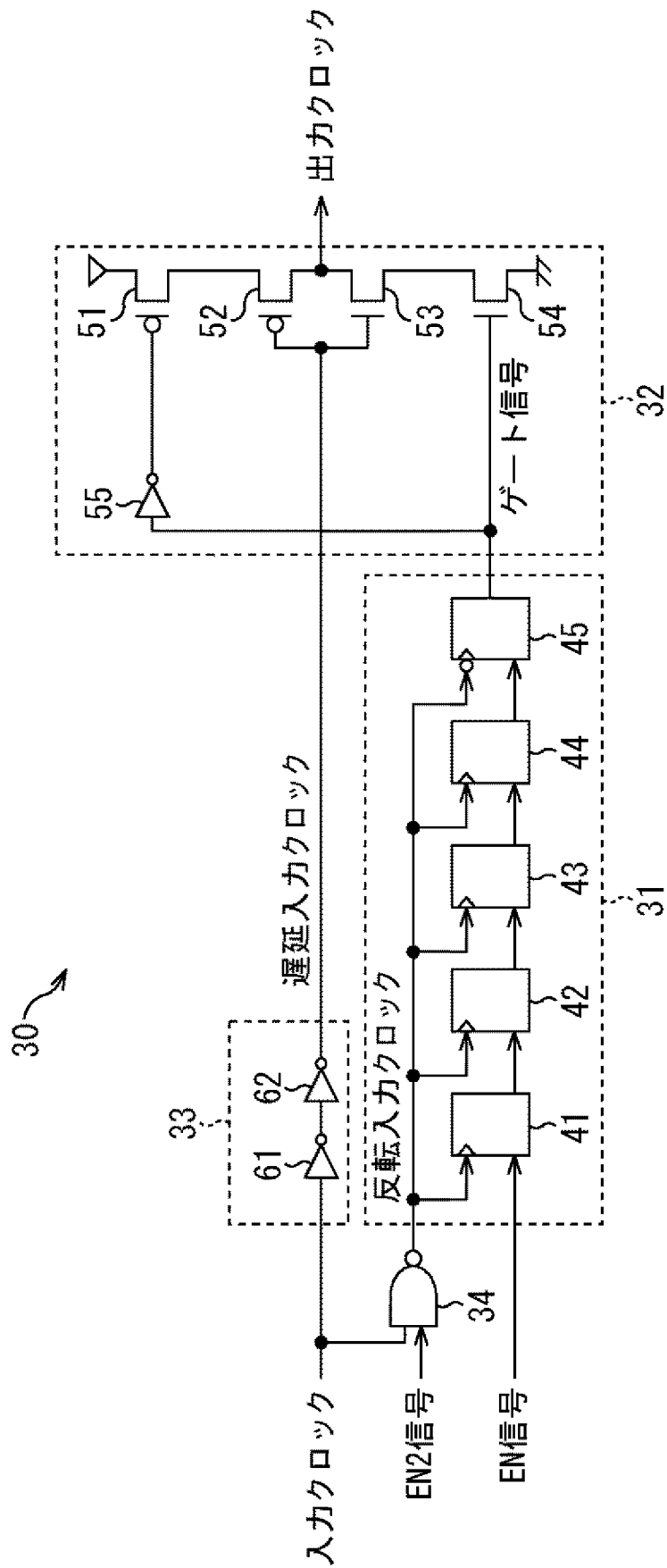
[図4]  
FIG. 4

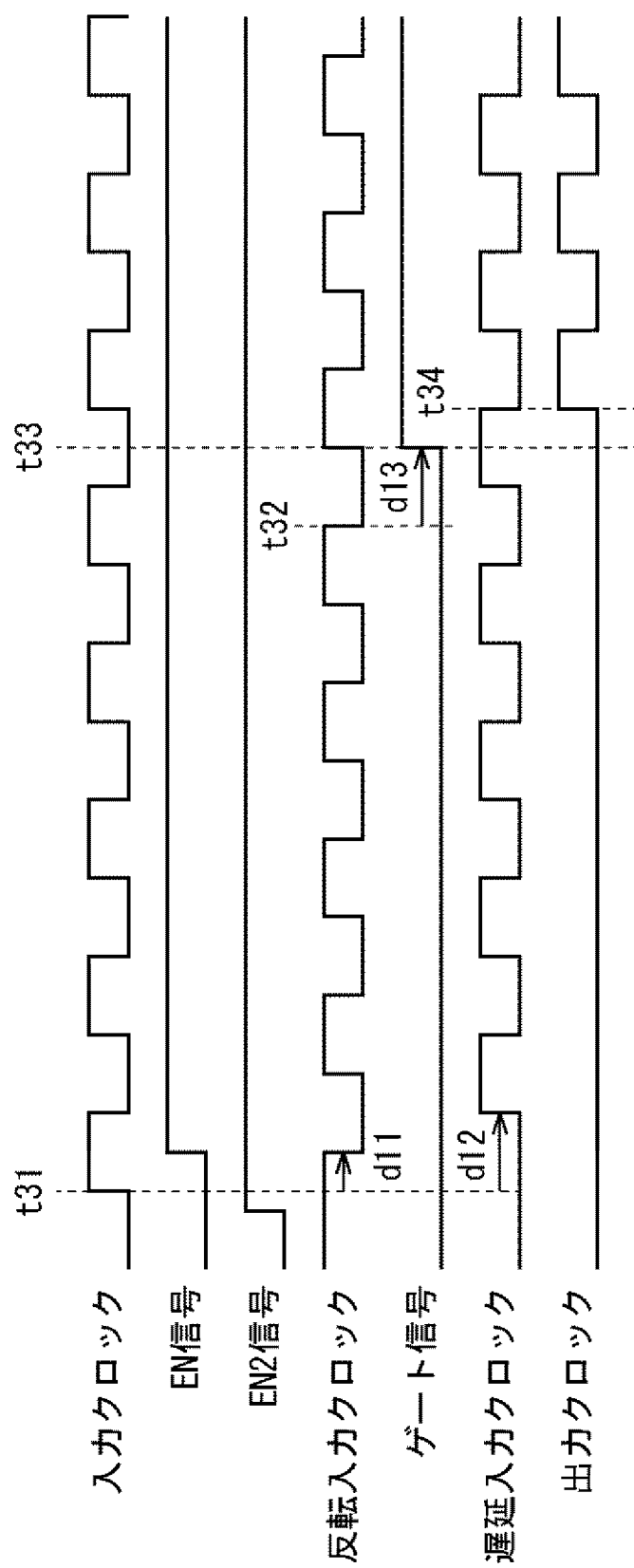


[図5]  
FIG. 5

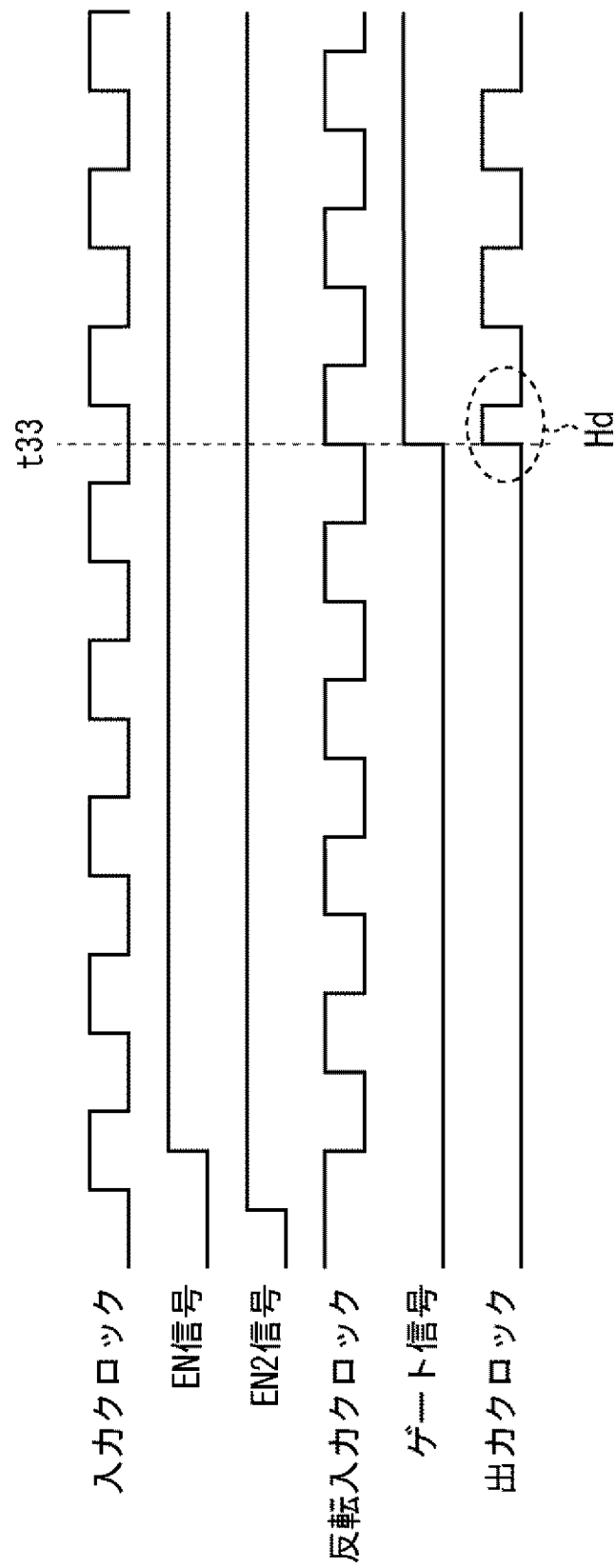


[図6]  
FIG. 6

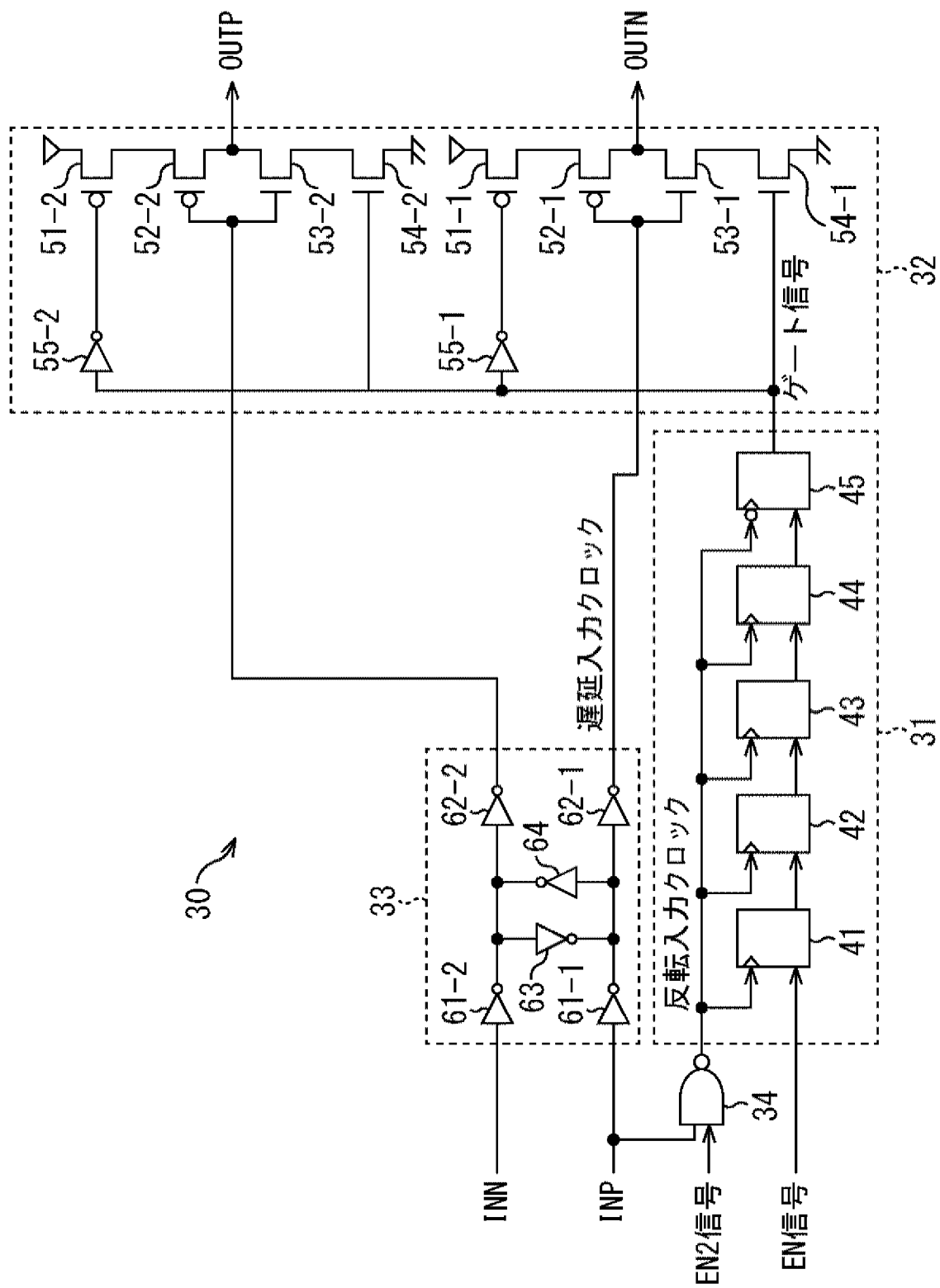


[図7]  
FIG. 7

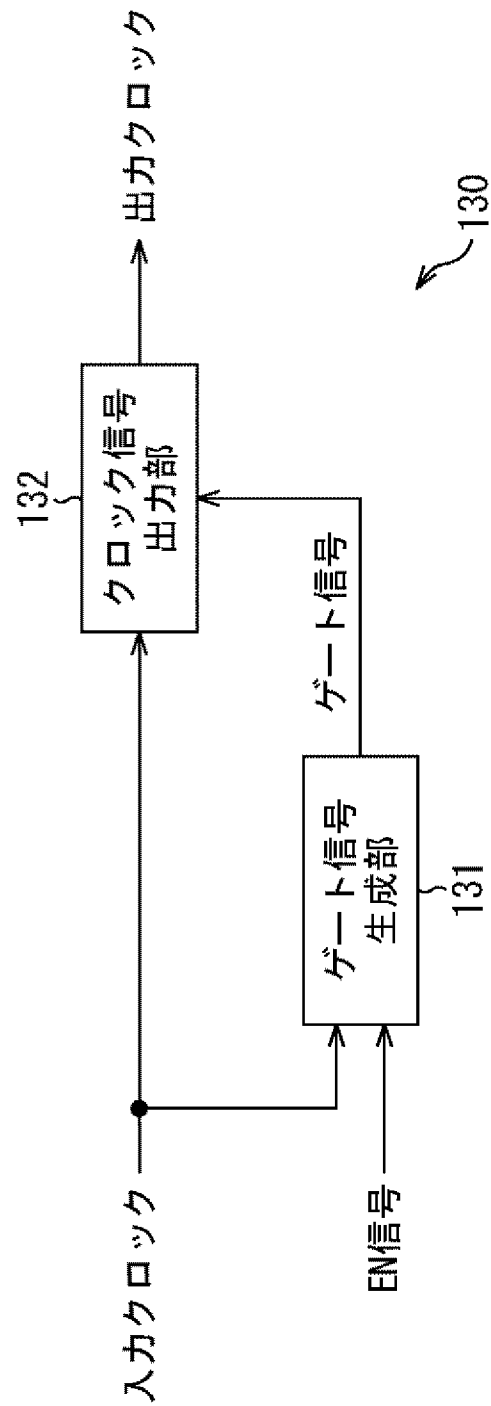
[図8]  
FIG. 8



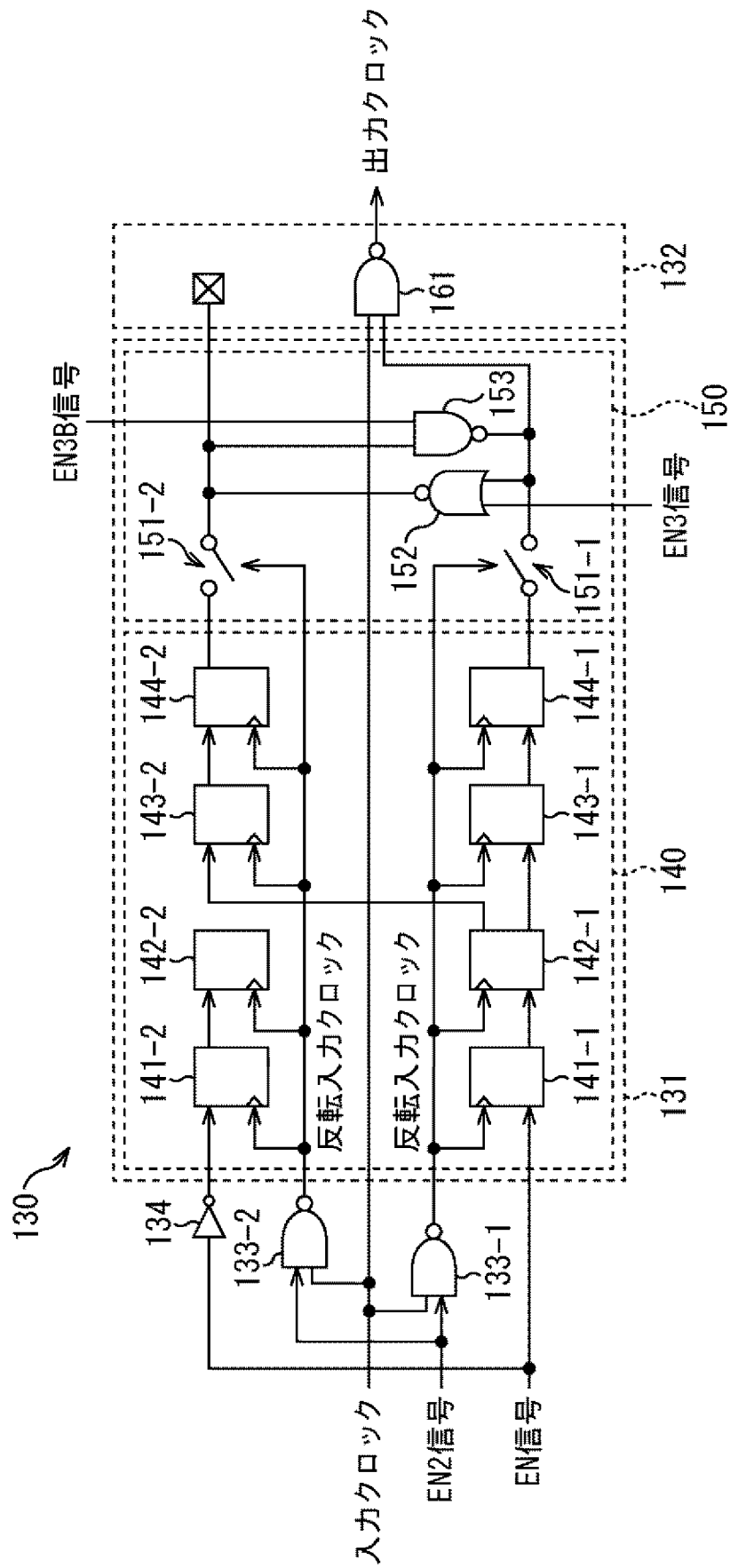
[図9]  
FIG. 9



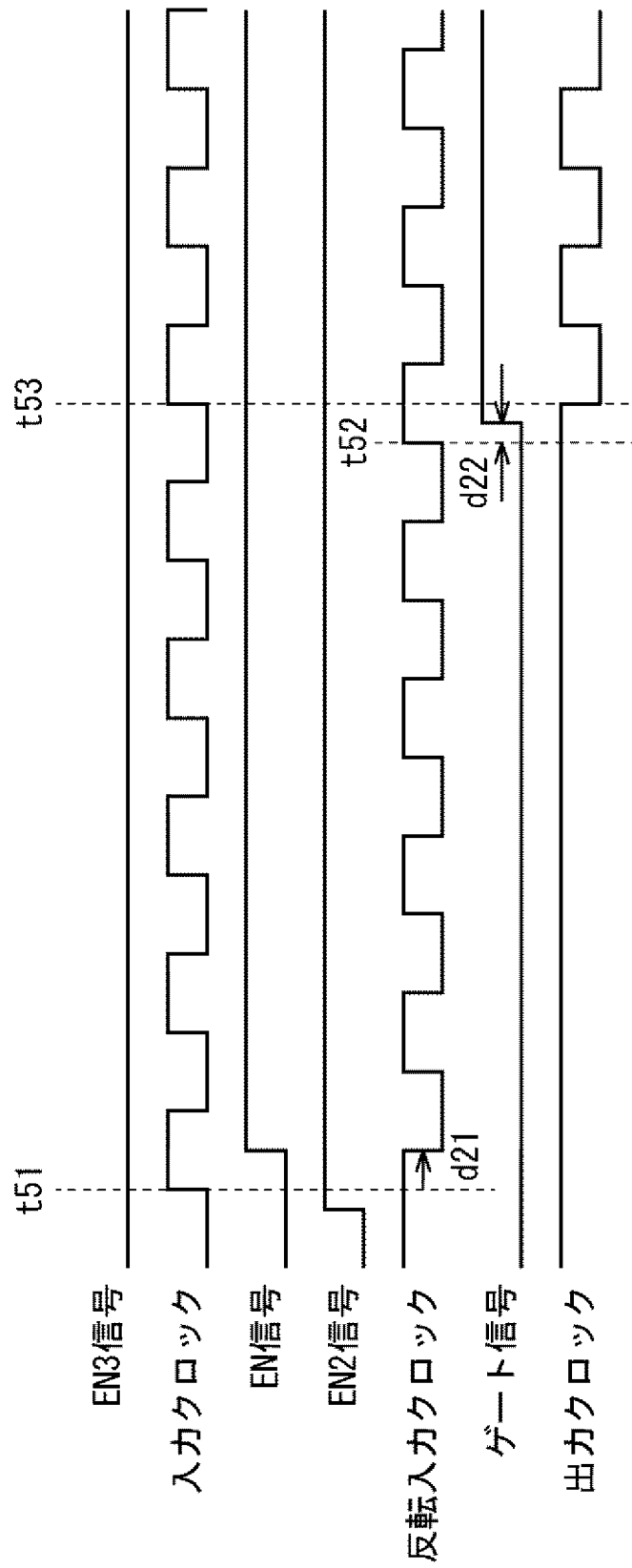
[図10]  
FIG. 10



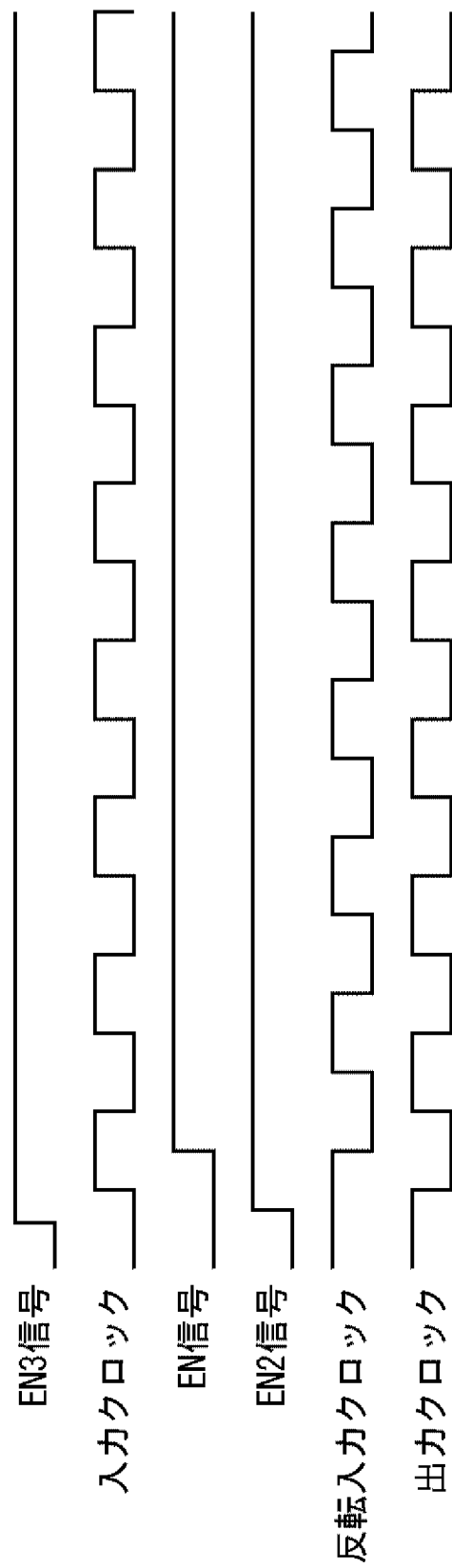
[図11]  
FIG. 11



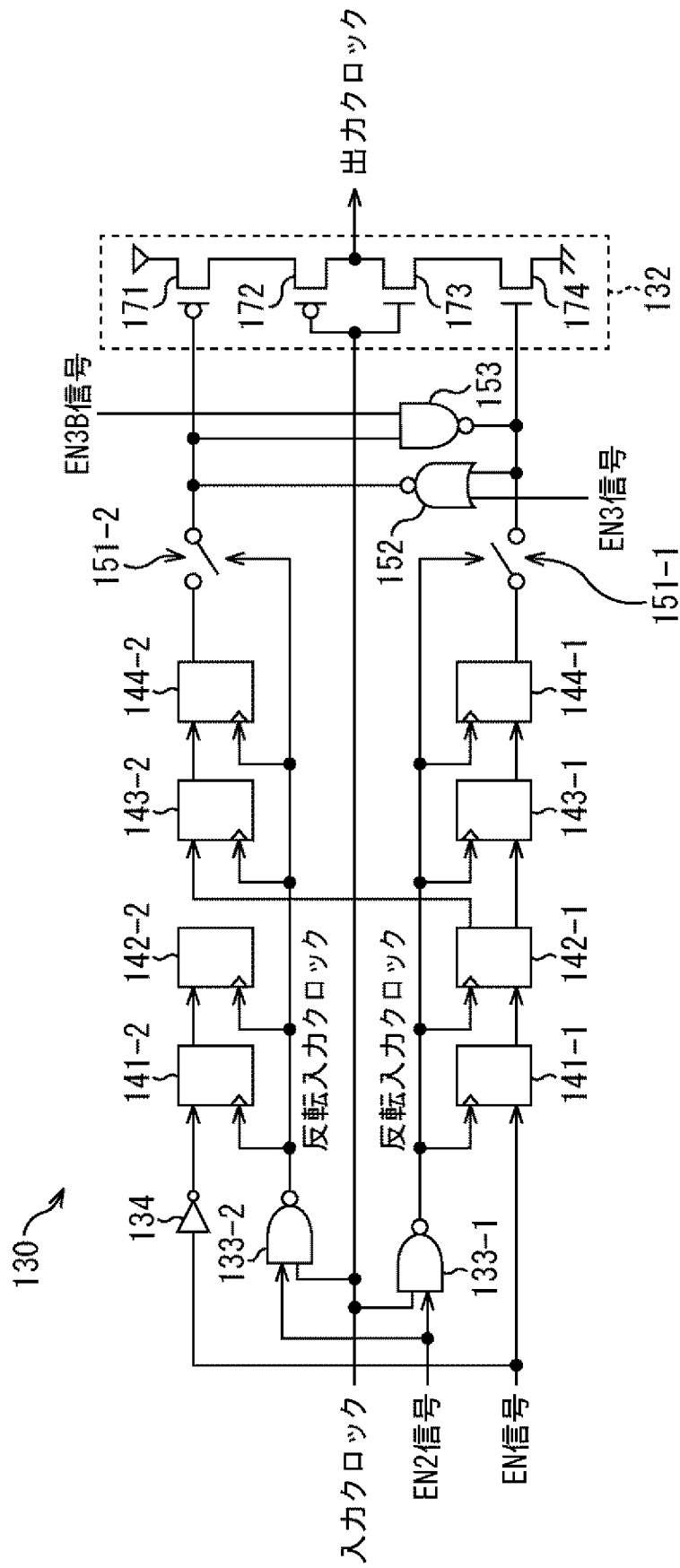
[図12]  
FIG. 12



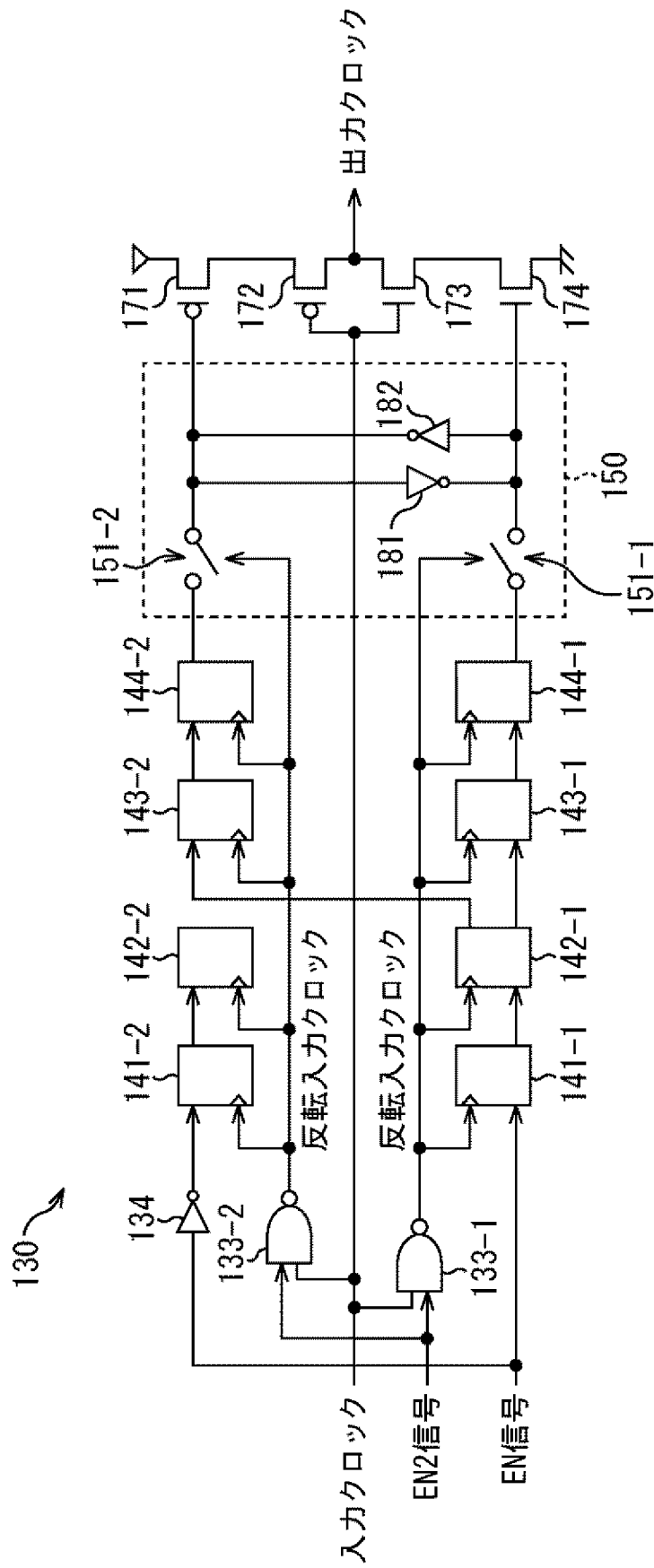
[図13]  
FIG. 13



[図14]  
FIG. 14



[図15]  
FIG. 15





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2018/020651

## A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl. H03K5/00 (2006.01) i, H03K5/1252 (2006.01) i, H03K5/133 (2014.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl. H03K5/00, H03K5/1252, H03K5/133

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2018

Registered utility model specifications of Japan 1996-2018

Published registered utility model applications of Japan 1994-2018

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                                                                                                                                                     | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>A    | JP 11-506885 A (SAMSUNG ELECTRONICS CO., LTD.) 15 June 1999, page 6, line 13 to page 8, line 21, fig. 3, 4 & US 5537062 A, column 2, line 25 to column 3, line 47 & WO 1996/041417 A1 & EP 0830734 B1 & DE 69624479 T2 & KR 10-0252063 B1 & CN 1193426 A & TW 357488 B | 1, 11<br>2-10, 12     |
| A         | JP 2000-68800 A (NEC ENGINEERING, LTD.) 03 March 2000, entire text, all drawings (Family: none)                                                                                                                                                                        | 1-12                  |
| A         | JP 2000-357953 A (NAMCO LTD.) 26 December 2000, entire text, all drawings (Family: none)                                                                                                                                                                               | 1-12                  |

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search  
26 June 2018 (26.06.2018)

Date of mailing of the international search report  
10 July 2018 (10.07.2018)

Name and mailing address of the ISA/  
Japan Patent Office  
3-4-3, Kasumigaseki, Chiyoda-ku,  
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

## A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H03K5/00(2006.01)i, H03K5/1252(2006.01)i, H03K5/133(2014.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H03K5/00, H03K5/1252, H03K5/133

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |            |
|-------------|------------|
| 日本国実用新案公報   | 1922-1996年 |
| 日本国公開実用新案公報 | 1971-2018年 |
| 日本国実用新案登録公報 | 1996-2018年 |
| 日本国登録実用新案公報 | 1994-2018年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                                                                      | 関連する<br>請求項の番号 |
|-----------------|----------------------------------------------------------------------------------------------------------------------------------------|----------------|
| X               | JP 11-506885 A（サムソン・エレクトロニクス・カンパニー・リミテッド）1999.06.15, 第6頁第13行-第8頁第21行、図3、                                                               | 1, 11          |
| A               | 4 & US 5537062 A, 第2欄第25行-第3欄第47行 & WO 1996/041417 A1 & EP 0830734 B1 & DE 69624479 T2 & KR 10-0252063 B1 & CN 1193426 A & TW 357488 B | 2-10, 12       |
| A               | JP 2000-68800 A（日本電気エンジニアリング株式会社）2000.03.03, 全文全図（ファミリーなし）                                                                             | 1-12           |

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの  
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの  
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの  
「&」同一パテントファミリー文献

国際調査を完了した日

26.06.2018

国際調査報告の発送日

10.07.2018

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

工藤 一光

5W

9274

電話番号 03-3581-1101 内線 3576

| C (続き) . 関連すると認められる文献 |                                                       |                |
|-----------------------|-------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                     | 関連する<br>請求項の番号 |
| A                     | JP 2000-357953 A (株式会社ナムコ) 2000.12.26, 全文全図 (ファミリーなし) | 1 - 12         |