

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016 年 9 月 1 日(01.09.2016)



(10) 国際公開番号

WO 2016/136287 A1

- (51) 国際特許分類:
H01L 21/3205 (2006.01) H01L 21/28 (2006.01)
C23C 14/14 (2006.01) H01L 21/768 (2006.01)
C23C 16/14 (2006.01) H01L 23/532 (2006.01)
- (21) 国際出願番号: PCT/JP2016/050305
- (22) 国際出願日: 2016 年 1 月 7 日(07.01.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2015-036895 2015 年 2 月 26 日(26.02.2015) JP
- (71) 出願人: 東京エレクトロン株式会社 (TOKYO ELECTRON LIMITED) [JP/JP]; 〒1076325 東京都港区赤坂五丁目 3 番 1 号 Tokyo (JP).
- (72) 発明者: 永井 洋之(NAGAI Hiroyuki); 〒4070192 山梨県韮崎市穂坂町三ツ沢 6 5 0 東京エレクトロン株式会社内 Yamanashi (JP). 常 鵬(CHANG Peng); 〒9813629 宮城県黒川郡大和町テクノヒル

ズ 1 番 東京エレクトロン宮城株式会社内 Miyagi (JP). 松本 賢治 (MATSUMOTO Kenji); 〒9813629 宮城県黒川郡大和町テクノヒルズ 1 番 東京エレクトロン宮城株式会社内 Miyagi (JP).

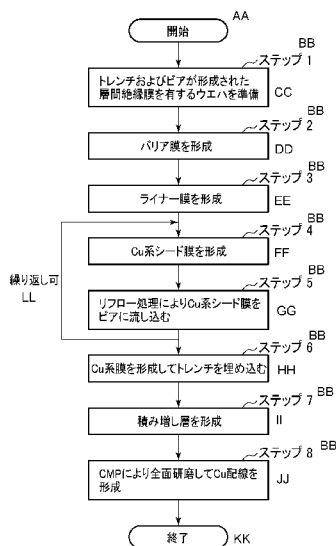
(74) 代理人: 高山 宏志 (TAKAYAMA Hiroshi); 〒2240003 神奈川県横浜市都筑区中川中央 1 - 2 1 - 1 パルコ・プレチオーゾ 2 0 2 Kanagawa (JP).

(81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

[続葉有]

(54) Title: METHOD FOR FORMING CU WIRING AND METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: Cu 配線の形成方法および半導体装置の製造方法



AA Start
BB Step
CC Prepare wafer having interlayer insulation film in which trenches and vias are formed
DD Form barrier film
EE Form liner film
FF Form Cu-based seed film
GG Cast Cu-based seed film into vias by reflow process
HH Form Cu-based film and fill trenches
II Form build-up layer
JJ Polish entire surface by CMP and form Cu wiring
KK End
LL Repeatable

(57) Abstract: A method in which Cu or a Cu alloy is embedded in trenches having a predetermined pattern and in vias formed in the bottom of the trenches, and forming a Cu wiring on a substrate having formed on the surface thereof a film having the trenches and the vias, wherein the method has: a step for forming a barrier film (step 2); a step for forming a layer to be wetted on the surface of the barrier film, the layer comprising Ru, etc. (step 3); a step for subsequently forming a Cu-based seed film by PVD on the surface of the layer to be wetted (step 4); a step for subsequently heating the substrate, casting the Cu-based seed film in the vias, and filling in the vias (step 5); and a step for subsequently forming a Cu-based film comprising Cu or a Cu alloy on the substrate surface by PVD in which flowing is possible on the layer to be wetted, and embedding the Cu-based film in the trenches (step 6).

(57) 要約: 所定パターンのトレンチ、およびトレンチの底に形成されたビアを有する膜が表面に形成された基板に対し、トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成する方法であって、バリア膜を形成する工程(ステップ2)と、バリア膜表面にRu等からなる被濡れ層を形成する工程(ステップ3)と、次いで、被濡れ層の表面にPVDによりCu系シード膜を形成する工程(ステップ4)と、次いで、基板を加熱して、Cu系シード膜をビア内に流し込んでビアを埋める工程(ステップ5)と、次いで、基板表面にCuまたはCu合金からなるCu系膜を、被濡れ層上で流動可能な条件のPVDにより形成し、Cu系膜を前記トレンチ内に埋め込む工程(ステップ6)とを有する。

WO 2016/136287 A1



(84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称：Cu配線の形成方法および半導体装置の製造方法 技術分野

[0001] 本発明は、基板に形成されたトレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成するCu配線の形成方法および半導体装置の製造方法に関する。

背景技術

[0002] 半導体デバイスの製造においては、半導体ウエハ（以下、単にウエハと記す）に成膜処理やエッチング処理等の各種の処理を繰り返し行って所望のデバイスを製造するが、近時、半導体デバイスの高速化、配線パターンの微細化、高集積化の要求に対応して、配線の低抵抗化（導電性向上）およびエレクトロマイグレーション耐性の向上が求められている。

[0003] このような点に対応して、配線材料にアルミニウム（Al）やタングステン（W）よりも導電性が高く（抵抗が低く）かつエレクトロマイグレーション耐性に優れている銅（Cu）が用いられるようになってきている。

[0004] Cu配線の形成方法としては、ウエハに形成された、トレンチおよびビアを有する層間絶縁膜の全面にタンタル金属（Ta）、チタン（Ti）、窒化タンタル（Ta₃N₅）、窒化チタン（TiN）などからなるバリア膜を物理的蒸着法（PVD）であるプラズマスパッタで形成し、バリア膜の上に同じくプラズマスパッタによりCuシード膜を形成し、さらにその上にCuめっきを施してトレンチやホールを完全に埋め込み、ウエハ表面の余分な銅薄膜およびバリア膜をCMP（Chemical Mechanical Polishing）処理により研磨処理して取り除く技術が提案されている（例えば特許文献1）。

[0005] しかしながら、半導体デバイスのデザインルールが益々微細化しており、Cuはバリア膜に対して濡れ性が悪く、しかもPVDはステップカバレッジが本質的に低いため、上記特許文献1に開示された技術では、Cuシード層

をトレンチやホール内に健全に形成することが困難であり、Cuシード層がトレンチやホールの入口を狭めてしまう。そして、その状態でCuめっきを施してトレンチやホール内にCuを埋め込むと、埋め込まれたCu膜にボイドが生じてしまう。

[0006] このため、微細配線の埋め込み性向上を目的として、TaやTa₂N₅からなるバリア膜の上にCuとの濡れ性が良好なRu膜をステップカバレッジが本質的に良好な化学的蒸着法（CVD）で形成した後、Cuを埋め込む技術が提案されている（例えば特許文献2）。

[0007] また、このようにCVDでRu膜を形成した後、イオン化PVD（ionized physical vapor deposition; iPVD）でCu膜を埋め込む技術も提案されている（例えば特許文献3）。このようにPVDによりCuを埋め込むことにより、めっきよりも不純物を少なくすることができ、Cu配線をより低抵抗化することができる。

[0008] さらに、ビアおよびトレンチのような凹部が形成された層間絶縁膜の全面にバリア膜およびRu等からなる被濡れ層を化学的蒸着法（CVD）で形成した後、PVDによりCu膜を成膜し、その後、半導体ウエハを加熱することにより、表面のCuをリフローさせて凹部にCuを埋め込む技術も提案されている（例えば特許文献4）。

[0009] これらの技術は、Cu膜の代わりにCu合金膜を用いて凹部内にCu合金を埋め込む場合にも適用可能である。

先行技術文献

特許文献

[0010] 特許文献1：特開2006-148075号公報

特許文献2：特開2010-21447号公報

特許文献3：特開2012-169590号公報

特許文献4：特開2009-105289号公報

発明の概要

[0011] 上記特許文献3の技術により、微細なトレンチに対してCuを埋め込むこ

とができ、かつ低抵抗なCu配線を形成することができるものの、この技術を用いてトレンチとビアが形成されているようなデュアルダマシン構造に対して、トレンチとビアの両方に同時にCuを埋め込む場合には、トレンチの底部においてCuが粒を形成してしまい、ビアへのCu埋め込みを阻害してしまうおそれがある。

[0012] 一方、上記特許文献4の技術は微細なトレンチに対しては有効であるが、一枚のウエハには、種々の幅のトレンチが混在していることがあり、幅の広いトレンチに対しては効率が悪い。

[0013] したがって、本発明は、基板に形成されたトレンチおよびビアに対し、良好な埋め込み性でかつ効率よくCuまたはCu合金を埋め込んで、低抵抗のCu配線を形成することができるCu配線の形成方法および半導体装置の製造方法を提供する。

[0014] すなわち、本発明の第1の観点によれば、所定パターンのトレンチ、および前記トレンチの底に形成されたビアを有する膜が表面に形成された基板に対し、前記トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成するCu配線の形成方法であって、前記膜の表面にバリア膜を形成することと、次いで、前記バリア膜表面にCuまたはCu合金が濡れる金属材料からなる被濡れ層を形成することと、次いで、前記被濡れ層の表面にPVDによりCuまたはCu合金からなるCu系シード膜を形成することと、次いで、前記Cu系シード膜を形成した後の基板を加熱して、前記Cu系シード膜を前記ビア内に流し込んで前記ビアを埋めることと、次いで、前記ビアを埋めた後の基板表面にCuまたはCu合金からなるCu系膜を、前記被濡れ層上で流動可能な条件のPVDにより形成し、前記Cu系膜を前記トレンチ内に埋め込むこととを有するCu配線の形成方法が提供される。

[0015] 本発明の第2の観点によれば、所定パターンのトレンチが形成され、かつ前記トレンチの底部と下層配線との間を接続するビアを有する層間絶縁膜が形成された基板に対し、前記トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成して半導体装置を製造する半導体装置の製造方法で

あって、前記層間絶縁膜の表面にバリア膜を形成することと、次いで、前記バリア膜表面にCuまたはCu合金が濡れる金属材料からなる被濡れ層を形成することと、次いで、被濡れ層の表面にPVDによりCuまたはCu合金からなるCu系シード膜を形成することと、次いで、前記Cu系シード膜を形成した後の基板を加熱して、前記Cu系シード膜を前記ビア内に流し込んで前記ビアを埋めることと、次いで、前記ビアを埋めた後の基板表面にCuまたはCu合金からなるCu系膜を、前記被濡れ層上で流動可能な条件のPVDにより形成し、前記Cu系膜を前記トレンチ内に埋め込むことと、次いで、全面を研磨して前記トレンチ以外の表面の前記Cu系膜、前記被濡れ層、および前記バリア膜を除去し、Cu配線を形成することとを有する半導体装置の製造方法が提供される。

[0016] 本発明の第3の観点によれば、コンピュータ上で動作し、Cu配線形成システムを制御するためのプログラムが記憶された記憶媒体であって、前記プログラムは、実行時に、上記第1の観点のCu配線の形成方法が行われるように、コンピュータに前記Cu配線形成システムを制御させる、記憶媒体が提供される。

[0017] 本発明によれば、CuまたはCu合金が濡れる被濡れ層を形成した後、Cu系シード膜を形成し、加熱することにより、Cu系シード膜を流動させて微細なビアにCuまたはCu合金を容易に埋め込むことができる。また、このようにしてビアの埋め込みを行った後に、CuやCu合金に対して濡れ性のよい被濡れ層の上で流動可能な条件のPVDによりCu系膜を成膜してCu系膜をトレンチに埋め込むので、ビアへの埋め込み阻害等の不都合を生じさせることなく、良好な埋め込み性を得ることができる。また、このようにPVDでCuまたはCu合金を埋め込むので、めっきよりも不純物を少なくすることができ、Cu配線をより低抵抗化することができる。また、加熱によりCu系シード膜を流動させて埋め込むのはビアのみであるから、幅の広いトレンチにリフローを行う場合のような効率の悪い処理を行う必要がなく、高効率である。

[0018] Cu系膜を成膜するためのPVDとしては、高温のイオン化PVDが好ましい。高温のイオン化PVDでCu系膜を成膜することにより、CuまたはCu合金の結晶サイズを大きくすることができ、Cu配線を一層低抵抗化することができる。

図面の簡単な説明

[0019] [図1]本発明の一実施形態に係るCu配線の形成方法を示すフローチャートである。

[図2]本発明の一実施形態に係るCu配線の形成方法を説明するための工程断面図である。

[図3]Cuシード膜を形成した後、400℃に加熱してリフロー処理を行った後の断面状態を示すTEM写真である。

[図4]リフロー処理の後、iPVDによりトレンチにCuを埋め込んだ後の断面状態を示すTEM写真である。

[図5]本発明の実施形態に係るCu配線の形成方法の実施に好適なマルチチャンバタイプの成膜システムの一例を示す平面図である。

[図6]図5の成膜システムに搭載された、Cu系膜を形成するためのCu系膜成膜装置を示す断面図である。

[図7]図5の成膜システムに搭載された、ライナー膜を形成するためのライナー膜成膜装置を示す断面図である。

発明を実施するための形態

[0020] 以下、添付図面を参照して本発明の実施形態について具体的に説明する。

[0021] <Cu配線の製造方法の一実施形態>

最初に、本発明のCu配線の製造方法の一実施形態について図1のフローチャートおよび図2の工程断面図を参照して説明する。本実施形態ではトレンチおよびビアに一括してCuまたはCu合金を埋め込んでCu配線を形成する。

[0022] まず、下層配線211を含む下部構造201（詳細は省略）の上にSiO₂膜、低誘電率（Low-k）膜（SiCO、SiCOH等）等からなる層間

絶縁膜 202 が形成され、層間絶縁膜 202 にトレンチ 203 およびビア 204 が所定パターンで形成されたウエハ W を準備する（ステップ 1、図 2（a））。ビア 204 はトレンチ 203 の底部から下層配線 211 にかけて形成されている。このようなウエハ W は、Degas プロセスや Pre-Clean プロセスによって、絶縁膜表面の水分やエッチング／アッシング時の残渣を除去することが好ましい。

[0023] 次に、トレンチ 203 およびビア 204 の表面を含む全面に Cu の拡散を抑制するバリア膜 205 を成膜する（ステップ 2、図 2（b））。

[0024] バリア膜 205 としては、Cu に対して高いバリア性を有し、低抵抗のものが好ましく、Ti 膜、TiN 膜、Ta 膜、Ta₂N₃ 膜、Ta/Ta₂N₃ の 2 層膜、Mn 膜を好適に用いることができる。また、TaCN 膜、W 膜、WN 膜、WCN 膜、Zr 膜、ZrN 膜、V 膜、VN 膜、Nb 膜、NbN 膜等を用いることもできる。バリア膜は、例えば、ウエハにイオンを引き込みながら成膜するイオン化 PVD（Ionized Physical Vapor Deposition；iPVD）により成膜することができる。また、通常のスパッタ、イオンプレーティング等の他の PVD で成膜することもでき、CVD や ALD（Atomic Layer Deposition）で成膜することもできる。CVD や ALD はプラズマを用いてもよい。

[0025] Cu 配線をより低抵抗化する観点から、バリア膜は薄く形成することが好ましく、1～10 nm が好ましい。Mn 膜は層間絶縁膜 202 中の Si と反応してシリケート化し、バリア膜 205 を自己整合バリア膜として層間絶縁膜 202 側に形成することができるため、Cu 配線中の Cu の体積を増加させることができ、Cu 配線を低抵抗化する効果が高い。このため、Cu 配線を低抵抗化する観点からは Mn 膜が好ましい。

[0026] Mn 膜は CVD または ALD により成膜することが好適である。CVD および ALD による Mn 膜を成膜する成膜方法としては、特開 2014-135465 公報に記載されたものを用いることができる。

[0027] 次いで、バリア膜 205 の上に Cu または Cu 合金に対する濡れ性を確保

するための被濡れ層であるライナー膜206を形成する（ステップ3、図2（c））。ライナー膜206としては、Cuに対する濡れ性が特に良好なRu膜またはCo膜を好適に用いることができる。

[0028] 被濡れ層であるライナー膜206は、CuまたはCu合金に対して良好な濡れ性を有しているため、後述するように、Cu系膜をリフロー処理する際、およびPVDによりCu系膜を埋め込む際にCuまたはCu合金の良好な流動性（移動性）を確保することができる。ライナー膜206は、埋め込むCuの体積を極力大きくして配線を低抵抗にする観点から、例えば1～5 nmと薄く形成することが好ましい。

[0029] ライナー膜206は、CVDにより形成することが好適である。これにより、良好なステップカバレッジでより薄い膜厚で成膜することが可能となる。ライナー膜206としてRu膜を用いる場合には、例えばルテニウムカルボニル（ $Ru_3(CO)_{12}$ ）を成膜原料として用いて熱CVDにより成膜することが好ましい。ルテニウムカルボニル以外の他の成膜原料、例えば（シクロペンタジエニル）（2，4－ジメチルペンタジエニル）ルテニウム、ビス（シクロペンタジエニル）（2，4－メチルペンタジエニル）ルテニウム、（2，4－ジメチルペンタジエニル）（エチルシクロペンタジエニル）ルテニウム、ビス（2，4－メチルペンタジエニル）（エチルシクロペンタジエニル）ルテニウムのようなルテニウムのペンタジエニル化合物を用いることもできる。なお、CVDの代わりに原子層堆積法（ALD）を用いることもできる。また、PVDで成膜することもできる。Co膜を用いる場合も同様に、CVD、ALD、PVDで成膜することができる。

[0030] 次に、PVDによりライナー膜206の表面にCuまたはCu合金からなるCu系シード膜207を形成する（ステップ4、図2（d））。このCu系シード膜207は、次のリフロー処理によりビア204に埋め込むCuまたはCu合金を確保するためのものである。したがって、Cu系シード膜207の膜厚は、ビア204を埋め込むだけのわずかの量に対応する膜厚でよく、例えば1～40 nm程度の厚さで十分である。また、リフローによりビ

ア204が埋め込まれれば良いため、Cu系シード膜207は連続膜である必要もない。

[0031] なお、Cu系シード膜207としてCu合金を用いる場合には、代表的なものとして、Cu-Al、Cu-Mnを挙げることができる。また、他のCu合金として、Cu-Mg、Cu-Ag、Cu-Sn、Cu-Pb、Cu-Zn、Cu-Pt、Cu-Au、Cu-Ni、Cu-Co、Cu-Tiなどを用いることができる。

[0032] Cu系シード膜207は、トレンチ203およびビア204の内壁に形成されていればよく、オーバーハング等を考慮する必要がないため、PVDの手法は問わないが、Cu系シード膜207によりビア204またはトレンチ203が閉じてしまうと、次のリフロー処理を行えないので、トレンチ203またはビア204が閉じてしまわない膜厚およびカバレッジである必要があり、その点からはウエハにイオンを引き込みながら成膜するiPVDが好ましい。

[0033] Cu系シード膜207を形成した後、ウエハWを加熱してリフロー処理を行う（ステップ5、図2（e））。このリフロー処理により、CuまたはCu合金からなるCu系シード膜207をビア204内に流し込み、ビア204を埋め込む。リフロー処理の加熱温度は200～400℃の範囲が好ましい。200℃より低いとCu系シード膜207が流動し難く、400℃より高くなるとCu系シード膜207を構成するCuまたはCu合金が凝集しやすくなり、かつ下地のLow-k膜等からなる層間絶縁膜202に悪影響を及ぼすおそれがある。なお、ステップ4のCu系膜の形成およびステップ5のリフロー処理を一回行ったのみではトレンチの埋め込みが不十分な場合、ステップ4とステップ5とを複数回繰り返してもよい。

[0034] リフロー処理は、例えば、チャンバ内のステージにウエハを載置し、チャンバ内に不活性ガス、例えばArガスやN₂ガスやH₂ガスを導入しつつ排気し、チャンバ内を所定の真空雰囲気に維持し、ステージに埋設された抵抗ヒーターによりウエハを加熱することにより行うことができる。

- [0035] 実際に層間絶縁膜にトレンチおよびビアを形成したウエハに、TaNバリア膜、およびRuライナー膜を形成し、Cuシード膜を形成した後、400℃に加熱してリフロー処理を行った結果、図3の透過型顕微鏡(TEM)写真に示すように、ビアにCuが完全に埋め込まれていることが確認された。
- [0036] リフロー処理の後、CuやCu合金に対して濡れ性のよいライナー膜206の表面にCuまたはCu合金からなるCu系膜208を、ライナー膜206上で流動可能な条件のPVDにより形成し、Cu系膜208をトレンチ203内に埋め込む(ステップ6、図2(f))。この際の成膜は、ライナー膜206上でのCuまたはCu合金の流動性を比較的容易に確保することができるiPVDを用いることが好ましい。
- [0037] 通常のPVD成膜の場合には、Cuの凝集により、トレンチやホールの開口を塞ぐオーバーハングが生じやすいが、ウエハにイオンを引き込みながら成膜するiPVDを用い、ウエハに印加するバイアスパワーを調整して、Cuイオンの成膜作用とプラズマ生成ガスのイオン(Arイオン)によるエッチング作用とを制御することにより、CuやCu合金に対する濡れ性が高いライナー膜206上でCuまたはCu合金を凝集させることなく移動させてオーバーハングの生成を抑制することができ、狭い開口のトレンチやホールであってもボイド等が発生しない良好な埋め込み性を得ることができる。このとき、Cuの流動性を持たせて良好な埋め込み性を得る観点から、Cuがマイグレートする高温プロセス(65~350℃、好ましくは230~300℃)が好適である。また、このように高温プロセスでPVD成膜することにより、Cu結晶粒を成長させることができ、Cu配線の抵抗を低くすることができる。
- [0038] ところで、以上のような手法でトレンチとビアの両方を同時に埋め込む場合には、トレンチの底部においてCuが粒を形成してしまい、ビアへのCu埋め込みを阻害してしまうおそれがあるが、本実施形態では、ステップ5のリフロー処理により既にビア204が埋め込まれているため、そのような不都合は生じない。

- [0039] なお、この工程では、トレンチ203の開口幅が小さい場合には、ほぼ完全にCuまたはCu合金を埋め込むことができるが、開口幅が大きい場合等に、多少の凹みが生じることは許容される。また、Cu系膜208の成膜時における処理容器内の圧力（プロセス圧力）は、1～100mTorr（0.133～13.3Pa）が好ましく、35～90mTorr（4.66～12.0Pa）がより好ましい。
- [0040] Cu系膜207としてCu合金を用いる場合には、代表的なものとして、Cu-Al、Cu-Mnを挙げることができる。また、他のCu合金として、Cu-Mg、Cu-Ag、Cu-Sn、Cu-Pb、Cu-Zn、Cu-Pt、Cu-Au、Cu-Ni、Cu-Co、Cu-Tiなどを用いることができる。
- [0041] 実際に、リフロー処理を行ってビアを埋め込んだ後、iPVDにより高温条件でCu膜を成膜してトレンチの埋め込みを行った結果、図4のTEM写真に示すように、トレンチにCuが完全に埋め込まれていることが確認された。
- [0042] このようにトレンチ203内にもCuまたはCu合金を埋め込んだ後、必要に応じて、その後の平坦化処理に備えてCu系膜208の上にCuまたはCu合金からなる積み増し層209を形成する（ステップ7、図2（g））。積み増し層209は、Cu系膜208に引き続いてiPVD等のPVDによりCu系膜を成膜することにより形成することができる。また、Cuめっきを施すことにより形成してもよい。
- [0043] この後、CMP（Chemical Mechanical Polishing）によりウエハW表面の積み増し層209、Cu系膜208、ライナー膜206、バリア膜205を除去して平坦化する（ステップ8、図2（h））。これによりCu配線210が形成される。
- [0044] 以上のように、本実施形態によれば、CuまたはCu合金が濡れる被濡れ層であるライナー膜206を形成した後、Cu系シード膜207を形成し、加熱してリフロー処理を行うことにより、Cu系シード膜207を流動させ

て微細なビア204にCuまたはCu合金を容易に埋め込むことができる。また、このようにしてリフロー処理によりビア204の埋め込みを行った後に、CuやCu合金に対して濡れ性のよいライナー膜206の上で流動可能な条件のPVD、好適には高温のiPVDによりCu系膜208を成膜してCu系膜208をトレンチ203に埋め込むので、ビア204への埋め込み阻害等の不都合を生じさせることなく、良好な埋め込み性を得ることができる。また、このようにPVDでCuまたはCu合金を埋め込むので、めっきよりも不純物を少なくすることができ、Cu配線をより低抵抗化することができる。また、高温のiPVDで成膜することによりCuまたはCu合金の結晶サイズを大きくすることができ、Cu配線を一層低抵抗化することができる。そして、リフローで埋め込むのはビア204のみであるから、幅の広いトレンチにリフローを行う場合のような効率の悪い処理を行う必要がなく、高効率である。すなわち、リフロー処理とPVDによる埋め込み（ドライフィル）とを適切に組み合わせることにより、トレンチ203およびビア204に対し、良好な埋め込み性でCuまたはCu合金を効率よく埋め込んで、低抵抗のCu配線を形成することができる。

[0045] <成膜システム>

次に、本発明の実施形態に係るCu配線の形成方法の実施に用いられる成膜システムについて説明する。図5は、そのような成膜システムの一例を示す概略図である。

[0046] 成膜システム1は、バリア膜成膜およびライナー膜成膜のための第1の処理部2と、Cu膜成膜のための第2の処理部3と、搬入出部4とを有しており、所定パターンのトレンチおよびビアが形成されたウエハWに対して、バリア膜の成膜から積み増し層の形成までを行うものである。

[0047] 第1の処理部2は、第1の真空搬送室11と、この第1の真空搬送室11の壁部に接続された、2つのバリア膜成膜装置12a、12bおよび2つのライナー膜成膜装置14a、14bとを有している。バリア膜成膜装置12aおよびライナー膜成膜装置14aとバリア膜成膜装置12bおよびライナ

一膜成膜装置 1 4 b とは線対称の位置に配置されている。

[0048] 第 1 の真空搬送室 1 1 の他の壁部には、ウエハ W のデガス処理を行うデガス室 5 a, 5 b が接続されている。また、第 1 の真空搬送室 1 1 のデガス室 5 a と 5 b との間の壁部には、第 1 の真空搬送室 1 1 と後述する第 2 の真空搬送室 2 1 との間でウエハ W の受け渡しを行う受け渡し室 5 が接続されている。

[0049] バリア膜成膜装置 1 2 a, 1 2 b、ライナー膜成膜装置 1 4 a, 1 4 b、デガス室 5 a, 5 b、および受け渡し室 5 は、第 1 の真空搬送室 1 1 の各辺にゲートバルブ G を介して接続され、これら是对応するゲートバルブ G の開閉により、第 1 の真空搬送室 1 1 に対して連通・遮断される。

[0050] 第 1 の真空搬送室 1 1 内は所定の真空雰囲気保持されるようになっており、その中には、ウエハ W を搬送する第 1 の搬送機構 1 6 が設けられている。この第 1 の搬送機構 1 6 は、第 1 の真空搬送室 1 1 の略中央に配設されており、回転および伸縮可能な回転・伸縮部 1 7 と、その先端に設けられたウエハ W を支持する 2 つの支持アーム 1 8 a, 1 8 b とを有する。第 1 の搬送機構 1 6 は、ウエハ W をバリア膜成膜装置 1 2 a, 1 2 b、ライナー膜成膜装置 1 4 a, 1 4 b、デガス室 5 a, 5 b、および受け渡し室 5 に対して搬入出する。

[0051] 第 2 の処理部 3 は、第 2 の真空搬送室 2 1 と、この第 2 の真空搬送室 2 1 の壁部に接続された、i P V D 装置として構成される 2 つの C u 系膜成膜装置 2 2 a, 2 2 b、および i P V D 装置として構成される 2 つの C u 系シード膜成膜装置 2 4 a, 2 4 b とを有している。C u 系膜成膜装置 2 2 a および C u 系シード膜成膜装置 2 4 a と、C u 系膜成膜装置 2 2 b および C u 系シード膜成膜装置 2 4 b とは線対称の位置に配置されている。

[0052] 第 2 の真空搬送室 2 1 の第 1 の処理部 2 側の 2 辺に対応する壁部には、それぞれ上記デガス室 5 a, 5 b が接続され、デガス室 5 a と 5 b との間の壁部には、上記受け渡し室 5 が接続されている。すなわち、受け渡し室 5 ならびにデガス室 5 a および 5 b は、いずれも第 1 の真空搬送室 1 1 と第 2 の真

空搬送室 2 1 との間に設けられ、受け渡し室 5 の両側にデガス室 5 a および 5 b が配置されている。さらに、第 2 の真空搬送室 2 1 の搬入出部 4 側の壁部には、大気搬送および真空搬送可能なロードロック室 6 が接続されている。

[0053] Cu 系膜成膜装置 2 2 a, 2 2 b、Cu 系シード膜成膜装置 2 4 a, 2 4 b、デガス室 5 a, 5 b、およびロードロック室 6 は、第 2 の真空搬送室 2 1 の各壁部にゲートバルブ G を介して接続され、これら是对應するゲートバルブを開放することにより第 2 の真空搬送室 2 1 と連通され、対応するゲートバルブ G を閉じることにより第 2 の真空搬送室 2 1 から遮断される。また、受け渡し室 5 はゲートバルブを介さずに第 2 の搬送室 2 1 に接続されている。

[0054] 第 2 の真空搬送室 2 1 内は所定の真空雰囲気中に保持されるようになっており、その中には、Cu 系膜成膜装置 2 2 a, 2 2 b、Cu 系シード膜成膜装置 2 4 a, 2 4 b、デガス室 5 a, 5 b、ロードロック室 6 および受け渡し室 5 に対してウエハ W の搬入出を行う第 2 の搬送機構 2 6 が設けられている。この第 2 の搬送機構 2 6 は、第 2 の真空搬送室 2 1 の略中央に配設されており、回転および伸縮可能な回転・伸縮部 2 7 を有し、その回転・伸縮部 2 7 の先端にウエハ W を支持する 2 つの支持アーム 2 8 a, 2 8 b が設けられており、これら 2 つの支持アーム 2 8 a, 2 8 b は互いに反対方向を向くように回転・伸縮部 2 7 に取り付けられている。

[0055] 搬入出部 4 は、ロードロック室 6 を挟んで第 2 の処理部 3 と反対側に設けられており、ロードロック室 6 が接続される大気搬送室 3 1 を有している。大気搬送室 3 1 の上部には清浄空気のダウフローを形成するためのフィルター（図示せず）が設けられている。ロードロック室 6 と大気搬送室 3 1 との間の壁部にはゲートバルブ G が設けられている。大気搬送室 3 1 のロードロック室 6 が接続された壁部と対向する壁部には被処理基板としてのウエハ W を収容するキャリア C を接続する 2 つの接続ポート 3 2, 3 3 が設けられている。また、大気搬送室 3 1 の側面にはウエハ W のアライメントを行うア

ライメント室 34 が設けられている。大気搬送室 31 内には、キャリア C に対するウエハ W の搬入出およびロードロック室 6 に対するウエハ W の搬入出を行う大気搬送用搬送機構 36 が設けられている。この大気搬送用搬送機構 36 は、2 つの多関節アームを有しており、キャリア C の配列方向に沿ってレール 38 上を走行可能となっていて、それぞれの先端のハンド 37 上にウエハ W を載せてその搬送を行うようになっている。

[0056] なお、Cu 系膜成膜装置 22a, 22b は、ウエハ W を加熱することが可能となっており、これらをリフロー処理の際の加熱装置として用いることができる。もちろん、ウエハを加熱可能な他の装置、例えばデガス室 5a, 5b を加熱装置として用いてもよいし、別個に加熱装置を設けてもよい。

[0057] この成膜システム 1 は、この成膜システム 1 の各構成部を制御するための制御部 40 を有している。この制御部 40 は、各構成部の制御を実行するマイクロプロセッサ（コンピュータ）からなるプロセスコントローラ 41 と、オペレータが成膜システム 1 を管理するためにコマンドの入力操作等を行うキーボードや、成膜システム 1 の稼働状況を可視化して表示するディスプレイ等からなるユーザーインターフェース 42 と、成膜システム 1 で実行される処理をプロセスコントローラ 41 の制御にて実現するための制御プログラムや、各種データ、および処理条件に応じて処理装置の各構成部に処理を実行させるためのプログラムすなわち処理レシピが格納された記憶部 43 とを備えている。なお、ユーザーインターフェース 42 および記憶部 43 はプロセスコントローラ 41 に接続されている。上記処理レシピは記憶部 43 の中の記憶媒体 43a に記憶されている。記憶媒体は、ハードディスクであってもよいし、CDROM、DVD、フラッシュメモリ等の可搬性のものであってもよい。また、他の装置から、例えば専用回線を介してレシピを適宜伝送させるようにしてもよい。そして、必要に応じて、ユーザーインターフェース 42 からの指示等にて任意のレシピを記憶部 43 から呼び出してプロセスコントローラ 41 に実行させることで、プロセスコントローラ 41 の制御下で、成膜システム 1 での所望の処理が行われる。

- [0058] このような成膜システム 1 においては、キャリア C から大気搬送用搬送機構 3 6 により所定パターンのトレンチおよびビアを有するウエハ W を取り出し、ロードロック室 6 に搬送し、そのロードロック室を第 2 の真空搬送室 2 1 と同程度の真空度に減圧した後、第 2 の搬送機構 2 6 によりロードロック室のウエハ W を第 2 の真空搬送室 2 1 を介してデガス室 5 a または 5 b に搬送し、ウエハ W のデガス処理を行う。
- [0059] その後、第 1 の搬送機構 1 6 によりデガス室のウエハ W を取り出し、第 1 の真空搬送室 1 1 を介してバリア膜成膜装置 1 2 a または 1 2 b に搬入し、バリア膜を成膜する。
- [0060] バリア膜成膜後、第 1 の搬送機構 1 6 によりバリア膜成膜装置 1 2 a または 1 2 b からウエハ W を取り出し、ライナー膜成膜装置 1 4 a または 1 4 b に搬入し、ライナー膜として例えば R u 膜を成膜する。
- [0061] ライナー膜成膜後、第 1 の搬送機構 1 6 によりライナー膜成膜装置 1 4 a または 1 4 b からウエハ W を取り出し、受け渡し室 5 に搬送する。その後、第 2 の搬送機構 2 6 によりウエハ W を取り出し、第 2 の真空搬送室 2 1 を介して C u 系シード膜成膜装置 2 4 a または 2 4 b に搬入し、i P V D により C u 系シード膜を形成する。なお、C u 系シード膜を形成する際には、埋め込み性を考慮する必要がないので、ウエハ W を加熱せずに成膜を行う。
- [0062] その後、第 2 の搬送機構 2 6 によりウエハ W を取り出し、C u 系膜成膜装置 2 2 a または 2 2 b に搬入し、ウエハ W を加熱し、リフロー処理を行って、C u 系シード膜をビアに流し込み、ビアの埋め込みを行う。
- [0063] リフロー処理の後、引き続き、リフロー処理を行った C u 系膜成膜装置にてウエハ W に対し、高温の i P V D により C u 系膜を形成し、トレンチ内に C u または C u 合金を埋め込む。
- [0064] その後、C u 系膜の上に積み増し層を形成するが、積み増し層の形成は、同じ C u 系膜成膜装置 2 2 a または 2 2 b 内で C u 合金膜を連続して形成することにより行うことができる。積み増し層を形成する際には、埋め込み性を考慮する必要がないので、C u 系シード膜成膜装置 2 4 a または 2 4 b に

より積み増し層を形成してもよい。

[0065] 積み増し層の形成後、ウエハWをロードロック室6に搬送し、そのロードロック室を大気圧に戻した後、大気搬送用搬送機構36によりCu膜が形成されたウエハWを取り出し、キャリアCに戻す。このような処理をキャリア内のウエハWの数の分だけ繰り返す。積み増し層形成後のウエハWは、CMP装置に搬送されCMP処理が行われ、Cu配線が形成される。

[0066] 成膜システム1によれば、大気開放することなく真空中でバリア膜、ライナー膜、Cu系シード膜の形成、リフロー処理、Cu系膜および積み増し層の形成を行うので、各処理の際に表面の酸化を極力抑制することができ、高性能のCu配線を得ることができる。

[0067] なお、積み増し層はCuめっきで形成することもでき、その場合には、Cu系膜を成膜後、ウエハWを成膜システム1から搬出し、めっき装置にてCuめっきを施し、引き続きCMP装置にてCMP処理が行われる。

[0068] また、Cu系シード膜の形成にはウエハWの加熱が必要なく、Cu系膜成膜にはウエハWを加熱するため、スループットを良好にする観点から、Cu系シード膜成膜装置24a、24bとCu系膜成膜装置22a、22bとを別個の装置としているが、同一の装置にして温度を変更するようにしてもよい。その場合は、Cu系シード膜の成膜、リフロー処理、およびCu系膜の成膜を同じ装置で行うことが可能となる。

[0069] 次に、成膜システムの主要な装置について説明する。

<Cu系膜成膜装置>

次に、本発明において主要な工程であるCu系膜の形成に用いるCu系膜成膜装置22a、22bの好適な例について説明する。図6は、Cu系膜成膜装置の一例を示す断面図である。

[0070] ここでは、Cu系膜成膜装置を構成するiPVD成膜装置として、ICP (Inductively Coupled Plasma) 型プラズマパッタ装置を例にとって説明する。

[0071] 図6に示すように、このCu系膜成膜装置22a (22b) は、筒状に成

形された金属製の処理容器 5 1 を有している。この処理容器 5 1 は接地され、その底部 5 2 には排気口 5 3 が設けられており、排気口 5 3 には排気管 5 4 が接続されている。排気管 5 4 には圧力調整を行うスロットルバルブ 5 5 および真空ポンプ 5 6 が接続されており、処理容器 5 1 内が真空引き可能となっている。また処理容器 5 1 の底部 5 2 には、処理容器 5 1 内へ所定のガスを導入するガス導入口 5 7 が設けられる。このガス導入口 5 7 にはガス供給配管 5 8 が接続されており、ガス供給配管 5 8 には、プラズマ生成用（励起用）ガスとして希ガス、例えば Ar ガスや他の必要なガス例えば N₂ ガス等を供給するためのガス供給源 5 9 が接続されている。また、ガス供給配管 5 8 には、ガス流量制御器、バルブ等よりなるガス制御部 6 0 が介装されている。

[0072] 処理容器 5 1 内には、ウエハ W の載置機構 6 2 が設けられる。この載置機構 6 2 は、円板状に成形された導電性の載置台 6 3 と、この載置台 6 3 を支持する中空筒体状の支柱 6 4 とを有している。載置台 6 3 は支柱 6 4 を介して接地されている。載置台 6 3 の中には冷却ジャケット 6 5 と、その上に設けられた抵抗ヒーター 8 7 とが埋め込まれている。載置台 6 3 には熱電対（図示せず）が設けられており、この熱電対で検出された温度に基づいて、冷却ジャケット 6 5 および抵抗ヒーター 8 7 によるウエハ温度の制御を行う。

[0073] 載置台 6 3 の上面側には、誘電体部材 6 6 a の中に電極 6 6 b が埋め込まれて構成された薄い円板状の静電チャック 6 6 が設けられており、ウエハ W を静電力により吸着保持できるようになっている。また、支柱 6 4 の下部は、処理容器 5 1 の底部 5 2 の中心部に形成された挿通孔 6 7 を貫通して下方へ延びている。支柱 6 4 は、昇降機構（図示せず）により上下移動可能となっており、これにより載置機構 6 2 の全体が昇降される。

[0074] 支柱 6 4 を囲むように、伸縮可能な金属ベローズ 6 8 が設けられており、この金属ベローズ 6 8 は、その上端が載置台 6 3 の下面に気密に接合され、また下端が処理容器 5 1 の底部 5 2 の上面に気密に接合されており、処理容器 5 1 内の気密性を維持しつつ載置機構 6 2 の昇降移動を許容するようにな

っている。

[0075] また底部52には、上方に向けて例えば3本（2本のみ図示）の支持ピン69が鉛直に設けられており、また、この支持ピン69に対応させて載置台63にピン挿通孔70が形成されている。したがって、載置台63を降下させた際に、ピン挿通孔70を貫通した支持ピン69の上端部でウエハWを受けて、そのウエハWを外部より侵入する搬送アーム（図示せず）との間で移動させることができる。処理容器51の下部側壁には、搬送アームを侵入させるために搬出入口71が設けられ、この搬出入口71には、開閉可能になされたゲートバルブGが設けられている。

[0076] 静電チャック66の電極66bには、給電ライン72を介してチャック用電源73が接続されており、このチャック用電源73から電極66bに直流電圧を印加することにより、ウエハWが静電力により吸着保持される。また給電ライン72にはバイアス用高周波電源74が接続されており、この給電ライン72を介して静電チャック66の電極66bに対してバイアス用の高周波電力を供給し、ウエハWに高周波バイアスが印加される。この高周波バイアスの周波数は、400kHz～60MHzが好ましく、例えば13.56MHzが採用される。

[0077] 処理容器51の天井部には、誘電体よりなる高周波透過性の透過板76がシール部材77を介して気密に設けられている。この透過板76の上部に、処理容器51内の処理空間Sにプラズマ励起用ガスとしての希ガス、例えばArガスをプラズマ化してプラズマを発生するためのプラズマ発生源78が設けられる。

[0078] プラズマ発生源78は、透過板76に対応して設けられた誘導コイル80を有しており、この誘導コイル80には、プラズマ発生用の例えば13.56MHzの高周波電源81が接続されていて、誘導コイル80に高周波電力が供給されることにより、上記透過板76を介して処理空間Sに誘導電界を形成するようになっている。

[0079] また透過板76の直下には、導入された高周波電力を拡散させる金属製の

バッフルプレート 82 が設けられる。バッフルプレート 82 の下部には、上記処理空間 S の上部側方を囲むようにして截頭円錐殻状をなす Cu または Cu 合金からなるターゲット 83 が設けられており、このターゲット 83 には Ar イオンを引きつけるための直流電力を印加する電圧可変の直流電源 84 が接続されている。この電源は交流電源を用いてもよい。

[0080] また、ターゲット 83 の外周側には、これに磁界を付与するための磁石 85 が設けられている。ターゲット 83 はプラズマ中の Ar イオンにより Cu の金属原子あるいは金属原子団としてスパッタされるとともに、プラズマ中を通過する際に多くはイオン化される。

[0081] またこのターゲット 83 の下部には、上記処理空間 S を囲むようにして円筒状をなす保護カバー部材 86 が設けられている。この保護カバー部材 86 は接地されるとともに、その内側の端部は、載置台 63 の外周側を囲むようにして設けられている。

[0082] このように構成される Cu 系膜成膜装置においては、ウエハ W を処理容器 51 内へ搬入し、載置台 63 上に載置して静電チャック 66 により吸着する。このとき、載置台 63 は、熱電対（図示せず）で検出された温度に基づいて、冷却ジャケット 65 または抵抗ヒーター 87 により温度制御されている。

[0083] この状態で、制御部 40 の制御下で以下の動作が行われる。

まず、真空ポンプ 56 を動作させることにより 1×10^{-7} Torr 以下の高真空状態にされた処理容器 51 内に、ガス制御部 60 を操作して所定流量で Ar ガスを流しつつスロットルバルブ 55 を制御して処理容器 51 内を所定の真空度に維持する。その後、可変直流電源 84 から直流電力をターゲット 83 に印加し、さらにプラズマ発生源 78 の高周波電源 81 から誘導コイル 80 に高周波電力（プラズマ電力）を供給する。一方、バイアス用高周波電源 74 から静電チャック 66 の電極 66b に対して所定のバイアス用の高周波電力を供給する。

[0084] 処理容器 51 内においては、誘導コイル 80 に供給された高周波電力によ

りA r プラズマが形成され、その中のA r イオンはターゲット83に印加された直流電圧に引き寄せられてターゲット83に衝突してスパッタされ、粒子が放出される。この際、ターゲット83に印加する直流電圧により放出される粒子の量が最適に制御される。ターゲット83への直流電力は4～12 kW、さらには6～10 kWとすることが好ましい。

[0085] また、スパッタされたターゲット83からの粒子はプラズマ中を通る際に多くはイオン化され、イオン化されたものと電氣的に中性な中性原子とが混在する状態となって下方向へ飛散して行く。この時のイオン化率は高周波電源81から供給される高周波電力により制御される。

[0086] イオン化された粒子は、バイアス用高周波電源74から静電チャック66の電極66bに印加されたバイアス用の高周波電力によりウエハW面上に形成される厚さ数mm程度のイオンシースの領域に入ると、強い指向性をもってウエハW側に加速するように引き付けられてウエハWにCu系膜が形成される。

[0087] このとき、ウエハ温度を高く（65～350℃）設定してCuの流動性を確保するとともに、主に、バイアス用高周波電源74から静電チャック66の電極66bに対して印加される高周波バイアスのパワーを調整してCu合金の成膜とArによるエッチングを調整して、Cu合金の流動性を良好にすることにより、開口が狭いトレンチであっても良好な埋め込み性でCuまたはCu合金を埋め込むことができる。具体的には、Cu系膜成膜量（成膜レート）を T_D 、プラズマ生成用のガスのイオンによるエッチング量（エッチングレート）を T_E とすると、 $0 \leq T_E / T_D < 1$ 、さらには $0 < T_E / T_D < 1$ となるようにバイアスパワーを調整することが好ましい。

[0088] 良好な埋め込み性を得る観点から、処理容器51内の圧力（プロセス圧力）は、1～100 mTorr（0.133～13.3 Pa）、さらには35～90 mTorr（4.66～12.0 Pa）が好ましく、ターゲットへの直流電力は4～12 kW、さらには6～10 kWとすることが好ましい。

[0089] <Cu系シード膜成膜装置>

Cu系シード膜成膜装置24a(24b)としては、載置台63に抵抗ヒーター87が設けられていない以外は、基本的に、図6に示すCu系膜成膜装置22a(22b)と同様のプラズマスパッタ装置を用いることができる。また、Cu系シード膜の成膜の際には、埋め込み性を重視する必要がないため、iPVDに限らず、通常のスパッタ、イオンプレーティング等の通常のPVDを用いることもできる。

[0090] <バリア膜成膜装置>

バリア膜成膜装置12a(12b)としては、ターゲット83を使用する材料に変えるのみで図6の成膜装置と同様の構成の成膜装置を用いてプラズマスパッタにより成膜することができる。また、プラズマスパッタに限定されず、通常のスパッタ、イオンプレーティング等の他のPVDであってもよく、CVDやALD(Atomic Layer Deposition)、プラズマを用いたCVDやALDで成膜することもできる。不純物を低減する観点からはPVDが好ましい。

[0091] <ライナー膜成膜装置>

次に、ライナー膜を形成するためのライナー膜成膜装置14a(14b)について説明する。ライナー膜は熱CVDにより好適に形成することができる。図7は、ライナー膜成膜装置の一例を示す断面図であり、熱CVDによりライナー膜としてRu膜を形成するものである。

[0092] 図7に示すように、このライナー膜成膜装置14a(14b)は、例えばアルミニウム等により筒体に形成された処理容器101を有している。処理容器101の内部には、ウエハWを載置する例えばAlN等のセラミックスからなる載置台102が配置されており、この載置台102内にはヒーター103が設けられている。このヒーター103はヒーター電源(図示せず)から給電されることにより発熱する。

[0093] 処理容器101の天壁には、Ru膜を形成するための処理ガスやパージガス等を処理容器101内にシャワー状に導入するためのシャワーヘッド104が載置台102と対向するように設けられている。シャワーヘッド104

はその上部にガス導入口 105 を有し、その内部にガス拡散空間 106 が形成されており、その底面には多数のガス吐出孔 107 が形成されている。ガス導入口 105 にはガス供給配管 108 が接続されており、ガス供給配管 108 には Ru 膜を形成するための処理ガスやパージガス等を供給するためのガス供給源 109 が接続されている。また、ガス供給配管 108 には、ガス流量制御器、バルブ等よりなるガス制御部 110 が介装されている。Ru を成膜するためのガスとしては、上述したように、好適なものとしてルテニウムカルボニル ($\text{Ru}_3(\text{CO})_{12}$) を挙げることができる。このルテニウムカルボニルは熱分解により Ru 膜を形成することができる。

[0094] 処理容器 101 の底部には、排気口 111 が設けられており、この排気口 111 には排気管 112 が接続されている。排気管 112 には圧力調整を行うスロットルバルブ 113 および真空ポンプ 114 が接続されており、処理容器 101 内が真空引き可能となっている。

[0095] 載置台 102 には、ウエハ搬送用の 3 本（2 本のみ図示）のウエハ支持ピン 116 が載置台 102 の表面に対して突没可能に設けられ、これらウエハ支持ピン 116 は支持板 117 に固定されている。そして、ウエハ支持ピン 116 は、エアシリンダ等の駆動機構 118 によりロッド 119 を昇降することにより、支持板 117 を介して昇降される。なお、符号 120 はベローズである。一方、処理容器 101 の側壁には、ウエハ搬出入口 121 が形成されており、ゲートバルブ G を開けた状態で第 1 の真空搬送室 11 との間でウエハ W の搬入出が行われる。

[0096] このようなライナー膜成膜装置 14a（14b）においては、ゲートバルブ G を開けて、ウエハ W を載置台 102 上に載置した後、ゲートバルブ G を閉じ、処理容器 101 内を真空ポンプ 114 により排気して処理容器 101 内を所定の圧力に調整しつつ、ヒーター 103 より載置台 102 を介してウエハ W を所定温度に加熱した状態で、ガス供給源 109 からガス供給配管 108 およびシャワーヘッド 104 を介して処理容器 101 内へルテニウムカルボニル ($\text{Ru}_3(\text{CO})_{12}$) ガス等の処理ガスを導入する。これにより、ウ

エハW上で処理ガスの反応が進行し、ウエハWの表面にライナー膜が形成される。

[0097] ライナー膜の成膜には、ルテニウムカルボニル以外の他の成膜原料、例えば上述したようなルテニウムのペンタジエニル化合物を O_2 ガスのような分解ガスとともに用いることができる。

[0098] なお、ライナー膜としてC_o膜を成膜する場合にも、R_u膜と同様、熱CVDで成膜することができる。また、ライナー膜はCVDに限らず、PVD等の他の成膜手法で形成することもできる。

[0099] <他の適用>

以上、本発明の実施形態について説明したが、本発明は上記実施形態に限定されることなく種々変形可能である。上記実施形態では、被処理基板として半導体ウエハを例にとって説明したが、半導体ウエハには典型的なシリコンウエハのみならず、GaAs、SiC、GaNなどの化合物半導体も含まれる。また、被処理基板は半導体ウエハに限定されず、液晶表示装置等のFPD（フラットパネルディスプレイ）に用いるガラス基板や、セラミック基板等にも本発明を適用することができることはもちろんである。

符号の説明

[0100] 1；成膜システム、12a、12b；バリア膜成膜装置、14a、14b；ライナー膜成膜装置、22a、22b；Cu系膜成膜装置、24a、24b；Cu系シード膜成膜装置、201；下部構造、202；層間絶縁膜、203；トレンチ、204；ビア、205；バリア膜、206；ライナー膜、207；Cu系シード膜、208；Cu系膜、209；積み増し層、210；Cu配線、211；下層配線、W；半導体ウエハ（基板）

請求の範囲

- [請求項1] 所定パターンのトレンチ、および前記トレンチの底に形成されたビアを有する膜が表面に形成された基板に対し、前記トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成するCu配線の形成方法であって、
- 前記膜の表面にバリア膜を形成することと、
- 次いで、前記バリア膜表面にCuまたはCu合金が濡れる金属材料からなる被濡れ層を形成することと、
- 次いで、前記被濡れ層の表面にPVDによりCuまたはCu合金からなるCu系シード膜を形成することと、
- 次いで、前記Cu系シード膜を形成した後の基板を加熱して、前記Cu系シード膜を前記ビア内に流し込んで前記ビアを埋めることと、
- 次いで、前記ビアを埋めた後の基板表面にCuまたはCu合金からなるCu系膜を、前記被濡れ層上で流動可能な条件のPVDにより形成し、前記Cu系膜を前記トレンチ内に埋め込むことと
- を有するCu配線の形成方法。
- [請求項2] 前記被濡れ層は、膜厚が1～5nmになるように形成される、請求項1に記載のCu配線の形成方法。
- [請求項3] 前記被濡れ層は、RuまたはCoで構成されている、請求項1に記載のCu配線の形成方法。
- [請求項4] 前記被濡れ層は、CVDにより形成される、請求項1に記載のCu配線の形成方法。
- [請求項5] 前記Cu系シード膜を前記ビアに流し込む際の基板の加熱温度は、200～400℃である、請求項1に記載のCu配線の形成方法。
- [請求項6] 前記Cu系膜は、基板を65～350℃に加熱しつつイオン化PVDにより形成される、請求項1に記載のCu配線の形成方法。
- [請求項7] 前記Cu系シード膜を形成した後の基板を加熱することと、前記Cu系膜を形成することとを同一の装置で行う、請求項1に記載のCu

配線の形成方法。

[請求項8] 前記Cu系シード膜を形成することと、前記Cu系シード膜を形成した後の基板を加熱することと、前記Cu系膜を形成することとを同一の装置で行う、請求項1に記載のCu配線の形成方法。

[請求項9] 所定パターンのトレンチが形成され、かつ前記トレンチの底部と下層配線との間を接続するビアを有する層間絶縁膜が形成された基板に対し、前記トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成して半導体装置を製造する半導体装置の製造方法であって、

前記層間絶縁膜の表面にバリア膜を形成することと、

次いで、前記バリア膜表面にCuまたはCu合金が濡れる金属材料からなる被濡れ層を形成することと、

次いで、被濡れ層の表面にPVDによりCuまたはCu合金からなるCu系シード膜を形成することと、

次いで、前記Cu系シード膜を形成した後の基板を加熱して、前記Cu系シード膜を前記ビア内に流し込んで前記ビアを埋めることと、

次いで、前記ビアを埋めた後の基板表面にCuまたはCu合金からなるCu系膜を、前記被濡れ層上で流動可能な条件のPVDにより形成し、前記Cu系膜を前記トレンチ内に埋め込むことと、

次いで、全面を研磨して前記トレンチ以外の表面の前記Cu系膜、前記被濡れ層、および前記バリア膜を除去し、Cu配線を形成することと

を有する半導体装置の製造方法。

[請求項10] 前記被濡れ層は、膜厚が1～5nmになるように形成される、請求項9に記載の半導体装置の製造方法。

[請求項11] 前記被濡れ層は、RuまたはCoで構成されている、請求項9に記載の半導体装置の製造方法。

[請求項12] 前記被濡れ層は、CVDにより形成される、請求項9に記載の半導

体装置の製造方法。

[請求項13] 前記Cu系シード膜を前記ビアに流し込む際の基板の加熱温度は、200～400℃である、請求項9に記載の半導体装置の製造方法。

[請求項14] 前記Cu系膜は、基板を65～350℃に加熱しつつイオン化PVDにより形成される、請求項9に記載の半導体装置の製造方法。

[請求項15] 前記Cu系シード膜を形成した後の基板を加熱することと、前記Cu系膜を形成することとを同一の装置で行う、請求項9に記載の半導体装置の製造方法。

[請求項16] 前記Cu系シード膜を形成することと、前記Cu系シード膜を形成した後の基板を加熱することと、前記Cu系膜を形成することとを同一の装置で行う、請求項9に記載の半導体装置の製造方法。

[請求項17] 前記トレンチに前記Cu系膜を埋め込んだ後、全面を研磨する前に、前記Cu系膜の上にCuまたはCu合金からなる積み増し層を形成することをさらに有する、請求項9に記載の半導体装置の製造方法。

[請求項18] コンピュータ上で動作し、Cu配線形成システムを制御するためのプログラムが記憶された記憶媒体であって、

前記プログラムは、実行時に、

所定パターンのトレンチ、および前記トレンチの底に形成されたビアを有する膜が表面に形成された基板に対し、前記トレンチおよびビアにCuまたはCu合金を埋め込んでCu配線を形成するCu配線の形成方法であって、

前記膜の表面にバリア膜を形成することと、

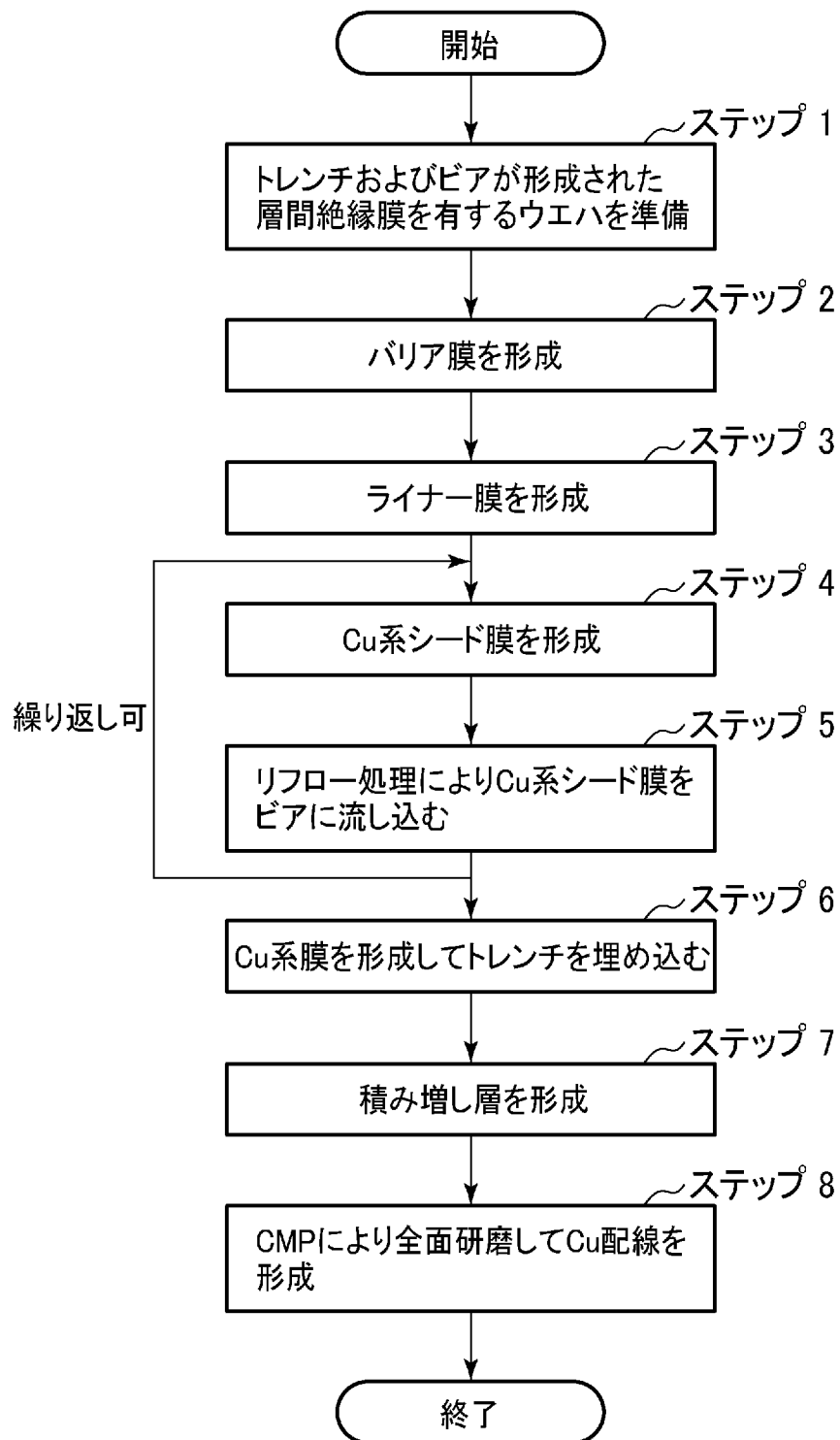
次いで、前記バリア膜表面にCuまたはCu合金が濡れる金属材料からなる被濡れ層を形成することと、

次いで、前記被濡れ層の表面にPVDによりCuまたはCu合金からなるCu系シード膜を形成することと、

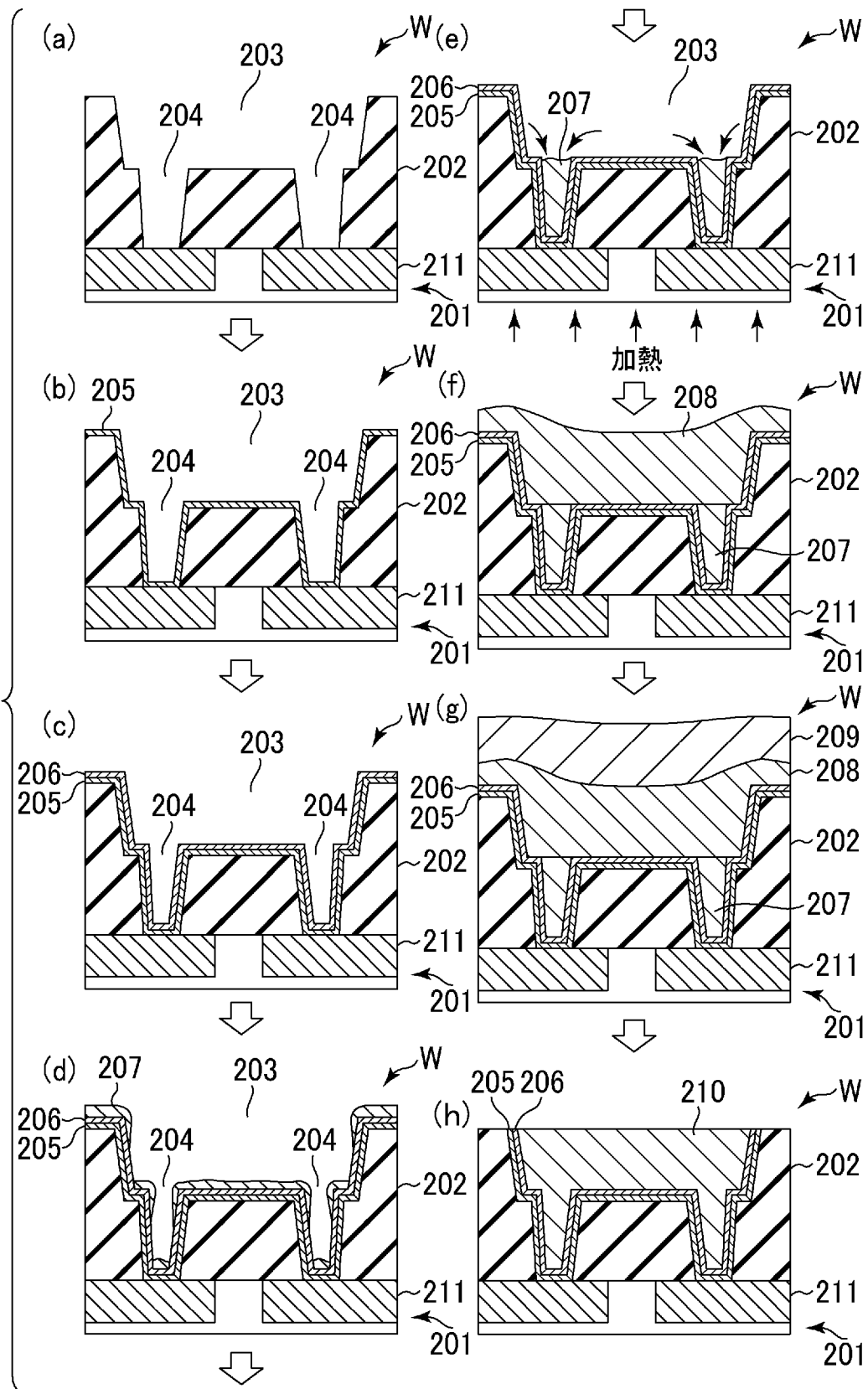
次いで、前記Cu系シード膜を形成した後の基板を加熱して、前記Cu系シード膜を前記ビア内に流し込んで前記ビアを埋めることと、

次いで、前記ビアを埋めた後の基板表面にCuまたはCu合金からなるCu系膜を、前記被濡れ層上で流動可能な条件のPVDにより形成し、前記Cu系膜を前記トレンチ内に埋め込むこととを有するCu配線の形成方法が行われるように、コンピュータに前記Cu配線形成システムを制御させる、記憶媒体。

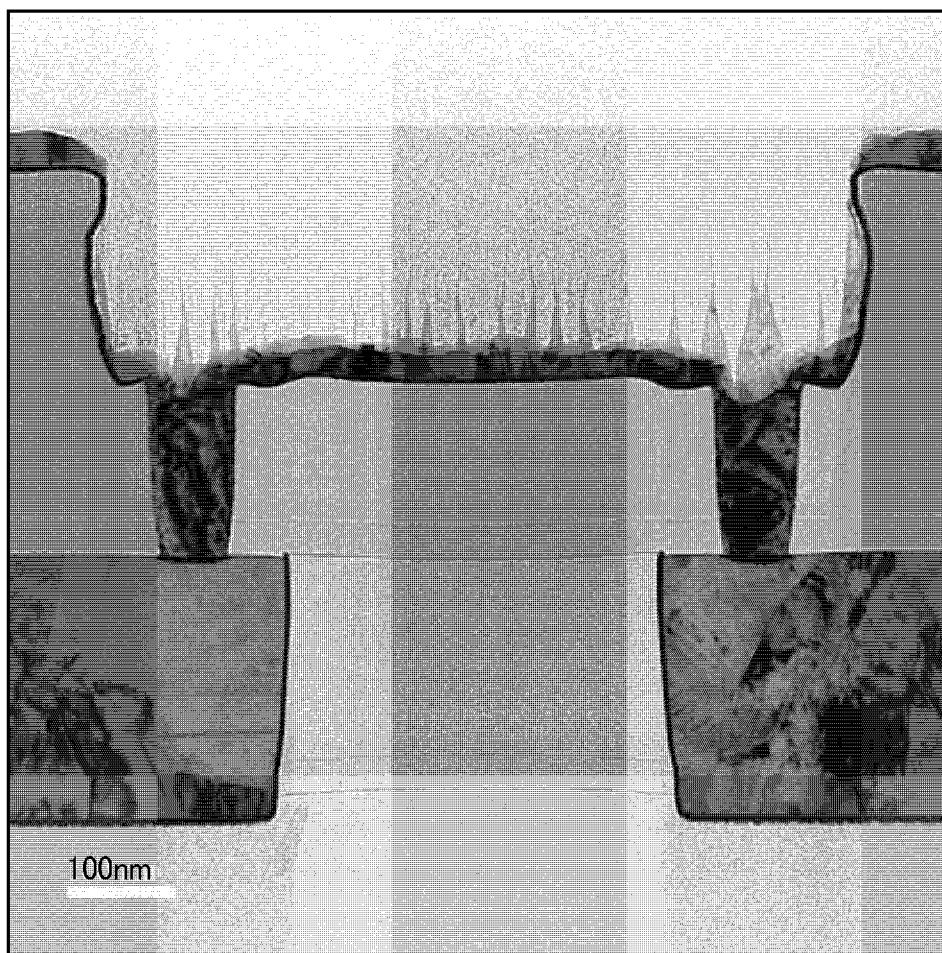
[図1]



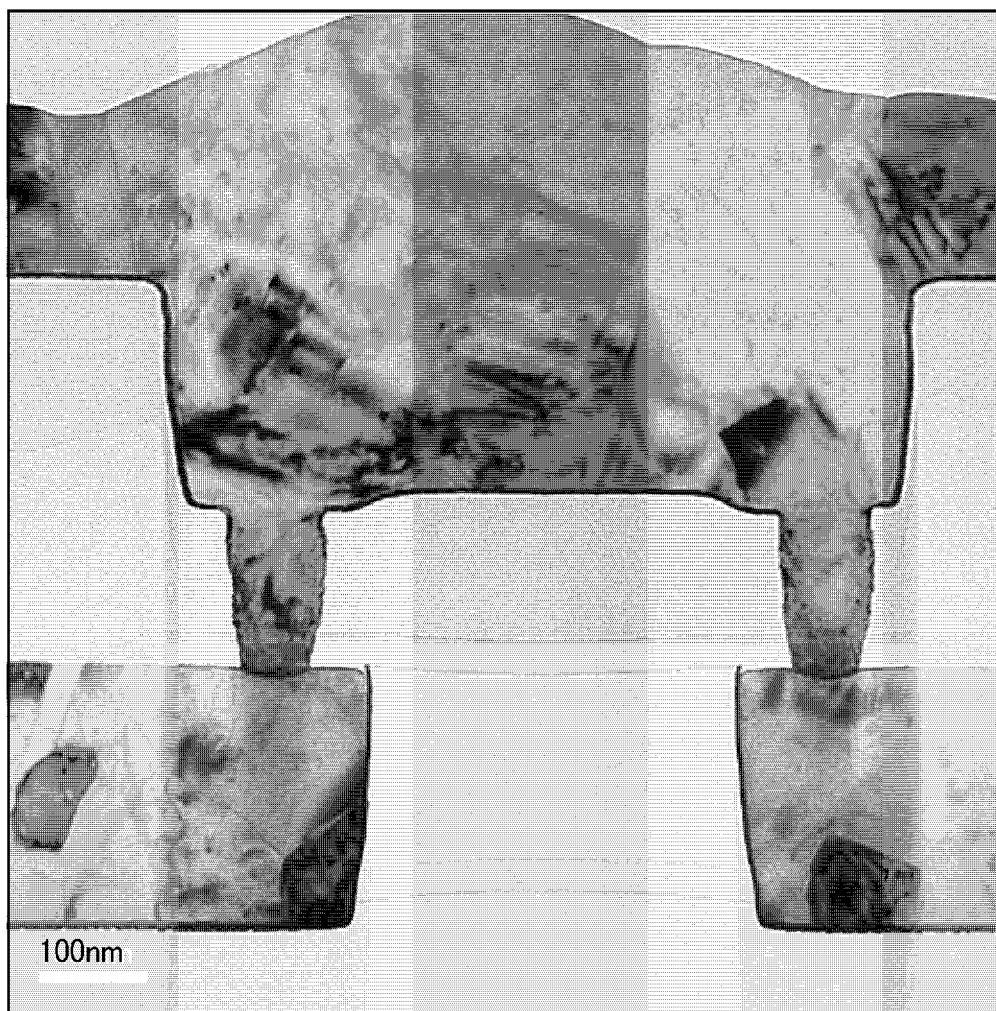
[図2]



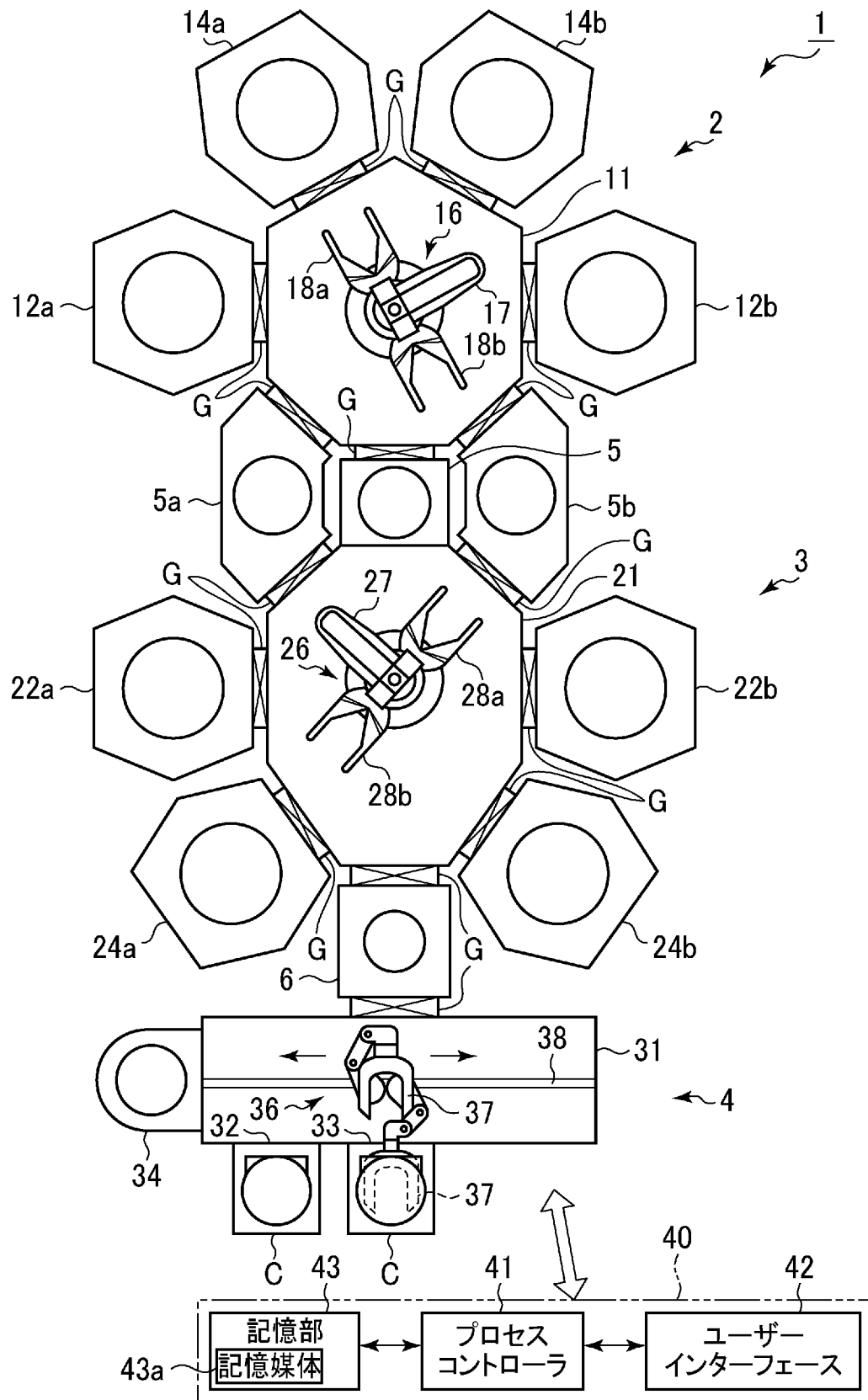
[図3]



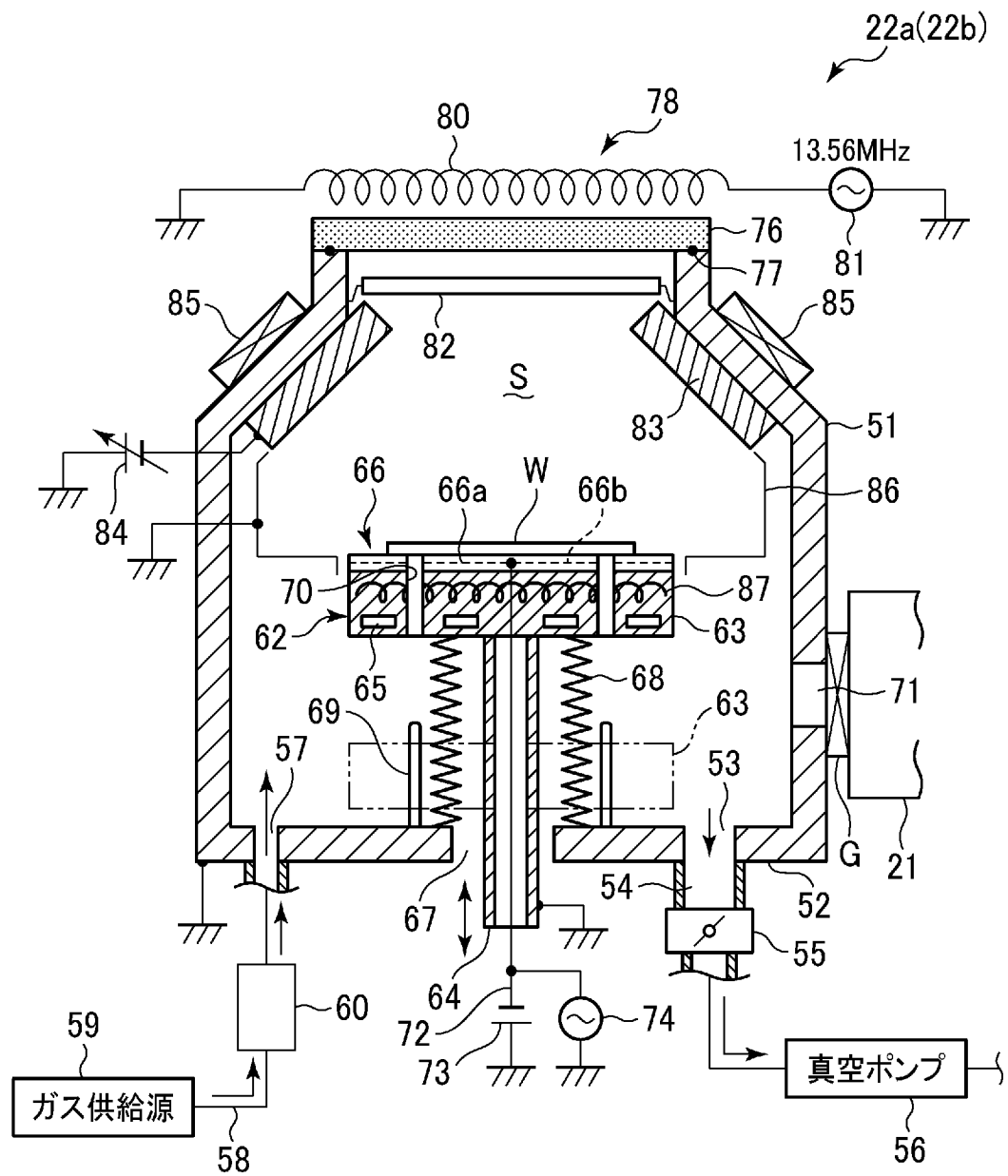
[図4]



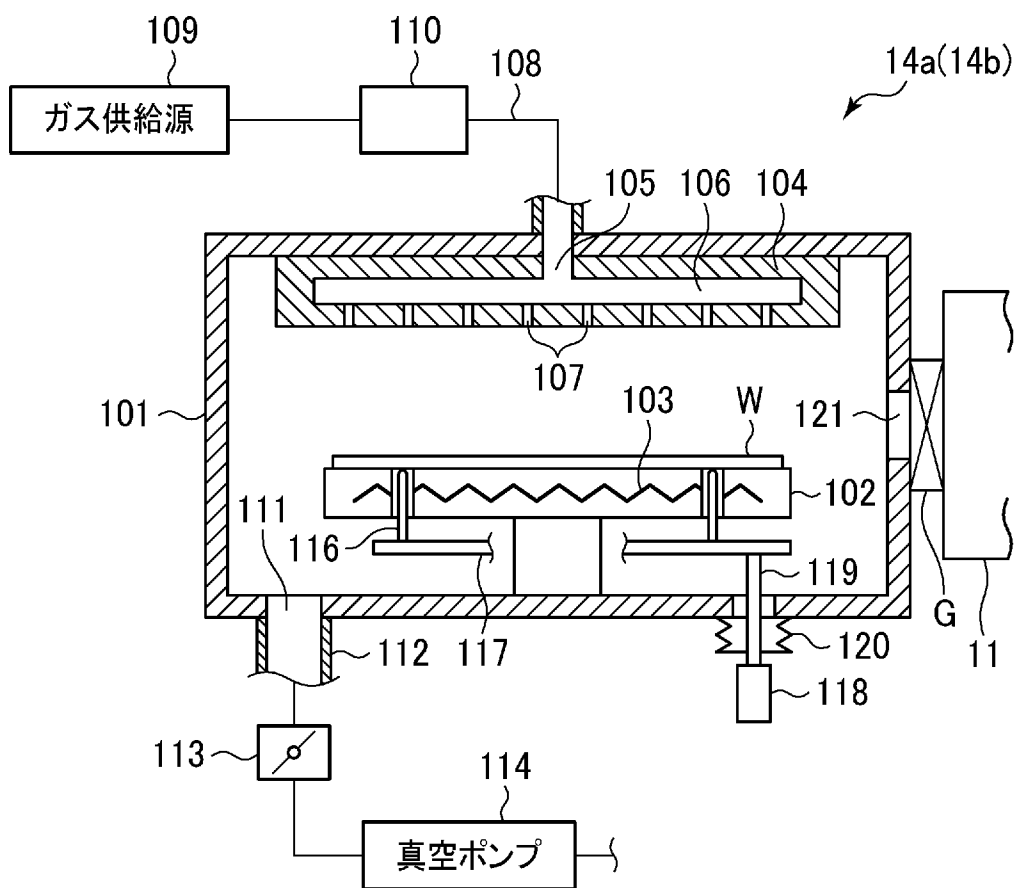
[図5]



[図6]



[図7]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/050305

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/3205(2006.01)i, C23C14/14(2006.01)i, C23C16/14(2006.01)i,
H01L21/28(2006.01)i, H01L21/768(2006.01)i, H01L23/532(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/3205, C23C14/14, C23C16/14, H01L21/28, H01L21/768, H01L23/532

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2016
Kokai Jitsuyo Shinan Koho	1971-2016	Toroku Jitsuyo Shinan Koho	1994-2016

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	JP 2012-216765 A (Tokyo Electron Ltd.), 08 November 2012 (08.11.2012), paragraphs [0071] to [0082]; fig. 5 to 6 & US 2012/0196052 A1 paragraphs [0125] to [0134]; fig. 4 to 5 & US 2014/0287163 A1 & US 2012/0196437 A1 & KR 10-2012-0087096 A	1-18
Y	JP 2001-516146 A (Applied Materials Inc.), 25 September 2001 (25.09.2001), paragraphs [0034] to [0037]; fig. 3 & US 5989623 A column 7, lines 16 to 47; fig. 3 & US 6207222 B1 & WO 1999/009593 A1 & EP 1021827 A1 & DE 69837674 T2	1-18

☐ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
18 March 2016 (18.03.16)

Date of mailing of the international search report
29 March 2016 (29.03.16)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L21/3205(2006.01)i, C23C14/14(2006.01)i, C23C16/14(2006.01)i, H01L21/28(2006.01)i, H01L21/768(2006.01)i, H01L23/532(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L21/3205, C23C14/14, C23C16/14, H01L21/28, H01L21/768, H01L23/532

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2016年
日本国実用新案登録公報	1996-2016年
日本国登録実用新案公報	1994-2016年

国際調査で利用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2012-216765 A（東京エレクトロン株式会社）2012.11.08, 段落[0071]-[0082], 図5-6 & US 2012/0196052 A1, 段落[0125]-[0134], 図4-5 & US 2014/0287163 A1 & US 2012/0196437 A1 & KR 10-2012-0087096 A	1-18

☒ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

18.03.2016

国際調査報告の発送日

29.03.2016

国際調査機関の名称及びあて先

日本国特許庁（I S A/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

小山 満

電話番号 03-3581-1101 内線 3559

50

5895

C (続き) . 関連すると認められる文献		
引用文献の カテゴリ*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2001-516146 A (アプライド マテリアルズ インコーポレイテッド) 2001.09.25, 段落[0034]-[0037], 図 3 & US 5989623 A, 第 7 カラム第 16 行-第 47 行, 図 3 & US 6207222 B1 & WO 1999/009593 A1 & EP 1021827 A1 & DE 69837674 T2	1-18