

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2011 年 7 月 28 日(28.07.2011)

PCT

(10) 国際公開番号
WO 2011/089696 A1

- (51) 国際特許分類:
G06F 15/80 (2006.01)
- (21) 国際出願番号: PCT/JP2010/050641
- (22) 国際出願日: 2010 年 1 月 20 日(20.01.2010)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (71) 出願人 (米国を除く全ての指定国について): トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 Aichi (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 加藤 和哉 (KATO, Kazuya) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町 1 番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 伊東 忠彦 (ITO, Tadahiko); 〒1506032 東京都渋谷区恵比寿 4 丁目 2 0 番 3 号 恵比寿ガーデンプレイスタワー 3 2 階 Tokyo (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: INFORMATION PROCESSING DEVICE

(54) 発明の名称: 情報処理装置

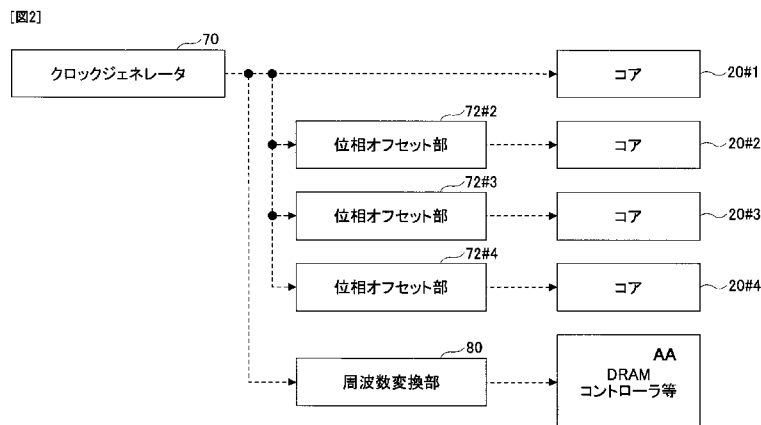


FIG. 2:
20#1, 20#2, 20#3, 20#4 CORE
70 CLOCK CYCLE GENERATOR
72#2, 72#3, 72#4 PHASE OFFSET UNIT
80 FREQUENCY CONVERTER UNIT
AA DRAM CONTROLLER, ETC.

(57) Abstract: Disclosed is an information processing device, comprising a plurality of instruction executing means; and a memory that is accessed by the plurality of instruction executing means. The plurality of instruction executing means operate with a phase difference from the other instruction executing means, with a reference clock cycle as a reference thereof; and the bus clock cycle frequency, which is supplied to the bus that connects the plurality of instruction executing means to the memory, is a multiple n of the reference clock cycle frequency, where n is greater than or equal to 2.

(57) 要約: 複数の命令実行手段と、該複数の命令実行手段によりアクセスされるメモリと、を備える情報処理装置であって、前記複数の命令実行手段は、基準クロックを基準として他の命令実行手段と位相差をもって動作し、前記複数の命令実行手段と前記メモリとを接続するバスに供給されるバスクロックの周波数は、前記基準クロックの周波数の n 倍である (n ≥ 2) ことを特徴とする、情報処理装置。

WO 2011/089696 A1



添付公開書類:

— 国際調査報告 (条約第 21 条(3))

明 細 書

発明の名称： 情報処理装置

技術分野

[0001] 本発明は、複数の命令実行手段を備える情報処理装置に関する。

背景技術

[0002] 近年、マルチプロセッサ処理装置やマルチコア・プロセッサのように、命令実行手段を複数個備える情報処理装置が普及している。

[0003] こうした命令実行手段を複数個備える情報処理装置では、異なる命令実行手段が同一のメモリを使用する場合、異なる命令実行手段が同一のメモリに同時にアクセスすることにより干渉が生じ、処理の遅延や混乱が発生するという課題がある。

[0004] 特許文献1では、複数のプロセッサコアと複数のハードウェアアクセラレータがバスを介して接続された非対照マルチプロセッサについての発明が開示されている。この非対照マルチプロセッサは、プロセッサコアとハードウェアアクセラレータを含むグループを形成している。そして、この非対象マルチプロセッサは、各グループの入口部に、供給されるクロック信号を遅延して各グループ間のクロック位相を任意にずらすクロック遅延生成部を備えている。これによって、この非対象マルチプロセッサは、ピーク電流を抑制して誤作動の防止を図っている。

先行技術文献

特許文献

[0005] 特許文献1：特開2007-328461号公報

発明の概要

発明が解決しようとする課題

[0006] しかしながら、上記特許文献1に記載の非対照マルチプロセッサでは、異なる命令実行手段が同一のメモリに同時にアクセスすることにより干渉が生じるという課題を解決できない場合がある。各グループ間のクロック位相を

ずらしただけでは、当該ずらした位相に相当する期間内にメモリアクセス処理が終了しない場合があるからである。この結果、あるグループによるメモリアクセス処理が実行されている間に、他のグループによって同一のメモリにアクセスが開始される場合が生じ、前述のような干渉が生じてしまう可能性がある。

[0007] 本発明はこのような課題を解決するためのものであり、メモリアクセスの干渉を確実に回避すると共に、電力消費や発熱を抑制することが可能な情報処理装置を提供することを、主たる目的とする。

課題を解決するための手段

[0008] 上記目的を達成するための本発明の一態様は、
複数の命令実行手段と、
該複数の命令実行手段によりアクセスされるメモリと、
を備える情報処理装置であって、
前記複数の命令実行手段は、基準クロックを基準として他の命令実行手段と位相差をもって動作し、
前記複数の命令実行手段と前記メモリとを接続するバスに供給されるバスクロックの周波数は、前記基準クロックの周波数の n 倍である（ $n \geq 2$ ）ことを特徴とする、
情報処理装置である。

[0009] この本発明の一態様によれば、複数の命令実行手段は、基準クロックを基準として他の命令実行手段と位相差をもって動作し、複数の命令実行手段とメモリとを接続するバスに供給されるバスクロックの周波数は、基準クロックの周波数の n 倍である（ $n \geq 2$ ）ため、各命令実行手段の実行期間中にバスクロックの一周期以上が割り当てられ、メモリアクセスの干渉を確実に回避することができる。

[0010] また、命令実行手段が動作基準とする基準クロックの周波数を比較的低くすることができるため、電力消費や発熱を抑制することができる。

発明の効果

[0011] 本発明によれば、メモリアクセスの干渉を確実に回避すると共に、電力消費や発熱を抑制することが可能な情報処理装置を提供することができる。

図面の簡単な説明

[0012] [図1]本発明の第1実施例に係る情報処理装置1の主要なシステム構成例である。

[図2]本発明の第1実施例に係る情報処理装置1におけるクロック供給のための構成例である。

[図3]本発明の第1実施例に係る情報処理装置1における、各コアに供給されるクロック、及びバスクロックの変化を示すタイミングチャートである。

[図4]従来のシングルコア・プロセッサによるタスク処理の様子、及び従来のマルチコア・プロセッサ（4コア）により同じタスク処理が実行される様子を示したタイミングチャートである。

[図5]図4で例示したタスクと同一のタスクを本実施例の情報処理装置1が実行する様子を示す図である。

[図6]本発明の第2実施例に係る情報処理装置2における、各コアに供給されるクロック、及びバスクロックの変化を示すタイミングチャートである。

発明を実施するための形態

[0013] 以下、本発明を実施するための形態について、添付図面を参照しながら実施例を挙げて説明する。

実施例

[0014] <第1実施例>

以下、図面を参照し、本発明の第1実施例に係る情報処理装置1について説明する。情報処理装置1は、例えば以下に例示するようなマルチコア・プロセッサとして構成されるが、マルチプロセッサ処理装置等、命令実行手段を複数個備える他の態様の装置として構成されてもよい。

[0015] 図1は、本発明の第1実施例に係る情報処理装置1の主要なシステム構成例である。情報処理装置1は、主要な構成として、マイコン10と、DRAM50と、を備える。

- [0016] マイコン10の内部では、CPU20とDRAMコントローラ30が内部バス40で接続されている。CPU20は、プロセッサ・パッケージ内に複数のコア20#1～コア20#4を封入しており、これらのコアによって並行・独立して処理を実行可能となっている。
- [0017] コア20#1～20#4は、命令デコーダ、レジスタ、演算回路、キャッシュメモリ等を有し、図示しないROMに格納されたプログラム（命令）を専用レジスタにフェッチし、これをデコードして実行することにより、種々の処理を行なうことができる。コア20#1～コア20#4の処理結果は、レジスタ等に格納される他、必要に応じてDRAM50に送出される。
- [0018] ここで、情報処理装置1が車両に搭載される場合、情報処理装置1は、例えば多気筒エンジンの制御を行うエンジン制御装置として機能する。この場合、各コアは、各気筒をそれぞれ担当し、各気筒に取り付けられたイグナイターによる点火時期を決定するための演算を実行する。これに限らず、情報処理装置1は種々の車載機器を制御する制御装置として機能することが可能であるが、特に、上記のエンジン制御装置のように周期的な処理を繰り返し実行する装置に好適に適用される。
- [0019] マイコン10とDRAM50は、データバス60で接続されている。DRAM50は、例えばDDR3-SDRAM（Double-Data-Rate3 Synchronous Dynamic Random Access Memory）の規格に準じたメモリである。
- [0020] 内部バス40及びデータバス60に供給されるバスクロックの周波数 F_b は、例えば800 [MHz] である。そして、コア20#1～コア20#4の動作基準となる基準クロックの周波数 F_s は、例えば200 [MHz] である。
- [0021] 本実施例におけるバスクロックの周波数 F_b は、基準クロックの周波数 F_s の4倍であり、コアの個数と合致させている。このように、周波数の比率（ F_b/F_s ）は、DRAM50にアクセスするコアの個数と同じか、それよりも大きいことが望ましい。例えば、DRAM50にアクセスするコアの個数が2個であれば、周波数の比率（ F_b/F_s ）は2以上であることが望

ましく、DRAM50にアクセスするコアの個数が8個であれば、周波数の比率(F_b/F_s)は8以上であることが望ましい。

[0022] なお、200 [MHz] や800 [MHz] といった数値はあくまで一例であり、本発明はこれらの数値に何ら限定されるものではない。

[0023] 一方、コア20#1～20#4は、前述の基準クロックを基準として、 $1/4$ 周期ずつ位相をずらして順に動作する。例えば、コア20#1は基準クロック通りに動作し、コア20#2は基準クロックの $1/4$ 周期遅れで動作し、コア20#3は基準クロックの $1/2$ 周期遅れで動作し、コア20#4は基準クロックの $3/4$ 周期遅れで動作する。コア20#1～20#4が $1/4$ 周期ずつ位相をずらして順に動作するのは、コアの個数(4個)で1を除した値に基づいている。

[0024] 情報処理装置1は、クロック供給のための構成として、例えば図2のような構成をとり得る。図2は、本発明の第1実施例に係る情報処理装置1におけるクロック供給のための構成例である。情報処理装置1は、例えば周波数 F_s の基準クロックを発生させるクロックジェネレータ70と、コア20#2～コア20#4に供給するクロックの位相をずらすための位相オフセット部72#2～72#4と、周波数 F_s の基準クロックを4倍の周波数 F_b に変換してバスクロックを生成する周波数変換部80と、を備える。

[0025] 位相オフセット回路の具体的態様については種々のものが知られている。位相オフセット部72#2～72#4は、例えば、配線長の異なる信号線を有することによって基準クロック信号を遅延させるものであってもよいし、バッファ等を備えるものであってもよい。

[0026] なお、上記の構成に換えて、クロックジェネレータ70が周波数 F_b のバスクロックを生成し、これを分周器等によって周波数 F_s の低周波な基準クロックに変換する構成であってもよい。また、クロックジェネレータ70が周波数 F_b 、 F_s 以外のクロックを生成し、基準クロックとバスクロックの双方が周波数変換によって生成されるものであってもよい。また、基準クロックを生成する機器とバスクロックを生成する機器は別体であっても構わな

い。

[0027] 係る構成によって、以下のような動作が実現される。図3は、本発明の第1実施例に係る情報処理装置1における、各コアに供給されるクロック、及びバスクロックの変化を示すタイミングチャートである。図中、(1)はコア20#1に供給されるクロックの変化を示しており、(2)はコア20#2に供給されるクロックの変化を示しており、(3)はコア20#3に供給されるクロックの変化を示しており、(4)はコア20#4に供給されるクロックの変化を示している。また、図中、(5)はバスクロックの変化を示している。

[0028] 図示するように、コア20#1～20#4は、基準クロックを基準として、 $1/4$ 周期ずつ位相をずらして順に動作する。そして、その位相差に相当する期間は、バスクロックの一周期に一致している。

[0029] この結果、異なるコアがDRAM50に同時にアクセスすることにより干渉が生じるという課題を解決することができる。例えばコア20#1がDRAM50からのロード命令を実行した場合、その実行結果はコア20#2に供給されるクロックの立ち上がり前に、コア20#1の内部レジスタ等に格納されることになる。従って、続いてコア20#2がメモリアクセス命令を実行したとしても、当該メモリアクセス命令はコア20#1によるロード命令とは干渉しない。

[0030] また、本発明の第1実施例に係る情報処理装置1では、コアの個数と、バスクロックの周波数 F_b と基準クロックの周波数 F_s の比率(F_b/F_s)を一致させている。この結果、各コアに供給されるクロックの立ち上がりと、バスクロックの立ち上がりが一致することになり、バスクロックの一周期が必ず各コアの動作期間(自コアに供給されるクロックの立ち上がりから次のコアに供給されるクロックの立ち上がりまで)に割り当てられることになる。

[0031] 従って、各コアは、供給されたクロックの立ち上がりのタイミングでメモリアクセス命令を実行することが可能となる。なお、基準クロックの立ち上

がりとバスクロックの立ち上がりを必ずしも完全に一致させる必要はなく、通信遅延等を考慮してバスクロックを定常的に若干遅らせる等してもよい。

[0032] 前述の、「周波数の比率 (F_b / F_s) は、DRAM50にアクセスするコアの個数と同じか、それよりも大きいことが望ましい」なる記載は、このように各コアの動作タイミング期間中に、一周期以上のバスクロックを割り当てるのが望ましいことに基づく。なお、DRAMコントローラ30がバスクロックの立ち上がり及び立ち下りの双方で動作する場合、各コアの動作タイミング期間中に、実質的に2クロック分のバスクロックが割り当てられることになり、メモリアクセス命令の実行をより確実に行うことができる。

[0033] この結果、本発明の第1実施例に係る情報処理装置1では、メモリアクセスの干渉を確実に回避することができる。また、各コアの動作タイミング期間中において、メモリアクセス命令を確実に実行することができる。更に、CPUコアに供給されるクロックの周波数を比較的低くするため、CPUの動作による電力消費や発熱を抑制し、コストを低減することもできる。

[0034] ここで、従来のマルチコア装置との比較について述べる。図4は、従来のシングルコア・プロセッサによるタスク処理の様子、及び従来のマルチコア・プロセッサ（4コア）により同じタスク処理が実行される様子を示したタイミングチャートである。

[0035] 図4の上段は、従来のシングルコア・プロセッサが、供給されたクロックの立ち上がりをトリガーとして、タスク1-1→タスク2→タスク3→タスク4→タスク1-2→タスク1-3→タスク1-4の順に処理を実行する様子を示している。従来のシングルコア・プロセッサでは、これらの処理に7クロックを要している。ここで、タスク1-1、タスク1-2、タスク1-3、タスク1-4は、順序性の存在するタスク、すなわち先のタスクの処理結果を後のタスクで用いる等の理由により、完全に並行しては実行できないタスクである。

[0036] また、図4の二段目以下は、従来のマルチコア・プロセッサが、上記従来のシングルコア・プロセッサが実行するのと同じタスクを分散処理する様

子を示している。図中、(1)はコア#1に供給されるクロックと、各クロックの立ち上がりをトリガーとしてコア#1により実行されるタスクを示しており、(2)はコア#2に供給されるクロックと、各クロックの立ち上がりをトリガーとしてコア#2により実行されるタスクを示しており、(3)はコア#3に供給されるクロックと、各クロックの立ち上がりをトリガーとしてコア#3により実行されるタスクを示しており、(4)はコア#4に供給されるクロックと、各クロックの立ち上がりをトリガーとしてコア#4により実行されるタスクを示している。

[0037] 上記のように、タスク1-1、タスク1-2、タスク1-3、タスク1-4には順序性が存在するため、従来のマルチコア・プロセッサでは、例えばコア#1のみにこれらを実行させる必要がある。この結果、処理の分散が不十分となり、図4の例では全ての処理を終了するのに4クロックを要することになる。

[0038] これに対し、[背景技術]において例示した特許文献1に記載の装置では、各グループ間のクロック位相をずらしているため、順序性の存在するタスクを並列することが可能とも考えられる。しかしながら、当該ずらした位相に相当する期間内にメモリアクセス処理が終了しない場合があり、メモリアクセス命令が干渉して処理の遅延や混乱が生じる可能性がある。

[0039] この点、本実施例の情報処理装置1では、バスクロックの一周期が必ず各コアの動作期間に割り当てられることになるため、メモリアクセス命令の干渉を回避しつつ分散処理を実現することができる。図5は、図4で例示したタスクと同一のタスクを本実施例の情報処理装置1が実行する様子を示す図である。図示するように、本実施例の情報処理装置1は、図4に示した従来のマルチコア・プロセッサが4クロックを要したタスクと同一のタスクを、2クロック少々で実行することができる。すなわち、本実施例の情報処理装置1は、迅速な並行・分散処理を実現することができる。

[0040] 以上説明した本実施例の情報処理装置1によれば、メモリアクセスの干渉を確実に回避すると共に、電力消費や発熱を抑制することができる。

[0041] また、比較的低いクロック周波数を用いて、迅速な並行・分散処理を実現することができる。

[0042] 更に、各コアに供給されるクロックの位相をずらすことにより、突入電流の増加を抑制することができ、電力消費やノイズを低減することができる。

[0043] <第2実施例>

以下、図面を参照し、本発明の第2実施例に係る情報処理装置2について説明する。情報処理装置2は、例えば図1に示したようなマルチコア・プロセッサとして構成されるが、マルチプロセッサ処理装置等、他の態様の装置として構成されてもよい。

[0044] 本発明の第2実施例に係る情報処理装置2の主要なシステム構成例については、第1実施例と共通するため、図1を参照することとして詳細な説明を省略する。

[0045] 第1実施例と同様、情報処理装置2が車両に搭載される場合、情報処理装置2は、例えば多気筒エンジンの制御を行うエンジン制御装置として機能する。この場合、各コアは、各気筒をそれぞれ担当し、各気筒に取り付けられたイグナイターによる点火時期を決定するための演算を実行する。これに限らず、情報処理装置2は種々の車載機器を制御する制御装置として機能することが可能であるが、特に、上記のエンジン制御装置のように周期的な処理を繰り返し実行する装置に好適に適用される。

[0046] 本実施例において、内部バス40及びデータバス60に供給されるバスクロックの周波数 F_b は、例えば800 [MHz]である。そして、コア20#1～コア20#4の動作基準となる基準クロックの周波数 F_s は、例えば400 [MHz]である。

[0047] 本実施例におけるバスクロックの周波数 F_b は、基準クロックの周波数 F_s の2倍であり、コアの個数の $1/2$ と合致させている。このように、周波数の比率(F_b/F_s)は、DRAM50にアクセスするコアの個数の $1/2$ と同じか、それよりも大きいことが望ましい。例えば、DRAM50にアクセスするコアの個数が2個であれば、周波数の比率(F_b/F_s)は1以

上であることが望ましく、DRAM50にアクセスするコアの個数が8個であれば、周波数の比率(F_b/F_s)は4以上であることが望ましい。

[0048] なお、400[MHz]や800[MHz]といった数値はあくまで一例であり、本発明はこれらの数値に何ら限定されるものではない。

[0049] 一方、コア20#1～20#4は、前述の基準クロックを基準として、1/8周期ずつ位相をずらして順に動作する。例えば、(1)まず、コア20#1は基準クロック通りに動作し、コア20#2は基準クロックの1/8周期遅れで動作し、コア20#3は基準クロックの1/4周期遅れで動作し、コア20#4は基準クロックの3/8周期遅れで動作する。次に、(2)コア20#1は基準クロックの1/2周期遅れで動作し、コア20#2は基準クロックの5/8周期遅れで動作し、コア20#3は基準クロックの3/4周期遅れで動作し、コア20#4は基準クロックの7/8周期遅れで動作する。各コアは、上記(1)、(2)を交互に繰り返す。コア20#1～20#4が1/8周期ずつ位相をずらして順に動作するのは、コアの個数(4個)の2倍(8)で1を除いた値に基づいている。

[0050] 情報処理装置2における、クロック供給のための構成は、第1実施例と同様でよい。図2等を参照することとして詳細な説明を省略する。周波数変換部80は、周波数 F_s の基準クロックを2倍の周波数 F_b に変換してバスクロックを生成する。

[0051] 係る構成によって、以下のような動作が実現される。図6は、本発明の第2実施例に係る情報処理装置2における、各コアに供給されるクロック、及びバスクロックの変化を示すタイミングチャートである。図中、(1)はコア20#1に供給されるクロックの変化を示しており、(2)はコア20#2に供給されるクロックの変化を示しており、(3)はコア20#3に供給されるクロックの変化を示しており、(4)はコア20#4に供給されるクロックの変化を示している。また、図中、(5)はバスクロックの変化を示している。

[0052] 図示するように、コア20#1～20#4は、基準クロックを基準として

、 $1/4$ 周期ずつ位相をずらして順に動作する。そして、その位相差に相当する期間は、バスクロックの半周期に一致している。本実施例において、DRAMコントローラ30は、バスクロックの立ち上がり及び立ち下りの双方で動作する。この結果、各コアの動作タイミング期間中に、実質的に1クロック分のバスクロックが割り当てられることになる。

[0053] 従って、異なるコアがDRAM50に同時にアクセスすることにより干渉が生じるという課題を解決することができる。例えばコア20#1がDRAM50からのロード命令を実行した場合、その実行結果はコア20#2に供給されるクロックの立ち上がり前に、コア20#1の内部レジスタ等に格納されることになる。従って、続いてコア20#2がメモリアクセス命令を実行したとしても、当該メモリアクセス命令はコア20#1によるロード命令とは干渉しない。

[0054] また、本発明の第2実施例に係る情報処理装置2では、コアの個数の $1/2$ と、バスクロックの周波数 F_b と基準クロックの周波数 F_s の比率(F_b/F_s)を一致させている。この結果、各コアに供給されるクロックの立ち上がりと、バスクロックの立ち上がり又は立ち下りが一致することになり、バスクロックの半周期が必ず各コアの動作期間に割り当てられることになる。

[0055] 本実施例におけるDRAMコントローラ30は、バスクロックの立ち上がり及び立ち下りの双方で動作するため、各コアは、供給されたクロックの立ち上がりのタイミングでメモリアクセス命令を実行することが可能となる。

[0056] 前述の、「周波数の比率(F_b/F_s)は、DRAM50にアクセスするコアの個数の $1/2$ と同じか、それよりも大きいことが望ましい」なる記載は、このように各コアの動作タイミング期間中に、半周期以上のバスクロックを割り当てる必要があることに基づく。

[0057] この結果、本発明の第2実施例に係る情報処理装置2では、メモリアクセスの干渉を確実に回避することができる。また、各コアの動作タイミング期

間中において、メモリアクセス命令を確実に実行することができる。更に、CPUコアに供給されるクロックの周波数を比較的低くするため、CPUの動作による電力消費や発熱を抑制し、コストを低減することもできる。なお、第1実施例と比較すると、バスクロックの周波数が同じであると仮定した場合に、より高速な処理を実現することが可能である。

[0058] 図4及び図5によって説明した従来のマルチコア装置との比較については、第1実施例と同様であるため、説明を省略する。

[0059] 以上説明した本実施例の情報処理装置2によれば、メモリアクセスの干渉を確実に回避すると共に、電力消費や発熱を抑制することができる。

[0060] また、比較的低いクロック周波数を用いて、迅速な並行・分散処理を実現することができる。

[0061] 更に、各コアに供給されるクロックの位相をずらすことにより、突入電流の増加を抑制することができ、電力消費やノイズを低減することができる。

[0062] 以上、本発明を実施するための最良の形態について実施例を用いて説明したが、本発明はこうした実施例に何等限定されるものではなく、本発明の要旨を逸脱しない範囲内において種々の変形及び置換を加えることができる。

[0063] 例えば、基準クロックから位相のずれたクロックを各コアに供給するものとしたが、各コアに同一のクロックを供給し、コアの内部において動作タイミングのみをずらす構成でもよい。

符号の説明

- [0064] 1、2 情報処理装置
- 10 マイコン
- 20 CPU
- 20#1、20#2、20#3、20#4 コア
- 30 DRAMコントローラ
- 40 内部バス
- 50 DRAM
- 60 データバス

70 クロックジェネレータ

72#2～72#4 位相オフセット部72

80 周波数変換部

請求の範囲

- [請求項1] 複数の命令実行手段と、
該複数の命令実行手段によりアクセスされるメモリと、
を備える情報処理装置であって、
前記複数の命令実行手段は、基準クロックを基準として他の命令実行手段と位相差をもって動作し、
前記複数の命令実行手段と前記メモリとを接続するバスに供給されるバスクロックの周波数は、前記基準クロックの周波数の n 倍である ($n \geq 2$) ことを特徴とする、
情報処理装置。
- [請求項2] 請求項1に記載の情報処理装置であって、
前記バスクロックの周期は、前記位相差に相当する期間と等しい、
又は前記位相差に相当する期間に比して小さいことを特徴とする、情報処理装置。
- [請求項3] 請求項1に記載の情報処理装置であって、
前記 n は、前記同一のメモリにアクセスする複数の命令実行手段の個数以上の値である、情報処理装置。
- [請求項4] 請求項3に記載の情報処理装置であって、
前記複数の命令実行手段は、前記基準クロックを基準として $1/n$ 周期ずつ位相をずらして順に動作することを特徴とする、情報処理装置。
- [請求項5] 複数の命令実行手段と、
該複数の命令実行手段によりアクセスされるメモリと、
を備える情報処理装置であって、
前記複数の命令実行手段は、基準クロックを基準として他の命令実行手段と位相差をもって動作し、
前記複数の命令実行手段と前記メモリとを接続するバスに供給されるバスクロックの周波数は、前記基準クロックの周波数の n 倍であり

($n \geq 1$)、且つ、該バスクロックの $1/2$ 周期は、前記位相差に相当する期間と等しい、又は前記位相差に相当する期間に比して小さいことを特徴とする、

情報処理装置。

[請求項6]

請求項5に記載の情報処理装置であって、

前記 n は、前記同一のメモリにアクセスする複数の命令実行手段の個数の $1/2$ 以上の値である、情報処理装置。

[請求項7]

請求項6に記載の情報処理装置であって、

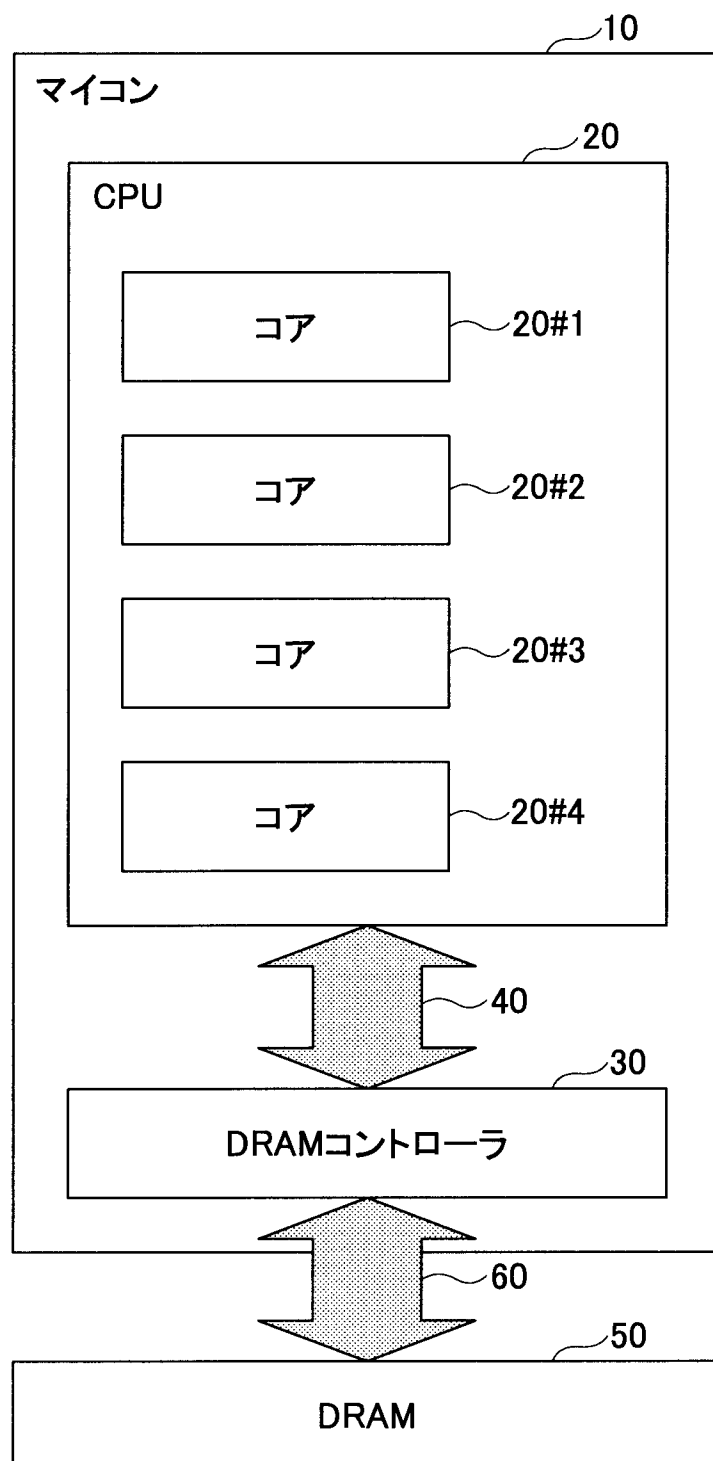
前記複数の命令実行手段は、前記基準クロックを基準として $1/n$ 周期ずつ位相をずらして順に動作し、

前記複数の命令実行手段と前記メモリとを接続するバスを制御する制御手段は、バスクロックの立ち上がり及び立ち下りの双方で動作することを特徴とする、情報処理装置。

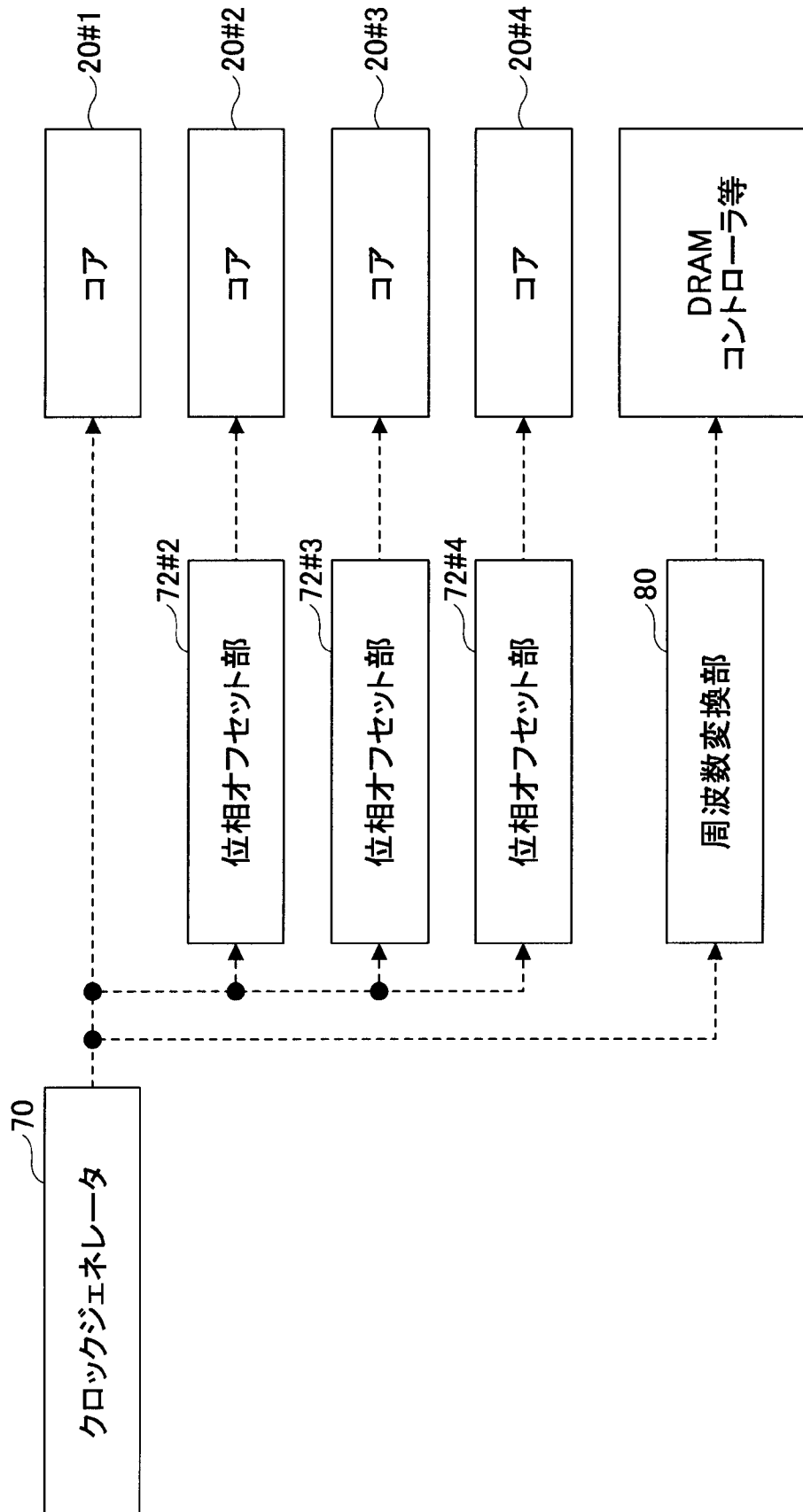
[請求項8]

車両に搭載され、車載機器の制御のための情報処理を実行する、請求項1ないし7のいずれか1項に記載の情報処理装置。

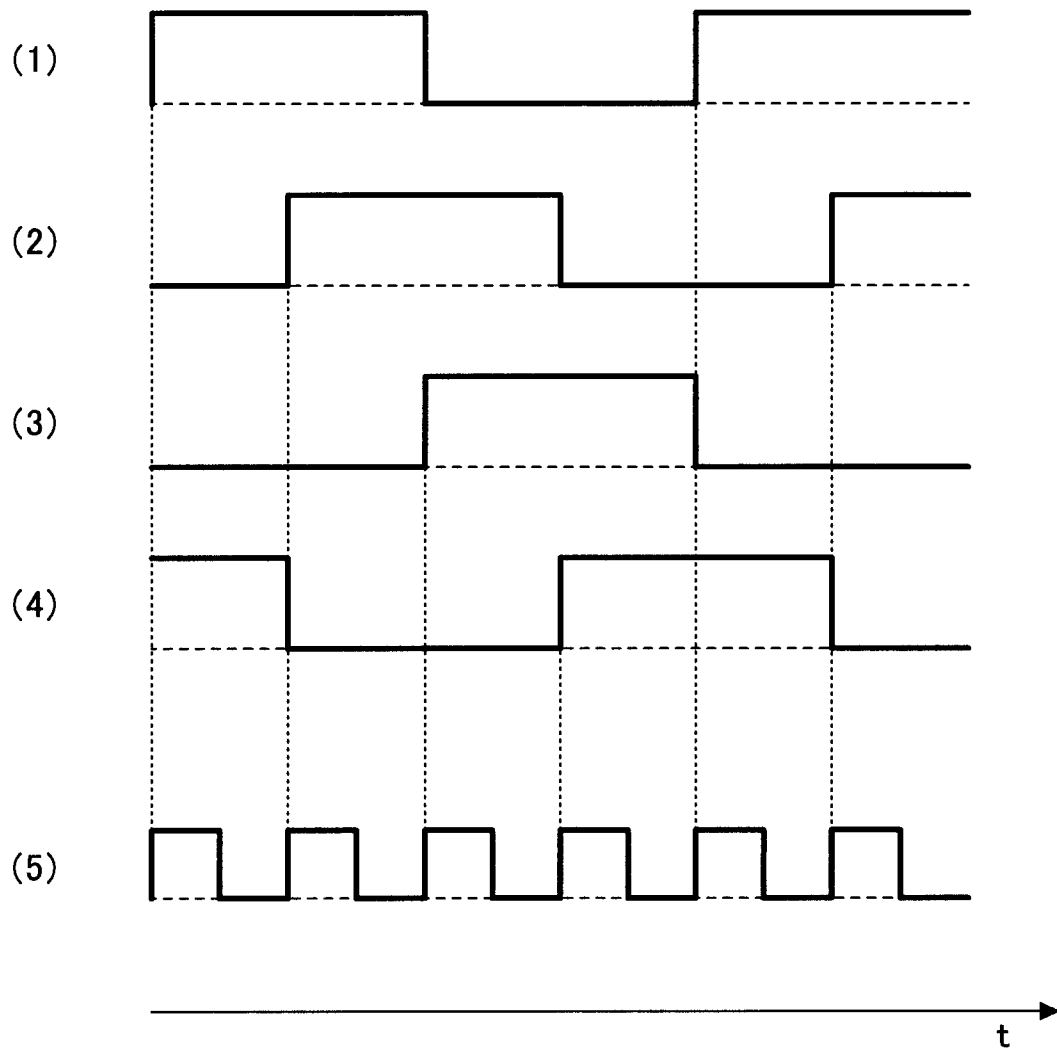
[図1]

1

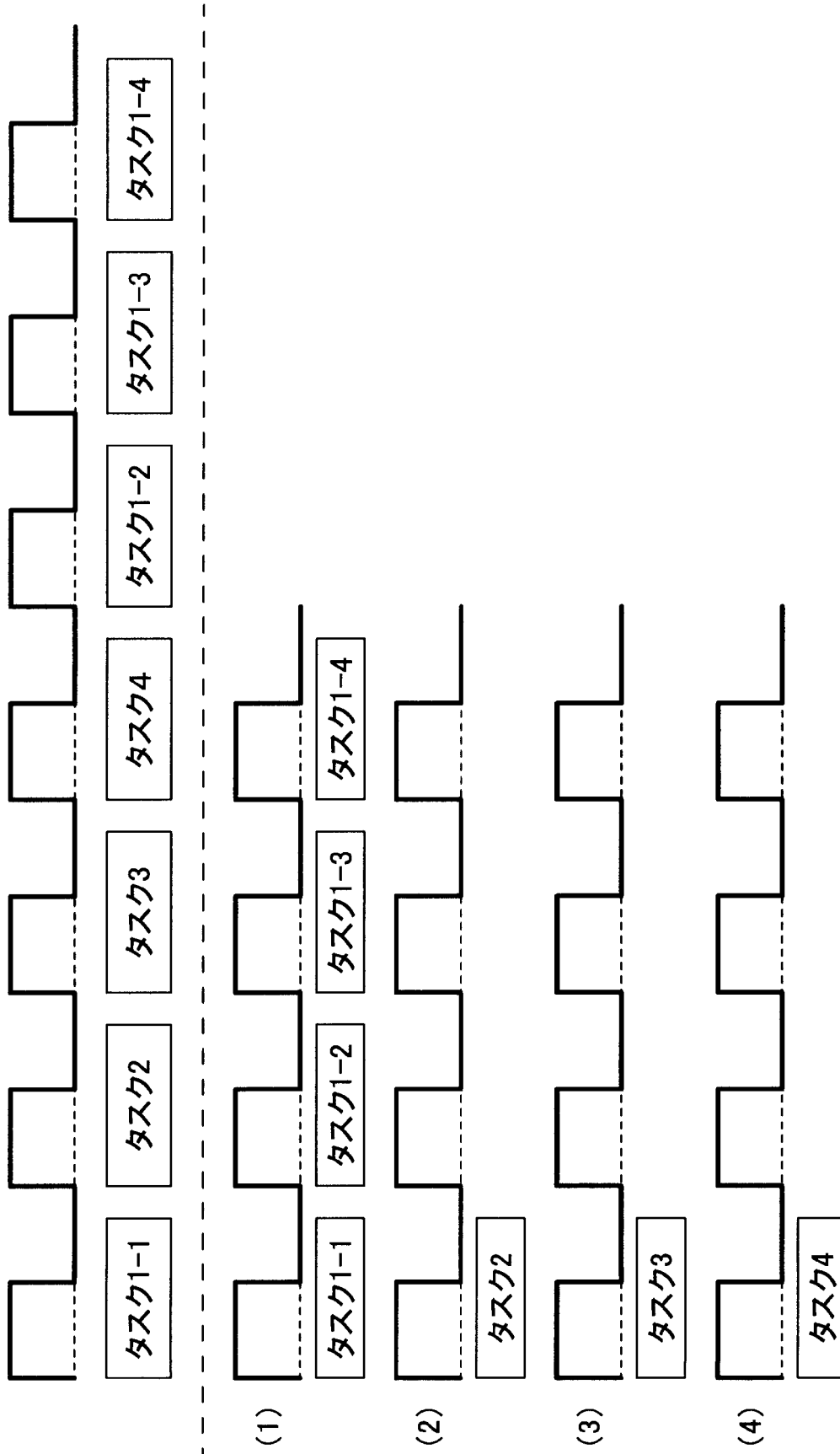
[図2]



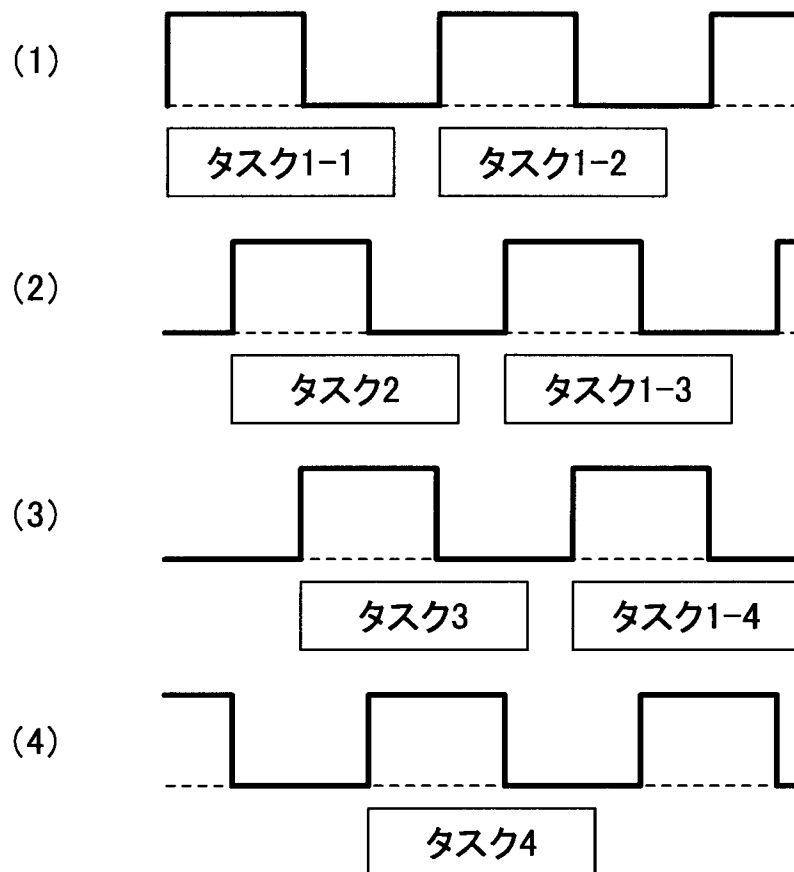
[図3]



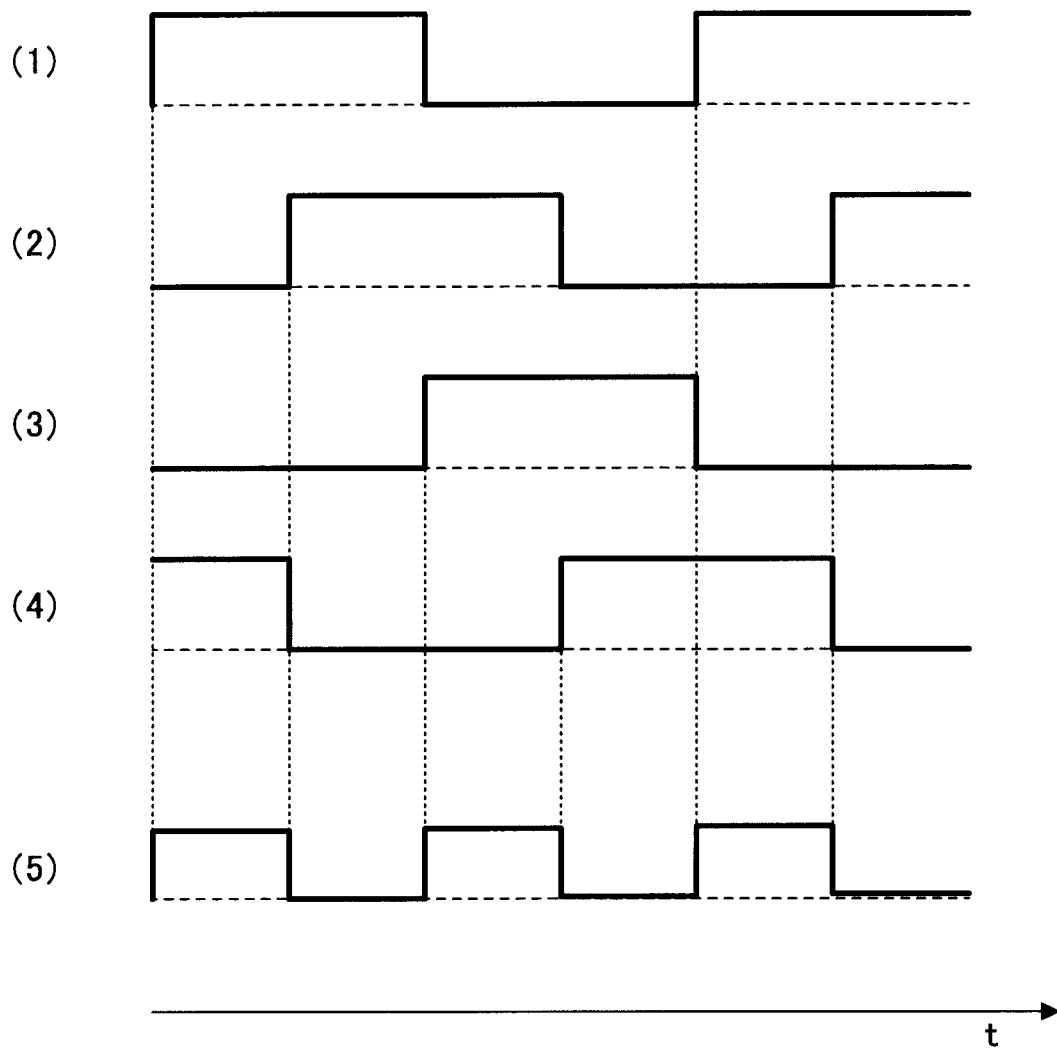
[図4]



[図5]



[図6]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2010/050641

A. CLASSIFICATION OF SUBJECT MATTER

G06F15/80 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G06F15/80

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2010

Kokai Jitsuyo Shinan Koho 1971-2010 Toroku Jitsuyo Shinan Koho 1994-2010

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 61-121172 A (Fujitsu Ltd.), 09 June 1986 (09.06.1986), entire text; all drawings (Family: none)	1-8
A	JP 58-149555 A (Fujitsu Ltd.), 05 September 1983 (05.09.1983), entire text; all drawings (Family: none)	1-8
A	JP 5-101207 A (Matsushita Electric Industrial Co., Ltd.), 23 April 1993 (23.04.1993), entire text; all drawings (Family: none)	1-8

☐

Further documents are listed in the continuation of Box C.

☐

See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

23 February, 2010 (23.02.10)

Date of mailing of the international search report

09 March, 2010 (09.03.10)

Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (I P C))

Int.Cl. G06F15/80(2006.01)i

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (I P C))

Int.Cl. G06F15/80

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 0 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 0 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 0 年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	J P 6 1 - 1 2 1 1 7 2 A (富士通株式会社) 1 9 8 6 . 0 6 . 0 9 , 全文, 全図 (ファミリーなし)	1 - 8
A	J P 5 8 - 1 4 9 5 5 5 A (富士通株式会社) 1 9 8 3 . 0 9 . 0 5 , 全文, 全図 (ファミリーなし)	1 - 8
A	J P 5 - 1 0 1 2 0 7 A (松下電器産業株式会社) 1 9 9 3 . 0 4 . 2 3 , 全文, 全図 (ファミリーなし)	1 - 8

C 欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&」同一パテントファミリー文献

国際調査を完了した日

2 3 . 0 2 . 2 0 1 0

国際調査報告の発送日

0 9 . 0 3 . 2 0 1 0

国際調査機関の名称及びあて先

日本国特許庁 (I S A / J P)

郵便番号 1 0 0 - 8 9 1 5

東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)

久保 正典

5 B

9 6 4 2

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 4 5