



Государственный комитет
СССР
по делам изобретений
и открытий

О П И С А Н И Е ИЗОБРЕТЕНИЯ

К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ

(11) 943731

(61) Дополнительное к авт. свид-ву -

(22) Заявлено 06.06.80 (21) 2936289/18-24

с присоединением заявки № -

(23) Приоритет -

Опубликовано 15.07.82. Бюллетень № 26

Дата опубликования описания 18.07.82

(51) М. Кл.³

G 06 F 9/46

(53) УДК 681.
.325(088.8)

(72) Автор
изобретения

В.В. Аристов

(71) Заявитель

Институт электродинамики АН Украинской ССР

(54) УСТРОЙСТВО ДЛЯ АНАЛИЗА ПОСЛЕДОВАТЕЛЬНЫХ
КОДОВ

1
Изобретение относится к автоматике и вычислительной технике и может быть использовано в специализированных вычислительных и управляющих устройствах и системах различного назначения.

Известно устройство для анализа кодов прерываний, содержащее элементы И, ИЛИ, триггерные регистры [1].

Недостатком такого устройства являются сложность оборудования для организации анализа последовательных кодов.

Наиболее близким по технической сущности к изобретению является устройство, содержащее элементы И, ИЛИ, счетчик, триггеры, распределитель импульсов [2].

Устройство имеет следующие недостатки: сложность оборудования и ограниченная область применения из-за невозможности анализа последовательных кодов с произвольным представлением входных двоичных данных.

2
Цель изобретения - расширение области применения устройства.

Поставленная цель достигается тем, что в устройство для анализа последовательных кодов, содержащее счетчик и первый триггер, введены блок памяти, счетный триггер, второй, третий и четвертый триггеры, три элемента И, элемент НЕ и элемент задержки, причем кодовый вход устройства соединен с первым входом адреса записи блока памяти, с единичным входом первого триггера, с первым входом первого элемента И и через элемент НЕ с первым входом второго элемента И, тактовый вход устройства соединен с входом счетчика, с тактовым входом блока памяти и со вторыми входами первого и второго элемента И, информационный выход счетчика соединен с информационным входом блока памяти, выход переполнения счетчика соединен с входом счетного триггера, с единичным входом второго триггера и че-

рез элемент задержки с единичными входами третьего и четвертого триггеров, нулевые входы которых соединены соответственно с выходами первого и второго элементов И, выходы третьего и четвертого триггеров соединены соответственно с первым, вторым входами третьего элемента И, выход которого соединен с нулевым входом второго триггера, выход которого является сигнальным выходом устройства, единичный выход счетного триггера соединен со вторым входом адреса записи блока памяти, нулевой выход счетного триггера соединен с первым входом адреса считывания блока памяти, выход первого триггера соединен со вторым входом адреса считывания блока памяти, выход которого является информационным выходом устройства.

На чертеже приведена структурная схема устройства.

Устройство содержит счетчик 1, триггер 2, счетный триггер 3, блок 4 памяти, триггеры 5, 6, 7, элемент 8 задержки, элементы И 9, 10, 11, элемент НЕ 12, тактовый вход 13 устройства, информационный вход 14 устройства, информационный выход 15 устройства, сигнальный выход 16 устройства.

Последовательность работы предлагаемого устройства состоит в задании анализируемого последовательного кода в порядке, начиная с младших разрядов, на информационном входе устройства и тактирующей серии на тактовом входе. На выходе устройства после числа тактов, равного емкости счетчика 1 (и числу разрядов (каналов) анализируемого числа), появляется код номера старшего разряда, имеющего единичное состояние, если последний разряд анализируемого кода (знаковый) был нулевым, или код старшего разряда, имеющего нулевое состояние, если последний анализируемый разряд был единичным.

Работу устройства рассмотрим на примере выделения старшего значащего разряда двоичного числа, представленного в дополнительном коде младшими разрядами вперед для двух вариантов знаков:

- а) $A=0.000101100010$ - положительное число;
 б) $A=1.110100010011$ - отрицательное число.

Адреса разрядов, которые необходимо определить в обоих вариантах, подчеркнуты, причем поскольку знаковый разряд поступает последним, то до его поступления отсутствует признак, какие уровни - единичные или нулевые - необходимо анализировать.

Блок памяти 4 выполнен на регистровом ЗУ типа 155РП1 и содержит первый и второй входы адреса записи, первый и второй входы адреса считывания, стробирующий вход записи, стробирующий вход считывания (на чертеже не показан), информационный вход и выход, причем возможно раздельное управление адресами записи и считывания одновременно.

Анализируемое число А, поступая на вход 14, управляет первым входом адреса записи блока памяти 4. На второй вход адреса записи подается сигнал с триггера 3, состояние которого меняется лишь при поступлении сигнала с последовательного выхода счетчика 1 после анализа последнего (знакового) разряда. Следовательно, при анализе кода состояние триггера 3 не меняется и соответствует, например, единичному. В этом случае на второй вход адреса записи блока памяти 4 поступает уровень "0", поэтому нулевые разряды анализируемого числа А формируют адрес записи 00, а единичные - 01. На информационный вход блока памяти 4 с параллельного выхода счетчика 1 поступает код номера разряда, поэтому по стробирующему входу записи блока памяти 4 в ячейку с адресом 00 записываются последовательно адреса разрядов, имеющие уровни "0", а в ячейку 01 - уровни "1".

С приходом последнего разряда, знакового, счетчик 1 формирует импульс, по заднему фронту изменяющий состояние триггера 3 и разрешая занесение знакового разряда в триггер 2. Поскольку первый вход адреса считывания блока 4 соединен с инверсным выходом триггера 2, для положительного числа устанавливается адрес считывания 01, а для отрицательного - 00, и на выходе блока 4 имеется код номера подчеркнутого разряда соответственно для варианта а и б. Этот код сохраняется на выходе блока 4 в течение всего цикла анализа очередного числа А, для которого, так как триг-

гер 3 изменил состояние, адрес разрядов со значениями "0" записывается в ячейку с адресом 10, а со значениями "1" - в ячейку с адресом 11, а считывание с одной из этих ячеек осуществляется при анализе очередного числа А.

Так как при анализе последовательных кодов числа А с одинаковыми значениями разрядов

в) А = 0.00000000

или

г) А = 1.11111111

будет считан адрес предыдущего числа, то в конце анализа необходима предварительная установка ячеек памяти записи в начальное состояние, что может потребовать еще несколько дополнительных тактов работы. В ряде случаев (в особенности, для специальных целей - последовательном устройстве для вычисления элементарных функций и т.п.) указанные дополнительные такты работы могут оказаться нежелательными. В этом случае устройство дополняется схемой дешифрации равнозначных состояний последовательных входных данных. Эта схема выполнена на триггерах 5, 6, 7, элементе задержки 8, элементах И 9, 10, 11 и элементе НЕ 12.

Разряды числа А поступают на элемент И 10 непосредственно, а на элемент И 9 - через элемент НЕ 12. При поступлении сигнала по тактовому входу 13 устройства выполняется логика и на одном из элементов 9 или 10, устанавливая первый 5 или второй 6 триггер в единичное состояние. В конце предыдущего цикла импульсом с последовательного выхода счетчика 1 через элемент задержки 8 оба эти триггера устанавливаются в нулевое состояние, поэтому после анализа числа А для вариантов а и б оба триггера в конце цикла обязательно оказываются в единичном состоянии, которое через третий элемент И 11 в конце цикла анализа переписывается в триггер 7. Для вариантов в или г лишь один из триггеров 5 или 6 окажется в единичном состоянии, что приводит к установке в конце цикла анализа триггера 7 в нулевое состояние. Выход этого триггера является сигнальным выходом устройства и служит для определения равнозначных состояний.

Применение изобретения позволяет расширить область применения устройства за счет возможности анализа последовательных кодов с произвольным представлением двоичных данных.

Формула изобретения

Устройство для анализа последовательных кодов, содержащее счетчик и первый триггер, отличающееся тем, что, с целью расширения области применения, устройство содержит блок памяти, счетный триггер, второй, третий и четвертый триггеры, три элемента И, элемент НЕ и элемент задержки, причем кодовый вход устройства соединен с первым входом адреса записи блока памяти, с единичным входом первого триггера, с первым входом первого элемента И и через элемент НЕ с первым входом второго элемента И, тактовый вход устройства соединен с входом счетчика, с тактовым входом блока памяти и со вторыми входами первого и второго элементов И, информационный выход счетчика соединен с информационным входом блока памяти, выход переполнения счетчика соединен с входом счетного триггера, с единичным входом второго триггера и через элемент задержки с единичными входами третьего и четвертого триггеров, нулевые входы которых соединены соответственно с выходами первого и второго элементов И, выходы третьего и четвертого триггеров соединены соответственно с первым и вторым входами третьего элемента И, выход которого соединен с нулевым входом второго триггера, выход которого является сигнальным выходом устройства, единичный выход счетного триггера соединен со вторым входом адреса записи блока памяти, нулевой выход счетного триггера соединен с первым входом адреса считывания блока памяти, выход первого триггера соединен со вторым входом адреса считывания блока памяти, выход которого является информационным выходом устройства.

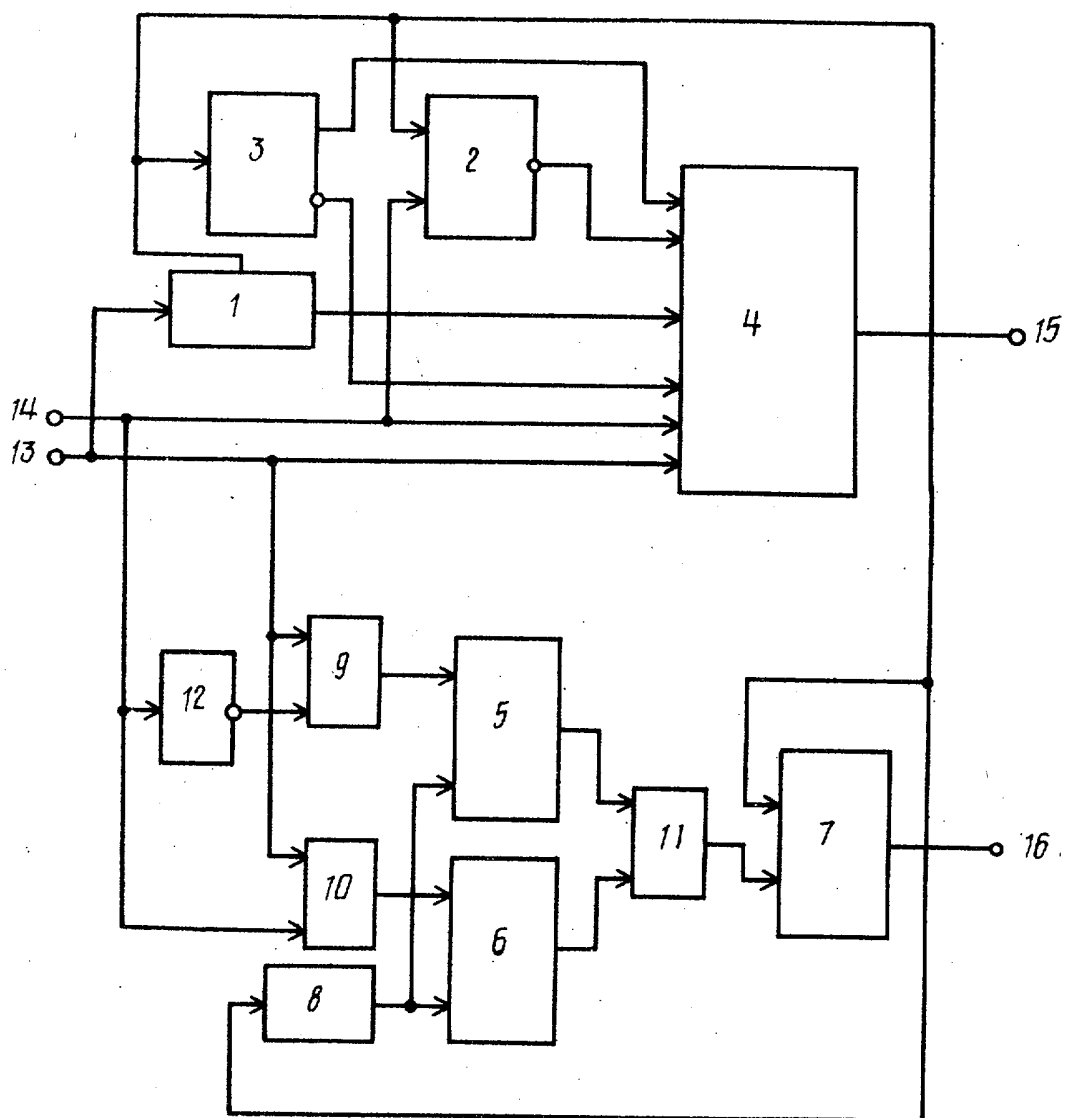
Источники информации,

принятые во внимание при экспертизе

1. Авторское свидетельство СССР № 703812, кл. G 06 F 9/46, 1977.

2. Авторское свидетельство СССР № 697995, кл. G 06 F 9/46, 1978

(прототип).



Составитель М. Кудряшев

Редактор А. Долинич

Техред З. Палий

Корректор Г. Огар

Заказ 5113/57

Тираж 731

Подписное

ВНИИПИ Государственного комитета СССР

по делам изобретений и открытий

113035, Москва, Ж-35, Раушская наб., д. 4/5

Филиал ППП "Патент", г. Ужгород, ул. Проектная, 4