

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4353362号
(P4353362)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年8月7日(2009.8.7)

(51) Int.Cl.	F 1
HO4N 5/445 (2006.01)	HO 4 N 5/445
HO4N 7/173 (2006.01)	HO 4 N 7/173 6 3 O
HO4N 7/01 (2006.01)	HO 4 N 7/01 Z

請求項の数 22 (全 19 頁)

(21) 出願番号	特願2003-550497 (P2003-550497)
(86) (22) 出願日	平成14年11月25日 (2002.11.25)
(65) 公表番号	特表2005-512414 (P2005-512414A)
(43) 公表日	平成17年4月28日 (2005.4.28)
(86) 國際出願番号	PCT/US2002/037630
(87) 國際公開番号	W02003/049436
(87) 國際公開日	平成15年6月12日 (2003.6.12)
審査請求日	平成17年11月4日 (2005.11.4)
(31) 優先権主張番号	60/336,650
(32) 優先日	平成13年12月3日 (2001.12.3)
(33) 優先権主張国	米国(US)
(31) 優先権主張番号	10/190,185
(32) 優先日	平成14年7月5日 (2002.7.5)
(33) 優先権主張国	米国(US)

(73) 特許権者	501263810 トムソン ライセンシング Thomson Licensing フランス国, エフ-92100 プロ ニュ ビヤンクール, ケ アルフォンス ル ガロ, 46番地 46 Quai A. Le Gallio , F-92100 Boulogne- Billancourt, France
(74) 代理人	100115864 弁理士 木越 力
(72) 発明者	ハツチンソン, ダニエル マーク アメリカ合衆国 インディアナ州 カーメ ル ラレード・ドライブ 13790

最終頁に続く

(54) 【発明の名称】ビデオ信号処理システムおよびデジタル・ビデオ・システムにおいてデータを処理する方法

(57) 【特許請求の範囲】

【請求項 1】

第1のピクセル領域から第2のピクセル領域にビデオ・データを含む信号を変換する第1のサンプル・レート変換器と、

前記第2のピクセル領域から前記第1のピクセル領域に前記ビデオ・データを含む信号を変換する前記第2のサンプル・レート変換器と、
を備え、

前記第1のサンプル・レート変換器は制御信号を生成し、前記第2のサンプル・レート変換器は、前記制御信号を受信し、前記制御信号は前記第2のサンプル・レート変換器におけるデータのサンプリングを制御することを特徴とする、
ビデオ信号処理システム。

【請求項 2】

前記第1のピクセル領域が、非直交ピクセル領域であり、前記第2のピクセル領域が、直交ピクセル領域であり、前記システムは前記直交ピクセル領域のサンプリング・レートでサンプルされたビデオ・データを前記第1のサンプル・レート変換器から受信するプロセッサを備え、

前記プロセッサが、前記第1のサンプル・レート変換器により生成された前記制御信号に応答して、前記第1のサンプル・レート変換器と前記第2のサンプル・レート変換器との間のデータ転送を制御する、請求項1に記載のビデオ信号処理システム。

【請求項 3】

前記プロセッサにより、ピクチャ・イン・ピクチャ機能が利用可能になる、請求項 2 に記載のビデオ信号処理システム。

【請求項 4】

前記非直交ピクセル領域から前記直交ピクセル領域にピクチャ・イン・ピクチャ・データを変換し、前記直交ピクセル領域における前記ピクチャ・イン・ピクチャ・データを前記プロセッサに出力する第 3 のサンプル・レート変換器を備える、請求項 3 に記載のビデオ信号処理システム。

【請求項 5】

前記第 2 のサンプル・レート変換器が、前記第 1 のサンプル・レート変換器により生成された前記制御信号に応答して、周波数補償を実行する位相コントローラを備える、請求項 1 に記載のビデオ信号処理システム。 10

【請求項 6】

前記第 1 のサンプル・レート変換器および前記第 2 のサンプル・レート変換器にクロック信号を供給するクロック信号発生器を備える、請求項 1 に記載のビデオ信号処理システム。

【請求項 7】

前記制御信号が、前記第 1 のサンプル・レート変換器により生成された位相制御信号を含む、請求項 2 に記載のビデオ信号処理システム。

【請求項 8】

非直交ピクセル領域から直交ピクセル領域にビデオ・データを含む信号を変換するサンプル・レート変換手段と、 20

前記直交ピクセル領域から前記非直交ピクセル領域に前記ビデオ・データを含む信号を変換する逆サンプル・レート変換手段と、を備え、

前記サンプル・レート変換手段はタイミング信号を生成し、前記逆サンプル・レート変換手段は、前記サンプル・レート変換手段により生成された前記タイミング信号を利用し、前記タイミング信号は前記逆サンプル・レート変換手段におけるデータのサンプリングを制御する、ビデオ信号処理システム。

【請求項 9】

前記直交ピクセル領域において前記サンプル・レート変換手段から前記ビデオ・データを受け取る処理手段を備える、請求項 8 に記載のビデオ信号処理システム。 30

【請求項 10】

前記処理手段が、前記サンプル・レート変換手段と前記逆サンプル・レート変換手段との間のデータ転送を制御するために、前記サンプル・レート変換手段により生成された前記タイミング信号を利用する、請求項 9 に記載のビデオ信号処理システム。

【請求項 11】

前記処理手段により、ピクチャ・イン・ピクチャ機能が利用可能になる、請求項 9 に記載のビデオ信号処理システム。

【請求項 12】

前記非直交ピクセル領域から前記直交ピクセル領域にピクチャ・イン・ピクチャ・データを変換し、前記直交ピクセル領域における前記ピクチャ・イン・ピクチャ・データを前記処理手段に出力する第 2 のサンプル・レート変換手段を備える、請求項 11 に記載のビデオ信号処理システム。 40

【請求項 13】

前記逆サンプル・レート変換手段が、前記サンプル・レート変換手段により生成された前記タイミング信号に応答して、周波数補償を実行する位相制御手段を備える、請求項 8 に記載のビデオ信号処理システム。

【請求項 14】

前記サンプル・レート変換手段および前記逆サンプル・レート変換手段にクロック信号を供給するクロック手段を備える、請求項 8 に記載のビデオ信号処理システム。

【請求項 15】

50

前記逆サンプル・レート変換手段が、前記直交ピクセル領域から前記非直交ピクセル領域に前記ビデオ・データを変換するときに、前記サンプル・レート変換手段により生成された位相制御信号を利用する、請求項8に記載のビデオ信号処理システム。

【請求項16】

非直交ピクセル領域から直交ピクセル領域にビデオ・データを含む信号を変換するためにはサンプル・レート変換器を使用するステップと、

前記直交ピクセル領域から前記非直交ピクセル領域に前記ビデオ・データを含む信号を変換するために逆サンプル・レート変換器を使用するステップと、を含み、

前記サンプル・レート変換器はタイミング信号を生成し、前記逆サンプル・レート変換器は、前記サンプル・レート変換器により生成された前記タイミング信号を利用し、前記タイミング信号は、前記逆サンプル・レート変換器におけるデータのサンプリングを制御する、デジタル・ビデオ・システムにおいてデータを処理する方法。
10

【請求項17】

前記直交ピクセル領域において前記ビデオ・データを処理するステップを含む、請求項16に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。

【請求項18】

前記処理により、ピクチャ・イン・ピクチャ機能が利用可能になる、請求項17に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。

【請求項19】

第2のサンプル・レート変換器を使用して、前記非直交ピクセル領域から前記直交ピクセル領域にピクチャ・イン・ピクチャ・データを変換するステップを含む、請求項18に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。
20

【請求項20】

前記逆サンプル・レート変換器を使用して、前記サンプル・レート変換器により生成された前記タイミング信号に応じて周波数補償を実行するステップを含む、請求項16に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。

【請求項21】

クロックを用いて、前記サンプル・レート変換器および前記逆サンプル・レート変換器にクロック信号を供給するステップを含む、請求項16に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。
30

【請求項22】

前記逆サンプル・レート変換器が、前記直交ピクセル領域から前記非直交ピクセル領域に前記ビデオ・データを変換するときに、前記サンプル・レート変換器により生成された位相制御信号を利用するステップを含む、請求項16に記載のデジタル・ビデオ・システムにおいてデータを処理する方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般に、ビデオ信号処理システムに関し、より詳細には、デジタル・ビデオ信号処理により生じる望ましくない画像アーティファクト(artifact)を除去するシステムに関する。
40

【背景技術】

【0002】

本出願は、2001年12月3日に米国特許商標局に出願され、そこで割り当てられた番号60/336,650を有する仮出願から得られる全ての特典を主張する。

【0003】

デジタル・ビデオ信号処理システムでは、様々なピクセル領域(pixel domain:ピクセル・ドメイン)で動作することが望ましい。例えば、信号サンプルが矩形グリッド(格子)上の点を表す直交(orthogonal)ピクセル領域で動作することは、しばしば有利である。この直交ピクセル領域でオンスクリーン表示処理を実行する
50

と、ビデオ・オーバーレイ (o v e r l a y) 上でのぎざぎざの縁部およびジッタを防止するための複雑なスキュー (s k e w) 補正方式の必要がなくなる。「 P I P 」 (P i c t u r e I n P i c t u r e : ピクチャ・イン・ピクチャ) 処理などのある種の応用例では、直交ピクセル領域を用いると、(例えば、挿入画像の圧縮およびオーバーレイ機能に用いる) このようなスキュー (s k e w : ずれ) 補正方式が不要になるばかりでなく、垂直フィルタ処理などの動作が簡略化される。特に、垂直フィルタ処理は、1つのフィールドからの画素と前のフィールド (またはフレーム) からの画素を比較するフレーム・コーミング (c o m b i n g) 処理を用いてしばしば実行される。このような処理を直交ピクセル領域以外で実行することは、不可能ではないにしても極めて難しいであろう。

【 0 0 0 4 】

10

1つの領域から別の領域に変換することが望ましい場合がある。例として、(例えば、ライン・ロック (l i n e - l o c k e d) 、バースト・ロック (b u r s t - l o c k e d)) 直交ピクセル領域に信号を変換して処理し、次いで、それを変換して元の非直交 (n o n o r t h o g o n a l) ピクセル領域に戻すことが望ましい場合がある。異なるピクセル領域は、各領域における動作が、個々の周波数で個々のタイミングを示すそれぞれのクロック信号により制御される異なるクロック領域とみなすこともできる。ここで説明する例では、直交ピクセル領域は、第1のクロック領域の例であり、非直交ピクセル領域は、第2のクロック領域の例である。様々なクロック領域が可能であり、必要なデジタル信号処理の個々の形態に好都合なクロック領域に応じて選択することができる。異なるクロック領域またはピクセル領域を用いることの特徴は、クロック領域間の変換が必要となり得ることである。例えば、非直交ピクセル領域から直交ピクセル領域にデータを変換するには、可変「 S R C 」 (S a m p l e R a t e C o n v e r t e r : サンプル・レート変換器) が必要である。可変サンプル・レート変換器 (S R C) は、(i) 1 水平ライン当たり一定の出力サンプル数と、(i i) (1 ライン当たりの入力サンプル数が変化するときでも) 出力サンプルと水平同期信号の間の所定の位相関係とを維持するために連続的に調整される変換比を用いる。同様に、直交ピクセル領域から非直交ピクセル領域にデータを逆変換するには、本明細書で可変逆サンプル・レート変換器 (I n v e r s e - S R C : I n v - S R C または逆 S R C) と称する第2の可変サンプル・レート変換器 (S R C) が必要である。

20

【 0 0 0 5 】

30

ある種のシステムでは、変換比を制御するために、第1のサンプル・レート変換器 (S R C) および第2のサンプル・レート変換器 (S R C) 、即ち逆サンプル・レート変換器 (I n v - S R C) は、共に「 P L L 」 (P h a s e L o c k L o o p) (位相同期ループ、フェーズ・ロック・ループ) 回路を必要とする。具体的には、 S R C を制御する P L L は、1水平ライン当たりの出力サンプル数 (例えば、 858) を固定するように変換比を調整する。 I n v - S R C を制御する P L L は、 S R C の入力におけるサンプル・レートに適合する出力サンプル・レートを生成するように変換比を調整する。このような場合、システムの過渡応答時間は、これら2つの P L L の応答時間の合計となる。従って、複数の P L L を使用すると、しばしば、「 V C R 」 (ビデオ・カセット・レコーダ) におけるヘッド切替動作により生じるものなど、水平トランジエント (t r a n s i e n t : 過渡的) 復旧間隔が長くなる。更に、複数の P L L を用いると、追加の回路が必要になり、システムにノイズが導入される恐れもある。このようなノイズにより、望ましくない画像のアーティファクトが表示されることがある。

40

【 0 0 0 6 】

従って、上記問題を回避し、それにより、システムの過渡応答時間およびノイズ耐性が損なわれることが防止され、回路の要件も軽減されるデジタル・ビデオ・システムが求められている。本発明は、上記その他の問題に対処するものである。

【 発明の開示 】

【 0 0 0 7 】

(発明の概要)

50

本発明は、1つには上述の問題を認識し、1つには上述の問題を解決するビデオ信号処理システムを供給することを含んでいる。より具体的には、本発明の態様によれば、ビデオ信号処理システムは、第1のサンプル・レート変換器および第2のサンプル・レート変換器を備えている。第1のサンプル・レート変換器は、ビデオ・データを第1のクロック領域から第2のクロック領域に変換する。第2のサンプル・レート変換器は、このビデオ・データを第2のクロック領域から第1のクロック領域に変換する。第2のサンプル・レート変換器は、ビデオ・データを第2のクロック領域から第1のクロック領域に変換するとき、サンプル・レート変換器により生成される制御信号を利用する。

【0008】

本発明の実施形態についての以下の説明を添付の図面と併せ読むことにより、本発明の上記その他の特徴および利点並びにそれらを実現する方法がより明らかになり、本発明がよりよく理解されよう。

10

【0009】

本明細書に提示した例は、本発明の好ましい実施形態を示すものであり、決してこのような例を本発明の範囲を限定するものと解釈すべきではない。

【発明を実施するための最良の形態】

【0010】

次に、図面を参照する。より具体的には図1を参照すると、本発明を実行するのに適当なデジタル・ビデオ・システムの一例に関連する部分100が示されている。例示し説明するために、図1は、ピクチャ・イン・ピクチャ(PIP)機能を利用可能にするビデオ・システムの一部100として示す。ただし、本明細書で以下に述べるように、図1の要素は、グラフィックスおよび/または他の「オンスクリーン表示(OSD:On-Screen Display)」用途などの他の応用例にも用いることができる。例えば、図1の構成要素は、1つまたは複数のIC(集積回路)上に含めることもできる。

20

【0011】

図1は、2つの入力チャネル(即ち、主画像用の1つのチャネルと、ピクチャ・イン・ピクチャ(PIP)を構成する挿入画像用の1つのチャネル)を含んでいる。主画像用のチャネルは、主画像を表すビデオ信号(即ち、VID1)を処理し、「ADC」(アナログ-デジタル変換器)10、「DSP」(デジタル信号プロセッサ)15およびサンプル・レート変換器(SRC)20を含んでいる。挿入画像用のチャネルは、挿入画像、即ちPIPを表すビデオ信号(即ち、VID2)を処理し、やはりアナログ-デジタル変換器(ADC)25、デジタル信号プロセッサ(DSP)30およびサンプル・レート変換器(SRC)35を含んでいる。主画像および挿入画像チャネルからの出力は、DSP40、逆サンプル・レート変換器(Inv-SRC)45、DSP50および「DAC」(デジタル-アナログ変換器)55を含む図1の残りの構成要素に供給される。

30

【0012】

動作時には、アナログ-デジタル変換器(ADC)10および25は、アナログ形式のビデオ信号VID1およびVID2を受け取り、それらをそれぞれデジタル形式に変換する。ADC10および25への入力部におけるビデオ信号VID1およびVID2の水平ライン周波数は、ビデオ・カセット・レコーダ(VCR)テープの伸びなど、通常の公差により変化し得る。従って、ADC10および25の出力部における1ライン当たりのサンプル数は変化し得る。ADC10および25からの出力信号は、それらに対してそれぞれデジタル信号処理動作を実行するデジタル信号プロセッサ(DSP)15および30に供給される。

40

【0013】

デジタル信号プロセッサ(DSP)15および30からの出力信号は、それらに対してそれぞれサンプル・レート変換動作を実行するサンプル・レート変換器(SRC)20および35に供給される。具体的には、SRC20および35はそれぞれ、第1のクロック領域、例えば非直交ピクセル領域から、第2のクロック領域、例えば(ライン・ロック、バースト・ロックなどの)直交ピクセル領域に信号を変換するように、サンプル・レー

50

ト変換動作を実行する。直交ピクセル領域に信号を変換するには、SRC20および35はそれぞれ、信号の瞬時ライン周波数に適合していなければならず、これには、一般に、「水平PLL」(HPLL:Horizontal PLL)が必要である。本明細書では、水平PLL(HPLL)を備えたSRCを「ライン・ロックSRC」と称する。

【0014】

サンプル・レート変換器(SRC)20および35からの変換済み出力信号は、図1ではピクチャ・イン・ピクチャ(PIP)プロセッサとして実行し得るデジタル信号プロセッサ(DSP)40に供給される。DSP40は、これらの変換済み信号をデジタル的に(例えば、PIP機能が利用可能になるように)処理し、直交ピクセル領域におけるその処理済み出力信号を、それに対して逆サンプル・レート変換動作を実行する別のSRC、例えば、図1に示す実施例ではInv-SRC45として示す第3のSRCに供給する。具体的には、Inv-SRC45は、直交ピクセル領域から非直交ピクセル領域に信号を変換するように、逆サンプル・レート変換動作を実行する。

【0015】

本発明の態様によれば、逆サンプル・レート変換動作を実行するとき、逆サンプル・レート変換器(Inv-SRC)45は、例えば図1に示す制御、即ちタイミング信号CTRにより示される、SRC20から供給される情報を利用する。このような情報を利用することにより、データ転送に必要なクロックは1つだけになり、一般に、複数クロックを使用することから生じる望ましくない画像アーティファクトの可能性を無くする助けとなる。更に、SRC20からの情報を用いると、Inv-SRC45内に別のPLLが不要になり、それにより、回路の要件が軽減され、システムの過渡応答時間およびノイズ耐性が更に損なわれることが防止される。

【0016】

逆サンプル・レート変換器(Inv-SRC)45からの変換済み出力信号は、それに対するデジタル信号処理動作を実行するデジタル信号プロセッサ(DSP)50に供給される。次いで、DSP50からの処理済み出力信号は、この処理済み信号をアナログ形式に変換し、このアナログ出力信号をビデオ・システムのディスプレイ・ドライバに供給するDAC55に供給される。

【0017】

次に、図2を参照すると、図1のサンプル・レート変換器(SRC)20および逆サンプル・レート変換器(Inv-SRC)45の更なる細部の例が示されている。図2では、SRC20は、ピクチャ・イン・ピクチャ(PIP)および/またはオンスクリーン表示(OSD)処理を簡略化するために非直交サンプル(Ya)を直交サンプル(Yb)に変換するライン・ロックSRCである。DSP40は、この直交サンプル(Yb)を受け取り、それを処理し、処理済みサンプル(Yc)をInv-SRC45に供給する。例示し説明するために、図2には、DSP40への入力チャネルを1つだけ示す。ただし、PIPなどの応用例では、一般に、DSP40は、(図示しない)別のチャネルのSRCから入力を受け取ることになる。DSP40は、フレーム・コム(くし型)フィルタ処理(frame comb filtering)など他の機能を行うことができるプロセッサとしても実現し得る。Inv-SRC45は、処理済みサンプル(Yc)を変換して、元の非直交領域における非直交サンプル(Yd)に戻す。マスタ・クロック信号MCLKは、SRC20、DSP40およびInv-SRC45にクロック信号を供給する。ある実施例によれば、マスタ・クロック信号MCLKの周波数は、18MHzである。

【0018】

図2に示すように、サンプル・レート変換器(SRC)20は、位相コントローラ22、「LPF」(Low Pass Filter:ローパス・フィルタ)23および位相検出器24を含む水平PLL(HPLL)内に多相フィルタ21を備えている。Inv-SRC45は、多相フィルタ46および位相コントローラ47を備えている。本明細書で前に示したように、Inv-SRC45は、SRC20からの情報を利用し、それにより、Inv-SRC45内の別のPLLが不要になる。従って、ビデオ・システムの性能を

改善し、且つコストを下げるより簡単な設計が実現される。

【0019】

動作時には、サンプル・レート変換器(SRC)位相コントローラ(phase controller)22は、ローパス・フィルタ(LPF)23からFilter_Out信号を受け取り、それに基づいて2つの制御信号を生成する。具体的には、SRC位相コントローラ22は、Tap(タップ)信号および「VSO」(Valid SRC Out: SRC出力有効)信号を生成する。本明細書で以下に説明するように、このTap信号は、位相制御信号であり、SRC多相フィルタ(poly-phase filter)21内の乗算器係数のルックアップ・テーブルを制御し、VSO信号は、直交領域におけるデータ転送を制御する制御信号、即ちタイミング信号である。即ち、このVSO信号により、直交領域と非直交領域のサンプル・レートが異なっていたとしても、直交領域が非直交領域と同じクロックを利用することになる。10

【0020】

ある実施例によれば、非直交領域は、18MHzの固定サンプル・レートを有し、直交領域は、1ライン当たり858個のサンプルを有する。このため、適用可能なビデオ信号が、公称水平ライン周波数である $F_h = 15.73426\text{ kHz}$ を有する場合、直交領域のサンプル・レートは、 $858 \times F_h = 13.5\text{ MHz}$ になる。従って、サンプル・レート変換器(SRC)20の変換比は、 $13.5 / 18 = 3 / 4$ になり、即ち、SRC20は、4つの入力サンプルごとに3つの出力サンプルを生成しなければならない。直交領域が、非直交領域と同じクロックを用いるためには、直交領域における信号処理は、4クロック・サイクルごとに1回休止しなければならないことになる。このように、(例えば、図2のVSO信号により示す)SRC20からのタイミング、即ち制御信号は、直交領域におけるデータ転送レジスタ用のイネーブル信号としても動作し、それにより、データ処理が活動状態にあるか、或いは休止状態にあるかが判定される。20

【0021】

次に、図3を参照すると、図2のSRC位相コントローラ22の更なる細部が例示されている。図3で、信号線の上に示す数字は、実施例において対応する信号線上を送信されるビット数(即ち、信号のビット幅)を表す。これらの数字は、決して限定的なものではない。即ち、本明細書で説明する本発明の原理に従って構成された他のシステムは、他のビット数、即ちビット幅を含む信号を用いることができる。また、図3で、横に「*」(アスタリスク)を有する信号線は、符号なし信号(即ち、正負の指示がない信号)を表す。30

【0022】

図3では、減算器221で、固定バイアス349, 525からFilter_Out信号を減じる。次いで、この減算結果を、周期的に更新される出力を有するアキュムレータ(積算器)に印加する。具体的には、このアキュムレータは、加算器222、切捨てブロック223およびD型フリップ・フロップ224を備えている。加算器222は、減算器221からの出力値を、D型フリップ・フロップ224から供給されるフィードバック信号値に加える。切捨てブロック223は、加算器222からの出力信号の「MSB」(Most Significant Bit: 最上位ビット)を切り捨て、得られた切捨て処理済み信号を、D型フリップ・フロップ224に供給する。D型フリップ・フロップ224は、Accum_En信号がハイ(高)のときはいつでも出力信号(即ち、「アキュムレータ出力」)を生成し、この出力信号を加算器222にフィードバックする。こうすると、Accum_En信号に応じて、このアキュムレータ出力が更新される。40

【0023】

Tap信号は、アキュムレータ出力から得られる。具体的には、このアキュムレータ出力は、アキュムレータ出力のMSBを切り捨てて、切捨て処理済み信号を生成する切捨てブロック225に印加される。乗算器226および減算器227は共に、切捨てブロック225からこの切捨て処理済み信号を受け取る。乗算器226は、切捨て処理済み信号に16を掛けて、得られた乗算済み信号を減算器227に供給する。減算器227は、乗算

50

器 226 により供給された乗算済み信号から、切捨てブロック 225 により供給された切捨て処理済み信号を減じる。次いで、この減算結果を切捨てブロック 228 に印加し、切捨てブロック 228 は、その M S B (最上位ビット) を切り捨てて、切捨て処理済み信号を生成する。別の切捨てブロック 229 が、切捨てブロック 228 から切捨て処理済み信号を受け取り、それから 18 個の「 L S B 」 (Least Significant Bit : 最下位ビット) を切り捨てて、別の切捨て処理済み信号を生成する。D型フリップ・フロップ 230 は、切捨てブロック 229 から切捨て処理済み信号を受け取り、(例えば、図 2 のブロック 48 からの) マスタ・クロック信号 M C L K に従ってクロック制御され、それにより T a p 信号が出力される。

【 0024 】

10

本明細書で上述したように、 T a p 信号は、 S R C 多相フィルタ 21 内の乗算器係数のルックアップ・テーブルを制御する。より具体的には、 T a p 信号値は、 S R C 多相フィルタ 21 のルックアップ・テーブル中の列数に相当する。ある実施例によれば、 S R C 20 は、入力サンプル間に 60 個の位相を有し、 S R C 多相フィルタ 21 のルックアップ・テーブルは 60 列の係数を含んでいる。従って、 T a p 信号は、アキュムレータ出力の 20 個の L S B (即ち、切捨てブロック 225 からの 20 ビットの信号出力) が、 $2^{20} - 1$ からゼロに戻るときに、 59 からゼロに戻らなければならない。従って、 T a p 信号のゲイン (利得) は、正確に $60 / 2^{20}$ (即ち、 $15 / 2^{18}$ に等しい) にならなければならぬ。

【 0025 】

20

T a p 信号と同様に、 V S O 信号もアキュムレータ出力から得られる。具体的には、アキュムレータ出力は、アキュムレータ出力の 20 個の L S B (最下位ビット) を切り捨てて、切捨て処理済み信号を生成する切捨てブロック 231 に印加される。D型フリップ・フロップ 232 および否定排他的論理和 (e x c l u s i v e - N O R) ゲート 233 は共に、切捨てブロック 231 から切捨て処理済み信号を受け取る。否定排他的論理和ゲート 233 は、マスタ・クロック信号 M C L K に応じて D型フリップ・フロップ 232 からも出力信号を受け取る。否定排他的論理和ゲート 233 からの出力信号は、アキュムレータ出力の M S B (最上位ビット) においてロー (低) からハイ (高) 、またはハイ (高) からロー (低) への遷移が起こらない限りハイ (高) である A c c u m _ E n 信号を表す。即ち、通常、 A c c u m _ E n 信号は、ハイ (高) であるが、アキュムレータ出力の 20 個の L S B が最大値 (例えば、 $2^{20} - 1$) から最小値 (例えば、ゼロ) に送られるときの 1 クロック・サイクルに対してロー (低) になる。D型フリップ・フロップ 234 は、 A c c u m _ E n 信号を受け取り、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより V S O 信号が出力される。図 3 では、 T a p 信号および V S O 信号は、レジスタに記憶された出力である (即ち、クロック制御される D F F 230 および 234 からそれぞれ供給される) 。通常、 V S O 信号はハイ (高) であるが、 T a p 信号がその最大値 (例えば、 59) からその最小値 (例えば、ゼロ) に送られるときの 1 クロック・サイクルに対してロー (低) になる。

【 0026 】

30

サンプル・レート変換器 (S R C) 20 への水平ライン周波数入力が公称値 (n o m i n a l) (例えば、 15.73426 kHz) のとき、 F i l t e r _ O u t 信号の定常値は、ゼロである。従って、アキュムレータ出力は、 A c c u m _ E n 信号がハイ (高) の場合、 18 MHz のクロック・サイクルごとに 349, 525 だけ増加することになる。図 4 の線図 400 に、得られた T a p 信号および V S O 信号を示す。即ち、図 4 は、 F i l t e r _ O u t 信号がゼロであるときの T a p 信号および V S O 信号の例を示す。図 4 では、見やすいように V S O 信号に 15 が掛けられていること (即ち、 V S O * 15) に留意されたい。図 4 で、最初の 2 つのクロック・サイクル (入力から出力までの遅延) を無視すると、 V S O 信号は、ハイ (高) であり、 T a p 信号により、 18 MHz の 4 つのクロック・サイクルのうちの 3 つが変化する。直交領域処理は、 V S O 信号がハイ (高) のとき有効になり、 V S O 信号がロー (低) のとき無効になる。従って、 V S O 信号が

40

50

ハイ（高）のときのクロック・サイクルに対応するデータ・サンプルは、有効なサンプルになり、V S O 信号がロー（低）のときのクロック・サイクルに対応するデータ・サンプルは、無効なサンプルになる。図5の線図500に、有効なデータ・サンプルと無効なデータ・サンプルの違いを示す。図5では、入力データ・サンプル期間の間に60個の位相がある。関連する入力サンプルに対する相対的な内挿値の位相は、T a p 信号値（例えば、19、39、59、休止、19、39、59...）に対応する。この位相は、20個、または、入力サンプル間の期間の1/3（即ち、20/60）ずつ増加する。その結果、入力サンプル期間の4/3倍となる出力サンプル期間が得られる。

【0027】

水平ライン周波数が公称値よりも低い（例えば、15.73426 kHzよりも低い）場合、F i l t e r _ O u t 信号はプラス（+）になり、アキュムレータ入力（即ち、図3の加算器222への入力）は減少し、（平均して）4つの有効な出力サンプルのうちS R C 2 0からの有効な出力サンプルは3つよりも多くなる。逆に、水平ライン周波数が公称値よりも高い（例えば、15.73426 kHzよりも高い）とき、F i l t e r _ O u t 信号はマイナス（-）になり、アキュムレータ入力は増加し、（平均して）4つの有効な出力サンプルのうちS R C 2 0からの有効な出力サンプルは3つよりも少なくなる。

【0028】

実施例では、逆サンプル・レート変換器（I n v - S R C ）45は、直交入力ピクセル・サンプルを変換して18MHzの非直交領域に戻す。従って、I n v - S R C 45は、幾つかのクロック・サイクルで入力サンプルが無効（即ち、直交領域における処理が休止状態のとき。図5参照）であっても、18MHzクロック・サイクルごとに有効出力サンプルを生成しなければならない。そのため、I n v - S R C 45は、無効な入力サンプルが生じたときには、有効な入力サンプル間で内挿し、前のサンプルまたは過去のサンプルに基づいて外挿しなければならない。このように、S R C 2 0により生成されるV S O 信号は、I n v - S R C 45に対して少なくとも2つの別個の機能を果たす。第1に、V S O 信号は、直交領域におけるデータ転送を制御し（即ち、I n v - S R C 45の多相フィルタ46への入力。図2参照）、それにより、無効なサンプルが多相フィルタ46に入力されるのを防止する。第2に、I n v - S R C 45の位相コントローラ47は、V S O 信号を用いて、内挿（i n t e r p o l a t i o n ）および外挿（e x t r a p o l a t i o n ）が適切なタイミングで行われるように位相を調整する。

【0029】

図6を参照すると、図2の逆サンプル・レート変換器（I n v - S R C ）45の基本的なバージョンの位相コントローラ47の更なる細部が例示されている。図6では、信号線の上に示す数字は、実施例において対応する信号線上を送信されるビット数を表す。これらの数字は、決して限定的なものではない。また、図6では、横に「*」（アスタリスク）を有する信号線は、符号なし信号（即ち、正負の指示がない信号）を表す。

【0030】

図6では、減算器471で、固定値79からT a p 信号を減算する。次いで、この減算結果をリミッタ（制限器）472に印加する。リミッタ472は、その入力に基づいて、値が60～79に制限された出力信号を生成する。マルチプレクサ483は、リミッタ472から出力信号を受け取り、第2信号経路からも入力信号を受け取る。この信号経路は、加算器480、切捨てブロック481およびD型フリップ・フロップ482を備えている。加算器480は、マルチプレクサ483の出力信号に固定値-20を加える。この加算結果を、それからM S B（最上位ビット）を切り捨てて、切捨て処理済み信号を生成する切捨てブロック481に印加する。D型フリップ・フロップ482は、切捨てブロック481からこの切捨て処理済み信号を受け取り、（例えば、図2のブロック48からの）マスター・クロック信号M C L Kに従ってクロック制御され、それにより、マルチプレクサ483に他方の入力信号が供給される。マルチプレクサ483は、V S O 信号の論理状態に応じてその出力信号を供給する。具体的には、マルチプレクサ483により、V S O 信号がロー（低）のときは、その上側の入力（即ち、リミッタ472からの出力信号）を通

10

20

30

40

50

過させることができ、V S O 信号がハイ（高）のときは、その下側の入力（即ち、D型フリップ・フロップ482からの出力信号）を通過させることができる。リミッタ484は、マルチブレクサ483から出力信号を受け取り、それに基づいて、値が-10～89に制限された出力信号を生成する。D型フリップ・フロップ485は、リミッタ484から出力信号を受け取り、マスタ・クロック信号M C L Kに従ってクロック制御され、それによりIn v _ T a p信号が出力される。

【0031】

In v _ T a p信号は、逆サンプル・レート変換器（In v - S R C）45の多相フィルタ46内の乗算器係数のルックアップ・テーブルを制御する。In v - S R C 45は、入力サンプル期間の間に80個の位相を有し、その結果、公称状態では、S R C 20の入力サンプル間の60個の位相と同じ時間分解能になる。外挿を容易にするために、In v - S R C 45の可能な位相の範囲を-10～89に拡張する。図6では、In v _ T a p信号を、V S O 信号がロー（低）のときは、T a p信号に依存して60～79の間の値をとる値にあらかじめ設定し、V S O 信号がハイ（高）のときは20ずつ減少させる。こうすると、公称周波数の少なくとも±700 H zの範囲内の水平周波数に対して良好な性能が得られる。ただし、強化バージョンの位相コントローラ47を使用することにより、公称周波数から±100 H z以上も離れた水平周波数に対して大きく改善することができる。

【0032】

次に、図7を参照すると、図2の逆サンプル・レート変換器（In v - S R C）45の強化バージョン（版）の位相コントローラ47の細部が例示されている。この強化バージョンの位相コントローラ47は、図6の基本バージョンの位相コントローラ47と共に複数の構成要素を含んでいる。これらの共通構成要素には、同じ参照数字がつけられている。図6と同様に、図7の信号線の上に示す数字は、実施例において対応する信号線上を送信されるビット数（即ち、信号のビット幅）を表す。これらの数字は、決して限定的なものではない。即ち、本発明の原理に従って、他のビット幅を有する信号を用いたシステムを構成することができる。また、図7では、横に「*」（アスタリスク）を有する信号線は、符号なし信号（即ち、正負の指示がない信号）を表す。

【0033】

図7では、減算器471で、固定値79からT a p信号を減じる。次いで、減算結果をリミッタ472に印加する。リミッタ472は、その入力に基づいて、値が60～79に制限された出力信号を生成する。減算器473は、リミッタ472から出力信号を受け取り、この信号から、別の信号経路からの出力信号を減じる。この信号経路は、切捨てブロック474、加算器475、切捨てブロック476、マルチブレクサ477およびD型フリップ・フロップ478を備えている。切捨てブロック474は、F i l t e r _ O u t信号を受け取り、この信号から14個のL S Bを切り捨てて、切捨て処理済み信号を生成する。加算器475は、切捨てブロック474からの切捨て処理済み信号を、この信号経路からの出力信号に加える。この加算結果を、その値からM S B（最上位ビット）を切り捨てて、切捨て処理済み信号を生成する切捨てブロック476に供給する。マルチブレクサ477は、切捨てブロック476からの切捨て処理済み信号および固定値ゼロを有する信号を受け取り、マルチブレクサ制御信号に応じて、或いはそれに応答して、例えば、V S O 信号の論理状態に応答して、これら2つの信号の1つを選択的に出力する。具体的には、マルチブレクサ477により、V S O 信号がロー（低）のときは、その上側の入力（即ち、値ゼロを有する信号）を通過させることができ、V S O 信号がハイ（高）のときは、その下側の入力（即ち、切捨てブロック476からの切捨て処理済み信号）を通過させることができる。D型フリップ・フロップ478は、マルチブレクサ477から出力信号を受け取り、マスタ・クロック信号M C L Kに従ってクロック制御され、それにより、この信号経路の出力信号が供給される。図7に示すように、出力信号は加算器475にフィードバックされ、減算器473にも供給される。

【0034】

10

20

30

40

50

切捨てブロック 479 は、減算器 473 から出力信号を受け取り、その信号から M S B を切り捨てて、切捨て処理済み信号を生成する。マルチブレクサ 483 は、切捨てブロック 479 から切捨て処理済み信号を受け取り、別の信号経路からも入力信号を受け取る。この信号経路は、加算器 480、切捨てブロック 481 および D 型フリップ・フロップ 482 を備えている。これらは、図 6 に示す基本バージョンの位相コントローラ 47 にも含まれていたものである。加算器 480 は、固定値 -20、マルチブレクサ 483 の出力信号および切捨てブロック 474 から供給された切捨て処理済み信号を加算する。この加算結果を、その値から M S B を切り捨てて、切捨て処理済み信号を生成する切捨てブロック 481 に印加する。D 型フリップ・フロップ 482 は、切捨てブロック 481 から切捨て処理済み信号を受け取り、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより、マルチブレクサ 483 に他方の入力信号が供給される。マルチブレクサ 483 は、V S O 信号の論理状態に応じてその出力信号を供給する。具体的には、マルチブレクサ 483 により、V S O 信号がロー（低）のときは、その上側の入力（即ち、切捨てブロック 479 からの切捨て処理済み信号）を通過させることができ、V S O 信号がハイ（高）のときは、その下側の入力（即ち、D 型フリップ・フロップ 482 からの出力信号）を通過させることができる。リミッタ 484 は、マルチブレクサ 483 から出力信号を受け取り、それに基づいて、値が -10 ~ 89 に制限された出力信号を生成する。D 型フリップ・フロップ 485 は、リミッタ 484 から出力信号を受け取り、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより、I n v - S R C 45 の多相フィルタ 46 内の乗算器係数のルックアップ・テーブルを制御する I n v _ T a p 信号が出力される。
。

【 0 0 3 5 】

図 7 には、位相コントローラ 47 の実施形態の別の例が示されている。図 7 に示す実施形態では、以下のようなサンプル間の周波数補償を用いる。即ち、(i) V S O 信号がロー（低）のときにマルチブレクサ 483 により選択された I n v _ T a p 信号の事前設定値を、V S O 信号が最後にロー（低）であったときから F i l t e r _ O u t 信号の 3 つの M S B を蓄積した値により調整する。(i i) F i l t e r _ O u t 信号のこの 3 つの M S B を用いて、V S O 信号がハイ（高）のときに I n v _ T a p 信号を減少させる比率を調整する。

【 0 0 3 6 】

次に、図 8 を参照すると、図 2 の S R C 20 の多相フィルタ 21 の更なる細部の例が示されている。図 8 の信号線の上に示す数字は、実施例において対応する信号線上を送信されるビット数を表す。これらの数字は、決して限定的なものではない。また、図 8 では、横に「*」（アスタリスク）を有する信号線は、符号なし信号（即ち、正負の指示がない信号）を表す。

【 0 0 3 7 】

図 8 では、非直交領域 S R C 入力信号 (Y a) が、D 型フリップ・フロップ 241 に供給され、D 型フリップ・フロップ 241 が、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより、出力信号が乗算器 242 に供給される。S R C 入力信号 (Y a) は、乗算器 243 にも供給される。S R C ルックアップ・テーブル 244 は、T a p 信号を受け取り、それに基づいて、2 つの別々の出力信号を供給する。S R C ルックアップ・テーブル 244 からの第 1 出力信号は、D 型フリップ・フロップ 245 に供給され、D 型フリップ・フロップ 245 は、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより、出力信号が乗算器 242 に供給される。図 8 に示すように、D 型フリップ・フロップ 245 からの出力信号の値は、(60 - T a p 信号値) × (128 / 60) に等しい。S R C ルックアップ・テーブル 244 からの第 2 出力信号は、別の D 型フリップ・フロップ 246 に供給され、D 型フリップ・フロップ 246 は、マスタ・クロック信号 M C L K に従ってクロック制御され、それにより、出力信号が乗算器 243 に供給される。図 8 に示すように、D 型フリップ・フロップ 246 からの出力信号の値は、T a p 信号値 × (128 / 60) に等しい。

10

20

30

40

50

【0038】

乗算器242は、D型フリップ・フロップ241からの出力信号に、D型フリップ・フロップ245からの出力信号を掛け、それにより乗算済み信号が生成される。D型フリップ・フロップ247は、乗算器242から乗算済み信号を受け取り、VSO信号に従ってクロック制御され、それにより出力信号が供給される。乗算器243は、SRC入力信号(Ya)に、D型フリップ・フロップ246からの出力信号を掛け、それにより乗算済み信号が生成される。D型フリップ・フロップ248は、乗算器243から乗算済み信号を受け取り、VSO信号に従ってクロック制御され、それにより出力信号が供給される。加算器249は、D型フリップ・フロップ247および248からの出力信号を加算する。この加算結果を、その値からMSBを切り捨てて、切捨て処理済み信号を生成する切捨てブロック250に供給する。対称丸めブロック251は、切捨てブロック250から切捨て処理済み信号を受け取り、それに対して対称丸め演算を実行して丸められた出力信号を生成する。D型フリップ・フロップ252は、対称丸めブロック251から丸められた出力信号を受け取り、VSO信号に従ってクロック制御され、それにより、直交領域SRC出力信号(Yb)が供給される。

【0039】

次に、図9を参照すると、図2のInv-SRC45の多相フィルタ46の更なる細部が例示されている。図9の信号線の上に示す数字は、実施例において対応する信号線上を送信されるビット数を表す。これらの数字は、決して限定的なものではない。

【0040】

図9では、直交領域Inv-SRC入力信号(Yc)がD型フリップ・フロップ490に供給され、D型フリップ・フロップ490がVSO信号に従ってクロック制御され、それにより、出力信号が乗算器491に供給される。Inv-SRC入力信号(Yc)は、乗算器492にも供給される。Inv-SRCルックアップ・テーブル493は、Inv-Tap信号を受け取り、それに基づいて、2つの別々の出力信号を供給する。Inv-SRCルックアップ・テーブル493からの第1出力信号は、乗算器491に供給される。図9に示すように、Inv-SRCルックアップ・テーブル493からの第1出力信号の値は、(80 - Inv_Tap信号値) × (128 / 80)に等しい。Inv-SRCルックアップ・テーブル493からの第2出力信号は、乗算器492に供給される。図9に示すように、Inv-SRCルックアップ・テーブルからの第2出力信号の値は、Inv_Tap信号値 × (128 / 80)に等しい。

【0041】

乗算器491は、D型フリップ・フロップ490からの出力信号に、Inv-SRCルックアップ・テーブル493からの第1出力信号を掛け、それにより乗算済み信号が生成される。D型フリップ・フロップ494は、乗算器491から乗算済み信号を受け取り、マスタ・クロック信号MCLKに従ってクロック制御され、それにより出力信号が供給される。乗算器492は、Inv-SRC入力信号(Yc)に、Inv-SRCルックアップ・テーブル493からの第2出力信号に掛け、それにより乗算済み信号が生成される。D型フリップ・フロップ495は、乗算器492から乗算済み信号を受け取り、マスタ・クロック信号MCLKに従ってクロック制御され、それにより出力信号が供給される。加算器496は、D型フリップ・フロップ494および495からの出力信号を加算する。この加算結果を、その値からMSBを切り捨てて、切捨て処理済み信号を生成する切捨てブロック497に供給する。対称丸めブロック498は、切捨てブロック497から切捨て処理済み信号を受け取り、それに対して対称丸め演算を実行して丸められた出力信号を生成する。D型フリップ・フロップ499は、対称丸めブロック498から丸められた出力信号を受け取り、マスタ・クロック信号MCLKに従ってクロック制御され、それにより、非直交領域Inv-SRC出力信号(Yd)が供給される。

【0042】

図8および図9に関連して上記で説明した多相フィルタ21および46は、それらがそれぞれ2つの乗算器しか含んでいない点で簡略化された例であることに留意されたい。も

10

20

30

40

50

もちろん、本発明の原理に従ってこれらの実施形態の変形を用いることができる。しかし、図8および図9の実施形態は、VSO信号がSRC20の出力側およびInv-SRC45の入力側でデータ転送を制御する方法を示すのに有用である。このようにして、VSO信号は、SRC20とInv-SRC45の間に接続された回路（例えば、DSP40）全体を通じたデータ転送も制御する。

【0043】

次に、図10～図15を参照すると、本発明による様々な組のシミュレーション結果が例示されている。具体的には、図10～図15は、様々な条件の下でInv-SRC45の強化バージョンの位相コントローラ47（図7参照）を用いて、図2のサンプル・レート変換器（SRC）20（即ち、Ya）への入力および逆サンプル・レート変換器（Inv-SRC）45（即ち、Yd）からの出力を図式的に示したものである。これらのシミュレーションは、それぞれ図8および図9に示す簡略化した多相フィルタ21および46を用い、単に導線によりSRC20の出力をInv-SRC45の入力に接続した状態で行われた。
10

【0044】

図10および図11に、水平ライン周波数Fhが、公称ライン周波数（即ち、15.73426kHz）よりも300Hz高い場合の、本発明による第1の組のシミュレーション結果の例を示す。図10のグラフ1000に示すように、SRC20への入力とInv-SRC45からの出力は、図に示す期間の間はほぼ同じである。具体的には、図10に示す期間は、SRC20のPLLが定常状態に達した後の完全な1水平ラインを表す。図11のグラフ1100は、図10の波形ピークの拡大図である。図11のSRC20への入力とInv-SRC45からの出力の差は、回路全体を通じた信号の伝播遅延に起因し得る。
20

【0045】

図12および図13に、水平ライン周波数Fhが公称ライン周波数（即ち、15.73426kHz）に等しい場合の、本発明による第2の組のシミュレーション結果の例を示す。図12のグラフ1200に示すように、SRC20への入力とInv-SRC45からの出力は、図に示す期間の間はほぼ同じである。図10と同様に、図12に示す期間は、SRC20のPLLが定常状態に達した後の完全な1水平ラインを表す。図13のグラフ1300は、図12の波形ピークの拡大図である。図11と同様に、図13のSRC20への入力とInv-SRC45からの出力の差は、回路全体を通じた信号の伝播遅延に起因し得る。
30

【0046】

図14および図15に、水平ライン周波数Fhが公称ライン周波数（即ち、15.73426kHz）よりも300Hz低い場合の、本発明による第3の組のシミュレーション結果の例を示す。図14のグラフ1400に示すように、SRC20への入力とInv-SRC45からの出力は、図に示す期間の間はほぼ同じである。図10および図12と同様に、図14に示す期間は、SRC20のPLLが定常状態に達した後の完全な1水平ラインを表す。図15のグラフ1500は、図14の波形ピークの拡大図である。図11および図13と同様に、図15のSRC20への入力とInv-SRC45からの出力の差は、回路全体を通じた信号の伝播遅延に起因し得る。
40

【0047】

本明細書で説明したように、本発明は、有利には、SRCおよびこのSRCにより制御されるInv-SRCを含み、それにより、ビデオ・システムが单一のクロックで動作することができるビデオ・システムを提供する。SRCのPLLからの情報を用いてInv-SRCを直接制御することにより、このビデオ・システムのトランジエント復旧間隔が、PLLを1つしかもたないものと同じになり、そのため、他のビデオ・システムよりもはるかに短縮される。更に、望ましくない画像アーティファクトが無くなり、必要な回路も少なくなる。

【0048】

本明細書で説明した発明は、表示装置の有無に関わらず様々なビデオ・システムに適用可能である。従って、本明細書で用いる「ビデオ・システム」、「ビデオ信号処理システム」または「デジタル・ビデオ・システム」という用語は、表示装置含むテレビジョン受信機またはテレビジョン・モニタ、表示装置を含んでいないテレビジョン信号受信機、およびセット・トップ・ボックス(SET-Top Box)、VCR(ビデオ・カセット・レコーダ)、DVD(デジタル多用途ディスク)プレーヤ、ビデオ・ゲーム・ボックス、PVR(パーソナル・ビデオ・レコーダ)または表示装置を含んでないことがある他のビデオ・システムなどのシステムまたは機器を含めて、様々なタイプのシステムまたは機器を含むものとするが、それらに限定されるものではない。

【0049】

10

好ましい設計を有するものとして本発明を説明してきたが、この開示の趣旨および範囲内で、本発明を更に改変することができる。従って、本出願は、本発明の一般原理を用いた本発明の任意の変形形態、使用形態または適応形態を包含するものとする。更に、本出願は、本発明に関連し、特許請求の範囲の制限に含まれる、当技術分野において周知の、または実務上の慣行に収まるようなこの開示からの派生物を包含するものとする。

【図面の簡単な説明】

【0050】

【図1】本発明を実施するのに適当なデジタル・ビデオ・システムの例の関連する部分を示す図である。

【図2】図1のSRCおよびInv-SRCの更なる細部の例を示す図である。

20

【図3】図2のSRCの位相コントローラの更なる細部の例を示す図である。

【図4】図3のSRCの位相コントローラの出力の例を示す図である。

【図5】SRCの機能の例を示す図である。

【図6】図2のInv-SRCの基本バージョンの位相コントローラの更なる細部の例を示す図である。

【図7】図2のInv-SRCの強化バージョンの位相コントローラの更なる細部の例を示す図である。

【図8】図2のSRCの多相フィルタの更なる細部の例を示す図である。

【図9】図2のInv-SRCの多相フィルタの更なる細部の例を示す図である。

【図10】本発明による第1の組のシミュレーション結果の例を示すグラフである。

30

【図11】本発明による第1の組のシミュレーション結果の例を示すグラフである。

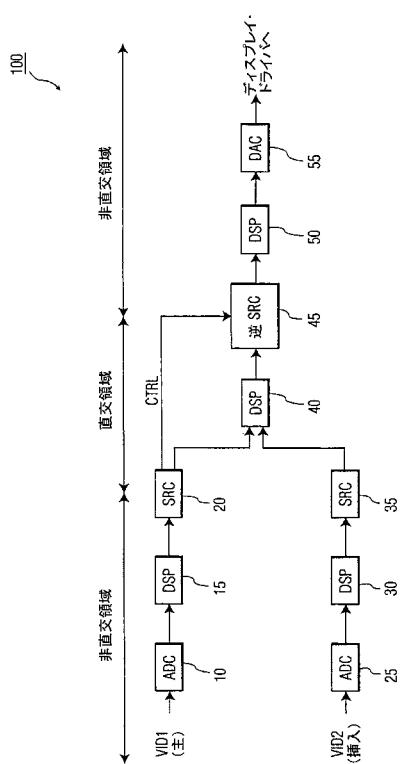
【図12】本発明による第2の組のシミュレーション結果の例を示すグラフである。

【図13】本発明による第2の組のシミュレーション結果の例を示すグラフである。

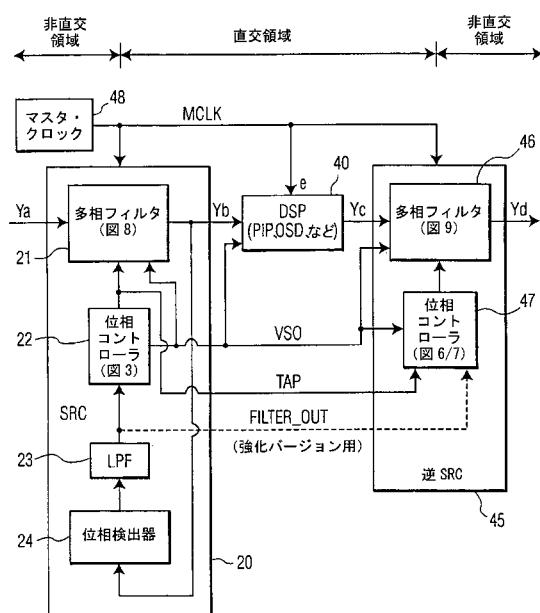
【図14】本発明による第3の組のシミュレーション結果の例を示すグラフである。

【図15】本発明による第3の組のシミュレーション結果の例を示すグラフである。

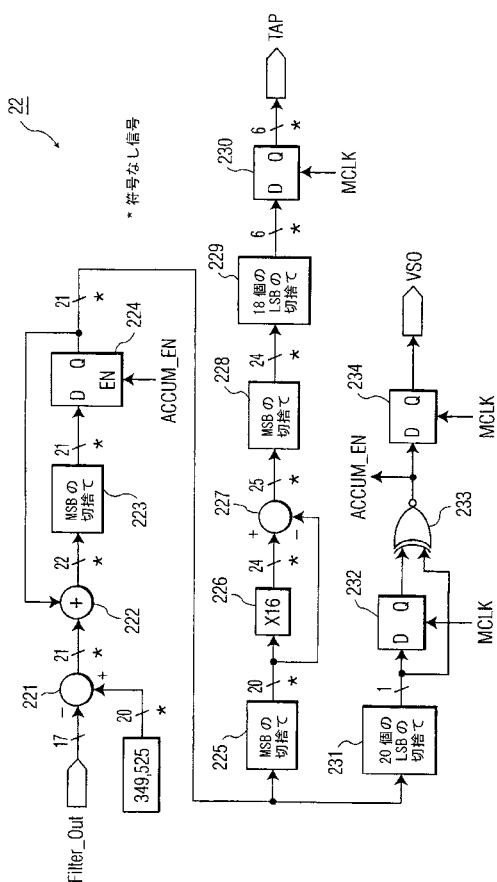
【図1】



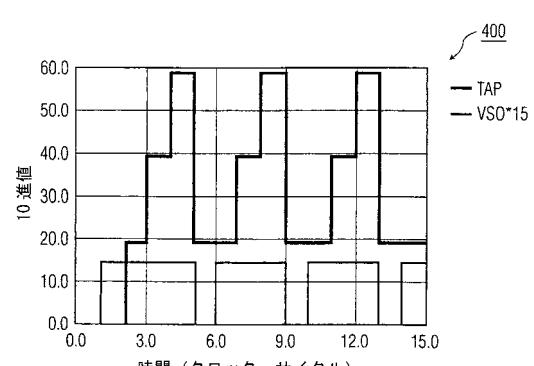
【図2】



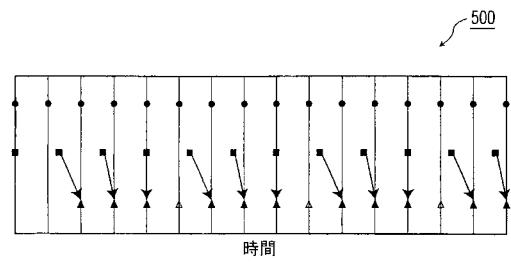
【図3】



【図4】

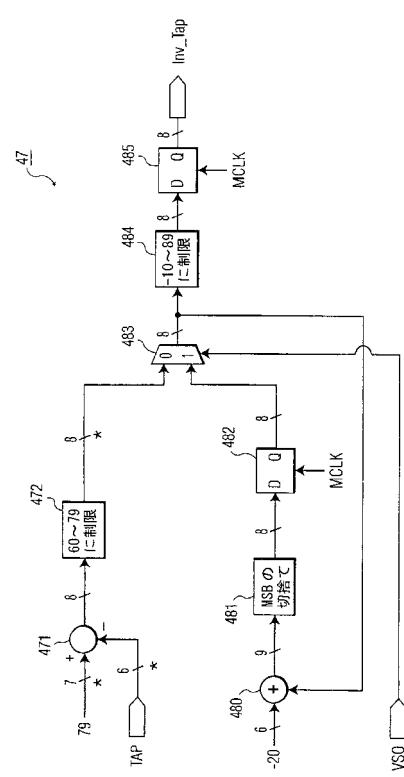


【図5】

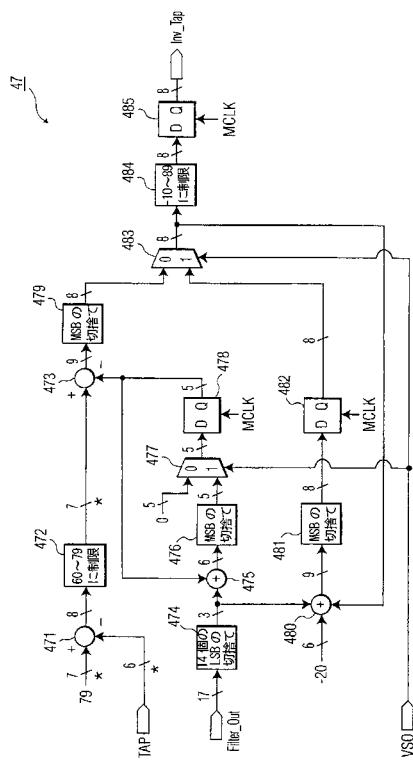


● 18MHz の入力サンプル
■ 13.5MHz の内挿時間
▲ 有効な出力サンプル (VS0 = 1) △ 無効な出力サンプル (VS0 = 0)

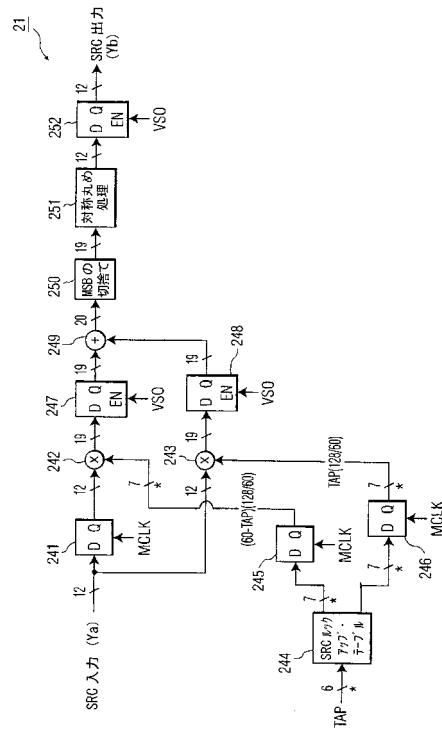
【図6】



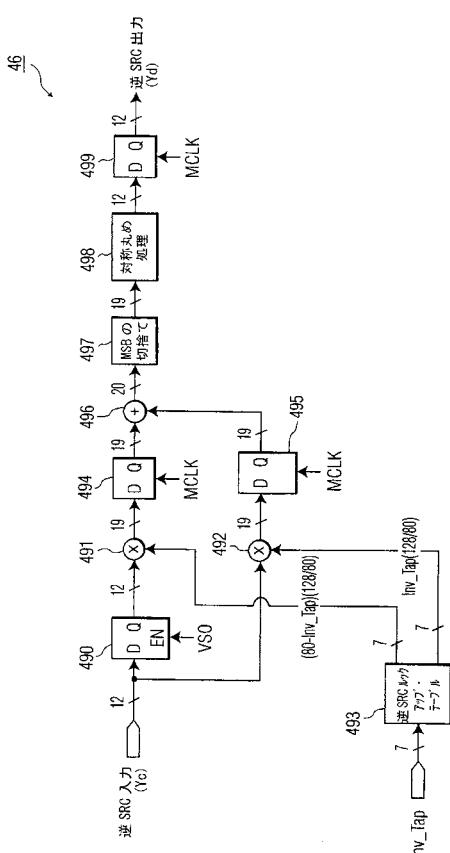
【図7】



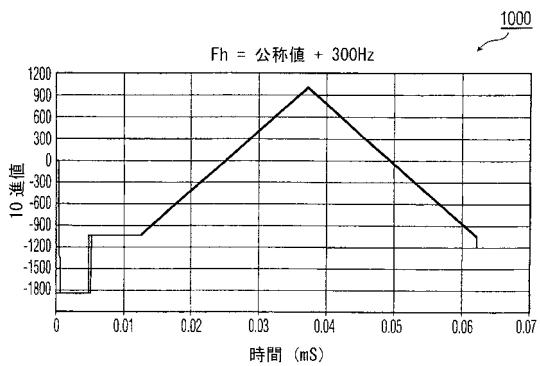
【図8】



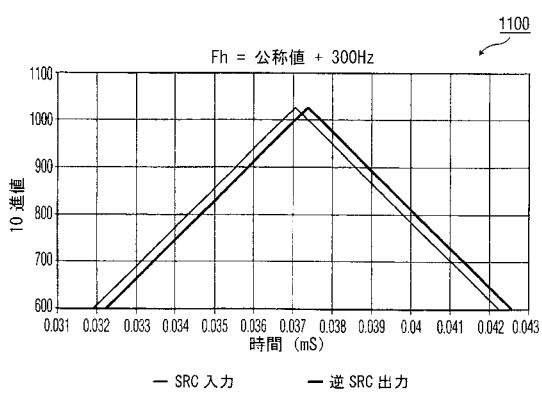
【図 9】



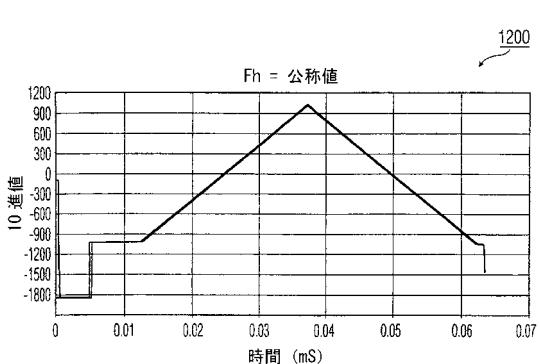
【図 10】



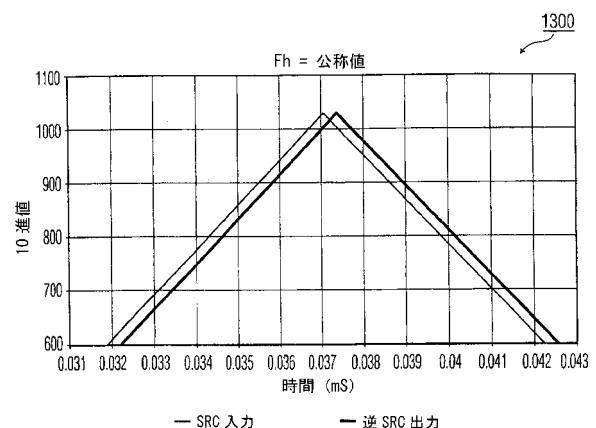
【図 11】



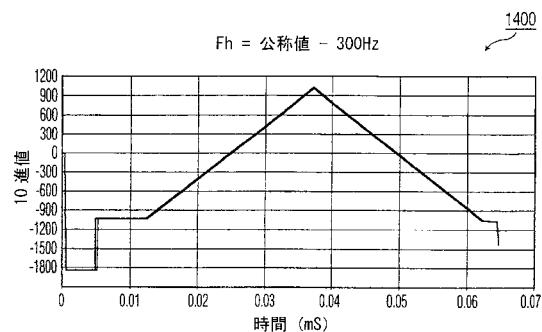
【図 12】



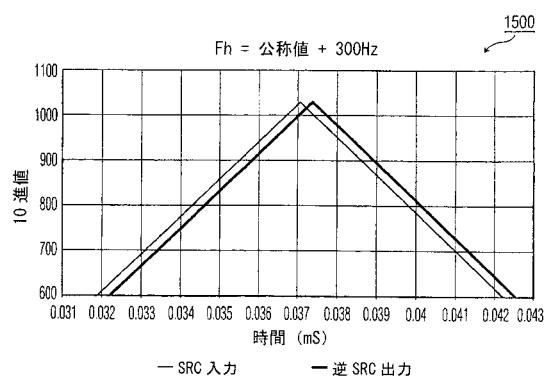
【図 13】



【図 1 4】



【図 1 5】



フロントページの続き

(72)発明者 ラムレイク,マーク フランシス
アメリカ合衆国 インディアナ州 インディアナポリス インディアン・レイク・ブルバード・
サウス 10308

審査官 後藤 嘉宏

(56)参考文献 特開2001-222251(JP,A)
特開平03-205987(JP,A)
特開平02-117292(JP,A)
特開2001-092432(JP,A)
特開平07-092951(JP,A)
特開平08-046999(JP,A)

(58)調査した分野(Int.Cl., DB名)

H04N 5/445
H04N 7/01
H04N 7/173