

公告本

392349

申請日期	87. 7. 15
案 號	87111479
類 別	H01L 31/20

A4
C4

392349

(以上各欄由本局填註)

發明專利說明書

一、發明 ~~名稱~~	中 文	半導體基板之處理方法及半導體基板
	英 文	SEMICONDUCTOR SUBSTRATE PROCESSING METHOD AND SEMICONDUCTOR SUBSTRATE
二、發明 ~~創作人~~	姓 名	(1)吉田佳子 (2)成岡英樹 (3)木村泰廣 (4)山口泰男 (5)岩松俊明 (6)平野有一
	國 籍	日本國
三、申請人	住、居所	(1)(2)(3)(4)(5)(6)地址同 日本國東京都千代田區丸之內2丁目2番3號 三菱電機股份有限公司內
	代 表 人 姓 名	北岡隆

裝

訂

線

(由本局填寫)

承辦人代碼：
大類：
I P C 分類：

A6

B6

本案已向：

日本國(地區) 申請專利，申請日期： 案號： ，☒有 ☐無主張優先權

1998年1月13日 特願平10-004980(主張優先權)

有關微生物已寄存於： ，寄存日期： ，寄存號碼：

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

經濟部中央標準局員工消費合作社印製

五、發明說明(1)

發明所屬的技術領域

本發明為關於一種半導體基板之處理方法及半導體基板，尤其為關於防止由基板端緣部發出塵埃之半導體基板之處理方法及半導體基板。

習用的技術

於SOI(Silicon on insulator)基板上形成有半導體元件的SOI裝置以其接合容量之減小，元件間分離耐壓之提高等比較散裝裝置(Bulk Device)有其優點，然如以下的說明SOI裝置亦有其固有的問題。

第32圖表示SOI基板10的部分剖面圖。SOI基板10具有於單結晶的矽基板3之上主面順次積層埋入氧化膜2及單結晶矽層(以下稱SOI層)1的構造。

SOI基板之製造方法有SIMOX(separation by implanted oxygen)法及貼合(bonding)法等，第32圖所示SOI基板10為以SIMOX法製造。

SIMOX法為對於單結晶的矽基板將氧離子例如以150~200KeV的能量， $1 \times 10^{18}/\text{cm}^2 \sim 2 \times 10^{18}/\text{cm}^2$ 的摻劑量注入後，用1300~1400℃程度的溫度實行退火而製成SOI構造。

第32圖表示SOI基板10之端緣附近傍的部分詳細圖。於以下的說明中為將半導體基板區別為上主面(形成半導體元件側)，其中央部(包含活性領域的部分)，及包含中央部的周邊部及側面部之端緣部，和下主面以稱呼。

如第32圖所示，由於端緣部形成曲率大的曲面，因而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (2)

由垂直方向實行氧離子的注入時，氧離子為由斜向注入而其實效的注入能量低。其結果在端緣部之埋入氧化膜2及SOI層1的厚度變薄。又端緣部表面變成不平滑之具有凹凸的粗表面。上述為使用CZ(Czochralski)法形成之矽基板一般所見的現象，於其凹凸部亦有SOI層1薄至露出埋入氧化膜2的部分。因而可以說SOI層1成為容易剝離的狀態。

再則於SOI裝置的製造過程實行之SOI層1的薄膜化工序將助長SOI層1的剝離。以下說明SOI層1的薄膜化工序。

SOI基板10之SOI層1的厚度於基板製造時形成適當的厚度。將SOI層1的厚度依據所望的半導體裝置之規格適宜的減小其厚度為SOI層1的薄膜化工序，而為由氧化SOI層1而調整SOI層1的厚度者。

形成於SOI層上之氧化膜的厚度一般為依據SOI基板10之中央部，即半導體元件形成領域(活性領域)之SOI層1的厚度決定。然於此成為問題為如上述於SOI基板10的端緣部SOI層1變薄，有時亦有埋入氧化膜2露出的情形。

第33圖表示第32圖之領域X的狀態之說明模式圖。如第33圖所示，SOI基板10的端緣部反映SOI層1之凹凸部DP形狀，埋入氧化膜2亦具有凹凸的構成。然後氧離子為由垂直方向注入，SOI層1之凹凸與埋入氧化膜2之凹凸的形成位置發生偏差，以致埋入氧化膜2有露出的狀態。

其次於第34圖表示為SOI層1的薄膜化在SOI層1上形成氧化膜OX的狀態。由於形成氧化膜OX而SOI層1變薄，因此於端緣部發生氧化膜OX與埋入氧化膜2連接，以及SOI層1

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (3)

完全被氧化的情形。此時有發生部分的SOI層1被埋入氧化層2及被氧化膜OX圍繞的現象。如第34圖所示之SOI層1A周圍為由氧化膜OX與埋入氧化膜2所圍繞。

對於上述狀態的SOI基板10，用氟酸等的蝕刻液實行濕蝕刻以除去氧化膜OX時，如第35圖所示不但為氧化膜OX連埋入氧化膜2亦被蝕刻，SOI層1A被剝離成為微粒，浮游於蝕刻液中，有時SOI層1A有再附著於SOI基板10之中央部的可能性。上述微粒附著於半導體元件形成領域時，則成為半導體元件形成不良的原因，構成降低製造成品率的主因。

另亦有於矽基板3的端緣部及下主面形成多晶矽層，於晶圓的製造過程或電晶體的晶圓程序對混入的重金屬等之污染物質實行吸收(gettering)的場合，此時由於多晶矽層之多結晶性，SOI層1及埋入氧化膜2成為不均一，因而與上述同樣的，SOI層1發生部分的剝離而成為微粒的問題。

又使用貼合法製造的SOI基板(貼合基板)亦有發生微粒的問題。

貼合基板為於矽基板3的上主面(形成半導體元件的主面)形成氧化膜，於其上貼合別的矽基板，對該別的矽基板實行研磨，使成為預定的厚度而製成SOI構造。第36圖表示以上述方法形成之SOI基板20之端緣部剖面圖。

如第36圖所示，於矽基板3之上主面上順次積層基板上氧化膜6及矽層7以構成SOI構造。基板上氧化膜6為相當

五、發明說明(4)

於埋入氧化膜，矽層7為相當於SOI層。

於上述構成的SOI基板20，其端緣部的基板上氧化膜6為露出，於濕蝕刻時蝕刻液侵入，基板上氧化膜6有部分被除去，如第37圖所示時有成為矽層7部分的浮於其上的狀態。在該狀態下矽層7容易剝離而大有成為微粒的可能性。

又於基板上氧化膜6及矽層7之端緣部的削平處理(beveling)並非完全，沿其周緣有成為凹凸部為連續的平面視形狀的狀態，其凸凹部於基板的搬運中剝離而成為微粒的問題。

發明所欲解決的課題

如以上的說明，於習用的半導體基板，尤其以SIMOX法製造的SOI基板其基板端緣部之SOI基剝離，變成微粒而成為降低製造成品率之主因的問題。又以貼合法製造的SOI基板亦有發生微粒的問題。

本發明為解消上述的問題點，以提供防止基板端緣部發出塵埃之半導體基板的處理方法及半導體基板為目的。

解決課題的手段

本發明申請專利範圍第1項記載的半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法。前述半導體基板為由SIMOX法形成的SOI基板，前述一方

五、發明說明 (5)

主面的表面內具有順次積層形成的埋入氧化膜及SOI層，而由注入矽離子於前述端緣部以使前述埋入氧化膜之形成在前述端緣部內的部分消失者。

本發明申請專利範圍第2項記載的半導體基板之處理方法，其前述矽離子之注入為包含由前述端緣部側依前述SOI基板之直徑方向注入前述的離子的工序。

本發明申請專利範圍第3項記載的半導體基板之處理方法，其前述的離子之注入包含於前述一方主面之中央部形成注入遮膜，而由前述SOI基板之前述端緣部側及前述一方主面側注入前述矽離子的工序。

本發明申請專利範圍第4項記載的半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而為具備以覆蓋前述半導體基板之前述端緣部的狀態形成絕緣膜的工序(a)，由形成前述絕緣膜之前述半導體基板之前述一方主面側注入氧離子，用SIMOX法於前述一方主面的表面內順次積層形成埋入氧化膜及SOI層的工序(b)，及除去前述絕緣膜的工序(c)，而形成前述埋入氧化膜為平行於主面的存在至前述端緣部之最端部的SOI基板者。

本發明申請專利範圍第5項記載的半導體基板之處理方法，其前述絕緣膜之最厚部分的厚度形成比前述埋入氧

五、發明說明 (6)

化膜及前述SOI層之合計以上的厚度，前述工序(a)形成前述絕緣膜含有熱氧化法形成熱氧化膜的工序。

本發明申請專利範圍第6項記載的半導體基板之處理方法，其前述絕緣膜之最厚部分的厚度形成比前述埋入氧化膜及前述SOI層之合計以上的厚度，前述工序(a)形成前述絕緣膜包含減壓CVD法形成TEOS膜的工序。

本發明申請專利範圍第7項記載的半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法。而具備以覆蓋前述半導體基板之前述端緣部的狀態形成摻劑多晶矽層的工序(a)，由形成前述摻劑多晶矽層之前述半導體基板之前述一方主面側實行氧離子注入，用SIMOX法於前述一方主面的表面內順次積層形成埋入氧化膜及SOI層，並對前述摻劑多晶矽層中至少於前述一方主面側由其表面至內部形成保護氧化膜的工序(b)。

本發明申請專利範圍第8項記載的半導體基板之處理方法，其前述摻劑多晶矽層之於前述絕緣部的最厚部分的厚度為形成比前述埋入氧化膜及前述SOI層之合計以上的厚度，前述工序(a)為含有於前述半導體基板之前述另一方主面亦形成前述摻劑多晶矽層的工序。

本發明申請專利範圍第9項記載的半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(7)

及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，具備由前述半導體基板之前述一方主面側對於全面實行第1氧離子注入的工序(a)，由前述半導體基板之前述一方主面側對前述端緣部選擇的實行第2氧離子注入的工序(b)，用退火處理使由前述第1及第2氧離子注入所注入的氧離子擴散，於前述中央部及前述端緣部各形成埋入氧化膜及保護氧化膜，並於前述埋入氧化膜上部形成SOI層的工序(c)，而以前述第2氧離子注入為於比較前述第1氧離子注入為淺的位置設定注入尖峯，前述保護氧化膜為於前述端緣部中至少於前述一方主面側由表面向內部形成者。

本發明申請專利範圍第10項記載的半導體基板之處理方法，其前述工序(c)含有於前述工序(b)之前實行的第1退火處理以形成前述埋入氧化膜及前述SOI層的工序，及於前述工序(b)之後實行的第2退火處理以形成前述保護氧化膜的工序。

本發明申請專利範圍第11項記載的半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，其前述半導體基板為由SIMOX法形成的SOI基板，前述一方主面的表面內具有順次積層形成的埋入氧化膜及SOI

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(8)

層，並在真空中對前述端緣部由其上部照射雷射光而於前述端緣部中之至少前述一方主面側形成前述SOI層與埋入氧化膜混合的熔融層者。

本發明申請專利範圍第12項記載的半導體基板之處理方法，係為一方主面上具有順次積層形成基板上氧化膜及SOI層的半導體基板之處理方法。在真空中對於前述基板上氧化膜及前述SOI層之端緣部自其上部照射雷射光而於前述端緣部形成前述SOI層與基板上氧化膜混合之熔融層者。

本發明申請專利範圍第13項記載的半導體基板之處理方法，係為具備於第1半導體基板之主面上將基板上氧化膜及比該基板上氧化膜之外形尺寸為大的第2半導體基板以順次積層的積層體為用貼合法形成的工序(a)，將前述第2半導體基板由上部壓下，使向外伸出於前述第1半導體基板之主面上部的前述第2半導體基板主面密接於前述第1半導體基板的主面上，用貼合法將前述第1及第2半導體基板接合的工序(b)，以及對前述第2半導體基板實施預定厚度的研磨以形成SOI層的工序(c)。

本發明申請專利範圍第14項記載的半導體基板，係為含有一方主面，和其反對側的另一方主面，及側面部，其前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部的部分劃定為端緣部的半導體基板，而以前述一方主面內具有順次積層形成的埋入氧化膜及SOI層，前述端緣

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(9)

部具有覆蓋前述端緣部的狀態形成的摻劑多晶矽層，又前述摻劑多晶矽層中之至少於前述一方主面側具有由其表面向內部形成的保護氧化膜。

本發明申請專利範圍第15項記載的半導體基板，其前述摻劑多晶矽層之於前述端緣部之最厚部分的厚度為在前述埋入氧化膜及前述SOI層之合計厚度以上，前述摻劑多晶矽層亦為形成在前述另一方主面上者。

本發明申請專利範圍第16項記載的半導體基板，係為含有一方主面，和其反對側的另一方主面，及側面部，其前述一方主面中劃定有形成活性領域之部分的中央部，及將含有前述一方主面中之前述中央部的周邊領域與前述側面部的部分劃定為端緣部的半導體基板。而以其前述一方主面內具有順次積層形成的埋入氧化膜及SOI層，又前述端緣部中之至少於前述一方主面側由其表面向內部形成的保護氧化膜。

本發明申請專利範圍第17項記載的半導體基板，係為含有一方主面，和其反對側的另一方主面，及側面部，其前述一方主面中劃定有形成活性領域之部分的中央部，及將含有前述一方主面中之前述中央部的周邊領域與前述側面部的部分劃定為端緣部的半導體基板。而以其前述一方主面內具有順次積層形成的埋入氧化膜及SOI層，又於前述端緣部中之至少於前述一方主面側具有前述SOI層與埋入氧化膜混合形成的熔融層。

本發明申請專利範圍第18項記載的半導體基板，係為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(10)

具有於一方主面上順次積層形成的基板上氧化膜及SOI層的半導體基板，而至少於前述基板上氧化膜及前述SOI層的端緣部具有覆蓋該端緣部之由前述SOI層與前述基板上氧化膜混合形成的熔融層。

本發明申請專利範圍第19項記載的半導體基板，係為具有於一方主面上順次積層形成的基板上氧化膜及SOI層的半導體基板，而至少於前述基板上氧化膜及前述SOI層的端緣部以覆蓋該端緣部的狀態形成之外延(epitaxial)層。

發明的實施形態

A.實施形態1

以下參照第1圖～第24圖說明本發明之半導體基板之處理方法及半導體基板的實施形態1。於以下的說明中為將半導體基板區別為上主面(形成半導體元件側)，其中央部(包含實際形成半導體元件之活性領域的部分)，及包含中央部的周邊部及側面部之端緣部，以及下主面以稱呼。

A-1.處理方法

第1圖表示用SIMOX(separation by implanted oxygen)法形成之SOI基板10的部分剖面圖。SIMOX法為用氧離子以150～200KeV的能量， $1 \times 10^{18}/\text{cm}^2 \sim 2 \times 10^{18}/\text{cm}^2$ 的摻劑量注入後，再用1300～1400℃程度的溫度實行退火而製成SOI構造的方法，SOI基板10具有於單結晶的矽基板3之上主面內順次積層形成之埋入氧化膜2及單結晶矽層(以下稱SOI層)1的構造。於此之埋入氧化膜2的厚度為

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (11)

0.05~0.5 μm 程度，S0I層1的厚度為0.05~0.3 μm 程度。

如第1圖所示，由於端緣部形成曲率大的曲面，因而為形成埋入氧化膜2而對於主面由垂直方向實行氧離子的注入時，氧離子為由斜向注入而其實效的注入能量低。其結果在端緣部之埋入氧化膜2及S0I層1的厚度變薄。又端緣部表面變成不平滑之具有凹凸的粗表面。

對於上述S0I基板10的端緣部注入矽(Si)離子。矽離子為以S0I基板10的徑方向用300~400KeV的能量，摻劑量為 $1 \times 10^{15} \sim 5 \times 10^{15}/\text{cm}^2$ 的條件注入，由基板表面注入至1 μm 程度的深度。

於此欲限定矽離子注入為只對端緣部時，在S0I基板10的上下主面形成注入遮膜即可。又於實行離子注入時，使S0I基板10依其中心回轉即可對S0I基板10之全周實行注入。

其結果使S0I基板10之端緣部之埋入氧化膜2成為富於矽的狀態，而如第2圖所示製成實質上在其端緣部之埋入氧化膜2為消失之S0I基板100。

埋入氧化膜2自S0I基板10的端緣部表面消失的領域約為1 μm 程度，其結果不存在有由S0I基板10露出之埋入氧化膜2。

A-2. 具特徵的作用效果

依上述之本發明的實施形態1，例如於S0I層1的薄膜化工序時，不致發生端緣部之S0I層1被埋入氧化膜2及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時

五、發明說明 (12)

部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

又本實施形態為對於重金屬等之污染物質的吸收而於矽基板 3 之端緣部及下主面形成多晶矽層的構造亦為有效則自不待言。

A-3. 變形例 1

以上的說明為對於 1 枚的 SOI 基板 10 實行離子注入之例，然將複數之 SOI 基板 10 推積，以 1 次的離子注入工序對複數之 SOI 基板 10 實往處理亦可。

即如第 3 圖所示將複數之 SOI 基板 10 推積，於最上層及最下層之 SOI 基板 10 的主面上中央部各形成注入遮膜 MS，然後由端緣部側注入矽離子即可。

採用上述方法可提高 SOI 基板 100 的製造效率，並對於最上層及最下層之 SOI 基板 10 以外的 SOI 基板 10 不必形成注入遮膜 MS 而可減低製造成本。

又由於通常之離子束 (ion beam) 的尺寸比 SOI 基板 10 的厚度相當大，因此只對 1 枚的 SOI 基板實行注入則效率差，對於複數之 SOI 基板 10 實行注入則可避免離子束的浪費。

A-4. 變形例 2

又以上的說明中，離子束的注入為由 SOI 基板 10 之徑向實行為例，然不但由徑向，由上主面方向注入亦可。

即如第 4 圖所示，於 SOI 基板 10 之上主面不注入的矽離

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (13)

子的部分形成注入遮膜 MS，然後將矽離子由徑向及上主面方向注入。

採用上述方法時，不但為 SOI 基板 10 之端緣部，對於中央部亦可對所望的領域使埋入氧化膜 2 消失。例如可使自端緣部之最前端部至向內側 1mm 程度之領域的埋入氧化膜 2 消失。

又如矽離子之注入深度比埋入氧化膜 2 之厚度 (0.05~0.5 μm 程度) 與 SOI 層 1 之厚度 (0.05~0.3 μm 程度) 之合計為深則可使埋入氧化膜 2 消失。

因而如只由 SOI 基板 10 徑向的矽離子注入不能達到使所望之領域的埋入氧化膜 2 消失時，使用上述方法則有效。

B. 實施形態 2

以下參照第 5 圖 ~ 第 10 圖說明本發明之半導體基板之處理方法及半導體基板的實施形態 2。

B-1. 處理方法

首先如第 5 圖所示用 CZ (Czochralski) 法形成的矽基板 3 的端緣部形成氧化膜 8。第 5 圖中氧化膜 8 為覆蓋矽基板 3 之端緣部的狀態形成，矽基板 3 之上下主面的中央部則形成有氧化防止遮膜 MS1 而未形成有氧化膜 8。

此時為將氧化膜 8 之最厚部分的厚度形成比較其後形成於矽基板 3 內之埋入氧化膜及 SOI 層之厚度合計以上的厚度。於此之埋入氧化膜 2 為 0.05~0.5 μm 程度，SOI 層 1 之厚度為 0.05~0.3 μm 程度，因此氧化膜 8 之最厚部分的厚

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (14)

度為 $0.1 \sim 0.8 \mu m$ 程度。氧化膜 8 為以 $900 \sim 1200^\circ C$ 程度之溫度條件用熱氧化法形成。

其次於除去氧化防止遮膜 MS1 後，如第 6 圖所示由矽基板 3 之上主面側實行氧離子注入，用 SIMOX 法於矽基板 3 內部及氧化膜 8 內部形成埋入氧化膜 2。此時使用之氧離子注入條件及注入後的退火條件為與實施形態 1 說明的條件相同而省略其說明。

又氧化膜 8 內之埋入氧化膜 2 與氧化膜 8 之區別並不明確，由於氧離子的注入，埋入氧化膜 2 只為形成若干富於氧的領域，第 6 圖中為使其構成明確將埋入氧化膜 2 用虛線表示。

最後將氧化膜 8 用氟酸等的蝕刻液實行濕蝕刻予以除去而製成如第 7 圖所示之埋入氧化膜 2 為與主面平行的存在至端緣部之最端部的 SOI 基板 200。

B-2. 具特徵的作用效果

依上述說明之本發明的實施形態 2，由於埋入氧化膜 2 為平行主面的存在至端緣部之最端部的構造，因而在埋入氧化膜 2 的上部不會存在有形成薄 SOI 層 1 的部分，例如於 SOI 層 1 的薄膜化工序時，不致發生薄 SOI 層被埋入氧化膜 2 及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為顆粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

又如第 7 圖所示 SOI 基板 200 之端緣部其表面狀態得到

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (15)

改善，凹凸部為之解消。此為於矽基板3的端緣部形成氧化膜8時，矽基板3的表面被氧化變成氧化膜8，然後除去該氧化膜8，因此最終之SOI基板200的端緣部變成平滑。

又本實施形態，對於重金屬等之污染物質的吸收而於矽基板3之端緣部及下主面形成多晶矽層的構造亦為有效則自不待言，第8圖表示具有用於吸收之多晶矽層4之SOI基板200A。

多晶矽層4為形成在形成SOI構造前之矽基板3之端緣部及下主面，氧化膜8為由多晶矽層4之上部形成。因此隨氧化膜8的形成多晶矽層4的厚度亦若干減小，然於形成SOI構造後，於除去氧化膜8後亦將遺留多晶矽層4，因此能製成第8圖所示之SOI基板200A。

B-3. 變形例

以上的說明為對於矽基板3之端緣部用熱氧化法形成氧化膜8之例，然如圖所示用TEOS(tetraethyl orthosilicate)形成氧化膜(以下稱TEOS膜)9亦可。

第9圖為對應於第6圖，表示矽基板3的端緣部形成TEOS膜9後，由矽基板3之上主面側注入氧離子，用SIMOX法於矽基板3的內部及TEOS膜9的內部形成埋入氧化膜2的工序。

如第9圖所示，TEOS膜9的內部埋入氧化膜2雖然彎曲，然於矽基板3內的埋入氧化膜2為平行於主面，因此於除去TEOS膜9後即可得第7圖所示之TEOS基板200A同樣的構成。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (16)

TEOS膜 9 為由使用 TEOS 的減壓 CVD 法以 $650\sim 750^{\circ}\text{C}$ 之溫度條件形成的氧化膜，為針孔少的良質氧化膜。

於形成 TEOS 膜 9 之際，如第 10 圖所示將複數的矽基板 3 推積設置於減壓 CVD 裝置內，則只需對最上層及最下層之矽基板 3 的主面上各形成氧化防止遮膜 MS1，比較對每一枚形成氧化防止膜 MS1 的狀況能提高製造效率。

此外代替 TEOS 膜 9 以形成氮化膜亦可得同樣的效果。即將矽基板 3 的端緣部延長，使埋入氧化膜 2 之彎曲部分在實質上形成於其內部，而能防止在矽基板 3 之端緣部形成埋入氧化膜 2 的彎曲部分則用任一種的絕緣膜均可。

C. 實施形態 3

以下參照第 11 圖～第 13 圖說明本發明之半導體基板的處理方法及半導體基板之實施形態 3。

C-1. 處理方法

首先如第 11 圖所示，於 CZ 法形成之矽基板 3 的端緣部及下主面形成摻劑多晶矽層 11。又於第 11 圖之矽基板 3 之上主面中央部形成多晶矽形成防止遮膜 MS2，由以防止摻劑多晶矽層 11 形成於其上。此時摻劑多晶矽層 11 之最厚部分的厚度形成為比較其後形成於矽基板 3 內之埋入氧化膜及 SOI 層之厚度的合計以上的厚度。於此之埋入氧化膜為 $0.05\sim 0.5\mu\text{m}$ 程度，SOI 層 1 之厚度為 $0.05\sim 0.3\mu\text{m}$ 程度，因此摻劑多晶矽層 11 的最厚部分的厚度為 $0.1\sim 0.8\mu\text{m}$ 程度。

摻劑多晶矽層 11 可由使用 CVD 法形成多晶矽層之際，

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (17)

將多晶矽層之材料瓦斯與含有例如磷或硼之瓦斯併用，於多晶矽層形成的同時用導入不純物之 in-situ 摻劑形成即可。

其次於除去多晶矽形成防止遮膜 MS2 後，如第 12 圖所示由矽基板 3 之上主面側注入氧離子，用 SIMOX 法於矽基板 3 內部及摻劑多晶矽層 11 內部形成氧注入領域 2A。第 12 圖為表示退火前的狀態。

其次對形成氧注入領域 2A 的矽基板 3 實行退火使氧注入領域 2A 的氧擴散，由擴大氧化領域而形成埋入氧化膜 2，同時使矽基板 3 的結晶性回復以形成 SOI 層 1。此時由摻劑多晶矽層 11 之氧化率，矽基板 3 之氧化率的不同，在摻劑多晶矽層 11 內氧化為急速的進行，如第 13 圖所示製成形成有厚度為及於摻劑多晶矽層 11 之端緣部表面的氧化膜 12 (保護氧化膜) 之 SOI 基板 300。摻劑多晶矽與單結晶矽之氧化率為 2 對 1 的程度。又氧離子注入的條件及注入後實行退火的條件為相同於實施形態 1 的條件而省略其說明。

C-2. 具特徵的作用效果

依上述本發明之實施形態 3，如第 13 圖所示，摻劑多晶矽層 11 之至少基板上主面側之端緣部為由氧化膜 12 構成，因此不致存在有薄 SOI 層 1 形成在埋入氧化膜 2 之上的部分，例如於實行 SOI 層 1 的薄膜化工序時，不致發生薄 SOI 層 1 被埋入氧化膜 2 及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (18)

件的形成不良，進一步可提高製造成品率。

又於第13圖所示的S0I基板300的端緣部其矽基板3的表面狀態得到改善，凹凸得到解消。此為摻劑多晶矽層11被氧化時矽基板3的表面被氧化變成氧化膜12之故。

再則摻劑多晶矽層11為遺留在矽基板3之端緣部及下主面，因而亦可使用為對於矽基板3內之重金屬等的污染物質實施吸收時的吸收層。

D.實施形態4

以下參照第14圖～第16圖說明本發明之半導體基板的處理方法及半導體基板之實施形態4。

D-1.處理方法

首先對CZ法形成的矽基板3由其上主面側實行氧離子注入(第1次注入)形成第1氧注入領域。其後由實行退火處理而於矽基板3的內部形成埋入氧化膜2。其氧離子注入的條件及注入後實施退火的條件則與實施形態1相同而省略其說明。

其後為如第14圖所示，於矽基板3之上主面中央部形成注入遮膜MS，由矽基板3之上主面注入氧離子(第2次注入)而於端緣部之埋入氧化膜2的上部形成氧注入領域。於此之氧離子的注入條件為50KeV程度的能量，摻劑量為 $1 \times 10^{18} \sim 2 \times 10^{18} / \text{cm}^2$ 。

其後實施退火處理以促進氧化，形成自端緣部之埋入氧化膜2的上部及於矽基板3之表面的氧化膜13(保護氧化膜)而製成第15圖所示之S0I基板400。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (19)

由於退火條件於埋入氧化膜 2 之形成時與氧化膜 13 之形成時大約為相同，因此於實行第 1 次與第 2 次氧離子注入後實行退火處理，將埋入氧化膜 2 及氧化膜 13 同時形成亦可。

D-2. 具特徵的作用效果

依上述之本發明的實施形態 4，如第 15 圖所示於 SOI 基板 400 之上主面側的端緣部由氧化膜 13 構成，因此不致存在有薄 SOI 層 1 形成在埋入氧化膜 2 之上的部分，例如於實行 SOI 層 1 的薄膜化工序時，不致發生薄 SOI 層 1 被埋入氧化膜 2 及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

又由於形成氧化膜 13 為與埋入氧化膜 2 的形成同樣為使用離子注入法，實行退火使氧化膜成長，因此形成氧化膜 13 不需特別的裝置，亦不需附加特別的工序，因此可抑制製造成本的增加。

又如分別用不同的退火處理對應埋入氧化膜 2 及氧化膜 13 時，則對於各別之氧化膜的厚度控制較為良好。

又本實施形態，對於重金屬等之污染物質的吸收而於矽基板 3 之端緣部及下主面形成多晶矽層的構造亦為有效則自不待言。第 16 圖表示具有用於吸收之多晶矽層 4 之 SOI 基板 400A。

E. 實施形態 5

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(20)

以下參照第17圖～第19圖說明本發明之半導體基板的處理方法及半導體基板之實施形態5。

E-1. 處理方法

首先對CZ法形成之矽基板3由其上主面側注入氧離子(第1次注入)，用SIMOX法於矽基板3內部形成埋入氧化膜。氧離子注入條件及注入後的退火條件則與實施形態1相同而省略其說明。

其後如第17圖所示，於真空中對矽基板3之端緣部由其上部照射雷射光。於此之雷射光側如可使用Nd-YAG雷射(波長 $1.06\mu\text{m}$)，雷射輸出為3～5W(瓦特)程度。又雷射光LB的點(spot)徑為 $2\sim 3\mu\text{m}$ 程度。

用上述條件的雷射光LB實行照射時，被照射部分熔融而使SOI層1與埋入氧化膜2混合，如第18圖所示，製成至少在基板上主面側之端緣部形成熔融層14的SOI基板500。

該熔融層14之組成已知為比 SiO_2 更富於矽的氧化膜，然對於由雷射光之照射而發生之矽與矽氧化膜的熔融現象則屬於未知的領域，發明者等的研究亦未及於解明熔融層14的組成，於此將該熔融層14的組成設為 SiO_x 。

於此為使雷射光LB照射於矽基板3的端緣部全面，例如可依第19圖所示，先將雷射光LB固定於端緣部的一點，將矽基板3依箭頭方向旋轉，矽基板3旋轉一次則將雷射光LB的位置向箭頭B或箭頭C的方向移動而固定，如此將矽基板3旋轉。而由重複上述的動作即可使雷射光LB照射於矽基板3之端緣部的全面。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (21)

矽基板 3 的旋轉轉數則依雷射光 LB 的強度及點徑的大小而異，每一點的照射時間亦不同，然如上述的用雷射光 LB 的規格，已知矽基板 3 的熔融幾乎在一瞬即可完成。

E-2. 具特徵的作用效果

依上述之本發明的實施形態 5，如第 18 圖所示於 SOI 基板 500 之上主面側的端緣部為由熔融層 14 構成，矽基板 3 之上主面側的端緣部為由熔融層 14 構成，矽基板 3 之端緣部的凹凸消失，並且不致存在有薄 SOI 層 1 形成在埋入氧化膜 2 之上的部分，例如於實行 SOI 層 1 的薄膜化工序時，不致發生薄 SOI 層 1 被埋入氧化膜 2 及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

使用雷射光對於矽基板實行標記 (marking) (用以區別矽基板的印字) 為一般的技術，但對其只知為標記方法，一般對於標記部分的組成之調查則不全，何況為利用雷射光以防止 SOI 基板發出塵埃的技術思想則根本不存在。

發明者等為著關於用雷射光實施矽塑板的標記工序時之矽的蒸發及熔融現象，而得知對於矽層與矽氧化膜成為 2 層構造的部分照射雷射光則使矽層與矽氧化層混合而形成比通常的矽氧化膜更富於矽的矽氧化膜。然後依據上述的見解促成利用上述熔融所得富於矽的氧化膜以防止 SOI 基板之發出塵埃的技術思想。

本實施形態為說明對於 SOI 基板照射雷射光，使埋入

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (22)

氧化膜 2 與 SOI 層 1 溶融之例，然只要為矽層與矽氧化膜的 2 層構造的部分即可由雷射光的溶融而得富於矽的氧化膜，例如對於矽層上部形成有矽氧化膜的構成亦可製成富於矽的氧化膜則自不待言。

以上說明之實施形態 1 ~ 5 為關於用 SIMOX 法形成之 SOI 基板之防止塵埃發生的發明，以下的本發明之實施形態 6 ~ 8 說明關於用貼合法形成之 SOI 基板 (貼合 SOI 基板) 之防止塵埃發生的發明。

F. 實施形態 6

以下參照第 20 圖及第 21 圖說明本發明之半導體基板的處理方法及半導體基板之實施形態 6。

F-1. 處理方法

首先如第 20 圖所示，準備於矽基板 3 的上主面形成基板上氧化膜 6 及矽層 7 為順次積層之 SOI 構造的貼合 SOI 基板 20。貼合 SOI 基板 20 為於矽基板 3 之上主面形成氧化膜，於其上貼合別的矽基板，對該別的矽基板實行研磨成為預定的厚度而製成 SOI 構造者。基板上氧化膜 6 的厚度為 $0.1 \sim 1.0 \mu\text{m}$ 程度，矽層 7 的厚度則為 $0.1 \sim 0.3 \mu\text{m}$ 程度。於此之基板上氧化膜 6 為相當於埋入氧化膜，而矽層 7 為相當於 SOI 層。

然後以覆蓋 SOI 基板 20 之上主面側端緣部與基板上氧化膜 6 及矽層 7 的狀態形成外延層 15。外延層 15 之形成則例如以 $1150 \sim 1200^\circ\text{C}$ 的溫度條件，將 SOI 基板曝出於三氯氫硅 (trichlorosilane, SiHCl_3) 瓦斯環境中實施。於不欲

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (23)

形成外延層 15 的基板下主面及基板下主面側之端緣部則預先形成遮膜。

外延層 15 的成長速度為 $0.5 \sim 3.0 \mu\text{m}/\text{min}$ ，因此達到能覆蓋基板上氧化膜 6 及矽層 7 的厚度所需的時間為約 1 分鐘。

其次如第 21 圖所示，將矽層 7 上部平坦化的對外延層 15 實行研磨，由而製成基板上氧化膜 6 及矽層 7 之端緣部為由外延層覆蓋的 SOI 基板 600。

F-2. 具特徵的作用效果

依上述本發明之實施形態 6，如第 21 圖所示，基板上氧化膜 6 及矽層 7 之端緣部為由外延層 15 覆蓋，因此例如於 SOI 層 (矽層 7) 之薄膜化的濕蝕刻之際，能防止基板上氧化膜 6 被部分的除去以致其上部之矽層 7 成為部分的浮離的狀態，因此能防止矽層 7 發生剝離成為微粒。

又於基板上氧化膜 6 及矽層 7 之端緣部的削平處理不完全，沿其周緣成為連續凹凸部的平面視形狀時，亦由於當該凹凸部為外延層 15 覆蓋，因此可防止基板上氧化膜 6 及矽層 7 於基板的搬運中剝離而成為微粒。

於上述說明中，由於外延層 15 為結晶性良好的膜，因此將其遺留於矽層 7 上部利用為 SOI 層為例，然只要覆蓋基板上氧化膜 6 及矽層 7，則將其由矽層 7 上部除去亦可。

G. 實施形態 7

以下參照第 22 圖及第 23 圖說明本發明之半導體基板的處理方法及半導體基板之實施形態 7。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (24)

G-1. 處理方法

首先準備於矽基板 3 的上主面形成基板氧化膜 6 及矽層 7 為順次積層的 SOI 構造的貼合 SOI 基板 20。

其後如第 22 圖所示，對基板上氧化膜 6 及矽層 7 之端緣部由上部照射雷射光 LB。於此之雷射光源例如為使用 Na-YAG 雷射（波長 $1.06 \mu m$ ），雷射輸出為 3~5W（瓦特）程度，又雷射光 LB 的點徑為 $2 \sim 3 \mu m$ 程度。

用上述條件的雷射光 LB 實行照射時，照射部分熔融而使矽層 7 與基板上氧化膜 6 混合，如第 23 圖所示製成基板上氧化膜 6 及矽層 7 之端緣部被熔融層 16 覆蓋的 SOI 基板 700。

基板上氧化膜 6 及矽層 7 之熔融現象為與實施形態 5 所說明之矽層與矽氧化膜的熔融現象相同而省略其說明。

G-2. 具特徵的作用效果

依以上說明之本實施形態，如第 23 圖所示，SOI 基板 700 之基板上氧化膜 6 及矽層 7 的端緣部為由熔融層 16 覆蓋，因此例如於 SOI 層（矽層 7）之薄膜化實行濕蝕刻時，能防止基板上氧化膜 6 被部分除去以致其上部之矽層 7 成為部分浮離的狀態，因此能防止矽層 7 發生剝離成為微粒。

又於基板上氧化膜 6 及矽層 7 之端緣部的削平處理不完全，沿其周緣成為連續凸凹部的平面視形狀時，亦由於當該凸凹部為由熔融層 16 覆蓋，因此可防止基板上氧化膜 6 及矽層 7 於基板的搬運中剝離而成為微粒。

H. 實施形態 8

以下參照第 24 圖 ~ 第 27 圖說明本發明之半導體基板的

（請先閱讀背面之注意事項再填寫本頁）

裝

訂

線

五、發明說明 (25)

處理方法及半導體基板的實施形態 8。

H-1. 處理方法

首先如第 24 圖所示於矽基板 3 之上主面形成基板上氧化膜 61，然後於其上貼合矽基板 31。於此之矽基板 31 為使用其平面方向尺寸較基板上氧化膜 61 為大者。亦即矽基板 31 之端緣部為由基板上氧化膜 61 之端緣部伸出的構成。此外亦可將基板上氧化膜 61 及矽基板 31 之平面方向尺寸為相同，將兩者貼合後用氟酸等的濕蝕刻以對基板上氧化膜 61 的端緣部實行蝕刻製成第 24 圖所示的構成亦可。

其次如第 25 圖所示的箭頭所示，由矽基板 31 的上部施加壓力，使矽基板 31 的端緣部彎曲接觸到矽基板 3 的表面後，實行矽基板 31 與矽基板 3 的貼合而製成第 26 圖所示之基板上氧化膜 61 為由矽基板 31 覆蓋的構成，又關於貼合法則為使用一般的技術而省略其說明。

最後將矽基板 31 研磨成預定的厚度形成矽層 7 而製成第 27 圖所示之基板上氧化膜 61 被矽層 7 覆蓋的 SOI 基板 800。

H-2. 具特徵的作用效果

依上述之本發明的實施形態 8，如第 27 圖所示基板上氧化膜 61 為由矽層 7 覆蓋，因此例如於 SOI 層 (矽層 7) 之薄膜化實行濕蝕刻時，能防止基板上氧化膜 61 被部分的除去以致其上部之矽層 7 成為浮離的狀態，由以防止矽層發生剝離成為微粒。

I. 實施形態 9

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(26)

以下參照第28圖及第31圖說明本發明之半導體基板的處理方法及半導體基板之實施形態9。

I-1. 處理方法

對於用CZ法形成之端緣部具有凹凸之矽基板3為如第28圖所示用滾筒研磨對其端緣部表面實行研磨。滾筒研磨為以圓筒表面附著有研磨材之滾筒使其旋轉而接觸於被加工物以對該被加工物實行研磨的方法，本實施形態為用滾筒R0接觸於矽基板3的端緣部對該端緣部實施研磨。

研磨的程度最好能使其成為與矽基板3之上主面同樣的鏡面狀態，表面粗糙度為 $5\sim 10\text{\AA}$ (angstrom)程度。

其次如第29圖所示，由矽基板3之上主面側注入氧離子，用SIMOX法於矽基板3的內部形成埋入氧化膜2而製成端緣部為平滑的SOI基板900。氧離子注入的條件及注入後的退火條件為與實施形態1的條件相同而省略其說明。

I-2. 具特徵的作用效果

依上述之本發明的實施形態9，由於將矽基板3之端緣部成為鏡面狀態之後，用SIMOX法於矽基板3的內部形成埋入氧化膜2，雖然在埋入氧化膜2的上部將形成薄膜SOI層1的部分，但由於該部分之SOI層1的表面狀態平滑，因此例如於SOI層1的薄膜化工序時，不致發生薄SOI層1被埋入氧化膜2及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離形成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (27)

I-3. 變形例

以上的說明表示於形成埋入氧化膜2之前對矽基板3之端緣部實行研磨之例，然於形成埋入氧化膜2之後對矽基板3的端緣部實行研磨亦可得同樣的作用效果。

即如第30圖所示，於端緣部具有凹凸之矽基板3內形成埋入氧化膜2後，以滾筒研磨除去矽基板4之端緣部而可製成第31圖所示之埋入氧化膜2為平行於主面存在至端緣部之最端部的SOI基板900Å。因此不會存在有薄SOI層1形成於埋入氧化膜2上部的部分，防止薄SOI層1被埋入氧化膜2及為薄膜化而形成之氧化膜部分的包圍，以致於除去當該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

以上說明之本發明的實施形態1~9為對於SOI基板的端緣部有凹凸的狀態，以及為實行吸收(gettering)而形成多晶矽層的狀態做說明，然本發明之適用性不只限定於SOI基板，對於散裝矽基板而其端緣部有凹凸的場合，或為實行吸收形成有多晶矽的場合等，只要為由端緣部有發出塵埃的問題時均可適用本發明防止發出塵埃。又對於端緣部不具有凹凸的SOI基板，即由於存在有端緣部之薄SOI層及埋入氧化膜而有發出塵埃之問題的情形使用本發明亦為有效。

以上說明之本發明的實施形態1~9中雖未曾提及，但由本發明所得之SOI基板並非只適用於特定的半導體裝置

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (28)

之製造，本發明亦可適用於將 MOS 電晶體及雙極電晶體等的半導體元件製作在 SOI 層以製造 DRAM，SRAM 及邏輯電路等任何的半導體裝置則自不待言。

發明的效果

依本發明申請專利範圍第 1 項記載的半導體基板之處理方法，其埋入氧化膜中之形成在端緣部的部分消失，因此例如於實行 SOI 層的薄膜化工序時，不致發生端緣部之 SOI 層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

依本發明申請專利範圍第 2 項記載的半導體基板之處理方法，由於為只由 1 方向的離子注入而使形成在端緣部內的埋入氧化膜消失，因此為有效率，得以抑制實施本發明構成之成本增加。

依本發明申請專利範圍第 3 項記載的半導體基板之處理方法，不但於端緣部，亦可在中央部之所望的領域使埋入氧化膜消失，因此可製成產範圍的不存在埋入氧化膜之領域。

依本發明申請專利範圍第 4 項記載的半導體基板之處理方法，由於埋入氧化膜為平行主面的存在至端緣部的最端部的構造，因而在端緣部之埋入氧化膜的上部不會存在有形成薄 SOI 層的部分，例如於 SOI 層的薄膜化工序時，不致發生薄 SOI 層被埋入氧化膜及用於薄膜化而形成之氧化

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(29)

膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

依本發明申請專利範圍第5項記載的半導體基板之處理方法，由於絕緣膜之最厚部分的厚度形成為比埋入氧化膜及SOI層之合計厚度以上，於絕緣膜內部形成埋入氧化膜的彎曲部而防止在半導體基板之端緣部形成埋入氧化膜之彎曲部。又由於該絕緣膜為用熱氧化膜構成，因此能簡便的製成絕緣膜，抑制實施本發明構成之製造成本的增加。

依本發明申請專利範圍第6項記載的半導體基板之處理方法，由於絕緣膜之最厚部分的厚度形成為比埋入氧化膜及SOI層之合計厚度以上，於絕緣膜內部形成埋入氧化膜的彎曲部而防止在半導體基板之端緣部形成埋入氧化膜之彎曲部。又由於該絕緣膜為由TEOS膜構成，因此可製成針孔少之良質的絕緣膜。

依本發明申請專利範圍第7項記載的半導體基板之處理方法，由於其摻劑多晶矽層之氧化率比半導體基板大，因此摻劑多晶矽層之至少一方主面側的端緣部為由保護氧化膜構成，因此其端緣部不致存在有薄SOI層形成在埋入氧化膜之上的部分，例如於實行SOI層的薄膜化工序時，不致發生薄SOI層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明(30)

成之半導體元件的形成不良，進一步可提高製造成品率。

依本發明申請專利範圍第8項記載的半導體基板之處理方法，由於將摻劑多晶矽層之端緣部的最厚部分的厚度形成比埋入氧化膜及SOI層之合計厚度以上，因此於摻劑多晶矽層內部形成埋入氧化膜的彎曲部，對該彎曲部之摻劑多晶矽層用氧實行氧化使其成為摻劑多晶矽層之至少一方主面側的端緣部為由保護氧化膜構成。又如將摻劑多晶矽層形成於另一方主面則可利用以達成吸收層的機能。

依本發明申請專利範圍第9項記載的半導體基板之處理方法，其保護氧化膜於端緣部之至少一方的主面側為由其表面向內部形成，因此於其端緣部不致存在有薄SOI層形成在埋入氧化膜之上的部分，例如於實行SOI層的薄膜化工序時，不致發生薄SOI層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。又於形成保護氧化膜之際，為與形成埋入氧化膜同樣的使用離子注入法，由退火而成長氧化膜，因此不必為形成保護氧化膜而使用特別的裝置，並不需附加特別的工序而可抑制使用本發明構成之成本增加。

依本發明申請專利範圍第10項記載的半導體基板之處理方法，由於埋入氧化膜及保護氧化膜形成時使用不同的退火處理，因此各氧化膜之厚度的控制性良好。

依本發明申請專利範圍第11項記載的半導體基板之處

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (31)

理方法，由於端緣部之至少一方主面側形成SOI層與埋入氧化膜混合構成的熔融層，因此端緣部的凹凸消失，並且於端緣部不致發生有薄SOI層形成在埋入氧化膜之上的部分，例如於實行SOI層的薄膜化工序時，不致發生SOI層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題，能防止由於微粒的存在所構成之半導體元件的形成不良，進一步可提高製造成品率。

依本發明申請專利範圍第12項記載的半導體基板之處理方法，由於在基板上氧化膜及SOI層的端緣部形成SOI層與基板上氧化膜混合的熔融層，因此例如實行SOI層之薄膜化的濕蝕刻之際，能防止基板上氧化膜被部分的除去以致其上部的矽層成為部分浮離的狀態，由而防止SOI層發生剝離成為微粒。又於基板上氧化膜及SOI層之端緣部的削平處理不完全，沿其周緣成為連續凸凹部的狀態時，亦由於該凸凹部為由熔融層覆蓋，因此可以防止基板上氧化膜及SOI層於基板的搬運中發生剝離成為微粒。

依本發明申請專利範圍第13項記載的半導體基板之處理方法，由於製成基板上氧化膜為用SOI層覆蓋，用貼合法形成的半導體基板，因此例如於實行SOI層之薄膜化的濕蝕刻時，能防止基板上氧化膜被部分的除去以致其上部之SOI層成為部分浮離的狀態，因此能防止SOI層發生剝離成為微粒。

依本發明申請專利範圍第14項記載的半導體基板，其

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (32)

摻劑多晶矽層之至少一方主面側的端緣部由保護氧化膜構成，因此於其端緣部不致存在有薄 SOI 層形成於埋入氧化膜之上的部分，例如於實行 SOI 層的薄膜化工序時，不致發生 SOI 層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題。

依本發明申請專利範圍第 15 項記載的半導體基板，其摻劑多晶矽層之至少一方主面側的端緣部可製成保護氧化膜的具體構成，又可將摻劑多晶矽層形成於另一主面而具有做為吸收層的機能。

依本發明申請專利範圍第 16 項記載的半導體基板，由於其端緣部中之至少一方主面側具有由其表面向內部形成的保護氧化膜，因此於其端緣部不致存在有薄 SOI 層形成於埋入氧化膜之上的部分，例如於實行 SOI 層的薄膜化工序時，不致發生 SOI 層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題。

依本發明申請專利範圍第 17 項記載的半導體基板，由於其端緣部中之至少一方主面側具有 SOI 層及埋入氧化膜混合的熔融層，因此端緣部的凹凸消失，於其端緣部不致存在有薄 SOI 層形成於埋入氧化膜之上的部分，例如於實行 SOI 層的薄膜化工序時，不致發生 SOI 層被埋入氧化膜及用於薄膜化而形成之氧化膜部分的包圍，於除去該氧化膜時部分的被剝離成為微粒而浮遊於蝕刻液中的問題。

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (33)

依本發明申請專利範圍第18項記載的半導體基板，由於基板上氧化膜及SOI層的端緣部具有SOI層與基板上氧化膜混合的熔融層，因此例如於實施SOI層之薄膜化的濕蝕刻時，能夠防止基板上氧化膜被部分的除去以致其上部的矽層成為部分浮離的狀態，因此可防止SOI層發生剝離成為微粒。又於基板上氧化膜及SOI層之端緣部的削平處理不完全，沿其周緣成為連續凸凹部的平面視形狀時，該凸凹部亦為由熔融層覆蓋，因此能防止基板上氧化膜及SOI層在基板的搬運中剝離成為微粒。

依本發明申請專利範圍第19項記載的半導體基板，至少於基板上氧化膜及SOI層之端緣部具有覆蓋該端緣部之狀態形成的外延層，因此例如於實施SOI層之薄膜化的濕蝕刻時，能防止基板上氧化膜被部分的除去以致其上部的矽層成為部分浮離的狀態，因此可防止SOI層發生剝離成為微粒。又於基板上氧化膜及SOI層之端緣部的削平處理不完全，沿其周緣成為連續凸凹部的平面視形狀時，該凸凹部亦為由熔融層覆蓋，因此能防止基板上氧化膜及SOI層於基板的搬運中剝離成為微粒。

圖面的簡單說明

第1圖表示本發明實施形態1之半導體基板之處理工序的剖面說明圖。

第2圖表示本發明實施形態1之半導體基板之構成的剖面說明圖。

第3圖表示本發明實施形態1之半導體基板之處理工

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (34)

序的剖面說明圖。

第 4 圖表示本發明實施形態 1 之半導體基板之處理工序之變形例剖面說明圖。

第 5 圖表示本發明實施形態 2 之半導體基板之處理工序的剖面說明圖。

第 6 圖表示本發明實施形態 2 之半導體基板之處理工序的剖面說明圖。

第 7 圖表示本發明實施形態 2 之半導體基板之構成的剖面說明圖。

第 8 圖表示本發明實施形態 2 之半導體基板之構成的剖面說明圖。

第 9 圖表示本發明實施形態 2 之半導體基板之變形例的構成之剖面說明圖。

第 10 圖表示本發明實施形態 2 之半導體基板之處理工序的變形例之剖面說明圖。

第 11 圖表示本發明實施形態 3 之半導體基板之處理工序的剖面說明圖。

第 12 圖表示本發明實施形態 3 之半導體基板之處理工序的剖面說明圖。

第 13 圖表示本發明實施形態 3 之半導體基板之構成的剖面說明圖。

第 14 圖表示本發明實施形態 4 之半導體基板之處理工序的剖面說明圖。

第 15 圖表示本發明實施形態 4 之半導體基板之構成的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (35)

剖面說明圖。

第 16 圖表示本發明實施形態 4 之半導體基板之構成的剖面說明圖。

第 17 圖表示本發明實施形態 5 之半導體基板之處理工序的剖面說明圖。

第 18 圖表示本發明實施形態 5 之半導體基板之構成的剖面說明圖。

第 19 圖表示本發明實施形態 5 之半導體基板之處理工序的平面說明圖。

第 20 圖表示本發明實施形態 6 之半導體基板之處理工序的剖面說明圖。

第 21 圖表示本發明實施形態 6 之半導體基板之構成的剖面說明圖。

第 22 圖表示本發明實施形態 7 之半導體基板之處理工序的剖面說明圖。

第 23 圖表示本發明實施形態 7 之半導體基板之構成的剖面說明圖。

第 24 圖表示本發明實施形態 8 之半導體基板之處理工序的剖面說明圖。

第 25 圖表示本發明實施形態 8 之半導體基板之處理工序的剖面說明圖。

第 26 圖表示本發明實施形態 8 之半導體基板之處理工序的剖面說明圖。

第 27 圖表示本發明實施形態 8 之半導體基板之構成的

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (36)

剖面說明圖。

第 28 圖表示本發明實施形態 9 之半導體基板之處理工序的剖面說明圖。

第 29 圖表示本發明實施形態 9 之半導體基板之構成的剖面說明圖。

第 30 圖表示本發明實施形態 9 之半導體基板之處理工序的變形例之剖面說明圖。

第 31 圖表示本發明實施形態 9 之半導體基板之變形例之構成的剖面說明圖。

第 32 圖表示對於用 CZ 法製成的半導體板形成 SOI 構造之構成的剖面說明圖。

第 33 圖表示 SOI 基板之端緣部的構成之剖面說明圖。

第 34 圖表示說明 SOI 基板之習用的處理工序之問題的剖面圖。

第 35 圖表示說明 SOI 基板之處理工序之問題的剖面圖。

第 36 圖表示說明用貼合法形成之 SOI 基板之問題的剖面圖。

第 37 圖表示說明用貼合法形成之 SOI 基板之問題的剖面圖。

符號的說明

- | | |
|----|-------|
| 1 | SOI 層 |
| 2 | 埋入氧化膜 |
| 2A | 氧注入領域 |

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

五、發明說明 (37)

- 3, 31 矽基板
- 6, 61 基板上氧化膜
- 7 矽層 (SOI層)
- 8 氧化膜
- 9 TEOS膜
- 11 摻劑多晶矽層
- 12, 13 氧化膜 (保護氧化膜)
- 14, 16 熔融層
- 15 外延層
- LB 雷射光

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

四、中文發明摘要(發明之名稱：半導體基板之處理方法及半導體基板)

本發明以提供一種防止由基板端緣部發出塵埃之半導體基板之處理方法及半導體基板為目的。

本發明對於SOI基板10之端緣部SOI基板10的直徑方向注入的離子以使SOI基板10之端緣部的埋入氧化膜2成為富於矽的狀態，將端緣部在實質上變成埋入氧化膜2為消失的SOI基板100。

英文發明摘要(發明之名稱：)

(請先閱讀背面之注意事項再填寫本頁各欄)

裝

訂

線

六、申請專利範圍

1. 一種半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而以
 前述半導體基板為由SIMOX法形成的SOI基板；
 前述一方主面的表面內具有順次積層形成的埋入氧化膜及SOI層；以及
 由注入矽離子於前述端緣部以使前述埋入氧化膜之形成在前述端緣部內的部分消失為其特徵者。
2. 如申請專利範圍第1項的半導體基板之處理方法，其中前述矽離子之注入為：
 包含由前述端緣部側依前述SOI基板之徑向注入前述的離子的工序者。
3. 如申請專利範圍第1項的半導體基板之處理方法，其中前述矽離子之注入為：
 包含於前述一方主面之中央部形成注入遮膜，而由前述SOI基板之前述端緣部側及前述一方主面側注入前述矽離子的工序者。
4. 一種半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而具備：

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

(a) 以覆蓋前述半導體基板之前述端緣部的狀態形成絕緣膜的工序；

(b) 由形成前述絕緣膜之前述半導體基板之前述一方主面側注入氧離子，用SIMOX法於前述一方主面的表面內順次積層形成埋入氧化膜及SOI層的工序；以及

(c) 除去前述絕緣膜的工序，而以

形成前述埋入氧化膜為平行於主面而存在至前述端緣部之最端部的SOI基板為其特徵者。

5. 如申請專利範圍第4項的半導體基板之處理方法，其中前述絕緣膜之最厚部分的厚度形成比前述埋入氧化膜及前述SOI層之合計以上的厚度，而以

前述工序(a)為，

形成前述絕緣膜為包含用熱氧化法形成熱氧化膜的工序。

6. 如申請專利範圍第4項的半導體基板之處理方法，其中前述絕緣膜之最厚部分的厚度形成比前述埋入氧化膜及前述SOI層之合計以上的厚度，而以

前述工序(a)為，

形成前述絕緣膜為包含用減壓CVD法形成TEOS膜的工序。

7. 一種半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而具備：

(a) 以覆蓋前述半導體基板之前述端緣部的狀態形成摻劑多晶矽層的工序；以及

(b) 由形成前述摻劑多晶矽層之前述半導體基板之前述一方主面側實行氧離子注入，用SIMOX法於前述一方主面的表面內順次積層形成埋入氧化膜及SOI層，並對前述摻劑多晶矽層中至少於前述一方主面側由其表面至內部形成保護氧化膜的工序。

8. 如申請專利範圍第7項的半導體基板之處理方法，其中前述摻劑多晶矽層之於前述絕緣部的最厚部分的厚度為形成比前述埋入氧化膜及前述SOI層之合計以上的厚度，而以

前述工序(a)為，

包含於前述半導體基板之前述另一方主面形成前述摻劑多晶矽層的工序。

9. 一種半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而具備：

(a) 由前述半導體基板之前述一方主面側對於全面實行第1氧離子注入的工序；

(b) 由前述半導體基板之前述一方主面側對前述

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

端緣部選擇的實行第2氧離子注入的工序；以及

(c) 用退火處理使由前述第1及第2氧離子注入所注入的氧離子擴散，於前述中央部及前述端緣部各形成埋入氧化膜及保護氧化膜，並於前述埋入氧化膜上部形成SOI層的工序，而以

前述第2氧離子注入為於比較前述第1氧離子注入為淺的位置設定注入尖峯，以及

前述保護氧化膜為於前述端緣部中至少於前述一方主面側由表面向內部形成為其特徵者。

10. 如申請專利範圍第9項的半導體基板之處理方法，其中前述工序(c)為包含：

於前述工序(b)之前實行的第1退火處理以形成前述埋入氧化膜及前述SOI層的工序，以及

於前述工序(b)之後實行的第2退火處理以形成前述保護氧化膜的工序。

11. 一種半導體基板之處理方法，係為含有一方主面，和其反對側之另一方主面，以及側面部，而於前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部劃定為端緣部的半導體基板之處理方法，而以

前述半導體基板為由SIMOX法形成的SOI基板，

前述一方主面的表面內具有順次積層形成的埋入氧化膜及SOI層，

並在真空中對前述端緣部由其上部照射雷射光而

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

於前述端緣部中之至少前述一方主面側形成前述SOI層與埋入氧化膜混合的熔融層為其特徵者。

12. 一種半導體基板之處理方法，係為一方主面上具有順次積層形成基板上氧化膜及SOI層的半導體基板之處理方法，而以

在真空中對於前述基板上氧化膜及前述SOI層之端緣部自其上部照射雷射光而於前述端緣部形成前述SOI層與基板上氧化膜混合之熔融層為其特徵者。

13. 一種半導體基板之處理方法，具備：

(a) 於第1半導體基板之主面上將基板上氧化膜及比該基板上氧化膜之外形尺寸為大的第2半導體基板以順次積層的積層體為用貼合法形成的工序；

(b) 將前述第2半導體基板由上部壓下使向外伸出於前述第1半導體基板之主面上部的前述第2半導體基板主面密接於前述第1半導體基板的主面上，用貼合法將前述第1及第2半導體基板接合的工序；以及

(c) 對前述第2半導體基板實施預定厚度的研磨以形成SOI層的工序。

14. 一種半導體基板，係為含有一方主面，和其反對側的另一方主面以及側面部，其前述一方主面中劃定有形成活性領域之部分的中央部，並將含有前述一方主面中之前述中央部的周邊領域與前述側面部的部分劃定為端緣部的半導體基板，而以：

前述一方主面內具有順次積層形成的埋入氧化膜

(請先閱讀背面之注意事項再填寫本頁)

裝

訂

線

六、申請專利範圍

及 SOI 層；

前述端緣部具有覆蓋前述端緣部的狀態形成的摻劑多晶矽層；以及

前述摻劑多晶矽層中之至少於前述一方主面側具有由其表面向內部形成的保護氧化膜。

15. 如申請專利範圍第 14 項的半導體基板，其中，

前述摻劑多晶矽層之於前述端緣部之最厚部分的厚度為在前述埋入氧化膜及前述 SOI 層之合計厚度以上；以及

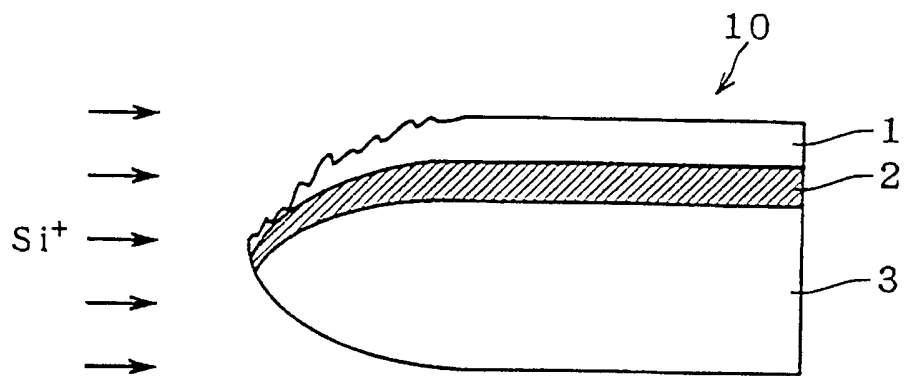
前述摻劑多晶矽層亦為形成在前述另一主面者。

(請先閱讀背面之注意事項再填寫本頁)

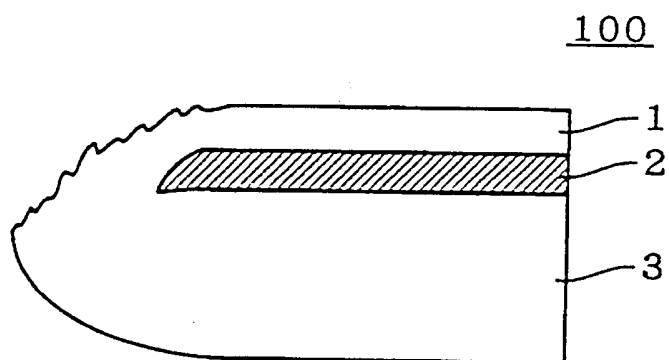
裝

訂

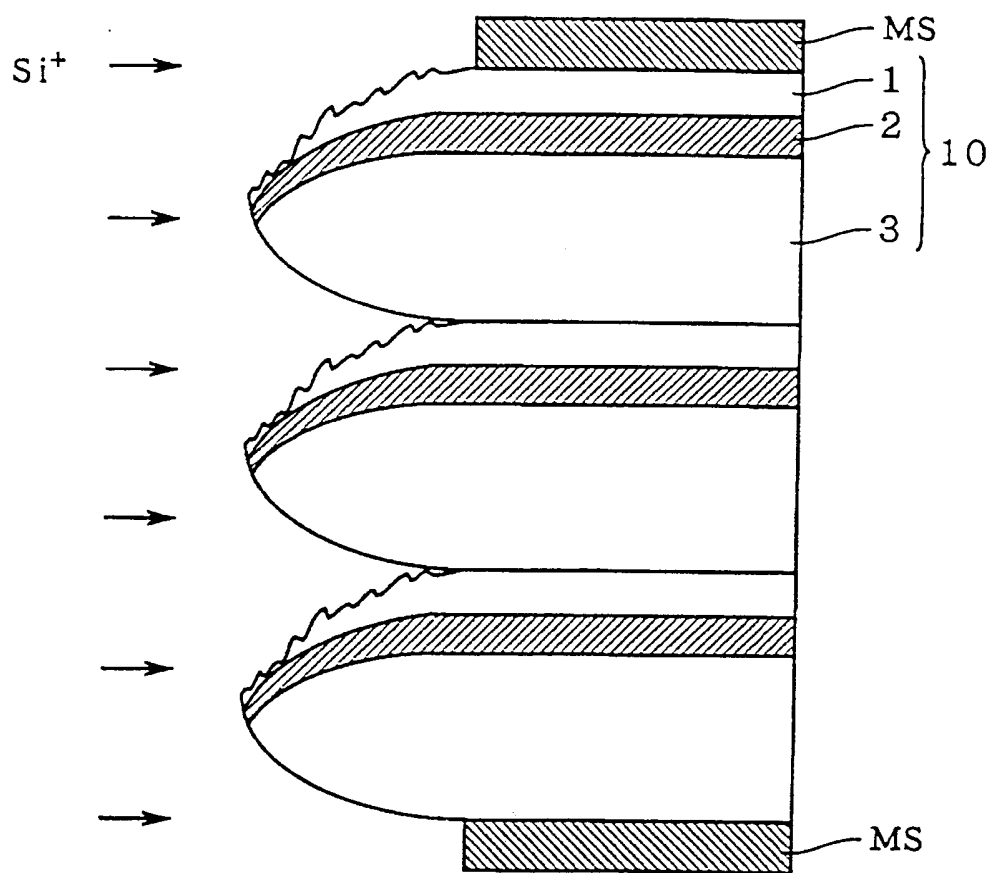
線



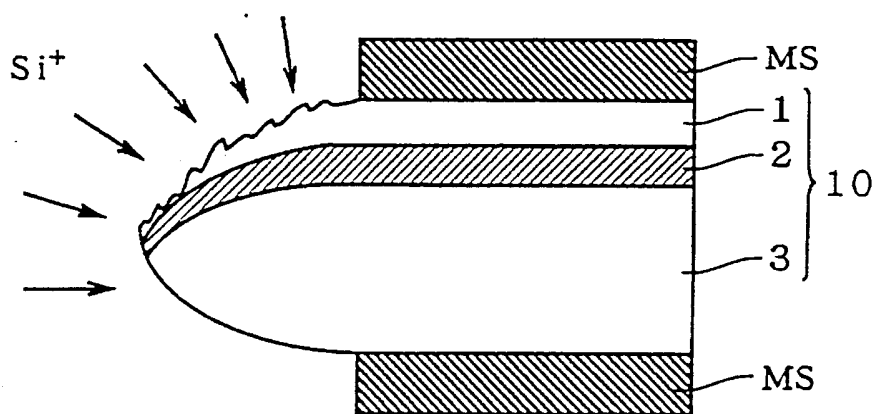
第 1 圖



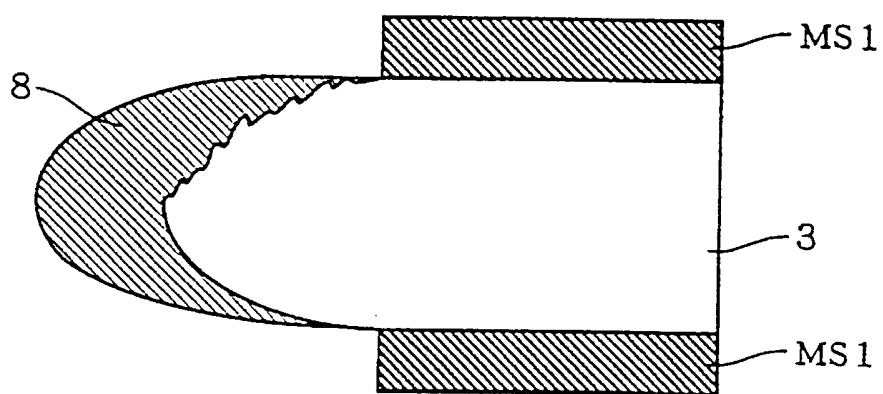
第 2 圖



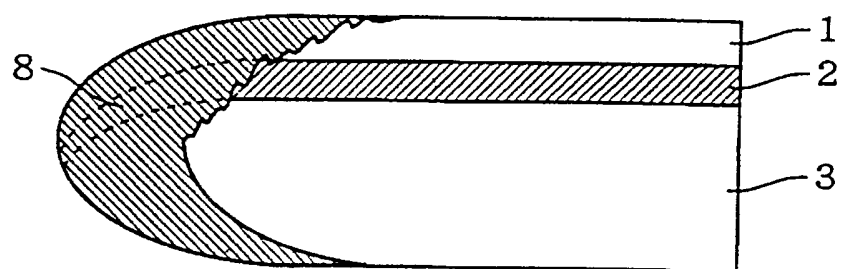
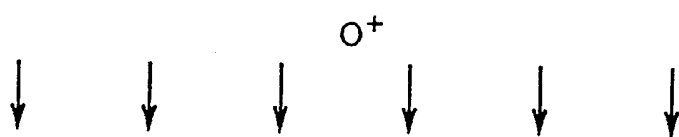
第 3 圖



第 4 圖

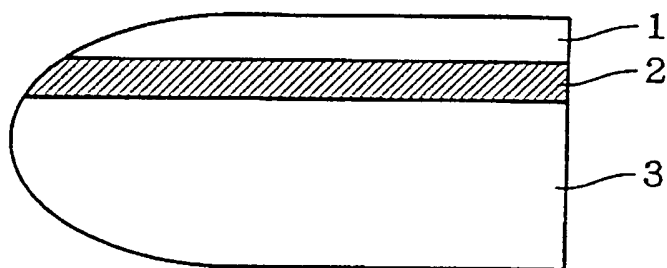


第 5 圖



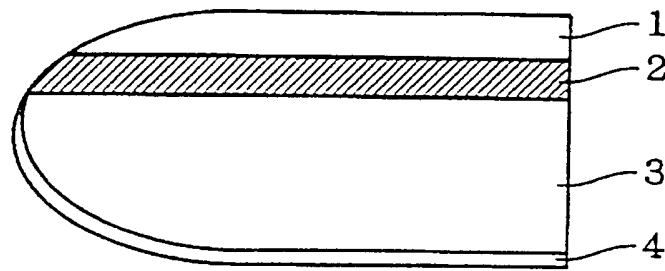
第 6 圖

200

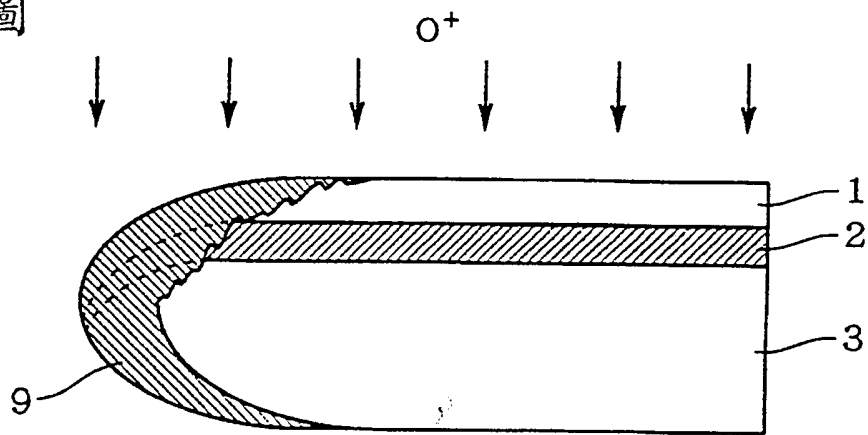


第 7 圖

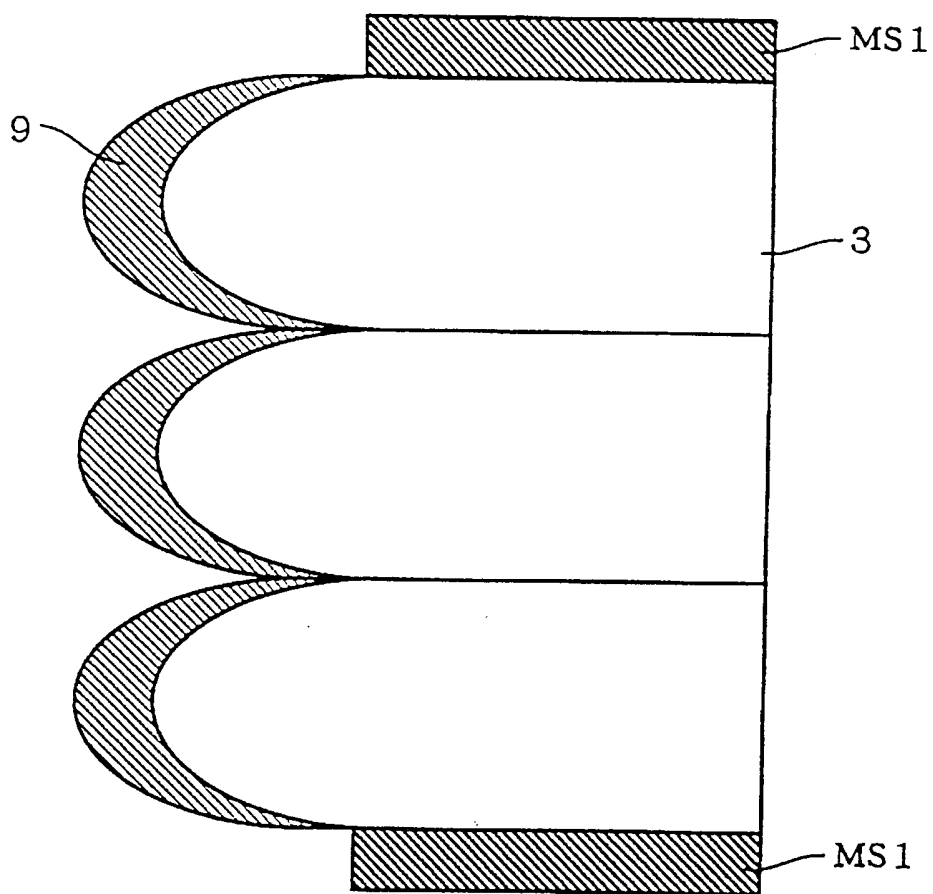
200A



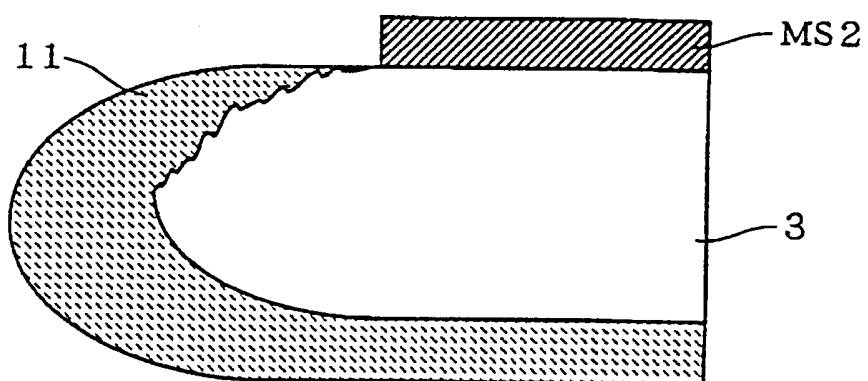
第 8 圖



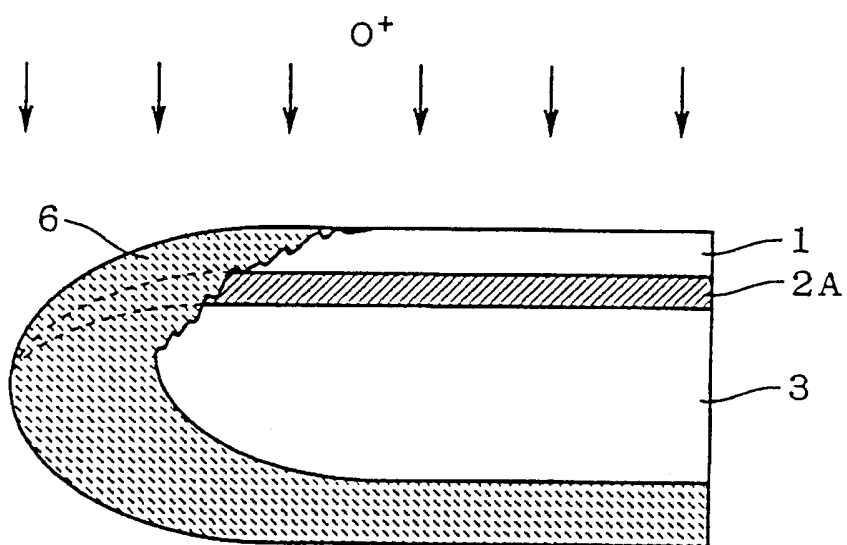
第 9 圖



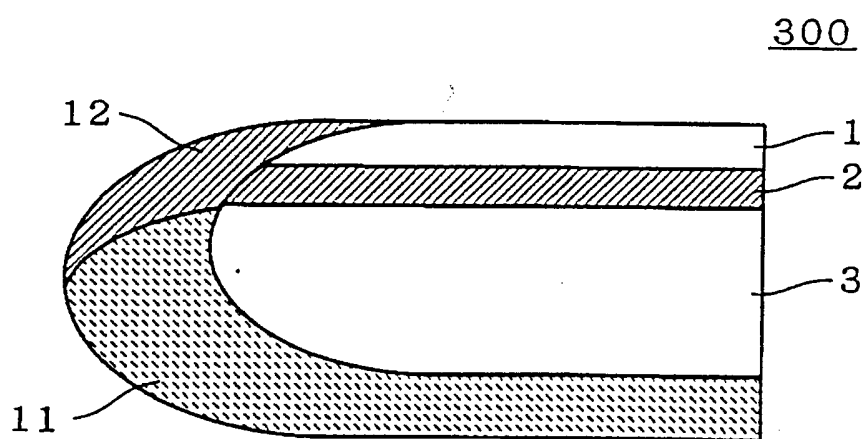
第10圖



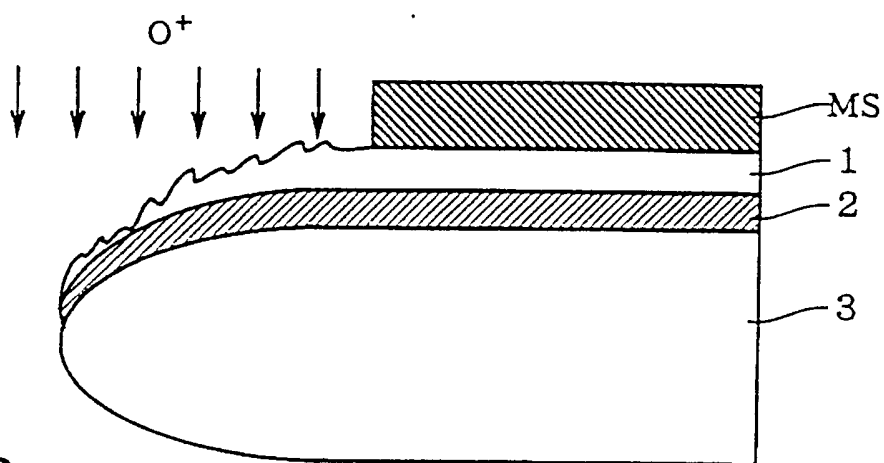
第11圖



第12圖

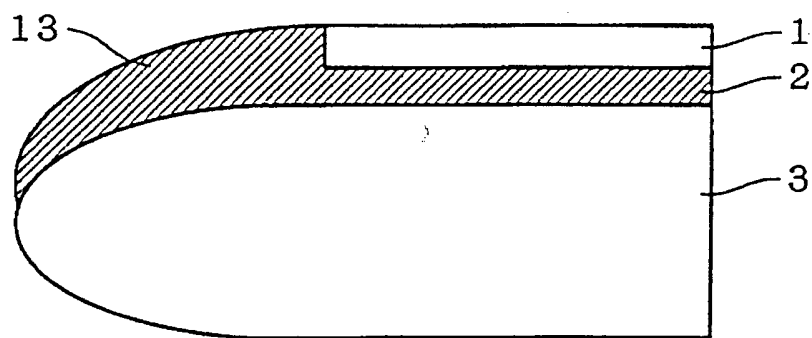


第13圖



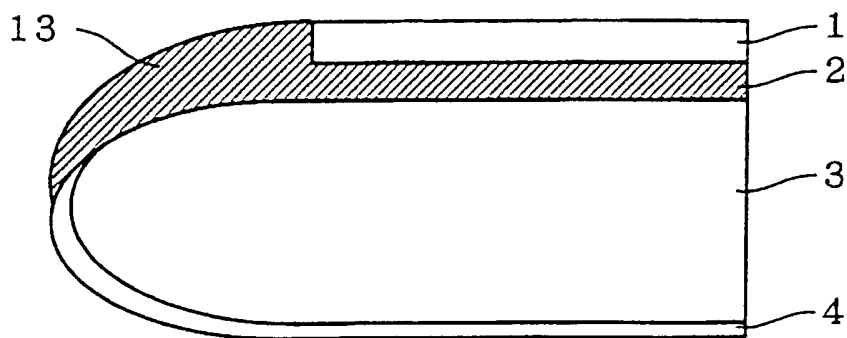
第14圖

400

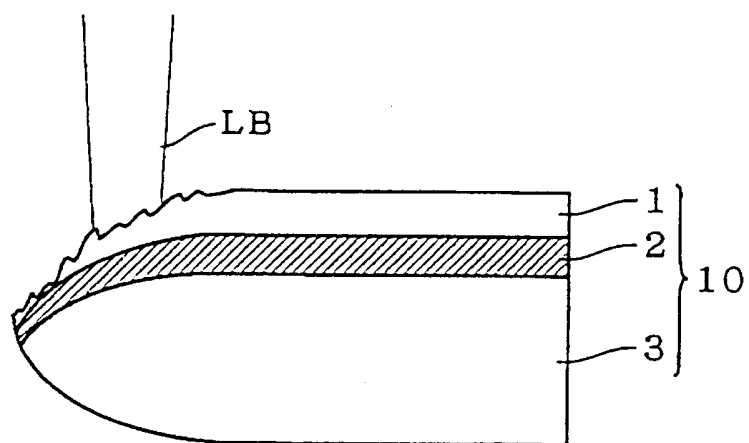


第15圖

400A

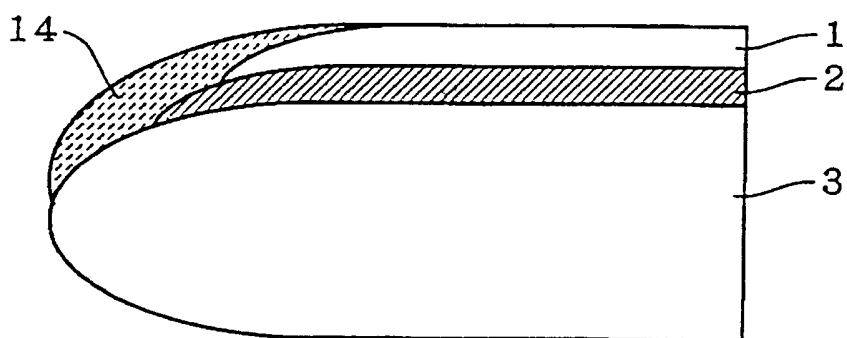


第16圖

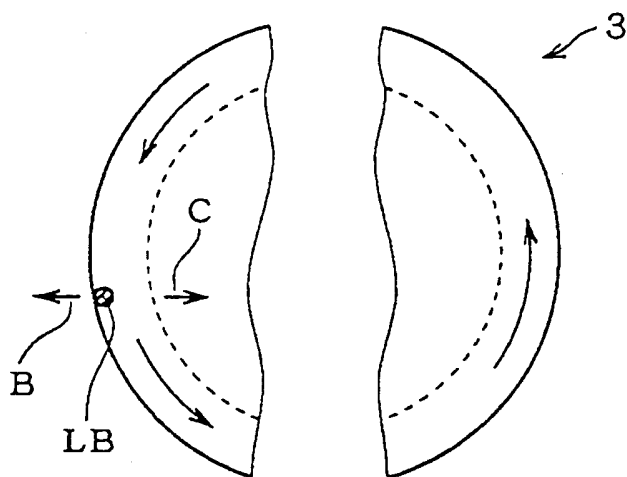


第17圖

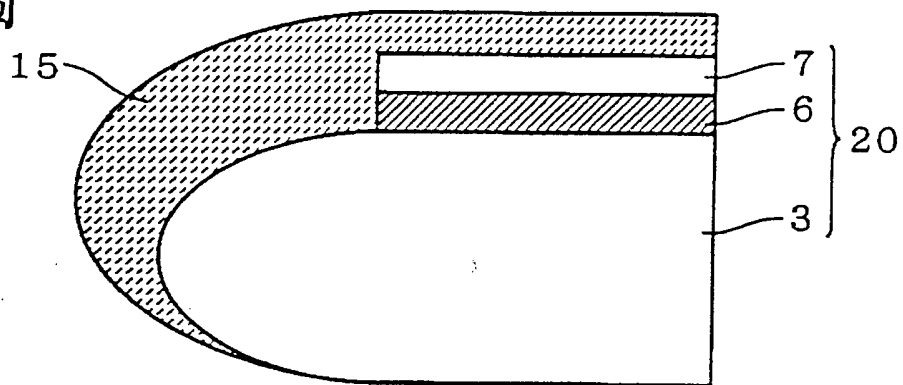
500



第18圖

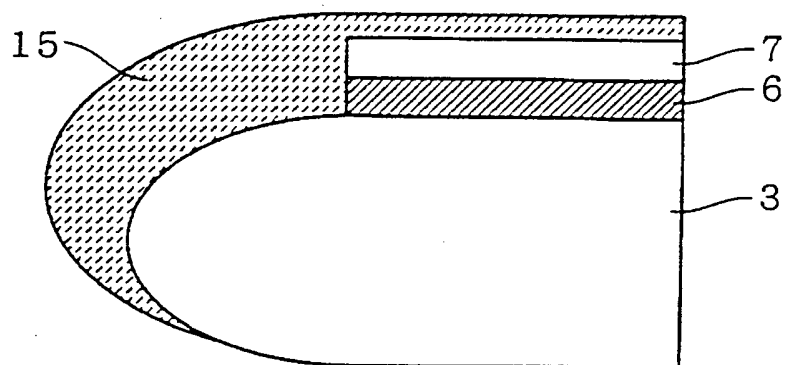


第19圖

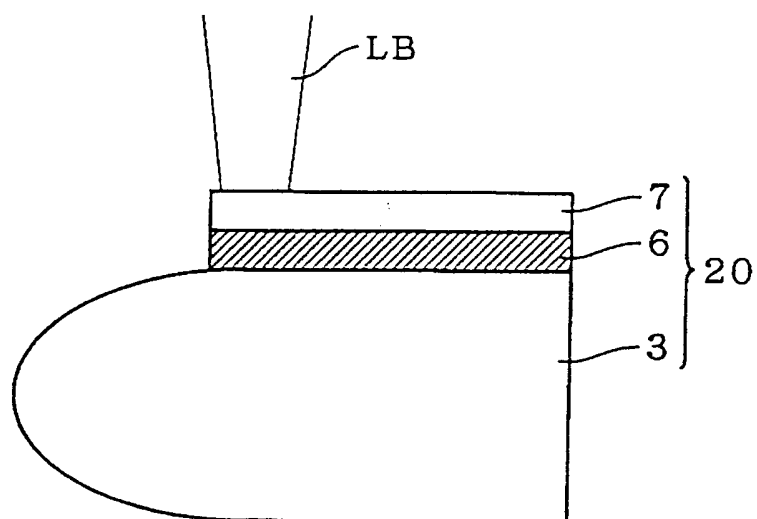


第20圖

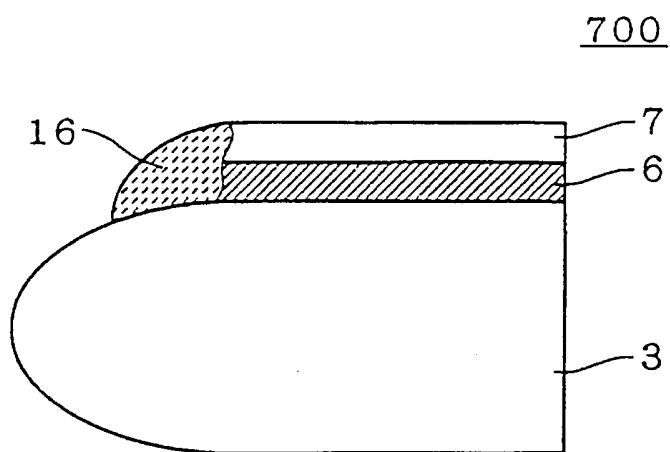
600



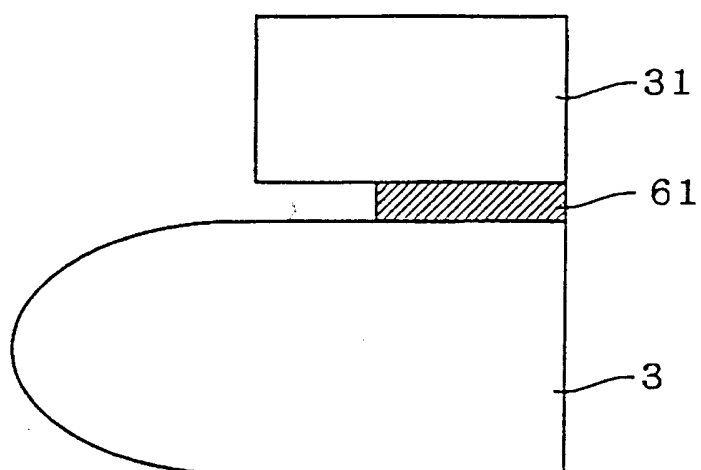
第21圖



第22圖

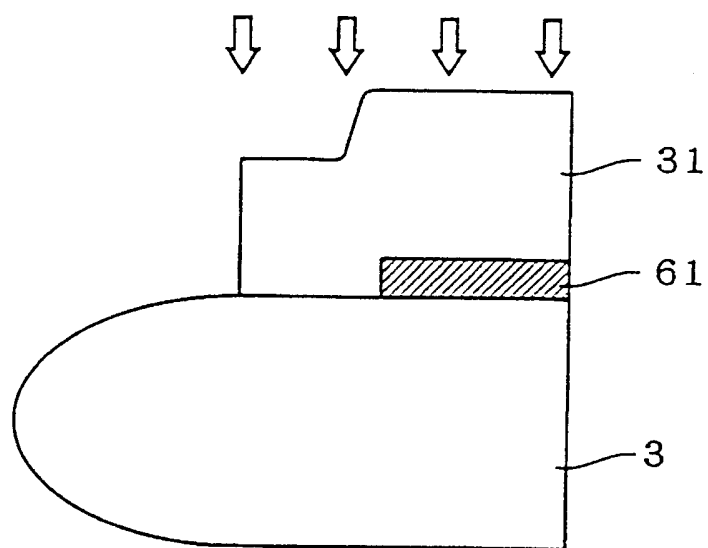


第23圖

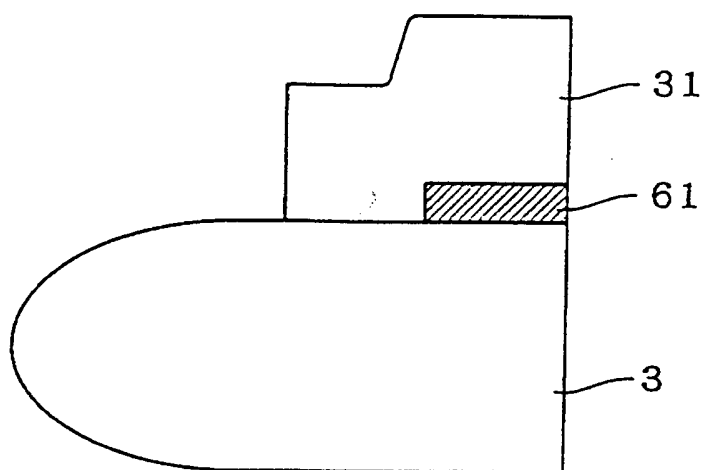


第24圖

392349

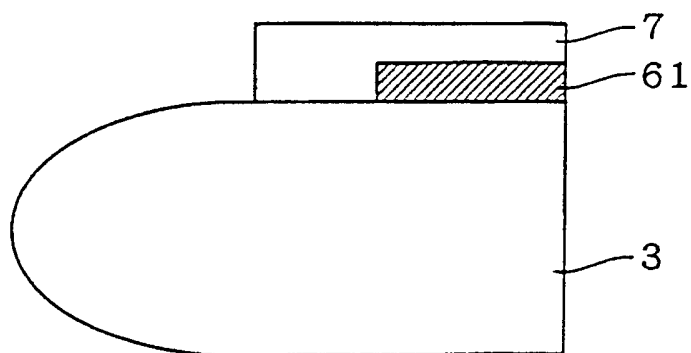


第25圖

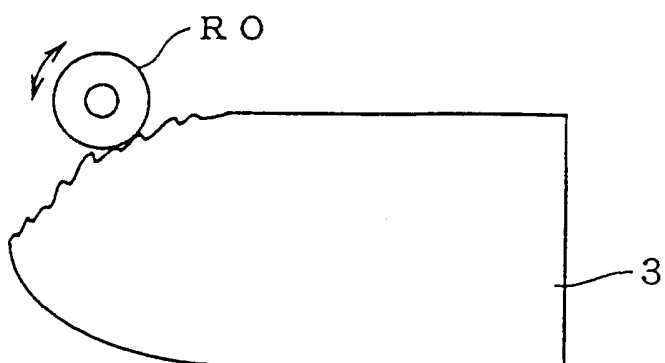


第26圖

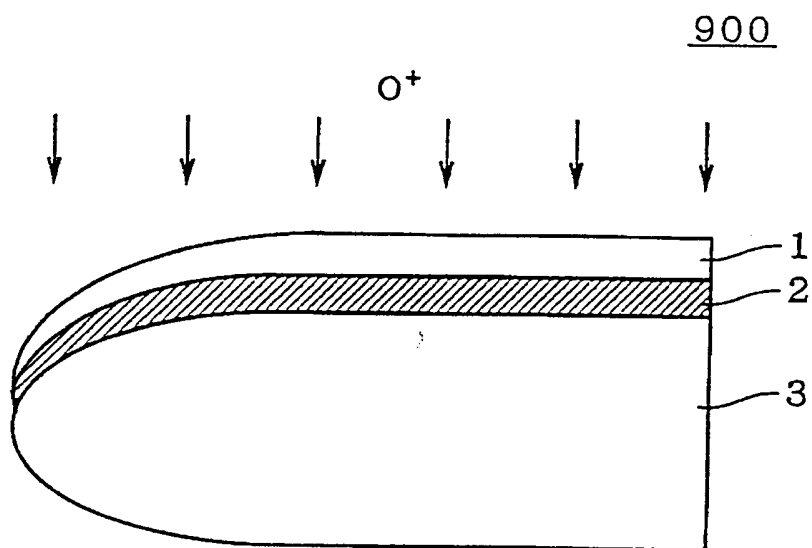
800



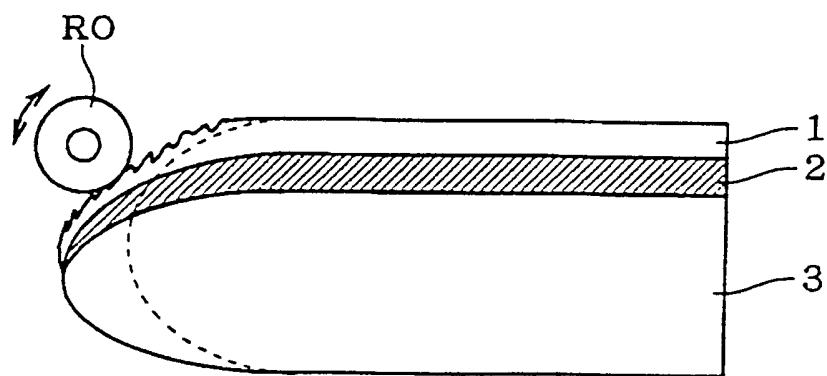
第27圖



第28圖

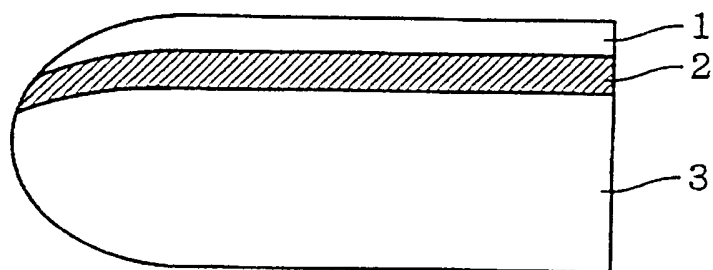


第29圖

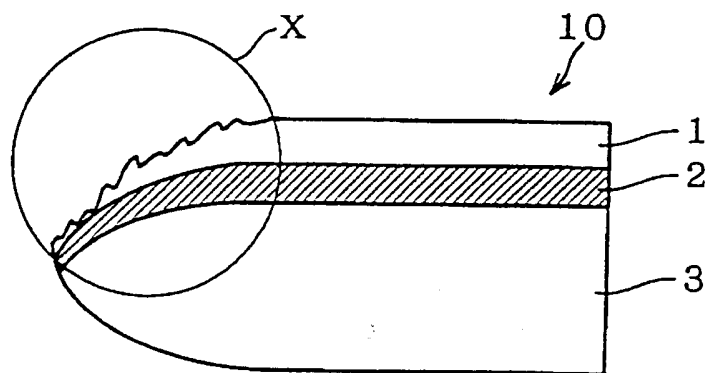


第30圖

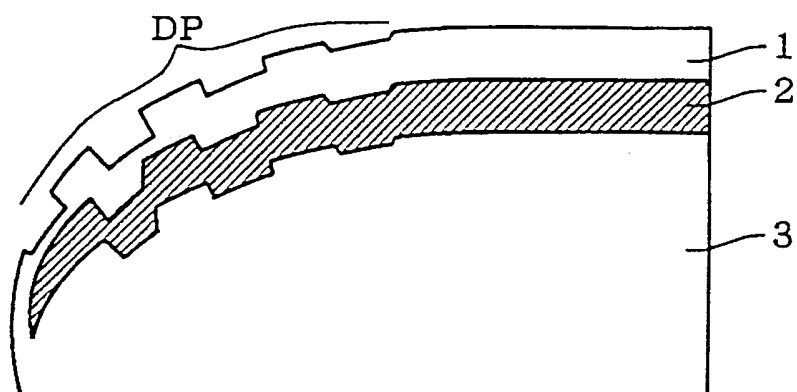
900A



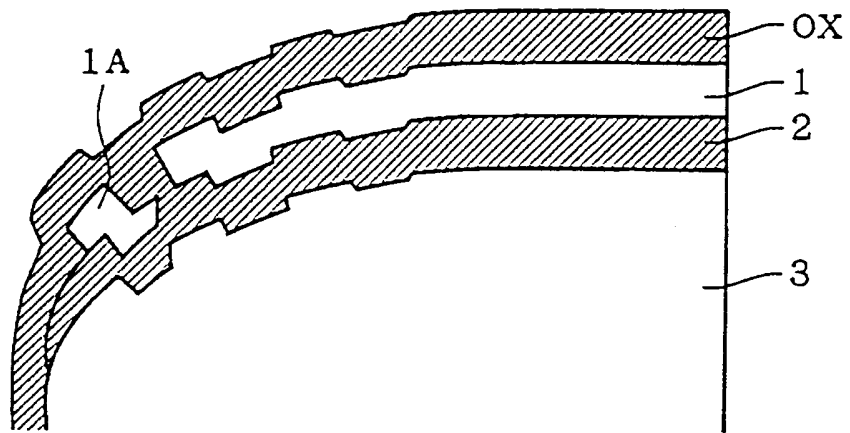
第31圖



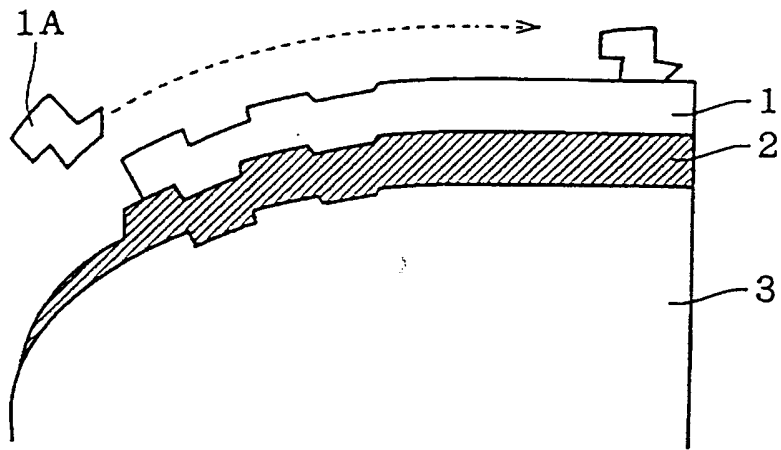
第32圖



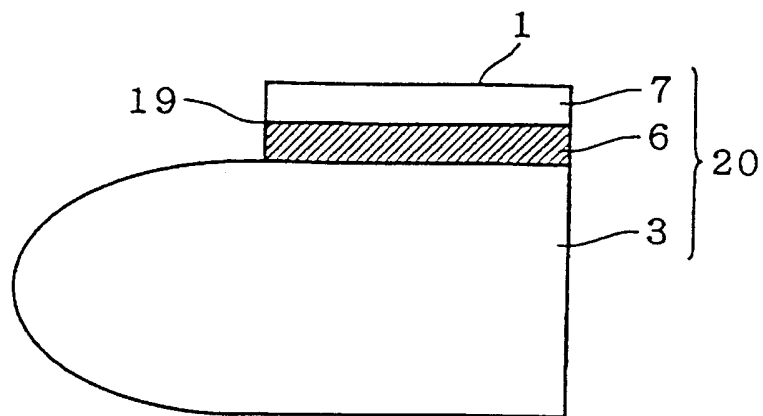
第33圖



第34圖

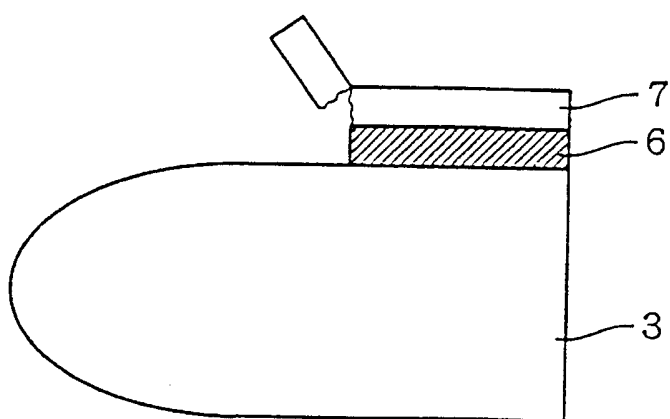


第35圖



第36圖

392349



第37圖