



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2020년08월04일
(11) 등록번호 10-2140681
(24) 등록일자 2020년07월28일

(51) 국제특허분류(Int. Cl.)
G06F 11/18 (2006.01) G06F 11/16 (2006.01)
(52) CPC특허분류
G06F 11/183 (2013.01)
G06F 11/165 (2013.01)
(21) 출원번호 10-2019-0027703
(22) 출원일자 2019년03월11일
심사청구일자 2019년03월11일
(56) 선행기술조사문헌
KR101807180 B1*
KR1020100115957 A*
Serial Addition: Locally Connected Architectures*
*는 심사관에 의하여 인용된 문헌

(73) 특허권자
조선대학교산학협력단
광주광역시 동구 필문대로 309 (서석동)
(72) 발명자
이정아
광주광역시 북구 첨단과기로 123, 교수아파트 C동 1202호(오룡동)
아리핀 투바
신드, 카라치, 클리프턴 블럭2, 클리프턴 콘도미니엄 플랫424
하썬 압두스 사미
이슬라마바드, 제다 타운 스트리트 5, 하우스 41
(74) 대리인
특허법인아이엠

전체 청구항 수 : 총 2 항

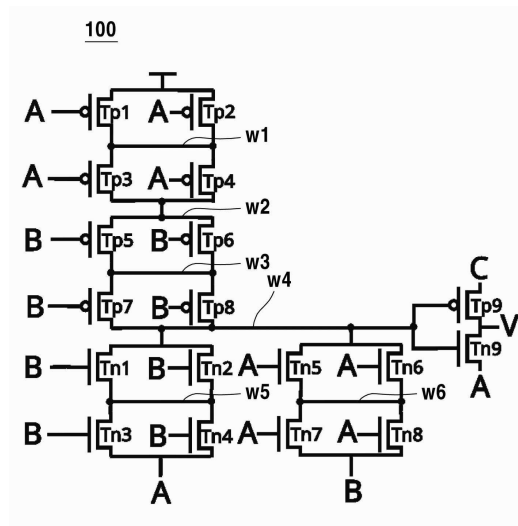
심사관 : 김계준

(54) 발명의 명칭 어림 삼중 중복형 모듈러 장치의 결합 허용 투표기

(57) 요약

본 발명은 어림 삼중 중복형 모듈러 장치의 결합 허용 투표기에 관한 것으로, 보다 구체적으로는 공간(area), 지연(delay), 전력 소비(power consumption) 및 회로 품질(QoC:Quality of Circuit)에 있어 성능 향상을 달성할 수 있는 어림 삼중 중복형 모듈러 장치의 결합 허용 투표기에 관한 것이다.

대표도 - 도10



(52) CPC특허분류

G06F 11/187 (2018.01)

이 발명을 지원한 국가연구개발사업

과제고유번호 2018-0308

부처명 과학기술정보통신부

연구관리전문기관 한국연구재단

연구사업명 중견연구(총연구비1.5억초과~3억이하)

연구과제명 애플리케이션 오류 허용 특성에 따른 로직 변환 및 연산기 간소화 기법: 에너지 효율적인,
충분히 정확한 컴퓨팅 연산기 설계와 응용

기 여 율 1/2

주관기관 조선대학교

연구기간 2016.06.01 ~ 2019.05.31

이 발명을 지원한 국가연구개발사업

과제고유번호 2018-0235

부처명 교육부

연구관리전문기관 한국연구재단

연구사업명 Bk21플러스사업_미래기반창의인재형

연구과제명 웰리빙 IT 전문인력 양성팀

기 여 율 1/2

주관기관 조선대학교

연구기간 2016.03.01 ~ 2020.08.31

명세서

청구범위

청구항 1

총 18개의 트랜지스터로 이루어지는 결합 허용 투표기로서,

상기 결합 허용 투표기는 3개의 어림 회로의 출력을 입력받고 입력(A,B,C)들 중, 서로 동일한 2개의 입력을 최종 출력으로 출력하며,

상기 트랜지스터들은,

소스 단은 동작 전원에 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제1 P형 트랜지스터;

상기 제1 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제2 P형 트랜지스터;

소스 단은 상기 제1 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제3 P형 트랜지스터;

상기 제3 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제4 P형 트랜지스터;

소스 단은 상기 제3 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제5 P형 트랜지스터;

상기 제5 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제6 P형 트랜지스터;

소스 단은 상기 제5 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제7 P형 트랜지스터;

상기 제7 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제8 P형 트랜지스터;

드레인 단은 상기 제7 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 B 신호를 입력받는 제1 N형 트랜지스터;

상기 제1 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 B 신호를 입력받는 제2 N형 트랜지스터;

드레인 단은 상기 제1 N형 트랜지스터의 소스 단과 연결되고, 게이트 단으로 B 신호를 입력받으며, 소스 단은 A 신호와 연결되는 제3 N형 트랜지스터;

상기 제3 N형 트랜지스터와 병렬로 연결되고 게이트 단으로 B 신호를 입력받는 제4 N형 트랜지스터;

드레인 단은 상기 제7 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 A 신호를 입력받는 제5 N형 트랜지스터;

상기 제5 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제6 N형 트랜지스터;

드레인 단은 상기 제5 N형 트랜지스터의 소스 단과 연결되고, 게이트 단으로 A 신호를 입력받으며, 소스 단은 B 신호와 연결되는 제7 N형 트랜지스터;

상기 제7 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제8 N형 트랜지스터;

소스 단은 C 신호와 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터의 드레인 단 NOT 신호를 입력받는 제9 P형 트랜지스터; 및

드레인 단은 상기 제9 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터의 드레인 단 신호를 입력받으며, 소스단은 A 신호와 연결되고, 드레인 단으로 상기 최종 출력을 출력하는 제9 N형 트랜지스터;로 구성되는 것을 특징으로 하는 결합 허용 투표기.

청구항 2

제 1 항에 있어서,

상기 결합 허용 투표기는 아래의 수학적 식 1로 계산되는 회로 품질(QoC:Quality of Circuit)이 0.625인 것을 특징으로 하는 결합 허용 투표기.

[수학적 식 1]

$$QoC=1-\frac{VIV_T}{2^n}$$

여기서, VIV_T 는 취약한 입력벡터들(Vulnerable Input Vectors)의 총 개수, n 은 회로의 입력개수이다.

발명의 설명

기술 분야

[0001] 본 발명은 어림 삼중 중복형 모듈러 장치의 결합 허용 투표기에 관한 것으로, 보다 구체적으로는 공간(area), 지연(delay), 전력 소비(power consumption) 및 회로 품질(QoC:Quality of Circuit)에 있어 성능 향상을 달성할 수 있는 어림 삼중 중복형 모듈러 장치의 결합 허용 투표기에 관한 것이다.

배경 기술

[0003] 어림 삼중 중복형 모듈러 장치(ATMR:Approximate Triple Modular Redundancy)는 삼중 중복형 모듈러 장치(TMR)의 영역 오버헤드 문제(area overhead issue)를 해결하기 위해 제안되었다.

[0004] 이 어림 삼중 중복형 모듈러 장치는 어림 회로들 중 하나를 조건부로 원 회로와 다르게 출력을 허용하기 때문에 내부 결합에 대해 관대할 뿐만 아니라 입력에서 발생하는 결합에 대해 관용적이어야 한다는 것이 중요하다.

[0005] 도 1은 일반적인 삼중 중복형 모듈러 장치를 보여주는 도면으로, 도 1을 참조하면, 일반적인 삼중 중복형 모듈러 장치(TMR)는 제1 원 회로(11,Original circuit 1), 제2 원 회로(12,Original circuit 2) 및 제3 원 회로(13,Original circuit 3)를 포함하여 이루어지며, 상기 원 회로들(11,12,13)은 서로 동일한 논리식을 갖는 회로이다.

[0006] 예를 들면, 상기 원 회로들(11,12,13) 불 연산(Boolean logic)을 수행하는 회로일 수 있다.

[0007] 또한, 상기 원 회로들(11,12,13)은 입력 벡터(1,input vectors)를 입력받고 입력 벡터에 대해 병렬적으로 연산을 수행한 후 출력 벡터를 출력한다.

[0008] 또한, 상기 출력 벡터들은 투표기(3,Voter)로 입력되고, 상기 투표기(3)는 입력된 출력 벡터들 중 결합이 존재하는 출력은 무시하고 올바른 출력 벡터를 선택하여 최종 출력 벡터(2)를 출력하게 된다.

[0009] 또한, 상기 투표기(3)는 세 개의 출력 벡터가 모두 동일할 경우 상기 원 회로들(11,12,13)에 결합이 없는 것으로 판단하여 최종 출력 벡터(2)를 출력하고, 어느 하나의 출력 벡터가 다른 두 개의 출력 벡터와 상이할 경우 상이한 출력 벡터는 결합이 존재하는 출력 벡터로 판단하여 무시하고 다른 두 개의 동일한 출력 벡터를 상기 최종 출력 벡터(2)로 출력하게 된다.

[0010] 즉, 일반적인 삼중 중복형 모듈러 장치는 상기 원 회로들(11,12,13) 중 어느 하나에 고장이 발생하더라도 정확한 출력을 출력할 수 있고, 고장이 발생한 원 회로를 수리하여 시스템을 정상화할 수 있게 하는 장점이 있다.

[0011] 그러나 일반적인 삼중 중복형 모듈러 장치는 세 개 이상의 원 회로를 포함하여야 하므로 시스템을 구성하기 위한 공간(area), 처리 속도의 지연(delay) 및 전력 소비(power consumption)가 증가되는 단점이 있다.

[0012] 이러한 단점을 극복하기 위해 세 개의 원 회로들(11,12,13) 중, 두 개의 원회로를 어림 회로로 설계하여 공간, 지연 및 전력 소비의 증가를 줄인 어림 회로를 갖는 삼중 중복형 모듈러 장치(ATMR:Approximate TMR)가 제안된 바 있다.

[0013] 도 2는 일반적인 어림 삼중 중복형 모듈러 장치를 보여주는 것으로 도 2를 참조하면, 일반적인 어림 삼중 중복형 모듈러 장치(3)는 원래의 논리식에 의해 출력 벡터를 출력하는 하나의 원 회로(21,Original Circuit)와 단순화된 논리식에 의해 출력 벡터를 출력하는 두 개의 어림 회로들(22,23)로 구성된다.

- [0014] 또한, 상기 어림 회로들(22,23) 제1 어림 회로(22, Approximate Circuit 1)와 제2 어림 회로(23, Approximate Circuit 2)로 구성되며, 상기 어림 회로들(22,23)은 각각 상기 원 회로(21)의 논리식을 카르노 맵(Karnaugh map) 또는 케이-맵(K-map)와 같은 맵 법(map method)에 의해 단순화한 회로이다.
- [0015] 최근 들어 집적회로 산업이 가장 중요한 시대에 직면해 있으며 직접회로는 성능향상을 위해 추가적인 영역밀도와 복잡성, 더 많은 수의 결함 가능성이 필연적이다[1][2].
- [0016] 또한, 반도체 기술로드맵은 끊임없이 줄어들고 있는 반도체 소자로 인한 기술적 이슈를 해결하기 위해 나노 전자를 시도함으로써 신뢰성을 향상시키고자 하며, 차세대 초미세 마이크론 시스템은 그 신뢰성과 성능으로 정의될 것이다[1].
- [0017] 또한, 신뢰성에 대한 현실적인 분석을 위해, 결함 모델링은 트랜지스터 레벨에서 수행되어야 한다[4].
- [0018] 삼중 중복형 모듈러 장치(TMR)은 결함이 있더라도 대부분 투표기를 통해 정확한 결과를 보장하지만 200%의 영역 오버 헤드 문제가 있으며, 이러한 문제는 어림 삼중 중복형 모듈러 장치(ATMR)로 해결될 수 있다[5][6].
- [0019] 투표기는 어림 삼중 중복형 모듈러 장치뿐만 아니라 삼중 중복형 모듈러 장치에도 필수적이며 이 투표기에 결함이 발생할 경우 시스템 안정성에 직접적인 위협이된다.
- [0020] 결함 허용 투표기를 대상으로 한 연구는 주로 삼중 중복형 모듈러 장치에 초점이 맞춰지고 있다[1][2][7][8].
- [0021] 연구 [1][7][8]의 경우 게이트 수준에서 삼중 중복형 모듈러 장치의 투표기 결함 허용 능력을 평가하고 있으며, 삼중 중복형 모듈러 장치의 각 모듈이 정확한 출력을 산출한다고 가정하면서 트랜지스터 수준에서 결함 허용 투표기를 평가한다.
- [0022] 어림 삼중 중복형 모듈러 장치의 투표기에 대해서는 연구가 없으며 본 발명에서는 신뢰성이 높고 소형, 저전력, 고속, 내결함성, 회로 품질을 향상시킬 수 있는 어림 삼중 중복형 모듈러 장치의 결함 허용 투표기를 제안한다.
- [0023] 어림 삼중 중복형 모듈러 장치의 작동원리는 어림 회로들 중, 하나만이 입력 벡터 시나리오에서 원 회로의 출력과 다를 수 있으므로 대부분 투표기가 두 개의 일치되는 출력을 선택할 수 있다.
- [0024] 도 3은 어림 삼중 중복형 모듈러 장치의 진리표가 도시되어 있다.
- [0025] 입력 벡터가 I, J 및 K일 때, 원 회로의 출력은 G이며 I, J 및 K가 '010'일 경우, 제1 어림 회로(AM1)는 원 회로의 출력 G와는 보수인 출력을 생성한다. 그러나 제2 어림 회로(AM2)와 제3 어림 회로(AM3)는 G와 동일한 출력을 내므로 투표기는 '0'을 선택하여 출력하며, 이는 원 회로의 출력 G와 동일하다.
- [0026] 즉, 투표기는 두 입력이 같고 하나의 입력이 다른 경우가 필요하며 이러한 시나리오에서 투표기 입력에 결함이 발생할 경우 시스템의 응용 프로그램에 불리한 영향을 줄 수 있다.
- [0027] 예를 들어, 입력 벡터가 '000'일 경우 원 회로는 '1'을 출력해야 한다. 만약, 투표로 입력되는 하나가 뒤바뀌고 두 입력은 유지될 경우 투표기의 출력은 '1'이 되므로 결함 허용이 된다.
- [0028] 그러나 제1 어림 회로(AM1)의 출력이 '1'에서 '0'으로 뒤바뀔 경우 투표기는 결함이 있는 '0' 값에 투표하여 결함이 전파된다.
- [0029] 전술한 바와 같이 투표기는 투표기 내부의 회로 노드에서 발생하는 결함과 투표기로서의 입력이 뒤집히는 결함에 대해 허용해야 한다.
- [0030] 회로 노드에서 발생하는 결함은 최소 노드를 갖는 회로를 설계함으로써 최소화될 수 더 적은 트랜지스터로 구성되는 투표기는 노드가 적기 때문에 내부 결함이 발생할 확률이 낮다[7].
- [0031] 트랜지스터 수를 최소화하기 위해 패스 트랜지스터 로직(PTL)을 이용할 수 있다.
- [0032] 투표기의 입력을 뒤집는 결함은 N형 트랜지스터의 게이트 단자에 '1' 스틱(s-a-1, stuck at- 1) 결함이 발생하여 오프되는 경우, P형 트랜지스터의 게이트 단자에 '1' 스틱 결함이 발생하여 온되는 경우, N형 트랜지스터 단자에 '0' 스틱 결함이 발생하여 온되는 경우, P형 트랜지스터의 게이트 단자에 '0' 스틱 결함이 발생하여 오프되는 경우가 있다.
- [0033] 연구 [10][11]은 각각 입력 결함 허용을 제공하기 위해 사중 중복 트랜지스터(Quadded transistor redundancy)와 삼중 중복 트랜지스터(Triple transistor redundancy)의 사용을 제안한 바 있다.

- [0034] 한편, 도 4 내지 도 9는 삼중 중복형 모듈러 장치를 위한 종래의 투표기를 도시한 것으로, 도 4는 고전적인 투표기 회로를 보여주는 도면, 도 5는 Kshirsagar의 투표기 회로를 보여주는 도면, 도 6은 Bala의 투표기 회로를 보여주는 도면, 도 7은 Ban의 투표기 회로를 보여주는 도면, 도 8는 고전적인 CMOS 투표기 회로를 보여주는 도면, 도 9는 Bala의 CMOS 투표기 회로를 보여주는 도면이다.
- [0035] 도 4에 도시한 고전적인 투표기 회로의 경우 세 개의 AND 입력과 세 개의 OR 게이트를 사용하는 투표기로써 일반적인 다단계 아키텍처이며, 도 8에 도시한 바와 같이 COMS의 구현으로 트랜지스터 수를 감소시킬 수 있다.
- [0036] 도 5에 도시한 Kshirsagar의 투표기는 우선 순위에 따라 36개의 트랜지스터를 사용하는 결합 허용 설계이며 인코더와 멀티 플렉서를 포함한다.
- [0037] 도 7에 도시한 Ban의 투표기는 우선 순위 인코더를 배제하고 XOR 논리 게이트를 하나로 축소하여 Kshirsagar의 투표기를 간소화한 것이며 총 18개의 트랜지스터를 이용한다.
- [0038] 도 6에 도시한 Bala의 투표기는 두 개의 입력 OR 게이트와 다른 투표기들과 비교하여 더 견고한 디자인으로 설계되며, Bala 투표기는 도 9에 도시한 바와 같이 싱글 컴플렉스 로직(Single Complex Logic)을 이용하여 CMOS 회로로 구현될 수 있다.

선행기술문헌

비특허문헌

- [0039] (비특허문헌 0001) [1] R. V. Kshirsagar and R. M. Patrikar, "Design of a novel fault-tolerant voter circuit for TMR implementation to improve reliability in digital circuits," Microelectronics Reliability, vol. 49, no. 12, pp. 1573-1577, 2009.
- (비특허문헌 0002) [2] I. F. Oliveira, R. B. Schvitz, and P. F. Butzen, "Fault masking ratio analysis of majority voters topologies," in Test Symposium (LATS), 2018 IEEE 19th Latin-American. IEEE, 2018, pp. 1-6.
- (비특허문헌 0003) [3] P. Balasubramanian and R. Naayagi, "Redundant logic insertion and fault tolerance improvement in combinational circuits," in Circuits, System and Simulation (ICSS), 2017 International Conference on. IEEE, 2017, pp. 6-13.
- (비특허문헌 0004) [4] P. Lala, F. Bu-Saba, A. Xie, and K. Yarlagadda, "Design of a faulttolerant universal cell," International journal of electronics, vol. 72, no. 3, pp. 467470, 1992.
- (비특허문헌 0005) [5] T. Arifeen, A. S. Hassan, H. Moradian, and J.-A. Lee, "Input Vulnerability-Aware Approximate Triple Modular Redundancy: Higher Fault Coverage, Improved Search Space, and Reduced Area Overhead," Electronics Letters, 2018.
- (비특허문헌 0006) [6] A. S. Hassan, T. Arifeen, H. Moradian, and J.-A. Lee, "Generation Methodology for Good-Enough Approximate Modules of ATMR," Journal of Electronic Testing, vol. 34, no. 6, pp. 651-665, 2018.
- (비특허문헌 0007) [7] T. Ban and L. A. de Barros Naviner, "A simple fault-tolerant digital voter circuit in TMR nanoarchitectures," in NEWCAS Conference (NEWCAS), 2010 8th IEEE International. IEEE, 2010, pp. 269-272.
- (비특허문헌 0008) [8] P. Balasubramanian and K. Prasad, "A fault tolerance improved majority voter for TMR system architectures," arXiv preprint arXiv:1605.03771, 2016.
- (비특허문헌 0009) [9] I. A. Gomes, M. G. Martins, A. I. Reis, and F. L. Kastensmidt, "Exploring the use of approximate TMR to mask transient faults in logic with low area overhead," Microelectronics Reliability, vol. 9, no. 55, pp. 2072-2076, 2015.
- (비특허문헌 0010) [10] A. H. El-Maleh, B. M. Al-Hashimi, A. Melouki, and A. Al-Yamani, "Transistor-level based defect-tolerance for reliable nanoelectronics," in Robust Computing with Nano-scale Devices. Springer, 2010, pp. 29-49.

(비특허문헌 0011) [11] A. Mukherjee and A. S. Dhar, “Triple transistor based fault tolerance for resource constrained applications,” *Microelectronics Journal*, vol. 68, pp. 1-6, 2017.

(비특허문헌 0012) [12] H. Lee and D. Ha, “Atalanta: An efficient ATPG for combinational circuits,” Technical Report, 93-12, Dep’t of Electrical Eng., Virginia Polytechnic Institute and State University, Blacksburg, Virginia, Tech. Rep., 1993.

(비특허문헌 0013) [13] N. FreePDK45. (2011) North Carolina State University

발명의 내용

해결하려는 과제

[0040] 본 발명은 상술한 문제점을 해결하기 위해 안출된 것으로 본 발명의 목적은 공간(area), 지연(delay), 전력 소비(power consumption) 및 회로 품질(QoC:Quality of Circuit)에 있어 성능 향상을 달성할 수 어렵 삼중 중복형 모듈러 장치의 결함 허용 투표기를 제공하는 것이다.

과제의 해결 수단

[0042] 상기의 목적을 달성하기 위하여 본 발명은 총 18개의 트랜지스터로 이루어지고, 아래의 수학식 1로 계산되는 회로 품질(QoC:Quality of Circuit)이 0.625인 것을 특징으로 하는 결함 허용 투표기를 제공한다.

[0043] [수학식 1]

$$QoC = 1 - \frac{VV_T}{2^n}$$

[0044]

[0045] 여기서, VV_T 는 취약한 입력벡터들(Vulnerable Input Vectors)의 총 개수, n 은 회로의 입력개수이다.

[0046] 바람직한 실시예에 있어서, 상기 결함 허용 투표기는 3개의 어림 회로의 출력을 입력받고 입력(A,B,C)들 중, 서로 동일한 2개의 입력을 최종 출력으로 출력하며, 상기 트랜지스터들:은, 소스 단은 동작 전원에 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제1 P형 트랜지스터; 상기 제1 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제2 P형 트랜지스터; 소스 단은 상기 제1 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제3 P형 트랜지스터; 상기 제3 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제4 P형 트랜지스터; 소스 단은 상기 제3 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제5 P형 트랜지스터; 상기 제5 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제6 P형 트랜지스터; 소스 단은 상기 제5 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제7 P형 트랜지스터; 상기 제7 P형 트랜지스터와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제8 P형 트랜지스터; 드레인 단은 상기 제7 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 B 신호를 입력받는 제1 N형 트랜지스터; 상기 제1 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 B 신호를 입력받는 제2 N형 트랜지스터; 드레인 단은 상기 제1 N형 트랜지스터의 소스 단과 연결되고, 게이트 단으로 B 신호를 입력받으며, 소스 단은 A 신호와 연결되는 제3 N형 트랜지스터; 상기 제3 N형 트랜지스터와 병렬로 연결되고 게이트 단으로 B 신호를 입력받는 제4 N형 트랜지스터; 드레인 단은 상기 제7 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 A 신호를 입력받는 제5 N형 트랜지스터; 상기 제5 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제6 N형 트랜지스터; 드레인 단은 상기 제5 N형 트랜지스터의 소스 단과 연결되고, 게이트 단으로 A 신호를 입력받으며, 소스 단은 B 신호와 연결되는 제7 N형 트랜지스터; 상기 제7 N형 트랜지스터와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제8 N형 트랜지스터; 소스 단은 C 신호와 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터의 드레인 단 NOT 신호를 입력받는 제9 P형 트랜지스터; 및 드레인 단은 상기 제9 P형 트랜지스터의 드레인 단과 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터의 드레인 단 신호를 입력받으며, 소스단은 A 신호와 연결되고, 드레인 단으로 상기 최종 출력을 출력하는 제9 N형 트랜지스터;로 구성된다.

발명의 효과

- [0048] 본 발명은 다음과 같은 우수한 효과를 가진다.
- [0049] 먼저, 본 발명의 결합 허용 투표기에 의하면, 비교적 적은 트랜지스터 개수로 설계되므로 공간(area)을 줄일 수 있고, 내부 노드 수가 작아 내부 오류가 발생할 확률이 낮은 장점이 있다.
- [0050] 또한, 본 발명의 결합 허용 투표기에 의하면, 종래의 투표기들과 비교하여 지연(delay), 전력 소비(power consumption) 및 지연 전력 곱(PDP)의 품질이 매우 우수한 장점이 있다.
- [0051] 또한, 본 발명의 결합 허용 투표기에 의하면, 취약한 입력벡터들의 개수가 가장 작아 회로 품질(QoC:Quality of Circuit)을 매우 향상시킬 수 있는 장점이 있다.

도면의 간단한 설명

- [0053] 도 1은 일반적인 삼중 중복형 모듈러 장치를 보여주는 도면,
 도 2는 일반적인 어림 삼중 중복형 모듈러 장치를 보여주는 도면,
 도 3은 어림 삼중 중복형 모듈러 장치의 진리표
 도 4는 고전적인 투표기 회로를 보여주는 도면,
 도 5는 Kshirsagar의 투표기 회로를 보여주는 도면,
 도 6은 Bala의 투표기 회로를 보여주는 도면,
 도 7은 Ban의 투표기 회로를 보여주는 도면,
 도 8는 고전적인 CMOS 투표기 회로를 보여주는 도면,
 도 9는 Bala의 CMOS 투표기 회로를 보여주는 도면,
 도 10은 본 발명의 일 실시예에 따른 결합 허용 투표기를 보여주는 도면,
 도 11 및 도 12는 본 발명의 일 실시예에 따른 결합 허용 투표기의 회로 품질을 설명하기 위한 예시,
 도 13은 본 발명의 일 실시예에 따른 결합 허용 투표기와 종래의 투표기들의 회로 품질을 비교한 결과를 보여주는 도면,
 도 14는 본 발명의 일 실시예에 따른 결합 허용 투표기와 종래의 투표기들의 지연, 전력 소비 및 전력 지연 곱을 비교한 결과를 보여주는 도면이다.

발명을 실시하기 위한 구체적인 내용

- [0054] 본 발명에서 사용되는 용어는 가능한 현재 널리 사용되는 일반적인 용어를 선택하였으나, 특정한 경우는 출원인이 임의로 선정한 용어도 있는데 이 경우에는 단순한 용어의 명칭이 아닌 발명의 상세한 설명 부분에 기재되거나 사용된 의미를 고려하여 그 의미가 파악되어야 할 것이다.
- [0055] 이하, 첨부한 도면에 도시된 바람직한 실시예들을 참조하여 본 발명의 기술적 구성을 상세하게 설명한다.
- [0056] 그러나 본 발명은 여기서 설명되는 실시예에 한정되지 않고 다른 형태로 구체화될 수도 있다. 명세서 전체에 걸쳐 동일한 참조번호는 동일한 구성요소를 나타낸다.
- [0058] 도 10은 본 발명의 일 실시예에 따른 결합 허용 투표기를 보여주는 도면이다.
- [0059] 도 10을 참조하면, 본 발명의 일 실시예에 따른 결합 허용 투표기(100)는 3개의 어림 회로의 출력을 입력받고 입력(A,B,C)들 중, 서로 동일한 2개의 입력을 선택하여 최종 출력(V)으로 출력하는 어림 삼중 중복형 모듈러 장치의 투표기이다.
- [0060] 또한, 본 발명의 일 실시예에 따른 결합 허용 투표기(100)는 총 18개의 트랜지스터로 이루어진다.
- [0061] 또한, 상기 트랜지스터들은 9개의 P형 트랜지스터와 9개의 N형 트랜지스터로 구성된다.
- [0062] 더욱 자세하게는, 상기 트랜지스터들은 소스 단은 동작 전원에 연결되고, 게이트 단으로 NOT A 신호를 입력받는

제1 P형 트랜지스터(Tp1), 상기 제1 P형 트랜지스터(Tp2)와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제2 P형 트랜지스터(Tp2), 소스 단은 상기 제1 P형 트랜지스터(Tp1)의 드레인 단과 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제3 P형 트랜지스터(Tp3), 상기 제3 P형 트랜지스터(Tp3)와 병렬로 연결되고, 게이트 단으로 NOT A 신호를 입력받는 제4 P형 트랜지스터(Tp4), 소스 단은 상기 제3 P형 트랜지스터(Tp3)의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제5 P형 트랜지스터(Tp5), 상기 제5 P형 트랜지스터(Tp5)와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제6 P형 트랜지스터(Tp6), 소스 단은 상기 제5 P형 트랜지스터(Tp5)의 드레인 단과 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제7 P형 트랜지스터(Tp7), 상기 제7 P형 트랜지스터(Tp7)와 병렬로 연결되고, 게이트 단으로 NOT B 신호를 입력받는 제8 P형 트랜지스터(Tp8), 드레인 단은 상기 제7 P형 트랜지스터(Tp7)의 드레인 단과 연결되고, 게이트 단으로 B 신호를 입력받는 제1 N형 트랜지스터(Tn1), 상기 제1 N형 트랜지스터(Tn1)와 병렬로 연결되고, 게이트 단으로 B 신호를 입력받는 제2 N형 트랜지스터(Tn2), 드레인 단은 상기 제1 N형 트랜지스터(Tn1)의 소스 단과 연결되고, 게이트 단으로 B 신호를 입력받으며, 소스 단은 A 신호와 연결되는 제3 N형 트랜지스터(Tn3), 상기 제3 N형 트랜지스터(Tn3)와 병렬로 연결되고 게이트 단으로 B 신호를 입력받는 제4 N형 트랜지스터(Tn4), 드레인 단은 상기 제7 P형 트랜지스터(Tp7)의 드레인 단과 연결되고, 게이트 단으로 A 신호를 입력받는 제5 N형 트랜지스터(Tn5), 상기 제5 N형 트랜지스터(Tn5)와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제6 N형 트랜지스터(Tn6), 드레인 단은 상기 제5 N형 트랜지스터(Tn5)의 소스 단과 연결되고, 게이트 단으로 A 신호를 입력받으며, 소스 단은 B 신호와 연결되는 제7 N형 트랜지스터(Tn7), 상기 제7 N형 트랜지스터(Tn7)와 병렬로 연결되고, 게이트 단으로 A 신호를 입력받는 제8 N형 트랜지스터(Tn8), 소스 단은 C 신호와 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터(Tn5)의 드레인 단 NOT 신호를 입력받는 제9 P형 트랜지스터(Tp9) 및 드레인 단은 상기 제9 P형 트랜지스터(Tp9)의 드레인 단과 연결되고, 게이트 단으로 상기 제5 N형 트랜지스터(Tn5)의 드레인 단 신호를 입력받으며, 소스단은 A 신호와 연결되고, 드레인 단으로 상기 최종 출력을 출력하는 제9 N형 트랜지스터(Tn9)로 구성된다.

[0063] 즉, 본 발명의 일 실시예에 따른 결함 허용 투표기(100)는 주요 트랜지스터로 제1 P형 트랜지스터(Tp1), 제5 P형 트랜지스터(Tp5), 제3 N형 트랜지스터(Tn3), 제7 N형 트랜지스터(Tn7), 제9 P형 트랜지스터(Tp9), 제9 N형 트랜지스터(Tn9)를 갖는다.

[0064] 또한, 상기 제1 P형 트랜지스터(Tp1)는 제2 P형 트랜지스터(Tp2), 제3 P형 트랜지스터(Tp3), 제4 P형 트랜지스터(Tp4)와 중복을 형성하고, 상기 제5 P형 트랜지스터(Tp5)는 제6 P형 트랜지스터(Tp6), 제7 P형 트랜지스터(Tp7), 제8 P형 트랜지스터(Tp8)와 중복을 형성하고, 상기 제3 N형 트랜지스터(Tn3)는 제1 N형 트랜지스터(Tn1), 제2 N형 트랜지스터(Tn2), 제4 N형 트랜지스터(Tn4)와 중복을 형성하고, 상기 제7 N형 트랜지스터(Tn7)는 제5 N형 트랜지스터(Tn5), 제6 N형 트랜지스터(Tn6), 제8 N형 트랜지스터(Tn8)와 중복을 형성한다.

[0065] 또한, 출력은 멀티플렉서를 통해 생성되며, 패스 트랜지스터 구조를 통해 중복성은 형성하지 않는다.

[0066] 이러한 4중 중복 구조는 어느 하나의 입력에 반대의 스택이 발생할 경우 나머지 3개의 트랜지스터에서 올바른 출력을 보장한다.

[0067] 또한, 본 발명의 결함 허용 투표기는 6개의 내부 노드(w1, w2, w3, w4, w5, w6)로 이루어지므로 종래의 투표기들과 비교하여 노드의 수가 작다.

[0068] 또한, 도 13을 참조하면, 본 발명의 결함 허용 투표기(Proposed Voter)은 노드의 총 수(Total Node)가 6개로 고전적인 CMOS 투표기와 함께 가장 적은 노드로 구성되므로 오 동작할 확률이 가장 낮다.

[0069] 또한, 결함을 허용하는 정도인 결함 마스킹 비율(FMR:Fault Masking Ratio)이 0.645로 계산되어 Kshirsagar의 투표기 다음으로 결함 허용 정도가 좋았다.

[0070] 또한, 상기 결함 마스킹 비율은 아래의 수학적식 2와 같이 계산할 수 있다.

[0071] [수학적식 2]

$$FMR = \frac{k}{2^{n+m} - 2^n}$$

[0072]

[0073] 여기서 n는 입력 개수(A, B, C), m은 내부 노드 개수, k는 내부 결함 조합 개수이다.

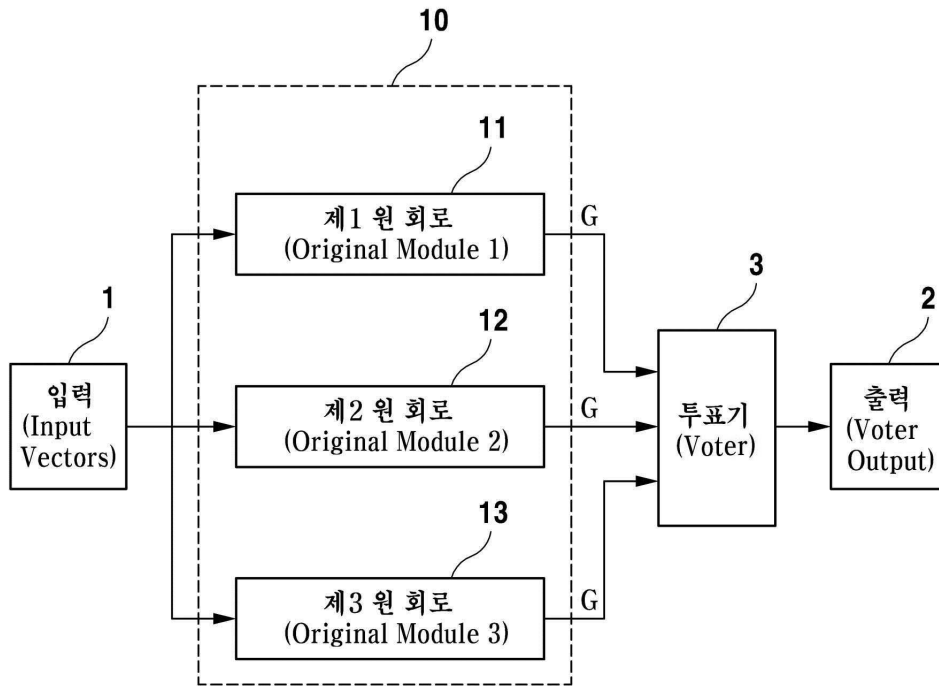
- [0074] 또한, 도 13에 도시된 취약한 입력 벡터들(Vulnerable Input Vectors)은 결함 허용이 되지 않는 벡터들을 조합이며, 본 발명의 경우 '011', '100', '101' 3개 조합의 벡터들만이 결함 허용되지 않아 아래의 수학적 식 1과 같이 총 입력 개수 대비 취약한 입력 벡터들의 수를 나타내는 회로 품질(QoC:Quality of Circuit)이 0.625로 다른 투표기들과 비교하여 가장 우수함을 알 수 있다.
- [0075] 또한, 결함의 형태가 '0' 스틱(stuck at- 0) 결함, '1' 스틱(stuck at- 1) 결함에 관계없이 회로 품질은 0.625로 나타났다.
- [0076] 또한, 도 13에서 '-'는 don't care를 의미하며, 예를 들어 고전적인 CMOSdml 경우 '111', '110', '101', '011'의 네 개의 입력벡터들에 대해 결함을 허용하지 않아 입력 개수 8개 대비 4개의 입력 벡터들의 결함 허용되지 않으므로 회로 품질은 0.5이다.
- [0077] 도 9는 결함이 허용되는 상태를 설명하기 위한 예시로, 입력 벡터 'ABC'가 '000'이고 6번 노드(w1)에 '1' 스틱 결함이 발생한 경우로써 이 경우, 트랜지스터 Tp1, Tp2, Tp3, Tp4, Tp5, Tp6, Tp7, Tp8, Tn9는 '온'되고, Tn1, Tn2, Tn3, Tn4, Tn5, Tn6, Tn7, Tn8, Tp9는 '오프'된다.
- [0078] 또한, 6번 노드(w1)에 '1' 스틱 결함이 발생하더라도, 제5 N형 트랜지스터(Tn5)와 제6 N형 트랜지스터(Tn6)가 오프 상태이기 때문에 '1'의 신호가 게이트 단으로 입력되어 '온'되는 제9 N형 트랜지스터(Tn9)의 출력인 '0'이 최종출력이 되어 예상되는 출력('0')과 일치하므로 결함이 허용된다.
- [0079] 또한, 도 10은 결함이 허용되지 않은 상태를 설명하기 위한 예시로, 입력 벡터 'ABC'가 '100'이고 6번 노드(w1)에 '1' 스틱 결함이 발생한 경우이다.
- [0080] 이 경우, 트랜지스터 Tn1, Tn2, Tn3, Tn4, Tp1, Tp2, Tp3, Tp4, Tp9는 '오프'되고, Tn5, Tn6, Tn7, Tn8, Tn9, Tp5, Tp6, Tp7, Tp8는 '온'된다.
- [0081] 즉, 제7 P형 트랜지스터(Tp7)의 드레인 단이 개방(OPEN)되어 신호가 '0'이더라도, 6번 노드(w1)에 '1' 신호가 제6 N형 트랜지스터(Tn6)의 드레인 단으로 출력되어 제9 N형 트랜지스터에서 출력인 '1'값이 최종출력으로 출력되므로 예상되는 출력('0')과 상이하여 결함이 허용되지 않는다.
- [0082] 또한, 도 14는 본 발명의 오류 허용 투표기(100)와 종래 투표기들의 트랜지스터 개수(Number of Transistors), 지연(Delay), 전력 소모(Power), 전력 지연 곱(PDP:Power-Delay-Product)을 보여주는 도면이다.
- [0083] 도 14에서도 알 수 있듯이 본 발명의 오류 허용 투표기(100)는 18개의 트랜지스터로 이루어져 고전적인 CMOS, Bala_CMOS 투표기에 비해 트랜지스터 수가 많으나 평균적으로 트랜지스터 개수가 작은 편이며, 지연과 전력 소모의 성능 측면에서 가장 우수함을 알 수 있다.
- [0085] 이상에서 살펴본 바와 같이 본 발명은 바람직한 실시예를 들어 도시하고 설명하였으나, 상기한 실시예에 한정되지 아니하며 본 발명의 정신을 벗어나지 않는 범위 내에서 당해 발명이 속하는 기술분야에서 통상의 지식을 가진 자에 의해 다양한 변경과 수정이 가능할 것이다.

부호의 설명

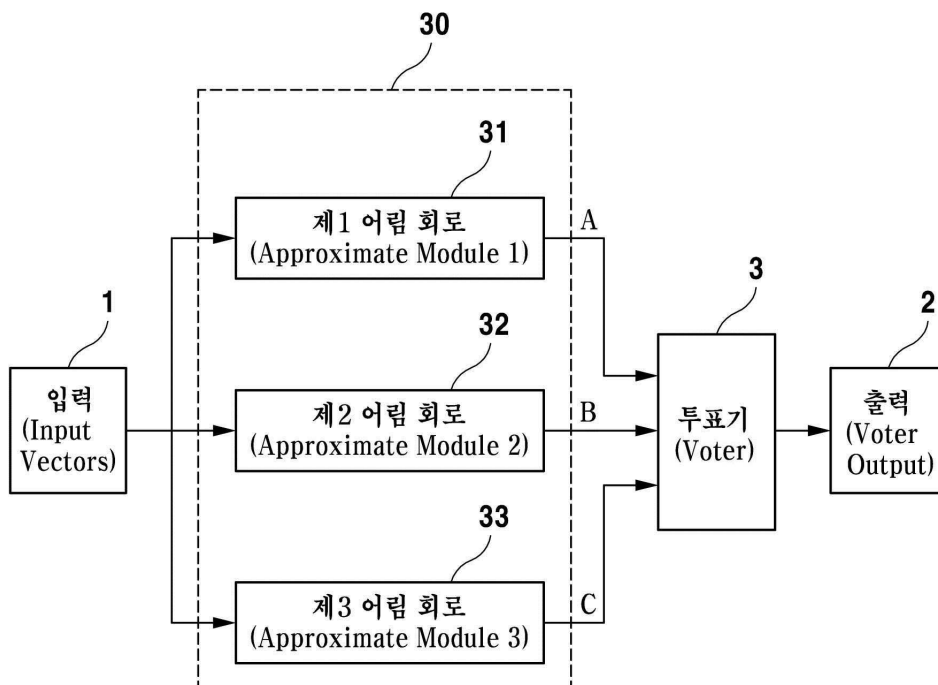
- [0087] 100: 결함 허용 투표기

도면

도면1



도면2

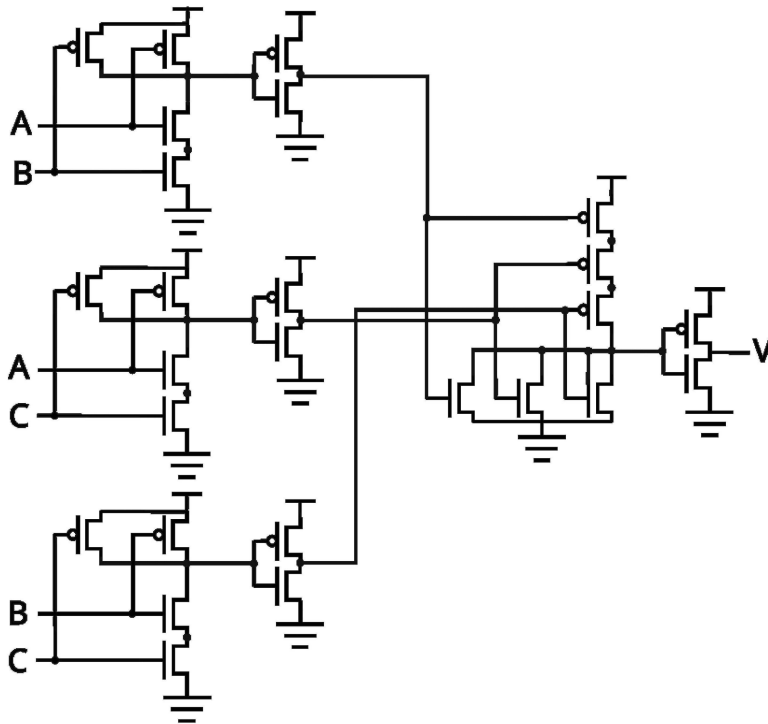


도면3

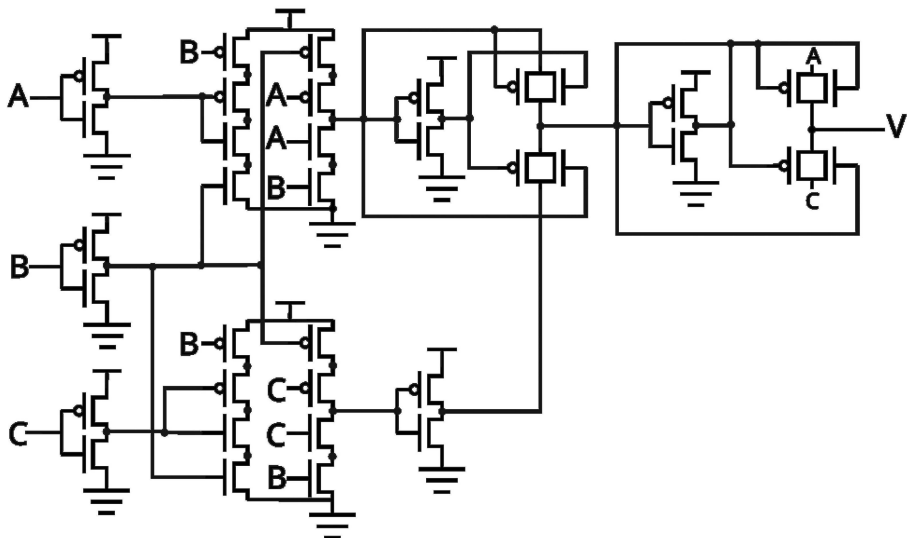
Input Vectors			Original Circuit	Approximate TMR			Voter Output
I	J	K	Output (G)	Approximate Module 1 (AM1=A)	Approximate Module 2 (AM2=B)	Approximate Module 3 (AM3=C)	[V]
0	0	0	1	1	1	0	1
0	0	1	0	0	0	0	0
0	1	0	0	1	0	0	0
0	1	1	0	0	0	0	0
1	0	0	1	1	1	1	1
1	0	1	1	1	0	1	1
1	1	0	1	1	1	1	1
1	1	1	0	0	1	0	0

비보호 벡터

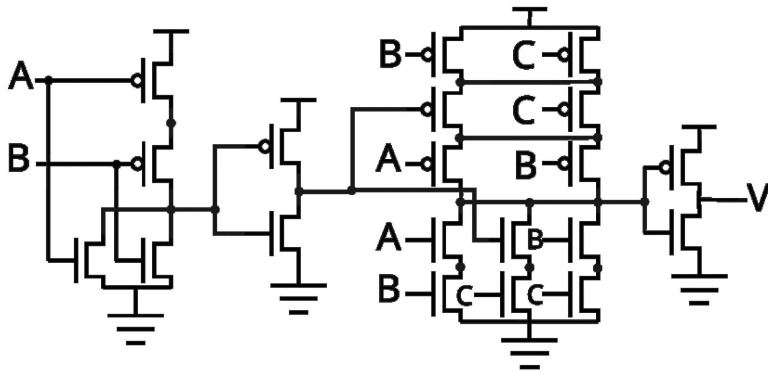
도면4



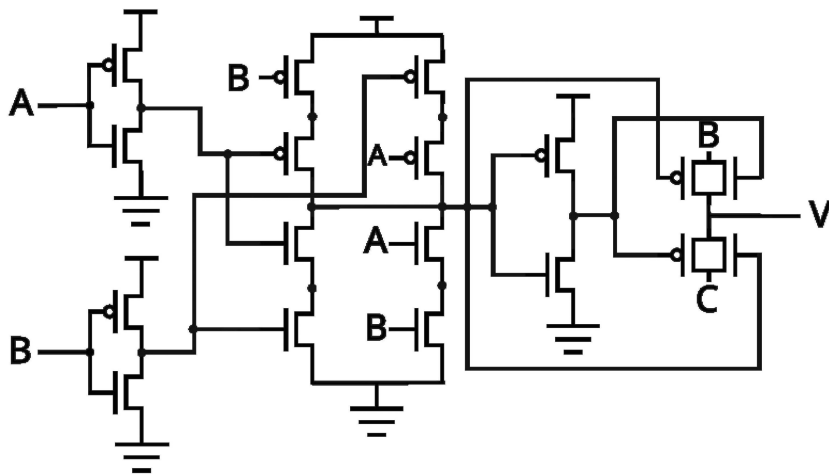
도면5



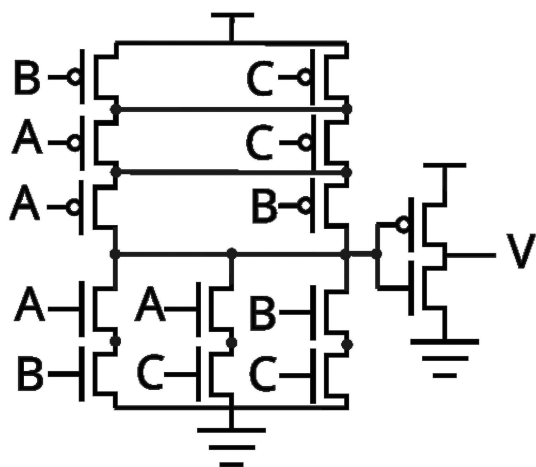
도면6



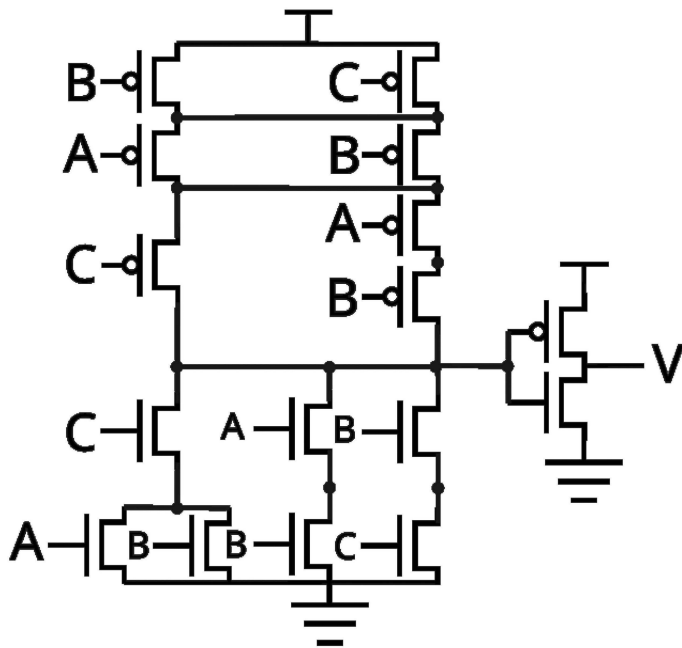
도면7



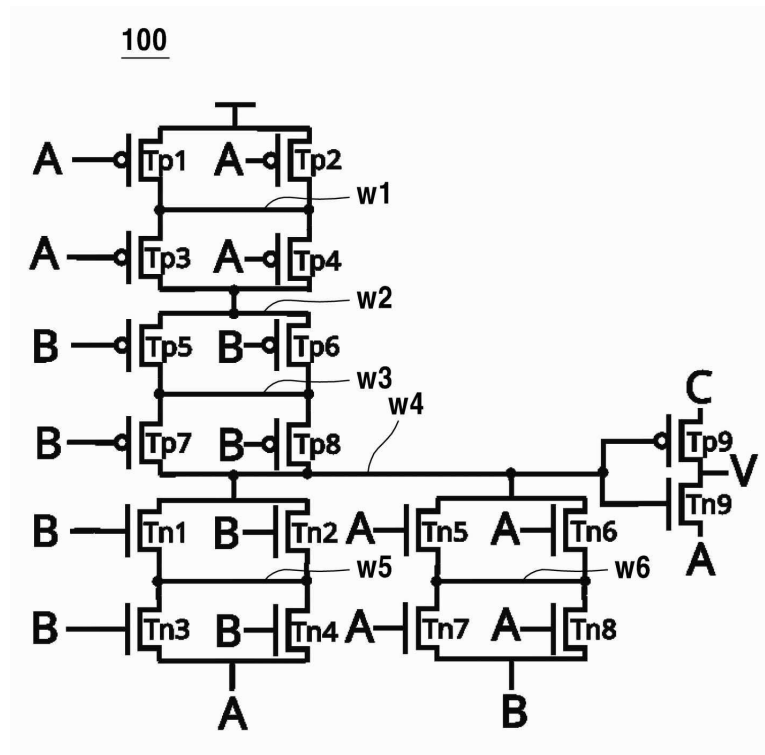
도면8



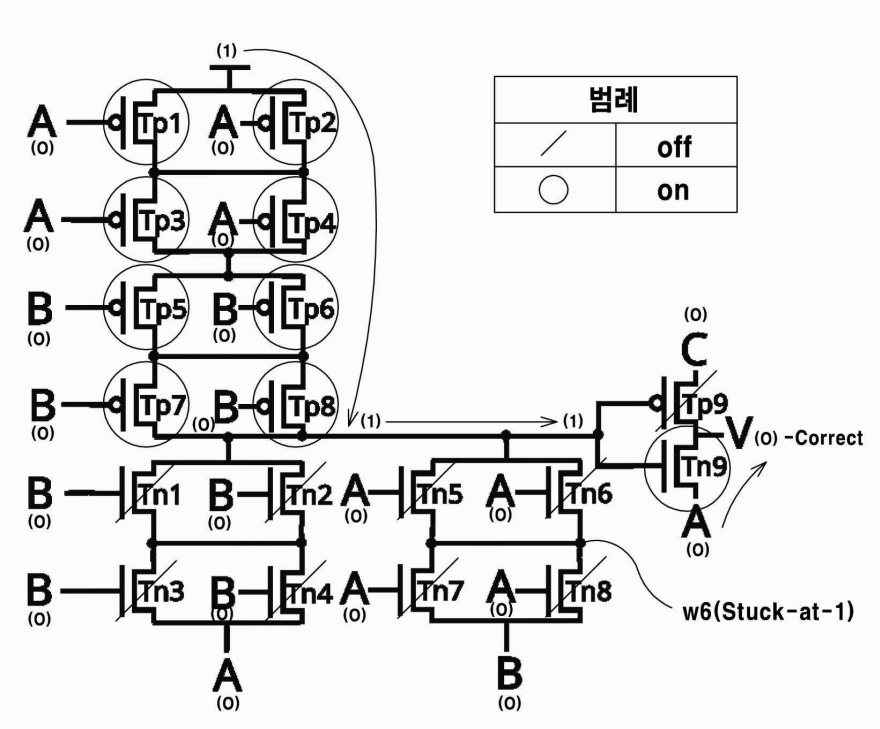
도면9



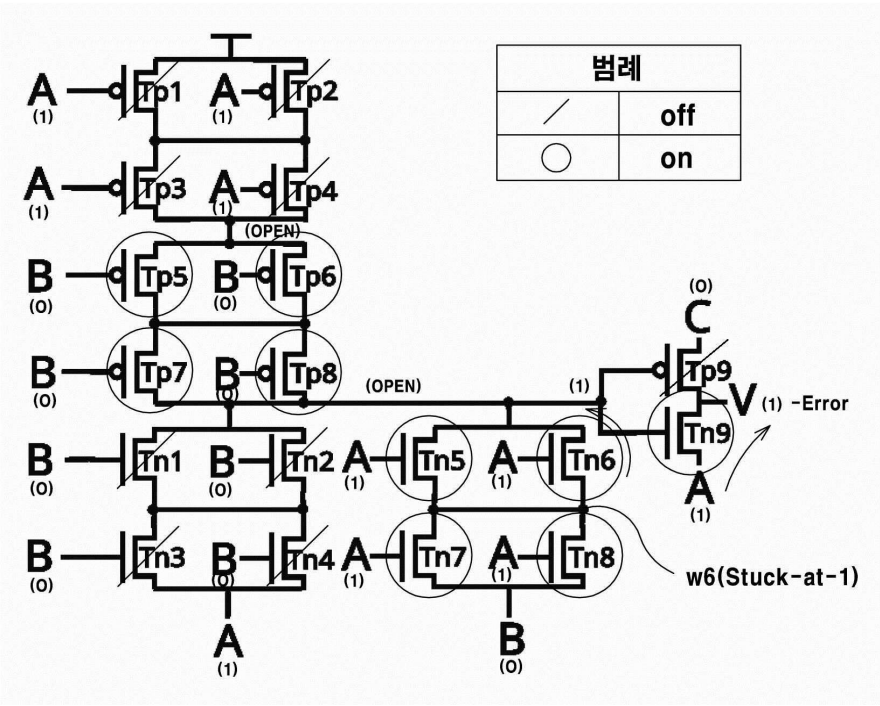
도면10



도면11



도면12



도면13

Design	Total Nodes	FMR	Vulnerable Input Vectors		QoC	
			Stuck-at-0	Stuck-at-1	Stuck-at-0	Stuck-at-1
Classical	12	0.437	[0 ---, 1 - 0, 101]	[0 ---, 1 - 0, 101]	7/8	0.125
Kshirsagar [1]	17	0.720	[---]	[---]	8/8	0
Bala [8]	9	0.472	[00-, 10-, 010]	[11-, 0 - 1, 101]	5/8	0.375
Ban [7]	8	0.625	[-10, -01, 011, 100]	[-00, 11-, 011, 001]	6/8	0.25
Proposed Voter	6	0.645	[001, 110, 111]	[011, 100, 101]	3/8	0.625
Classical_CMOS	6	0.354	[-00, 001, 010]	[11-, 101, 011]	4/8	0.5
Bala_CMOS	7	0.410	[00-, 10-, 010]	[11-, 011, 101]	4/8	0.375

도면14

Design	Number of Transistors	Delay (ps)	Power (nW)	PDP (10^3)
Classical	24	30.92	3233	99.96
Kshirsagar [1]	36	3.20	4395	14.09
Bala [8]	20	15.90	1533	24.37
Ban [7]	18	3.16	1404	4.44
Proposed Voter	18	1.85	427	0.79
Classical_CMOS	14	13.80	1267	17.48
Bala_CMOS	16	13.05	1179	15.39