

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2015年12月17日(17.12.2015)

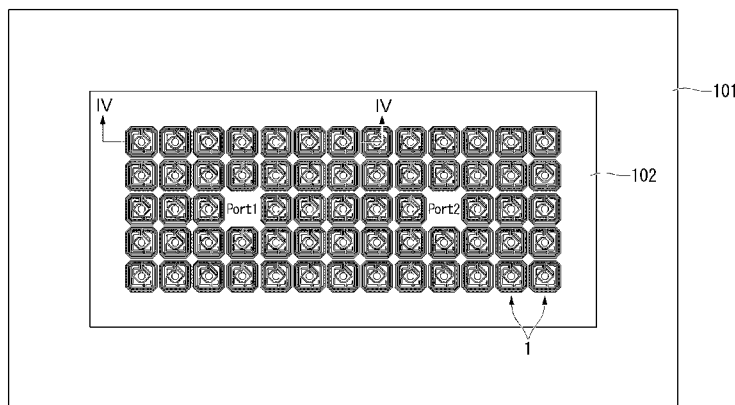


(10) 国際公開番号
WO 2015/190610 A1

- (51) 国際特許分類:
H05K 3/46 (2006.01) H05K 1/16 (2006.01)
H05K 1/02 (2006.01)
 - (21) 国際出願番号: PCT/JP2015/067090
 - (22) 国際出願日: 2015年6月12日(12.06.2015)
 - (25) 国際出願の言語: 日本語
 - (26) 国際公開の言語: 日本語
 - (30) 優先権データ:
特願 2014-121596 2014年6月12日(12.06.2014) JP
 - (71) 出願人: ヤマハ株式会社(YAMAHA CORPORATION) [JP/JP]; 〒4308650 静岡県浜松市中区中沢町10番1号 Shizuoka (JP).
 - (72) 発明者: 川田 章弘(KAWATA Akihiro); 〒4308650 静岡県浜松市中区中沢町10番1号 ヤマハ株式会社内 Shizuoka (JP).
 - (74) 代理人: 特許業務法人栄光特許事務所(EIKOH PATENT FIRM, P.C.); 〒1050003 東京都港区西新橋一丁目7番13号 虎ノ門イーストビルディング10階 Tokyo (JP).
 - (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
 - (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第 21 条(3))

(54) Title: CIRCUIT SUBSTRATE, AND NOISE REDUCTION METHOD FOR CIRCUIT SUBSTRATE

(54) 発明の名称: 回路基板及び回路基板におけるノイズ低減方法



(57) Abstract: Provided are: a circuit substrate with which an increase in the size of the area allocated to electromagnetic band gap structures formed from spiral open stubs can be inhibited, and mounting space can be utilized more effectively, even in cases when the frequency of the electromagnetic noise to be reduced is set so as to be further towards a low frequency side; and a noise reduction method for the circuit substrate. The circuit substrate of the invention of the present application is provided with: a core substrate; a reinforcing dielectric layer provided to one surface of the core substrate; first electromagnetic band gap structures which are provided to either of the surfaces of the reinforcing dielectric layer, and which suppress electromagnetic noise of a prescribed first frequency propagating in the core substrate; and auxiliary patterns which are formed around the outer peripheries of patterns forming the first electromagnetic band gap structures, with a prescribed distance therebetween.

(57) 要約:

[続葉有]



WO 2015/190610 A1

低減させる対象の電磁ノイズの周波数をより低周波数側とした場合においても、スパイラル形状のオープンスタブから形成される電磁バンドギャップ構造の配置面積の大型化を抑制し、より実装スペースの有効活用を行うことができる回路基板及び回路基板におけるノイズ低減方法を提供する。本願発明の回路基板は、コア基板と、コア基板の一方の面に設けられた補強誘電体層と、補強誘電体層のいずれか一方の面側に設けられ、コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、第1電磁バンドギャップ構造を形成するパターンの外周に対して所定の距離を設けて形成された補助パターンとを備える。

明 細 書

発明の名称：回路基板及び回路基板におけるノイズ低減方法

技術分野

[0001] 本発明は、電子部品が実装される回路基板及び回路基板におけるノイズ低減方法に関する。

背景技術

[0002] 電子部品の小型化への要求に伴い、半導体集積回路や回路部品を搭載した電子回路基板においては、多数の集積回路チップや回路部品を搭載する必要がある。そのため、配線スペースや、実装スペースの有効活用に対する要求が高まっている。

特に無線LAN (Local Area Network) 通信において、電子回路の情報処理に用いられる信号はデジタル信号であるため、無線通信の送受信を行うアナログ回路と、送受信する信号の情報処理を行うデジタル回路とが、混載されている。

このため、デジタル回路におけるCPU (Central Processing Unit) やメモリなどの動作クロックにより発生する電磁ノイズによって、アナログ回路が干渉を受けてしまい、送受信信号の特性劣化を招くという問題がある。

[0003] そのため、電子回路基板に対して、スパイラル状に形成したオープンスタブを用い、電磁バンドギャップ (EBG: Electromagnetic Band Gap) 構造を構成して、電子回路基板における電磁ノイズの伝搬を抑制する技術がある (例えば、非特許文献1参照)。すなわち、デジタル回路から発生する電磁ノイズの電気エネルギーを、電磁バンドギャップ構造に吸収させることで、電子回路基板内において電磁ノイズが伝搬される量を低減し、アナログ回路が電磁ノイズの干渉を受けることを抑制している。

先行技術文献

非特許文献

[0004] 非特許文献1: Y. Kim, F. Yang, and A. Elsherbeni, Compact artificial m

agnetic conductor designs using planar square spiral geometry, Progress In Electromagnetics Research, PIER 77, pp. 43-54, 2007

発明の概要

発明が解決しようとする課題

[0005] しかしながら、上述のように、電磁バンドギャップ構造をスパイラル形状のオープンスタブで形成しているため、オープンスタブの長さを調整することにより、低減させる対象の電磁ノイズの周波数に対応させる必要がある。

このため、低減させる対象の電磁ノイズの周波数をより低周波数側とするほど、オープンスタブの長さを長くする必要がある。すなわち、オープンスタブの長さが長くなるほど、電磁バンドギャップ構造の配置面積がより大きくなり、実装スペースの有効活用に支障を与えることになる。

[0006] 本発明は、このような状況に鑑みてなされたもので、低減させる対象の電磁ノイズの周波数をより低周波数側とした場合においても、スパイラル形状のオープンスタブから形成される電磁バンドギャップ構造の配置面積の大型化を抑制し、より実装スペースの有効活用を行うことができる回路基板及び回路基板におけるノイズ低減方法を提供する。

課題を解決するための手段

[0007] 上述した課題を解決するために、本発明の回路基板は、コア基板と、前記コア基板の一方の面に設けられた補強誘電体層と、前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、前記第1電磁バンドギャップ構造を形成する導体パターンの外周に対して所定の距離を設けて形成された補助パターンとを備える。

[0008] 本発明の回路基板は、前記補助パターンが、前記第1周波数の波長において容量性インピーダンスを有する長さで設けられていてもよい。

[0009] 本発明の回路基板は、前記補助パターンが前記第1電磁バンドギャップ構造と容量結合してもよい。

[0010] 本発明の回路基板は、前記第1電磁バンドギャップ構造が屈曲した形状に

配線されたパターンであるオープスタブで構成されており、前記オープスタブに囲まれるように設けられた、前記第1周波数より周波数の高い第2周波数の電磁ノイズを抑制する第2電磁バンドギャップ構造をさらに有してもよい。

[0011] 本発明の回路基板は、前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向する面に設けられていてもよい。

[0012] 本発明の回路基板は、前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向しない面に設けられていてもよい。

[0013] 本発明の回路基板は、前記補助パターンが前記第1電磁バンドギャップ構造の最外周の周囲に設けられた閉リング構造あるいは開リング構造で形成されていてもよい。

[0014] 本発明の回路基板におけるノイズ低減方法は、コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備える回路基板におけるノイズ低減方法であり、前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第1周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第1電磁バンドギャップ構造を設け、前記第1電磁バンドギャップ構造を形成する導体パターンの外周に対して所定の距離に補助パターンを設け、前記回路基板における電磁ノイズの伝搬を、前記第1電磁バンドギャップ構造により抑制する。

発明の効果

[0015] 以上説明したように、本発明は、第1電磁バンドギャップ構造に対して補助パターンにより容量装荷を行い、第1電磁バンドギャップ構造の共振周波数を低下させている。このため、本発明によれば、従来のように第1電磁バンドギャップ構造の外周の長さを長くすることにより共振周波数を低下させる場合に比較して、第1電磁バンドギャップ構造を小型化でき、実装スペースの有効活用を行うことが可能となる。

図面の簡単な説明

[0016] [図1]本発明の本実施形態によるプリント回路基板の一例を示す平面図である。

。

[図2]図1における電磁バンドギャップ構造体1の構成例を示す平面図である。

。

[図3]電磁バンドギャップ構造体1における第1周波数用のスタブパターン112と第1周波数より高い周波数の第2周波数用のスタブパターン113との構造を説明する図である。

[図4]表面型の電磁バンドギャップ構造体1が配置されたプリント回路基板の断面図である。

[図5]周波数と電磁バンドギャップ構造体1（表面型）のSパラメータ（挿入損失 S_{21} ）との対応を示すグラフである。

[図6]内装型の電磁バンドギャップ構造体1Aが配置されたプリント回路基板の断面図である。

[図7]図6における内層型に用いる電磁バンドギャップ構造体1Aの構成例を示す平面図である。

[図8]周波数と電磁バンドギャップ構造体1A（内装型）のSパラメータ（挿入損失 S_{21} ）との対応を示すグラフである。

[図9]本発明のプリント回路基板の概念を示す図である。

発明を実施するための形態

[0017] 以下、本発明の一実施形態について、図面を参照して説明する。

図1は、本発明の本実施形態によるプリント回路基板の一例を示す平面図である。この図1は、後述する本発明における人工磁気導体の基本構成の概念図である図9の構成を、以下に示す実施形態に対応させてより具体化したものである。リファレンスプレーン（Reference Plane、例えばグランドプレーン）101の一方の主面（表面）の上部に、電源プレーン（Power Plane）102が重ね合わせて設けられている。電源プレーン102は、他方の主面（裏面）がリファレンスプレーン101の上面（表面）と対向して設けられ

ている。電源プレーン102は、一方の主面（表面）において電磁バンドギャップ構造体1が所定の周期でマトリクス状に配列するように設けられている。

[0018] この電磁バンドギャップ構造体1は、リファレンスプレーン101と電源プレーン102とで形成されるプリント回路基板に配置されている電子回路（CPU（Central Processing Unit）及びメモリなど）から発生される電磁ノイズの電気エネルギーを吸収する。また、上述したように、プリント回路基板は、電磁バンドギャップ構造体1の複数個をマトリクス状に配置する構成ではなく、単体で配置しても良い。すなわち、プリント回路基板において電磁ノイズの伝搬を低減させるためには、電磁バンドギャップ構造体1を電磁ノイズを発生する電子回路に対向する位置にのみに配置しても良く、例えば1個単位で配置しても良い。

[0019] 図2は、図1における電磁バンドギャップ構造体1の構成例を示す平面図である。この図2において、電磁バンドギャップ構造体1は、電源プレーン102の一方の主面（表面）の上部に形成されている表面型の電磁バンドギャップ構造である。また、例えば電磁バンドギャップ構造体1の外形は、X軸方向の長さが3.1mmであり、Y軸方向の長さが3.1mmである。

電磁バンドギャップ構造体1は、電磁バンドギャップ構造11と、補助パターン12とから構成されている。補助パターン12は、例えば閉リング形状をしており、電磁バンドギャップ構造11の外周に対して所定の距離を有して配置されている。この補助パターン12は、電磁バンドギャップ構造11の外周を取り囲むように設けられている。

電磁バンドギャップ構造11は、ビアパターン111と、低周波数用のスタブパターン112（第1電磁バンドギャップ構造）と高周波数用のスタブパターン113（第2電磁バンドギャップ構造）とを備えている。スタブパターン112及び113の各々は、オープンスタブを構成している。

[0020] 図3は、電磁バンドギャップ構造11における第1周波数用のスタブパターン112と第1周波数より高い周波数の第2周波数用のスタブパターン1

13との構造を説明する図である。ここで、第1周波数とは例えば、無線LANにおける2.45GHzの周波数（第1周波数）であり、一方、第2周波数とは、第1周波数より高い周波数であり、例えば、無線LANにおける5.44GHzの周波数（第2周波数）である。

図3(a)は、第1周波数用のスタブとして働く第1周波数用のスタブパターン112の部分、斜線のパターンで示している。スタブパターン112は、屈曲した形状に配線されたパターン、例えば本実施形態においてはスパイラル形状及びミアンダ形状などの折り畳み構造のパターンのいずれか、またはスパイラル形状及びミアンダ形状を組合わせたパターンで形成されている。また、スタブパターン112は、例えば、その伝送線の幅が0.1mmであり、その伝送線の全体の長さが19mmのオープンスタブとして形成されている。また、調整スタブパターン112_1は、伝送線であり、その幅が0.1mmであり、長さが1.37mmである。調整スタブパターン112_2は、その幅が0.1mmであり、長さが1.37mmである。上述した調整スタブパターン112_1及び112_2の各々は、スタブパターン112のスタブ長を微調整するために、スタブパターン112の伝送線上の一部を起点として、延在するように設けたパターンであり、必要に応じて付加あるいは削除しても良い。また、調整スタブパターン112_1、112_2の長さは、スタブパターン112のスタブ長を調整することができるように設定される。

[0021] この図3(a)において、スタブパターン112は、2.45GHz（後述する5.44GHzと比較して低周波数の第1周波数）の周波数に対して、電気長が約 $\lambda/3.7$ であり、誘導性インピーダンスを有している。オープンスタブの一方の端部からみたインピーダンス Z_{in} は、以下の式で表される。

$$Z_{in} = -j Z_0 \cot \beta l$$

上記式において、 β は位相定数であり、伝送線であるスタブパターン上の電磁波の波長を λ とすると、 $2\pi/\lambda$ で表される。 l はスタブパターンの

物理長 (mm) である。Z₀は、オープンスタブ (伝送線路) の特性インピーダンスである。したがって、 β と l とを乗算した βl は、スタブパターンの電気長 [rad] となる。

[0022] ここで、オープンスタブのインピーダンスの特性は、伝送線路の電気長が $\lambda/4$ から $\lambda/2$ までの間にある場合、誘導性インピーダンスの特性であり、伝送線路の電気長が $\lambda/4$ より短い場合に容量性インピーダンスとなり、伝送線路の電気長が $\lambda/4$ の場合に「0」となる。

この図におけるスタブパターン112は、2.45GHzにおいて電気長が約 $\lambda/3.7$ であり、 $\lambda/4$ から $\lambda/2$ までの間にあるため、誘導性インピーダンスの特性を有し、電磁バンドギャップ構造を形成する。

[0023] 補助パターン12は、例えば所定の幅を有したリング形状であり、スタブパターン112の外周を取り囲むように設けられる。また、補助パターン12は、周波数2.45GHzにおいて、電気長が $\lambda/6$ から $\lambda/7$ 程度である。このため、補助パターン12は、電気長が $\lambda/4$ より短いために容量性インピーダンスの特性を有している。

このように、スタブパターン112の外周に沿うように補助パターン12を設けることにより、スタブパターン112に対して容量結合する。これにより、スタブパターン112に対する容量装荷を行い、スタブパターン112の容量成分を増加させ、スタブパターン112の電気長を約 $\lambda/3.7$ よりも長くすることができる。この結果、スタブパターン112を短くした場合、またプリプレグ (後述する補強誘電体層104) を薄くした場合と同様に、共振周波数を低下させるという効果を得ることができる。

また、スタブパターン112の線幅Wと、スタブパターン112及び補助パターン12間の距離Lとの関係は、 $W > L$ となる。

[0024] 図3(b)は、第2周波数用のスタブとして働く、第2周波数用のスタブパターン113の部分を、斜線のパターンで示している。スタブパターン113は、本実施形態においては、スパイラル形状のパターン、ミアンダ形状などの折り畳み構造のパターン、または図3(b)のようなスパイラル形状

及びミアンダ形状を組合わせた蛇行形状のパターンで形成されている。また、スタブパターン113は、例えばその伝送線路の幅が0.1mmであり、その伝送線路の全体の長さが8.9mmのオープンスタブとして形成されている。この図3(b)において、スタブパターン113は、5.44GHz(前述した2.45GHzに比較して高周波数の第2周波数)の周波数に対して、スタブパターン112と同様に電気長が約 $\lambda/3.7$ である。このスタブパターン113は、誘導性インピーダンスを有し、電磁バンドギャップ構造を形成する。図3(b)の第2周波数用のスタブパターン113は、近傍に容量性インピーダンスの特性を有するパターンが存在しないため、伝送路としてのパターンの長さのみにより、共振周波数が設定される。

[0025] 図4は、表面型の電磁バンドギャップ構造体1が配置されたプリント回路基板の断面図である。図4は、図1におけるプリント回路基板を線I-V-I'Vで切断した際の断面を示している。コア基板103の下面には、金属などの導体層として、例えば銅を材料とする35 μ mの厚さのリファレンスプレーン101が配置されている。コア基板103は、例えば、誘電率4.3のガラスエポキシを材料とした、厚さが0.4mmの基板である。また、コア基板103の上面には、金属などの導体層として、例えば銅を材料とする、厚さが35 μ mの電源プレーン102(Power Plane)が配置されている。ここで、図4においては、基板などにおいて、図面上部方向を向いている面を上面とし、図面下部方向を向いている面を下面として説明する。

[0026] 電源プレーン102の上面には、例えば、誘電率4.3のガラスエポキシを材料とした、厚さが0.2mmの補強誘電体層104(プリプレグ)が配置されている。そして、補強誘電体層104の上面には、金属などの導体層として、例えば銅を材料とする35 μ mの厚さで、電磁バンドギャップ構造体1が形成されている。補強誘電体層104の露出されている上面及び電磁バンドギャップ構造体1の上面には、例えば、厚さ0.05mmのソルダリングレジスト150の層が形成されている。ビアパターン111は、直径が0.3mmのビアホール160を介してリファレンスプレーン101に対し

て接続されている。

[0027] 電磁バンドギャップ構造体1における電磁バンドギャップ構造11と補助パターン12の下部には、補強誘電体層104を介して電源プレーン102におけるパターン210が形成されている。また、水平方向において隣接する電磁バンドギャップ構造体1間の距離Rは、例えば、2mmである。このように、図4においては、電磁バンドギャップ構造体1が補強誘電体層104の上面において、表面型として設けられている。ソルダリングレジスト150を透して、電磁バンドギャップ構造体1が観察されるため、補強誘電体層104の上面に形成した電磁バンドギャップ構造体1を表面型としている。

[0028] 上述したプリント回路基板の構成により、ソルダリングレジスト150上部に電子部品を配置した際、電子部品から発生する電磁ノイズの内、電磁バンドギャップ構造11の共振周波数に対応した電磁ノイズがプリント回路基板101内を伝搬することを抑制する。

本実施形態は、電磁バンドギャップ構造体1において、スタブパターン112及びスタブパターン113の各々の周波数が、それぞれ2.45GHz、5.44GHzであるため、プリント回路基板内におけるこれらの周波数の電磁ノイズの伝搬を抑制する。この結果、本実施形態によれば、同一基板上に配置されている無線LANのアナログ回路に対する電磁ノイズの影響を低減させるため、無線LANにおけるデータの送受信に対する電磁ノイズの干渉を抑制できる。

[0029] 図5は、周波数と電磁バンドギャップ構造体1（表面型）のSパラメータ（挿入損失 S_{21} ）との対応を示すグラフである。図5において、横軸が周波数を示し、縦軸が挿入損失 S_{21} を示している。また、図5において、破線が補助パターン12を電磁バンドギャップ構造11の外周に設けない場合における電磁バンドギャップ構造体1（すなわち電磁バンドギャップ構造11）の周波数と挿入損失 S_{21} との対応を示している。一方、実線が補助パターン12を電磁バンドギャップ構造11の外周に設けた場合における電磁バンド

ギャップ構造体 1 の周波数と挿入損失 S_{21} との対応を示している。

[0030] 破線と実線とを比較してみると、実線の場合には、4 GHz より低周波数側において、電磁ノイズの減衰の生じる（挿入損失 S_{21} が大きくなる）周波数がより低周波数側に移動していることが判る。また、図 5 から判るように、本実施形態によるプリント回路基板においては、無線 LAN で使用される周波数帯域である 2.4 GHz ~ 2.5 GHz と、5 GHz ~ 5.7 GHz とにおいて大きな減衰が得られることが判る。

ここで、2 GHz 以下の周波数に生じている減衰は、電源プレーン 102 のサイズに依存して生じたものであり、電磁バンドギャップ構造体 1 による減衰とは異なる。

[0031] 図 6 は、内装型の電磁バンドギャップ構造体 1A が配置されたプリント回路基板の断面図である。ここで、図 6 においては、基板などにおいて、図面上部方向を向いている面を上面とし、図面下部方向を向いている面を下面として説明する。コア基板 103 の下面には、金属などの導体層として、例えば銅を材料とする $35 \mu\text{m}$ の厚さのリファレンスプレーン 101 が配置されている。また、コア基板 103 の上面には、金属などの導体層として、例えば銅を材料とする、厚さが $35 \mu\text{m}$ のパターンで形成された複数の電磁バンドギャップ構造体 1 からなる電磁バンドギャップ層 105 が配置されている。電磁バンドギャップ層 105 の上面には、補強誘電体層 104 が形成されている。補強誘電体層 104 の上面には、電源プレーン 102 が形成されている。電源プレーン 102 の上面及び補強誘電体層 104 の露出した上面には、ソルダリングレジスト 150 が形成されている。

[0032] ビアパターン 211 は、例えば、直径が 0.3 mm のビアホール 170 を介してリファレンスプレーン 101 に対して接続されている。電磁バンドギャップ構造体 1A における電磁バンドギャップ構造 11A と補助パターン 12A の上部には、補強誘電体層 104 を介して電源プレーン 102 におけるパターン 220 が形成されている。また、水平方向において隣接する電磁バンドギャップ構造体 1A 間の距離 R は、先に述べた実施形態と同様に 0.2

mmである。このように、図6においては、電磁バンドギャップ構造体1Aが補強誘電体層104とコア基板103との間において、内装型として設けられている。

[0033] 図7は、図6における内層型に用いる電磁バンドギャップ構造体1Aの構成例を示す平面図である。この図7において、電磁バンドギャップ構造体1Aは、コア基板103の上面に形成されている表面型の電磁バンドギャップ構造体である。また、例えば電磁バンドギャップ構造体1Aの外形は、X軸方向の長さが3.1mmであり、Y軸方向の長さが3.1mmである。

また、電磁バンドギャップ構造体1Aは、電磁バンドギャップ構造11Aと、補助パターン12Aとから構成されている。補助パターン12Aは、例えば閉リング形状をしており、電磁バンドギャップ構造11Aの外周に対して所定の距離を有して配置されている。この補助パターン12Aは、電磁バンドギャップ構造11Aの外周を取り囲むように設けられている。

[0034] 電磁バンドギャップ構造11Aは、ビアパターン211と、第1周波数用のスタブパターン112Aと、第2周波数用のスタブパターン113Aとを備えている。スタブパターン112A及び113Aの各々は、オープンスタブを構成している。内装型の電磁バンドギャップ構造体1Aは、スタブパターン112A及び113A各々のスタブ長を電気長の違いにより調整しており、基本的な構造が表面型の電磁バンドギャップ構造体1と同様である。また、電磁バンドギャップ構造11Aは、コア基板103の一方の主面（表面）に形成されている。補強誘電体層104は、電磁バンドギャップ構造11Aの配列された面の上部に形成されている。すなわち、電磁バンドギャップ構造11Aは、コア基板103と補強誘電体層104とに挟まれて形成されている。このため、電磁バンドギャップ構造11Aは、本実施形態において内装型と定義している。

[0035] 図8は、周波数と電磁バンドギャップ構造体1A（内装型）のSパラメータ（挿入損失 S_{21} ）との対応を示すグラフである。図8において、横軸が周波数を示し、縦軸が挿入損失 S_{21} を示している。また、図8において、破線

が補助パターン12Aを電磁バンドギャップ構造11Aの外周に設けない場合における電磁バンドギャップ構造体1A（すなわち電磁バンドギャップ構造11A）の周波数と挿入損失 S_{21} との対応を示している。一方、実線が補助パターン12Aを電磁バンドギャップ構造11Aの外周に設けた場合における電磁バンドギャップ構造体1Aの周波数と挿入損失 S_{21} との対応を示している。

[0036] 破線と実線とを比較してみると、実線の場合には、4GHzより低周波数側において、電磁ノイズの減衰の生じる（挿入損失 S_{21} が大きくなる）周波数がより低周波数側に移動していることが判る。また、図8から判るように、本実施形態によるプリント回路基板においては、無線LANで使用される周波数帯域である2.4GHz～2.5GHzと、5GHz～5.7GHzとにおいて大きな減衰が得られることが判る。

ここで、2GHz以下の周波数に生じている減衰は、電源プレーン102のサイズに依存して生じたものであり、電磁バンドギャップ構造体1Aによる減衰とは異なる。

[0037] 上述したように本実施形態によれば、電磁バンドギャップ構造11（11A）におけるスタブパターン112（112A）に対して補助パターン12（12A）により容量装荷を行い、電磁バンドギャップ構造11の共振周波数を低下させているため、従来のように電磁バンドギャップ構造11（11A）の外周の長さを長くすることにより共振周波数を低下させる場合に比較して、電磁バンドギャップ構造体1を小型化することが可能となる。例えば、本実施形態と同様の構成の場合、補助パターン12を電磁バンドギャップ構造11の外周に沿って形成しないと、電磁バンドギャップ構造体の大きさが3.5mm×3.5mmのサイズとなる。本実施形態における電磁バンドギャップ構造体1が3.1mm×3.1mmであるため、補助パターン12を設けない場合の3.5mm×3.5mmのサイズに比較して78%の大きさとなり、電磁バンドギャップ構造体のサイズを小型化することができる。

[0038] また、本実施形態によれば、電磁バンドギャップ構造体1（1A）を用い

ることにより、放射電磁界強度も抑制することができる。

例えば、電磁ギャップ構造体 1 が無いプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 1.13 (μW) であり、高周波数側の 5.44 GHz における放射電磁界強度が 57.2 (μW) である。

一方、表面型の電磁ギャップ構造体 1 を用いたプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 0.0609 (μW) であり、高周波数側の 5.44 GHz における放射電磁界強度が 0.252 (μW) である。

内層型の電磁ギャップ構造体 1 A を用いたプリント回路基板の場合、低周波数側の 2.45 GHz における放射電磁界強度が 0.00475 (μW) であり、高周波数側の 5.44 GHz における放射電磁界強度が 0.201 (μW) である。

[0039] 上述したように、本実施形態によれば、電磁バンドギャップ 11 (11 A) におけるスタブパターン 112 (112 A) を補助パターン 12 (12 A) により取り囲むように形成することにより、スタブパターン 112 (112 A) の長さを長くすることで共振周波数を低下させる構成と比較して、電磁バンドギャップ構造 11 (11 A) を小型化でき、実装スペースの有効活用を行うことが可能となる。

[0040] 本実施形態において、補助パターン 12 (12 A) は、閉リングのパターンでなく、開リングのパターンでも、電磁バンドギャップ構造 1 の共振周波数を目的の周波数に低下させ、かつ容量インピーダンス特性を有する長さであれば良い。また、補助パターン 12 は、容量インピーダンス特性を有する長さであれば、電磁バンドギャップ構造 11 (11 A) の外周の辺と容量結合する位置に配置される直線パターンでも良い。

補助パターン 12 (12 A) に対してオープンビアを設けて、容量を増加させる構成としても良い。

[0041] また、補助パターン 12 (12 A) のパターンを複数のエレメントに分割

し、エレメントとエレメントとの間を、ギャップ容量またはコンデンサあるいは抵抗などにより接続する構成としても良い。

さらに、電磁バンドギャップ構造 11 (11A) の上部に絶縁層を設け、この絶縁層の上部において、平面視でスタブパターン 112 (112A) 補助パターンを形成することにより、周波数を低周波数側にシフトさせることができる。これにより、本実施形態によれば、電磁バンドギャップ構造体 11 (11A) のサイズを、より小型化することができるため、実装スペースの有効活用を行うことが可能となる。

[0042] 図9は、本発明のプリント回路基板の概念を示す図である。この図9において、図9(a)は、平面視における補強誘電体層 104 (補強誘電体層) の表面 104S (補強誘電体層のいずれか一方の面) にスタブパターン 113 (第1電磁バンドギャップ構造) と補助パターン 12 (補助パターン) との各々のパターンが配線されたプリント回路基板が示されている。また、図9(b)は、図9(a)のプリント回路基板における線分 I X B - I X B による断面が示されている。

図9(a)に示されるように、補強誘電体層 104 (補強誘電体層) の表面 104S (補強誘電体層のいずれか一方の面) に対し、スタブパターン 113 (第1電磁バンドギャップ構造) と補助パターン 12 (補助パターン) との各々のパターンが形成されている。スタブパターン 113 (第1電磁バンドギャップ構造) の外周に対し、補助パターン 12 (補助パターン) が所定の距離を設けて形成されている。この補助パターン 12 (補助パターン) は、スタブパターン 113 (第1電磁バンドギャップ構造) の共振周波数を低下させるため、スタブパターン 113 (第1電磁バンドギャップ構造) に対して容量装荷を行うために設けられている。

[0043] 図9(b)において、コア基板 103 (コア基板) の表面 103S (コア基板のいずれか一方の面) に対し、補強誘電体層 104 (補強誘電体層) が設けられている。この補強誘電体層 104 (補強誘電体層) の表面 104S (補強誘電体層のいずれか一方の面) に対し、スタブパターン 113 (第1

電磁バンドギャップ構造)と補助パターン12(補助パターン)との各々のパターンが形成されている。この構成により、プリント回路基板に電子部品を配置した際、電子部品から発生する電磁ノイズの内、スタブパターン113(第1電磁バンドギャップ構造)の共振周波数に対応した電磁ノイズがプリント回路基板内を伝搬することを抑制する。また、補助パターン12(補助パターン)により、スタブパターン113(第1電磁バンドギャップ構造)に対して容量装荷を行い、スタブパターン113(第1電磁バンドギャップ構造)の共振周波数を低下させている。

上述した図9に示すスタブパターン113(第1電磁バンドギャップ構造)及び補助パターン12(補助パターン)の構成により、本発明によれば、従来のようにスタブパターン113(第1電磁バンドギャップ構造)の外周の長さを長くすることで共振周波数を低下させる場合に比較し、スタブパターン113(第1電磁バンドギャップ構造)を小型化することが可能となり、プリント回路基板における実装スペースの有効活用を行うことができる。

[0044] 本実施形態は、プリント回路基板を例に説明しているが、プリントパターンを有さない回路基板に対しても適用可能である。

[0045] 本出願は、2014年6月12日に出願された日本国特許出願である特願2014-121596に基づくものであり、その内容はここに参照として取り込まれる。

符号の説明

- [0046] 1, 1A…電磁バンドギャップ構造体
11, 11A…電磁バンドギャップ構造
12, 12A…補助パターン
101…リファレンスプレーン
102…電源プレーン
103…コア基板
104…補強誘電体層
111…ビアパターン

1 1 2, 1 1 3, 1 1 2 A…スタブパターン
1 1 2__1, 1 1 2__2…調整スタブパターン
1 5 0…ソルダリングレジスト
1 6 0, 1 7 0…ビアホール
2 1 1…ビアパターン
2 1 0, 2 2 0…パターン

請求の範囲

- [請求項1] コア基板と、
前記コア基板の一方の面に設けられた補強誘電体層と、
前記補強誘電体層のいずれか一方の面側に設けられ、前記コア基板内に伝搬する所定の第1周波数の電磁ノイズを抑制する第1電磁バンドギャップ構造と、
前記第1電磁バンドギャップ構造を形成する導体パターンの外周に対して所定の距離を設けて形成された補助パターンと
を備える回路基板。
- [請求項2] 請求項1に記載の回路基板であって、
前記補助パターンは、前記第1周波数の波長において容量性インピーダンスを有する長さで設けられている
回路基板。
- [請求項3] 請求項2に記載の回路基板であって、
前記補助パターンは、前記第1電磁バンドギャップ構造と容量結合する
回路基板。
- [請求項4] 請求項1から請求項3のいずれか一項に記載の回路基板であって、
前記第1電磁バンドギャップ構造が屈曲した形状に配線されたパターンであるオープンスタブで構成されており、
前記オープンスタブに囲まれるように設けられた、前記第1周波数より周波数の高い第2周波数の電磁ノイズを抑制する第2電磁バンドギャップ構造をさらに有する
回路基板。
- [請求項5] 請求項1から請求項3のいずれか一項に記載の回路基板であって、
前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向する面に設けられている

回路基板。

[請求項6] 請求項1から請求項4のいずれか一項に記載の回路基板であって、前記第1電磁バンドギャップ構造及び前記補助パターンの各々が、前記補強誘電体層における前記コア基板と対向しない面に設けられている

回路基板。

[請求項7] 請求項1から請求項6のいずれか一項に記載の回路基板であって、前記補助パターンが前記第1電磁バンドギャップ構造の最外周の周囲に設けられた閉リング構造あるいは開リング構造で形成されている回路基板。

[請求項8] コア基板と当該コア基板の一方の面に設けられた補強誘電体層とを備える回路基板におけるノイズ低減方法であり、

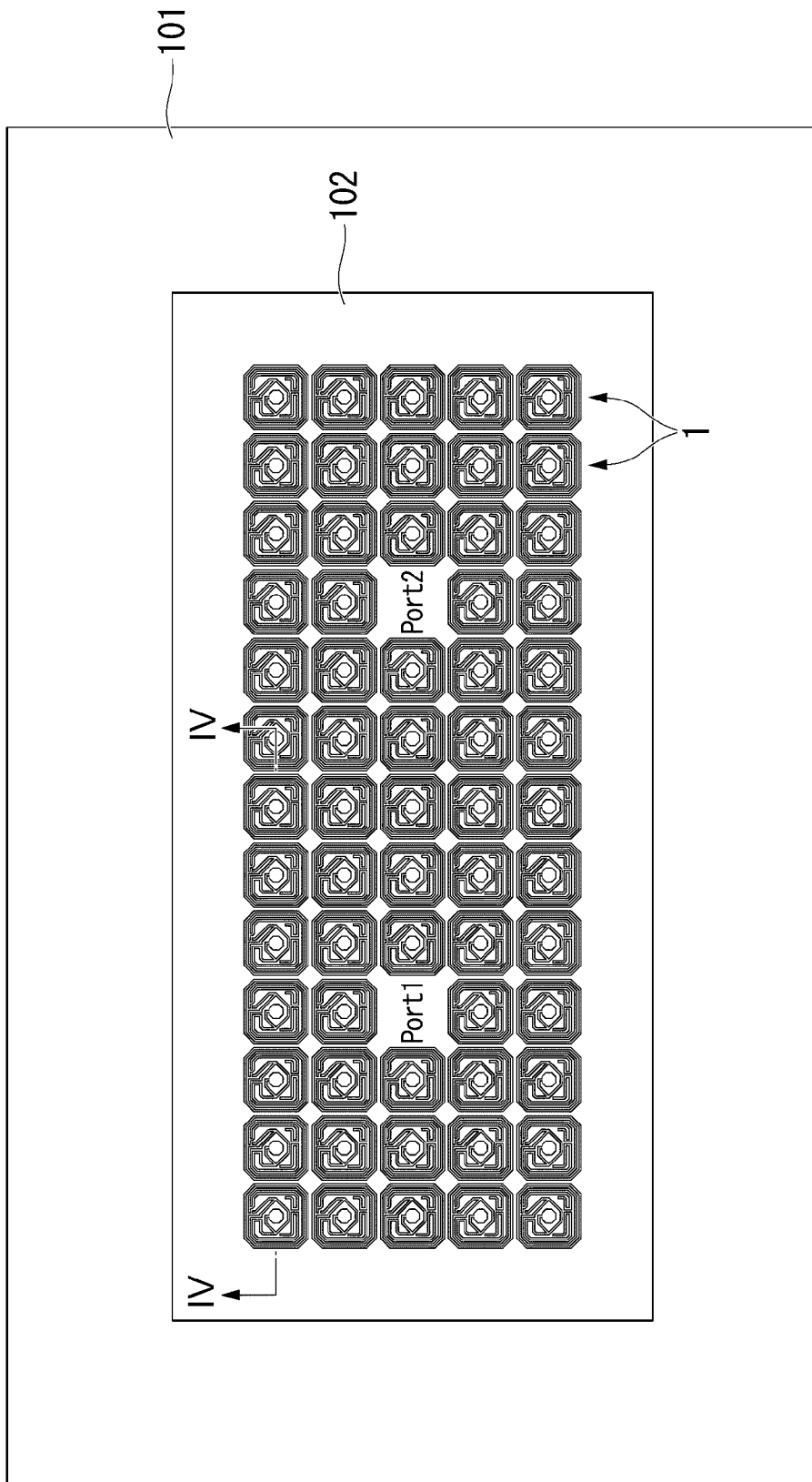
前記補強誘電体層のいずれかの面側に、前記コア基板内を伝搬する所定の第1周波数の電磁ノイズを抑制するため、前記補強誘電体層の面に第1電磁バンドギャップ構造を設け、

前記第1電磁バンドギャップ構造を形成する導体パターンの外周に対して所定の距離に補助パターンを設け、

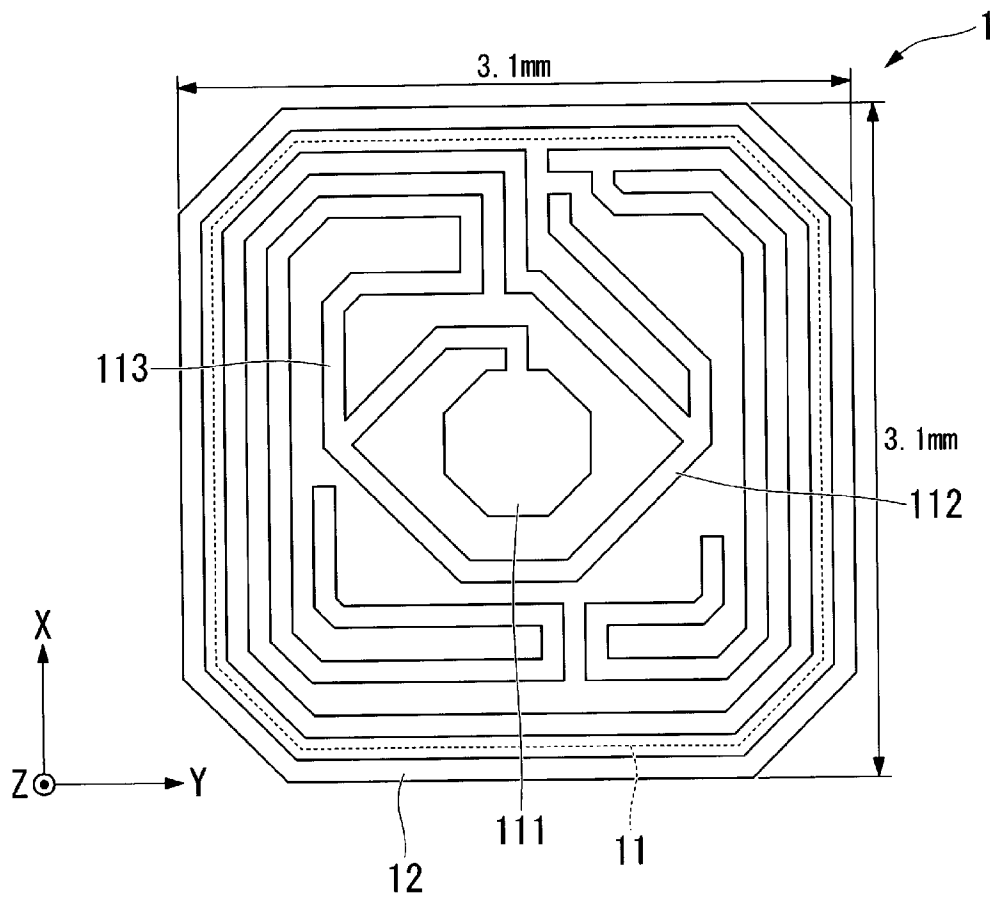
前記回路基板における電磁ノイズの伝搬を、前記第1電磁バンドギャップ構造により抑制する

回路基板におけるノイズ低減方法。

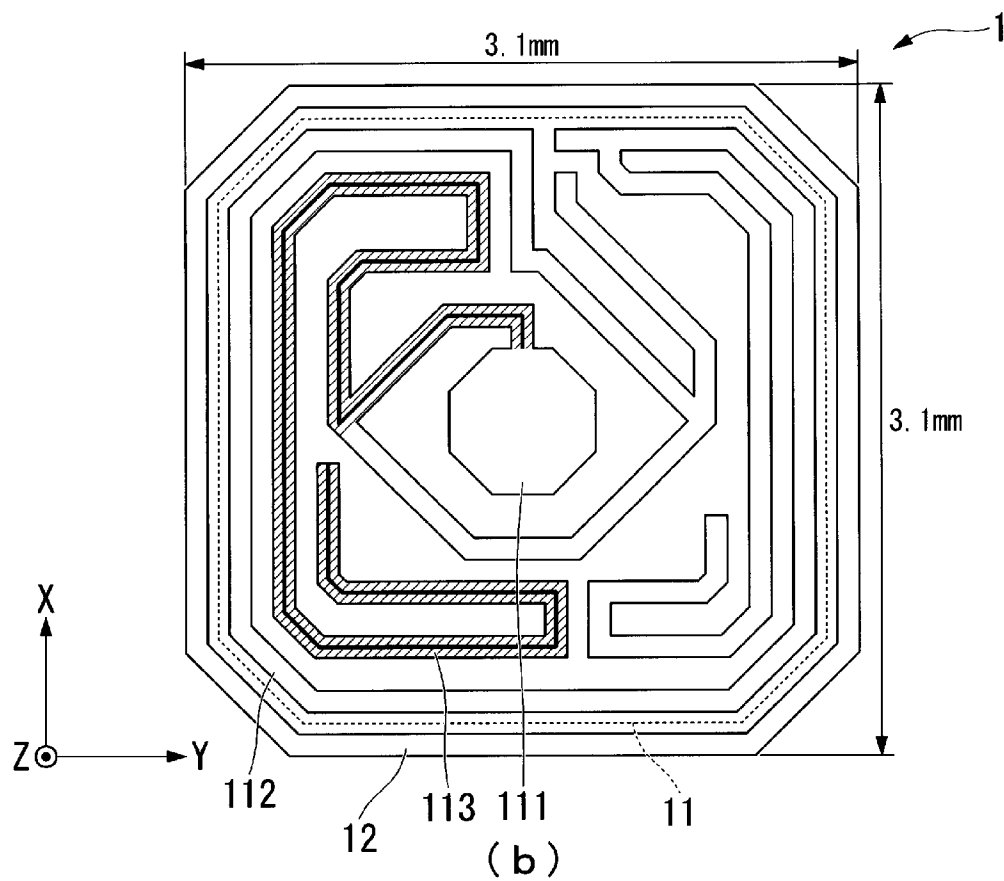
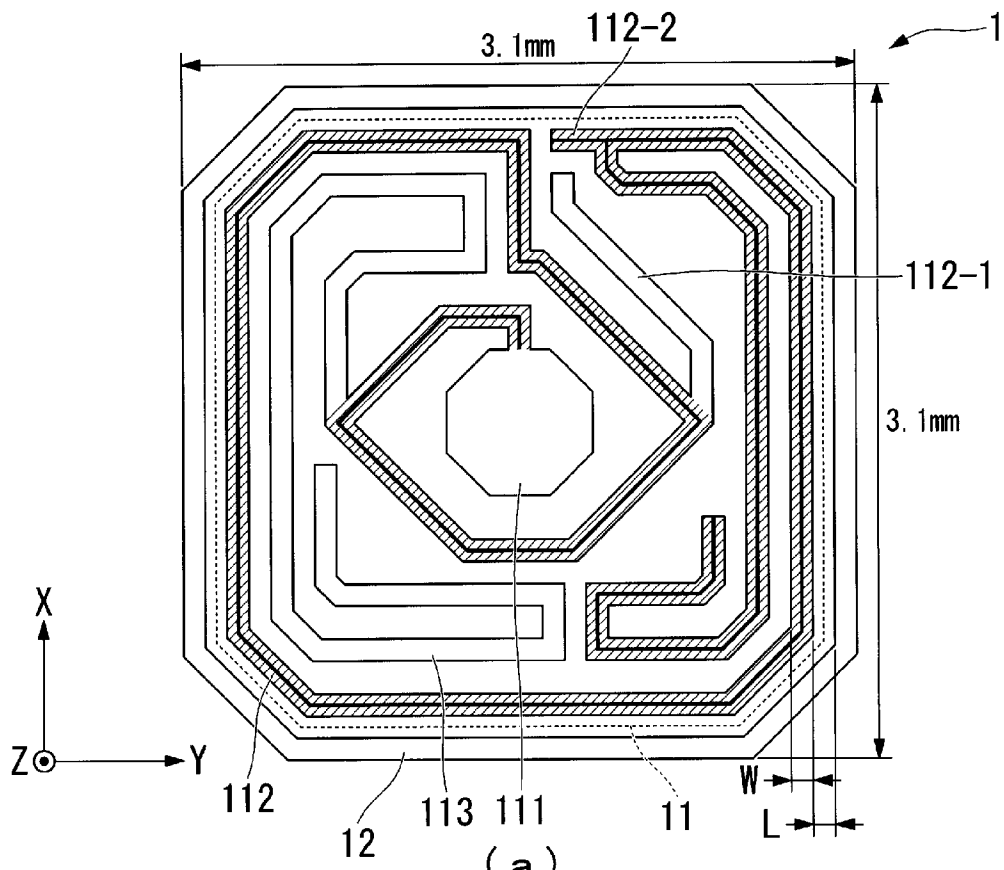
[図1]



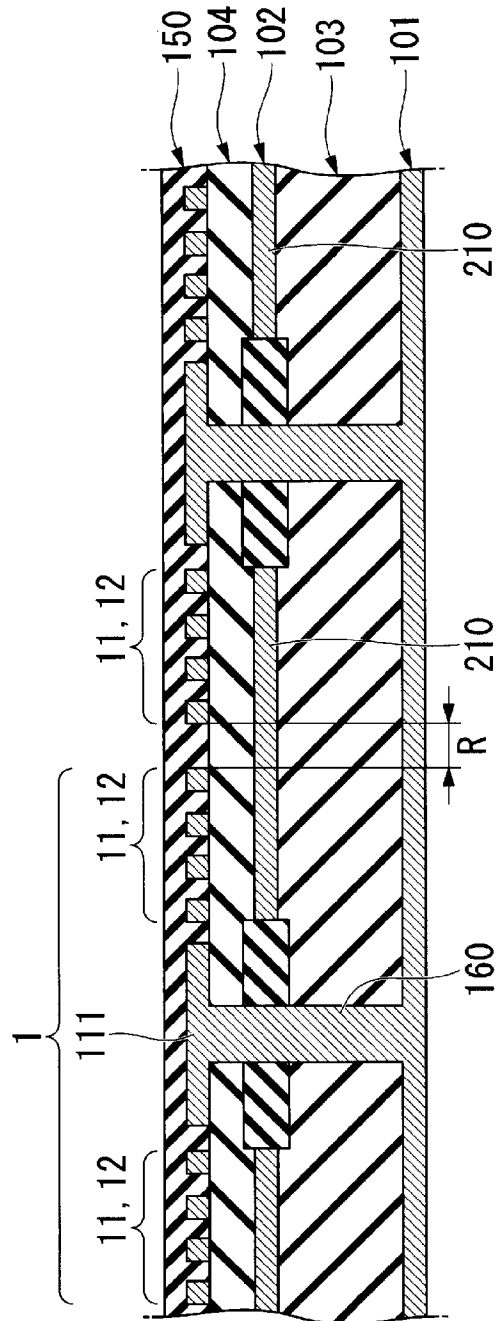
[図2]



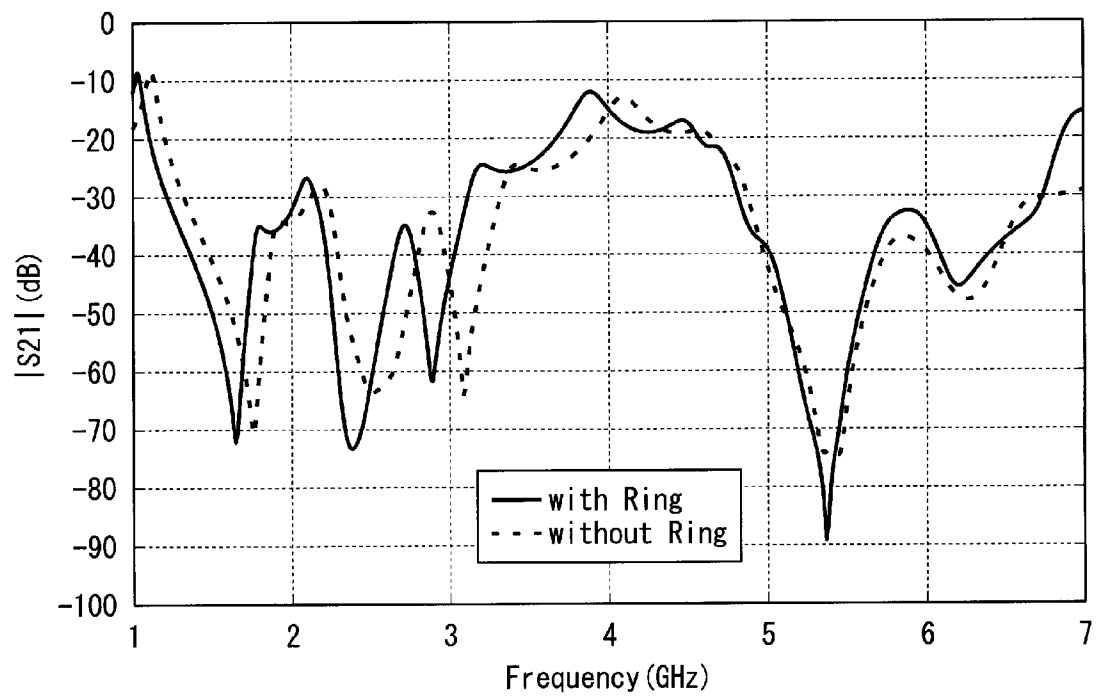
[図3]



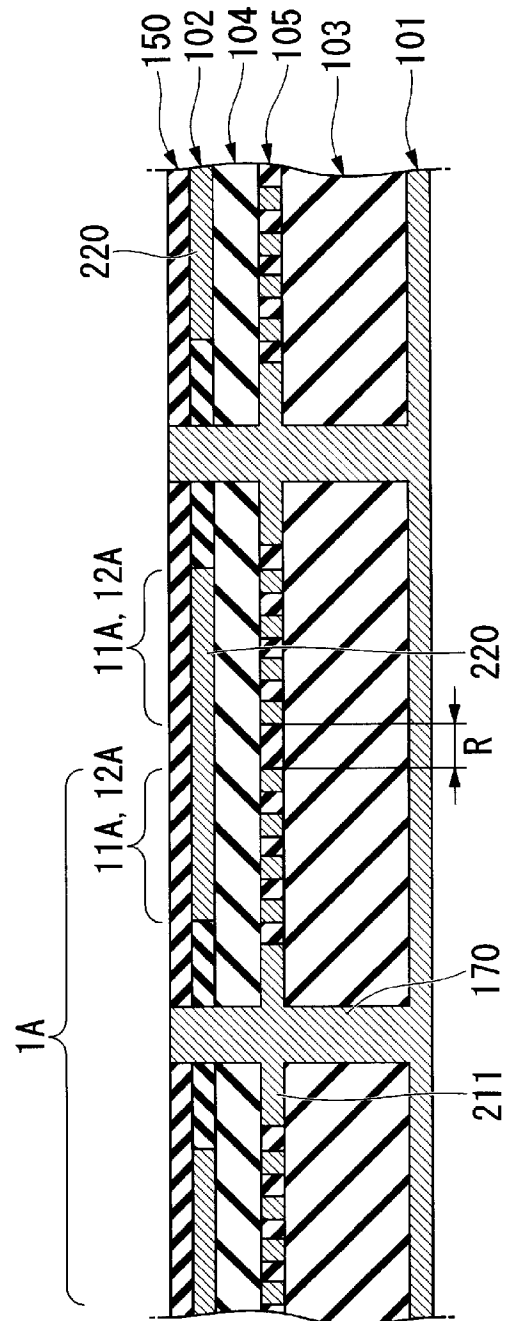
[図4]



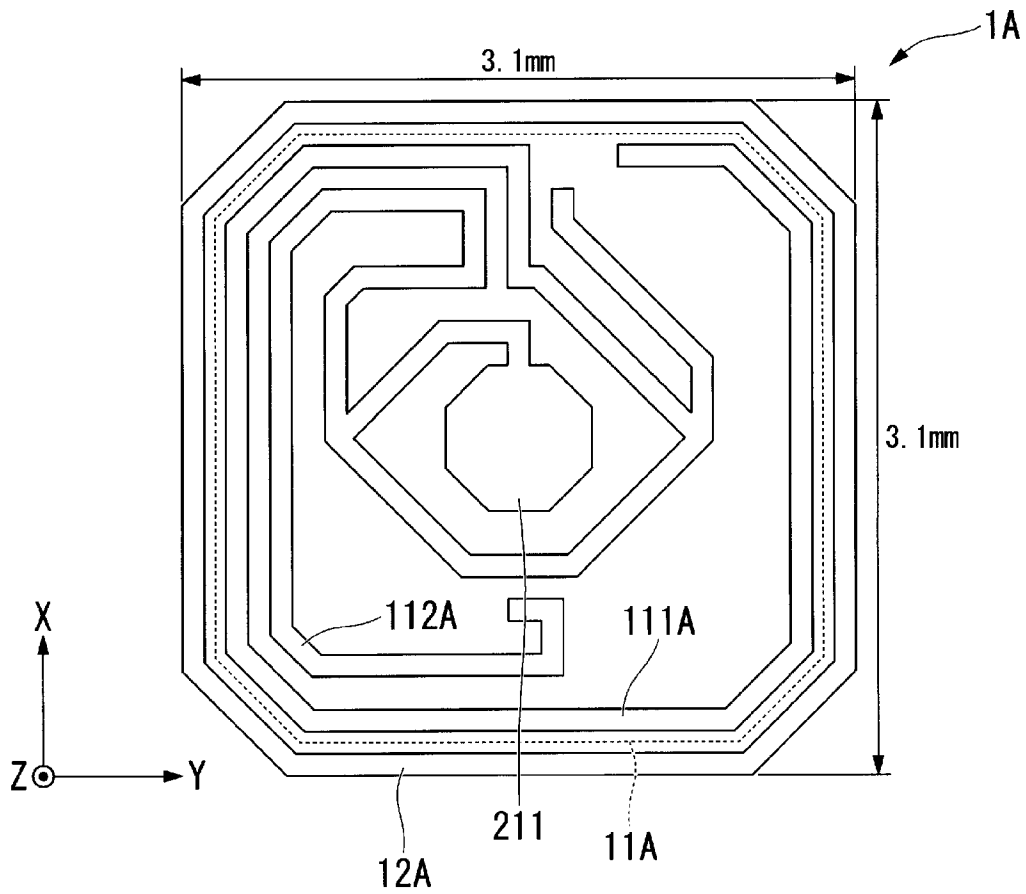
[図5]



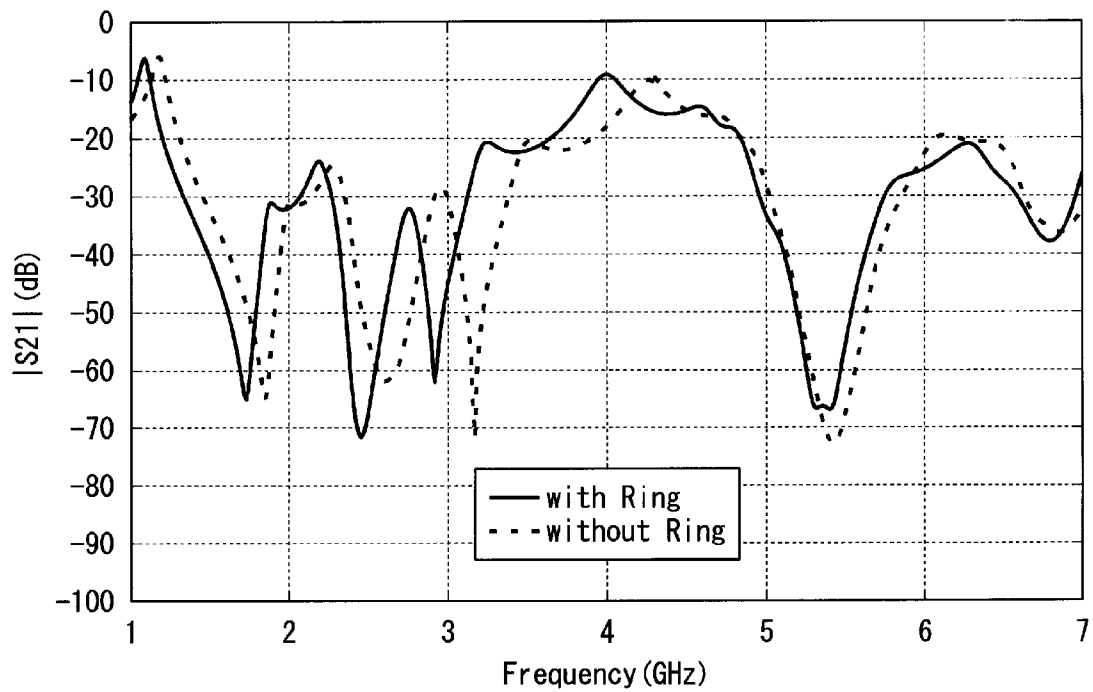
[図6]



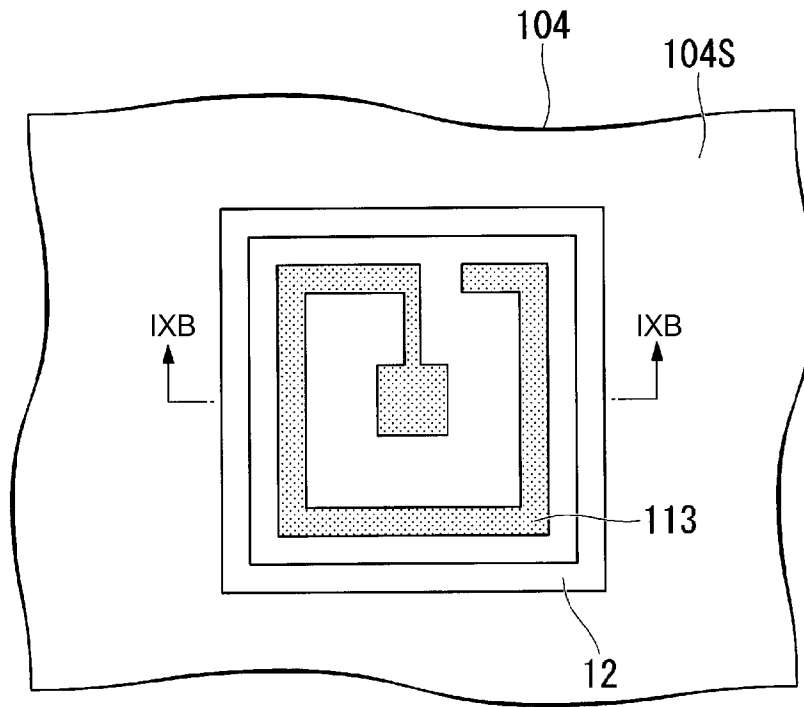
[図7]



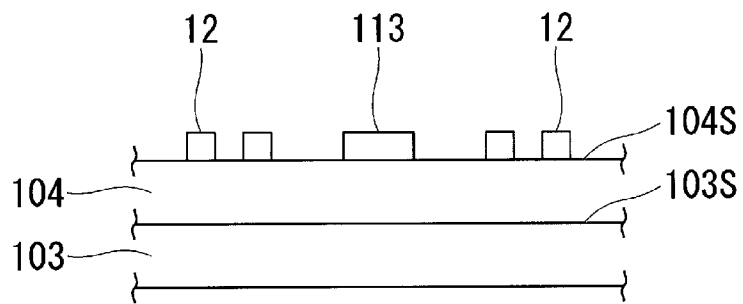
[図8]



[図9]



(a)



(b)

INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP2015/067090

A. CLASSIFICATION OF SUBJECT MATTER
H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K1/16(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
H05K3/46, H05K1/02, H05K1/16

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2010-010183 A (NEC Corp.), 14 January 2010 (14.01.2010), paragraphs [0022] to [0072]; fig. 1 to 26 & US 2009/0315648 A1 & US 2014/0300428 A1 & US 2014/0300429 A1 & EP 2146556 A1 & CN 101615710 A & CN 104037476 A	1-8
A	JP 2010-252329 A (International Business Machines Corp.), 04 November 2010 (04.11.2010), paragraphs [0013] to [0044]; fig. 1 to 12 & US 2010/0265011 A1 & TW 201131881 A	1-8

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 18 August 2015 (18.08.15)	Date of mailing of the international search report 01 September 2015 (01.09.15)
--	--

Name and mailing address of the ISA/ Japan Patent Office 3-4-3, Kasumigaseki, Chiyoda-ku, Tokyo 100-8915, Japan	Authorized officer Telephone No.
--	---

A. 発明の属する分野の分類（国際特許分類（IPC）） Int.Cl. H05K3/46(2006.01)i, H05K1/02(2006.01)i, H05K1/16(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） Int.Cl. H05K3/46, H05K1/02, H05K1/16		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2015年 日本国実用新案登録公報 1996-2015年 日本国登録実用新案公報 1994-2015年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
A	JP 2010-010183 A（日本電気株式会社）2010.01.14, [0022]-[0072], 図 1-26 & US 2009/0315648 A1 & US 2014/0300428 A1 & US 2014/0300429 A1 & EP 2146556 A1 & CN 101615710 A & CN 104037476 A	1-8
A	JP 2010-252329 A（インターナショナル・ビジネス・マシーンズ・ コーポレーション）2010.11.04, [0013]-[0044], 図 1-12 & US 2010/0265011 A1 & TW 201131881 A	1-8
<input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」特に関連のある文献ではなく、一般的技術水準を示すもの 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） 「O」口頭による開示、使用、展示等に言及する文献 「P」国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」同一パテントファミリー文献		
国際調査を完了した日 18.08.2015	国際調査報告の発送日 01.09.2015	
国際調査機関の名称及びあて先 日本国特許庁（ISA/J P） 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 井出 和水 電話番号 03-3581-1101 内線 3391	3 S 9 0 7 2