

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第4351755号
(P4351755)

(45) 発行日 平成21年10月28日(2009.10.28)

(24) 登録日 平成21年7月31日(2009.7.31)

(51) Int.Cl.		F I	
C 2 3 C	14/34	(2006.01)	C 2 3 C 14/34 U
C 2 3 C	16/52	(2006.01)	C 2 3 C 16/52
H O 1 L	21/285	(2006.01)	H O 1 L 21/285 S
			H O 1 L 21/285 C

請求項の数 6 (全 20 頁)

(21) 出願番号	特願平11-66067	(73) 特許権者	000227294
(22) 出願日	平成11年3月12日(1999.3.12)		キヤノンアネルバ株式会社
(65) 公開番号	特開2000-256845(P2000-256845A)		神奈川県川崎市麻生区栗木2-5-1
(43) 公開日	平成12年9月19日(2000.9.19)	(74) 代理人	100097548
審査請求日	平成18年3月11日(2006.3.11)		弁理士 保立 浩一
		(72) 発明者	水野 茂
			東京都府中市四谷5丁目8番1号アネルバ株式会社内
		(72) 発明者	佐藤 誠
			東京都府中市四谷5丁目8番1号アネルバ株式会社内
		(72) 発明者	田上 学
			東京都府中市四谷5丁目8番1号アネルバ株式会社内

最終頁に続く

(54) 【発明の名称】 薄膜作成方法および薄膜作成装置

(57) 【特許請求の範囲】

【請求項 1】

基板を臨む空間にプラズマを形成しながら基板に薄膜を作成するステップと、
 薄膜の作成の際に、パルス状の電圧を基板に印加するステップとを含み、
 パルス状の電圧の周波数は、プラズマ中のイオンの振動周波数より低く、かつ、パルス状の電圧の波形は、一つのパルス周期において、第1パルスと、第1パルスとは極性の異なる第2パルスとを有し、

第2パルスの幅は、パルス周期から第1パルスの幅を引いた時間よりも短く、第1パルスも第2パルスも印加されない時間帯があるようにパルス状の電圧を制御することを特徴とする薄膜形成方法。

【請求項 2】

基板を臨む空間にプラズマを形成しながら基板に薄膜を作成するステップと、
 薄膜の作成の際に、パルス周期、パルス幅、及びパルス高さを有するパルス状の電圧を基板に印加するステップとを含み、

パルス状電圧の周波数は、プラズマ中のイオンの振動周波数より低く、かつ、プラズマから基板に入射するイオンの入射エネルギーが、基板に作成する薄膜をスパッタするのに必要な最低限のエネルギーの値であるスパッタリングしきい値を、一つのパルス周期において一時的に越えるようにパルス周期、パルス幅及びパルス高さを制御することを特徴とする薄膜作成方法。

【請求項 3】

10

20

一つのパルス周期が終わるまでに前記基板の表面電位が浮遊電位まで上昇するように前記パルス状の電圧を制御することを特徴とする請求項 1 又は 2 記載の薄膜作成方法。

【請求項 4】

排気系によって内部が排気される処理チャンバーと、
処理チャンバー内の所定位置に基板を保持する基板ホルダーと、
処理チャンバー内に所定のプロセスガスを導入するガス導入系と、
処理チャンバー内にプロセスガスのプラズマを発生させるプラズマ発生手段と、
基板ホルダーに接続され、パルス状の電圧を基板に印加するバイアス機構と、
バイアス機構に接続され、パルス状の電圧を制御する制御部とを備え、
制御部は、パルス状の電圧の周波数がプラズマ中のイオンの振動周波数以下であるよう
にパルス状の電圧を制御するものであり、

10

制御部は、一つのパルス周期において、第 1 パルスと、第 1 パルスとは極性の異なる第 2 パルスとを含むようにパルス状の電圧を制御するものであり、

制御部は、第 2 パルスの幅が、パルス周期から第 1 パルスの幅を引いた時間よりも短く、第 1 パルスも第 2 パルスも印加されない時間帯があるようにパルス状の電圧を制御するものであることを特徴とする薄膜作成装置。

【請求項 5】

排気系によって内部が排気される処理チャンバーと、
処理チャンバー内の所定位置に基板を保持する基板ホルダーと、
処理チャンバー内に所定のプロセスガスを導入するガス導入系と、
処理チャンバー内にプラズマを発生させるプラズマ発生手段と、
基板ホルダーに接続され、パルス周期、パルス幅、及びパルス高さを有するパルス状の電圧を基板に印加するバイアス機構と、

20

バイアス機構に接続され、印加するパルス状の電圧を制御する制御部とを備え、
制御部は、パルス状の電圧の周波数がプラズマ中のイオンの振動周波数以下であるよう
にパルス状の電圧を制御するものであり、

制御部は、プラズマから基板に入射するイオンの入射エネルギーが、基板に作成する薄膜をスパッタするのに最低限必要なエネルギーの値であるスパッタリングしきい値を一つのパルス周期において一時的に越えるようにパルス周期、パルス高さ及びパルス幅を制御するものであることを特徴とする薄膜作成装置。

30

【請求項 6】

前記制御部は、一つのパルス周期が終わるまでに前記基板の表面電位が浮遊電位まで上昇するよう前記パルス状の電圧を制御するものであることを特徴とする請求項 4 又は 5 記載の薄膜作成装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本願の発明は、スパッタリングやプラズマ化学蒸着（プラズマ CVD）のような、基板の表面に所定の薄膜を作成する方法及び装置に関する。

【0002】

40

【従来の技術】

スパッタリングや CVD のような薄膜作成プロセスは、LSI を始めとする各種電子デバイスや液晶ディスプレイ等の表示装置の製造で多く行われている。このうち、半導体デバイスの分野では、デバイスの集積化と微細化はますます進んでいる。デバイスの微細化は、製造工程に新しい技術を要求する。即ち、微細なホール内への充分な量の膜の埋込や、デバイス構造における段差を軽減する工夫、及び、高電流密度を原因とした発熱やエレクトロマイグレーションによる断線の予防などである。とりわけ、アスペクト比（ホールの開口の直径又は幅に対するホールの深さの比）が高い微細なホールの底部に被覆性良く十分な厚さのバリア膜を形成する技術は、これからの半導体デバイス製造の鍵を握る技術である。

50

【0003】

バリア膜は、下地材料と配線材料との相互浸食や拡散防止（バリア性の確保）のほか、導電性の確保、密着性の確保のために使用される。バリア膜には、チタン膜と窒化チタン膜との積層膜、タンタル膜、窒化タンタル膜、又は、タンタル膜と窒化タンタル膜の積層膜などが用いられる。

高アスペクト比の微細なホールの内面へのバリア膜の成膜方法として、現在、基板をバイアスしながら成膜するイオン化スパッタ法やプラズマCVD法などが注目されている。従来の方法の一例として、イオン化スパッタ法について図9を使用して説明する。図9は、従来の薄膜作成装置の一例であるイオン化スパッタ装置の概略構成を示す正面図である。

【0004】

10

図9に示す装置は、排気系11によって内部が排気される処理チャンバー1と、処理チャンバー1内の所定位置に基板9を保持する基板ホルダー2と、処理チャンバー1内に所定のプロセスガスを導入するガス導入系3と、処理チャンバー1内にプラズマを発生させるプラズマ発生手段とを備えている。プラズマ発生手段は、処理チャンバー1内に被スパッタ面が露出するようにして設けられたターゲット41を有するカソード4と、ターゲット41に所定の電圧を印加してスパッタ放電を生じさせることによりプラズマを発生させるスパッタ電源5とから主に構成されている。

【0005】

スパッタ電源5には、13.56MHz程度の周波数の高周波電圧をターゲット41に印加するものが採用されている。ガス導入系3によって処理チャンバー1内に所定のプロセスガスを導入し、スパッタ電源5によってターゲット41に高周波電圧を印加すると、プロセスガスに高周波放電が生じてプラズマが発生する。スパッタ電源5とターゲット41の被スパッタ面との間には、不図示の整合器等によるキャパシタンスが存在している。キャパシタンスを介して高周波電圧を印加すると、キャパシタンスの充放電にプラズマ中の電子及びイオンが作用し、電子とイオンの移動度の違いから、自己バイアス電圧がターゲット41に生ずる。自己バイアス電圧は、高周波電圧に重畳した負の直流分の電圧であり、この自己バイアス電圧によりイオンがプラズマから引き出されてターゲット41に入射する。この結果、ターゲット41がスパッタされる。

20

【0006】

スパッタによってターゲット41から放出された粒子（通常は原子の状態、以下、スパッタ粒子又はスパッタ原子と呼ぶ）は、処理チャンバー1内を飛行して基板9の表面に達する。スパッタ粒子の到達が重なると、薄膜に成長する。そして、所定時間スパッタリングを行うことで所定の厚さの薄膜が基板9の表面に作成される。

30

また、上記スパッタ電源5は、スパッタによってターゲット41から放出されるスパッタ粒子をイオン化させるイオン化手段に兼用されている。スパッタ電源5として上述のような高周波電源を用いると、プラズマ中の電子がスパッタ粒子に衝突してスパッタ粒子をイオン化させる効率が増す。尚、イオン化手段としては、スパッタ粒子の飛行経路の途中に設けた高周波電極に高周波電圧を印加する構成が採用されることがある。

【0007】

また一方、プラズマ中のイオンが基板9に入射するよう基板9をバイアスするバイアス機構6が設けられている。「バイアス」とは、プラズマの空間電位に対して基板9の表面に所定の電位を与え、プラズマ中のイオンを基板9に入射させるようにすることである。

40

基板ホルダー2は、接地電位に維持される金属製のホルダー本体21と、ホルダー本体21に固定した誘電体ブロック22等から構成されている。誘電体ブロック22内には、バイアス電極23が設けられている。従来の装置におけるバイアス機構6は、バイアス電極23に接続されたバイアス電源61等から主に構成されている。

【0008】

バイアス機構6を使用しながらスパッタリングを行うと、イオン化したスパッタ粒子（以下、イオン化スパッタ粒子）の作用によってホール内への被覆性が向上する効果がある。以下、この点を図10を使用して説明する。図10は、従来の方法及び装置における基板

50

9の表面電位について説明する図であり、(1)はバイアス電極23に印加される電圧、(2)は基板9の表面電位を示している。

【0009】

まず、基板9は、基板ホルダー2の一部である誘電体ブロック22の上に載置される。従って、プラズマに晒された基板9の表面電位(以下、基板表面電位 V_s)は、まず浮遊電位となる。浮遊電位(図10(2)に V_f として示す)は、数ボルト程度の負の電位である。尚、浮遊電位 V_f によるシース電界の強度は、プラズマ密度に依存する。そして、プラズマ密度は、スパッタ電源5として用いた高周波電源の出力に依存する。

一方、プラズマの空間電位は(図10(2)に V_p として示す)0Vないし数十ボルト程度までの正の電位である。プラズマ空間電位 V_p が多少正にシフトするのは、電子が基板ホルダー2などの表面に移動した結果、バランスを取ろうとするためであると考えられている。このような空間電位 V_p であるプラズマと、浮遊電位 V_f が与えられた基板9との間には、基板9に向かって徐々に電位が下がるシース電界が生ずる。シース電界の向きは基板9に垂直であり、イオン化スパッタ粒子はこのシース電界によって加速され、基板9にほぼ垂直に入射する。この結果、ホールの底面まで達するイオン化スパッタ粒子が多くなり、ホールの底面への成膜速度が増す。

【0010】

しかしながら、ターゲット41から放出されるスパッタ粒子のすべてがイオン化される訳ではなく、中性スパッタ粒子も基板9に相当量到達する。この中性スパッタ粒子は、シース電界によって影響を受けず、様々な角度で基板9に入射する。この結果、ホールの開口の縁の部分には、このようなスパッタ粒子によって堆積量が多くなり、オーバーハングと呼ばれる隆起が形成され易い。オーバーハングが形成されると、ホールの開口が小さくなり、アスペクト比が見かけ上高くなってしまふ。アスペクト比が高くなると、ホール内に進入できるスパッタ粒子の量が減るため、ホールの底面の被覆性が低下してしまふ。

【0011】

一方、バイアス電源61には、スパッタ電源5と同様に13.56MHz程度の周波数の高周波電源が使用されている。従って、プラズマが発生している状態で、バイアス電源61を動作させると、図10(2)に示すように、電子とイオンの移動度の違いから基板9に自己バイアス電圧 V_{dc} が与えられる。この結果、自己バイアス電圧 V_{dc} による電界が浮遊電位 V_f による電界に重畳された状態となる。自己バイアス電圧は前述した通り負の直流分の電圧であるから、シース電界がさらに高くなり、イオンの入射エネルギーが増す。

【0012】

尚、実際には、バイアス電極23に印加される電圧(以下、電極印加電圧) V_e は高周波電圧であり、この高周波電圧による電界があるため、基板表面電位 V_s は、図10(2)中に点線で示すように正弦波状に変化している。そして、浮遊電位 V_f と基板表面電位 V_s との差が自己バイアス電圧 V_{dc} になっている。

しかしながら、基板表面電位 V_s の変化の周波数は13.56MHzであり、プラズマのイオン振動数(10^{10} 個/cm³程度の密度のArプラズマの場合は約3.3MHz)よりも十分に高い。従って、イオンの挙動を問題にする場合には高周波成分は無視してよい。つまり、高周波電界に追従してイオンが移動する前に電界の向きが変わってしまうので、高周波電界は全体としてイオンの移動には影響を与えない。従って、イオンを移動させる主たる電界は、自己バイアス電圧 V_{dc} による電界と浮遊電位 V_f による電界である。尚、浮遊電位 V_f も電子とイオンの移動度の差によって生ずるものであるから、「自己バイアス電圧」の一種と考えることも可能である。この場合は、図10(2)に示す基板表面電位 V_s の直流分全体が自己バイアス電圧ということになる。

【0013】

上記のように、入射イオンのエネルギーが高くなると、プロセスガスのイオンの入射エネルギーが、堆積した膜をスパッタする際のスパッタリングしきい値を越えるようになり、オーバーハングの部分の堆積膜を再スパッタすることが可能となる。オーバーハングの再スパッタにより、ホールの開口が減少するのが防止され、また、再スパッタにより放出さ

10

20

30

40

50

れたスパッタ粒子がホール内に落下するため、ホールの内面（底面又は側面）の被覆性が向上する。

【 0 0 1 4 】

【発明が解決しようとする課題】

しかしながら、従来の方法及び装置では、以下のような問題があった。

即ち、上述したように自己バイアス電圧の印加によってシース電界の強度を高くする結果、プロセスガスのイオンによってオーバーハングの部分が再スパッタされ、ホールの内面の被覆性を高くできる。しかし、イオンはオーバーハングの部分以外のところにも高いエネルギーで入射し、堆積した又は堆積しつつある薄膜をスパッタしてしまう。このため、全体の成膜速度が遅くなり、生産性を低下させてしまう。

10

【 0 0 1 5 】

また、プロセスガスのイオンが高エネルギーで入射する結果、プロセスガスのイオンが薄膜中に混入し、作成された薄膜の品質を低下させる問題がある。特に、膜厚が薄くなり易いホールの底面では、入射イオンが薄膜を突き抜けて下地層中にまで達してしまう場合もある。さらに、イオンの入射量が多くなると、電荷が過剰に蓄積されることになり、デバイスの電氣的ダメージの問題も生ずる。

【 0 0 1 6 】

本願の発明は、このような課題を解決するために成されたものであり、微細なホールの内面への被覆性を向上させつつ成膜速度の低下を抑制することを第一の課題とし、また、作成される薄膜の品質や製造されるデバイスの特性等を損なうことを防止することを第二の課題とする。

20

【 0 0 1 7 】

【課題を解決するための手段】

上記第二の課題を解決するため、本願の請求項 1 記載の発明は、基板を臨む空間にプラズマを形成しながら基板に薄膜を作成するステップと、

薄膜の作成の際に、パルス状の電圧を基板に印加するステップとを含み、

パルス状の電圧の周波数は、プラズマ中のイオンの振動周波数より低く、かつ、パルス状の電圧の波形は、一つのパルス周期において、第 1 パルスと、第 1 パルスとは極性の異なる第 2 パルスとを有し、

第 2 パルスの幅は、パルス周期から第 1 パルスの幅を引いた時間よりも短く、第 1 パルスも第 2 パルスも印加されない時間帯があるようにパルス状の電圧を制御するという構成を有する。

30

上記第一の課題を解決するため、請求項 2 記載の発明は、基板を臨む空間にプラズマを形成しながら基板に薄膜を作成するステップと、

薄膜の作成の際に、パルス周期、パルス幅、及びパルス高さを有するパルス状の電圧を基板に印加するステップとを含み、

パルス状電圧の周波数は、プラズマ中のイオンの振動周波数より低く、かつ、プラズマから基板に入射するイオンの入射エネルギーが、基板に作成する薄膜をスパッタするのに必要な最低限のエネルギーの値であるスパッタリングしきい値を、一つのパルス周期において一時的に越えるようにパルス周期、パルス幅及びパルス高さを制御するという構成を有する。

40

上記第一又は第二の課題を解決するため、請求項 3 記載の発明は、上記請求項 1 又は 2 の構成において、一つのパルス周期が終わるまでに前記基板の表面電位が浮遊電位まで上昇するように前記パルス状の電圧を制御するという構成を有する。

上記第二の課題を解決するため、請求項 4 記載の発明は、排気系によって内部が排気される処理チャンバーと、

処理チャンバー内の所定位置に基板を保持する基板ホルダーと、

処理チャンバー内に所定のプロセスガスを導入するガス導入系と、

処理チャンバー内にプロセスガスのプラズマを発生させるプラズマ発生手段と

基板ホルダーに接続され、パルス状の電圧を基板に印加するバイアス機構と、

50

バイアス機構に接続され、パルス状の電圧を制御する制御部とを備え、
制御部は、パルス状の電圧の周波数がプラズマ中のイオンの振動周波数以下であるよう
にパルス状の電圧を制御するものであり、

制御部は、一つのパルス周期において、第 1 パルスと、第 1 パルスとは極性の異なる第
2 パルスとを含むようにパルス状の電圧を制御するものであり、

制御部は、第 2 パルスの幅が、パルス周期から第 1 パルスの幅を引いた時間よりも短く
、第 1 パルスも第 2 パルスも印加されない時間帯があるようにパルス状の電圧を制御する
ものであるという構成を有する。

上記第一の課題を解決するため、請求項 5 記載の発明は、排気系によって内部が排気さ
れる処理チャンバーと、

処理チャンバー内の所定位置に基板を保持する基板ホルダーと、
処理チャンバー内に所定のプロセスガスを導入するガス導入系と、
処理チャンバー内にプラズマを発生させるプラズマ発生手段と
基板ホルダーに接続され、パルス周期、パルス幅、及びパルス高さを有するパルス状の
電圧を基板に印加するバイアス機構と、

バイアス機構に接続され、印加するパルス状の電圧を制御する制御部とを備え、
制御部は、パルス状の電圧の周波数がプラズマ中のイオンの振動周波数以下であるよう
にパルス状の電圧を制御するものであり、

制御部は、プラズマから基板に入射するイオンの入射エネルギーが、基板に作成する薄
膜をスパッタするのに最低限必要なエネルギーの値であるスパッタリングしきい値を一つ
のパルス周期において一時的に越えるようにパルス周期、パルス高さ及びパルス幅を制御
するものである前記パルス状の電圧は、誘電体を介在させながら基板に対して間接的に印
加されるという構成を有する。

上記第一又は第二の課題を解決するため、本願の請求項 6 記載の発明は、上記請求項 4
又は 5 の構成において、前記制御部は、一つのパルス周期が終わるまでに前記基板の表面
電位が浮遊電位まで上昇するよう前記パルス状の電圧を制御するものであるという構成を
有する。

【 0 0 1 8 】

【発明の実施の形態】

以下、本願発明の実施の形態について説明する。以下の説明では、従来と同様に、イオン
化スパッタを例にして説明する。

図 1 は、本願発明の第一の実施形態の薄膜作成装置の概略構成を示す正面図である。図 1
に示す装置は、排気系 11 によって内部が排気される処理チャンバー 1 と、処理チャンバ
ー 1 内の所定位置に基板 9 を保持する基板ホルダー 2 と、処理チャンバー 1 内に所定のプ
ロセスガスを導入するガス導入系 3 と、処理チャンバー 1 内にプラズマ P を発生させるプ
ラズマ発生手段とを備えている。プラズマ発生手段は、処理チャンバー 1 内に被スパッタ
面が露出するようにして設けられたターゲット 41 を有するカソード 4 と、ターゲット 4
1 に所定の電圧を印加してスパッタ放電を生じさせることによりプラズマ P を発生させる
スパッタ電源 5 とから構成されている。

【 0 0 1 9 】

本実施形態の装置においても、スパッタ電源 5 は、13 . 56 MHz 程度の周波数の高周
波電源であり、イオン化手段に兼用されている。そして、プラズマ中のイオンが基板 9 に
入射するよう基板 9 の表面をバイアスするバイアス機構 6 が設けられている。

本実施形態の装置の大きな特徴点は、バイアス機構 6 が、パルス状の電圧をバイアス電極
23 に印加することでバイアスを行うものであり、このパルス状の電圧印加を制御する制
御部 62 が設けられている点である。以下、この点を具体的に説明する。

【 0 0 2 0 】

本実施形態におけるバイアス機構 6 は、図 1 に示すように、商用交流入力を所定の直流に
変換する直流電源回路 63 と、直流電源回路 63 の出力をパルス状に変換してパルス状の
電圧を発生させるパルス発生回路 64 と、直流電源回路 63 やパルス発生回路 64 の動作

10

20

30

40

50

を制御する制御部 6 2 と、制御部 6 2 に制御信号を入力する入力部 6 5 とから主に構成されている。そして、基板ホルダー 2 の一部を成す誘電体ブロック 2 2 内には、同様にバイアス電極 2 3 が設けられており、パルス発生回路 6 4 の出力電圧は、バイアス電極 2 3 に印加されるようになっている。

【 0 0 2 1 】

直流電源回路 6 3 は、スイッチングレギュレータ方式等を採用した回路であり、所定の大きさの負の直流電圧を出力するものである。パルス発生回路 6 4 は、トランジスタを使用して後述するような方形波パルスをスイッチングによって発生させるようになっている。

【 0 0 2 2 】

制御部 6 2 は、直流電源回路 6 3 に制御信号を送るパルス高さ制御回路 6 2 1 と、パルス発生回路 6 4 に制御信号を送るパルス発生制御回路 6 2 2 とを有している。制御部 6 2 の構成について、図 2 を使用して説明する。図 2 は、図 1 に示すバイアス機構 6 によってバイアス電極 2 3 に与えられる電圧（電極印加電圧）及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、（ 1 ）が電極印加電圧 V_e 、（ 2 ）が基板表面電位 V_s の変化を示している。電極印加電圧 V_e は、パルス発生回路 6 4 の出力電圧である。この電圧は、図 2 に示すように、周期 T 、パルス幅 t 、パルス高さ h の極性が負である方形波パルスである。

【 0 0 2 3 】

図 1 に示すパルス高さ制御回路 6 2 1 は、入力部 6 5 から入力された値に従い、直流電源回路 6 3 の出力電圧を制御し、このパルス高さ h を所定の値にするようになっている。例えば、直流電源回路 6 3 内の不図示の基準電圧発生回路に制御信号を送り、基準電圧を所定の値に変更するよう構成される。また、パルス発生制御回路 6 2 2 は、入力部 6 5 から入力された値に従い、パルス発生回路 6 4 にトリガー信号等の所定の制御信号を送り、トランジスタのスイッチング動作を制御する。この結果、前述したような方形波パルスが出力されるようになっている。

入力部 6 5 からは、周期 T 、パルス幅 t 、パルス高さ h のデータが入力される。これらのデータは、基板 9 の表面への成膜が最適となるよう予め定められる。この点について、以下に説明する。

【 0 0 2 4 】

上記データの選定で重要な第一の点は、パルスの周波数がプラズマ中のイオンの振動周波数より低くなるようにパルス周期 T が定められている点である。イオン振動数は例えば密度 10^{10} 個 / cm^{-3} の Ar プラズマの場合は前述した通り 3 . 3 M H z である。図 2 （ 1 ）に示す電極印加電圧 V_e の周波数は、これより低い例えば 5 k H z ~ 3 M H z 程度とされる。周期で言うと、0 . 3 μ 秒 ~ 2 0 0 μ 秒程度である。

【 0 0 2 5 】

従来は、電極印加電圧 V_e の周波数がイオン振動数より充分に高かったため、それがプラズマ中のイオンの挙動に影響を与えないとして無視したが、本実施形態では、イオン振動数より低いために無視できない。つまり、パルス状の電極印加電圧 V_e によるイオンの移動が基板表面電位 V_s に影響を与える。

さらに詳しく説明すると、電極印加電圧 V_e のパルスがオンになり、バイアス電極 2 3 の電位が負になると、誘電体ブロック 2 2 のキャパシタンスを介して図 2 （ 2 ）に示すように基板 9 の表面に負の電位が誘起される。そして、この電位によってプラズマ中のイオンが基板 9 の表面に引き寄せられて入射する。従って、入射イオンによって基板表面電位 V_s は図 2 （ 2 ）に示すように徐々に上昇する。

【 0 0 2 6 】

そして、電極印加電圧 V_e のパルスがオフになると、その時点で V_s の上昇は停止する。しかしながら、その時点での基板表面電位 V_s は、バックグラウンドとして存在する浮遊電位 V_f よりもさらに低いため、パルスがオフになった以降も上昇を続け、浮遊電位 V_f に達すると上昇が止まる。つまり、浮遊電位 V_f は、表面へのイオンと電子の入射が平衡に達する電位であり、電子の高い移動度のため数ボルト程度の負の電位である。パルスがオフ

10

20

30

40

50

なった時点では基板表面電位 V_s は浮遊電位 V_f よりも低く、イオンと電子の入射が平衡に達するまで基板表面電位 V_s は上昇する。その後、次のパルスがオンされると、基板表面電位 V_s は同様の变化を繰り返す。

【 0 0 2 7 】

パルス周期 T 、パルス幅 t 及びパルス高さ h の選定で重要な二番目の点は、一つのパルス周期 T が終わるまでに基板表面電位 V_s が浮遊電位 V_f まで上昇するように定められることである。この点について、図 3 を使用して説明する。図 3 は、基板表面電位 V_s の上昇パターンについて説明した図である。

【 0 0 2 8 】

図 3 には、三つの基板表面電位 V_s の上昇パターンが描かれている。パターン a は、パルス幅 t の時間経過後、周期 T の終わりまでに V_s が V_f に達するものであり、上述した上昇パターンである。また、パターン b は、パルス幅 t の時間内に V_f に達する上昇パターンである。さらに、パターン c は、周期 T の終わりまでには V_f に達しない上昇パターンである。

10

パターン c の場合、浮遊電位 V_f にまで上昇する前に次のパルスがバイアス電極 23 に印加されるため、基板 9 や誘電体ブロック 22 の表面の残留電荷量が経時的に多くなってしまいう問題がある。つまり、パルスの印加のたびに基板 9 の表面や誘電体ブロック 22 の表面の残留電荷量が多くなっていく。

【 0 0 2 9 】

残留電荷量がある程度以上に多くなると、処理チャンバー 1 等の接地電位である部材表面との間でアーク放電を生じたり、誘電体ブロック 22 に絶縁破壊を生じさせてホルダー本体 21 にリーク電流を流したりすることがある。アーク放電は、処理チャンバー 1 内の部材を損傷したり、基板 9 を汚損する材料を放出させたりする原因となる。また、誘電体ブロック 22 の絶縁破壊は、誘電体ブロック 22 の破損につながったり寿命を早めたりする原因となる。さらに深刻なのは、基板 9 の表面の残留電荷量が多くなると、基板 9 の表面又は内部に形成されている絶縁層を絶縁破壊し、重大な回路欠陥を招いてしまうことである。

20

【 0 0 3 0 】

このようなことから、基板表面電位 V_s の上昇は、パターン a 又はパターン b によることが好ましい。基板表面電位 V_s の上昇は、イオン入射による表面電荷の緩和によって生ずるから、どのような上昇パターンになるかは、プラズマ密度にも依存する。プラズマ密度は、処理チャンバー 1 内の圧力及びスパッタ電源 5 の出力等の条件により決まる。これらの条件は、必要な成膜速度との関連で決まってしまうので、そのような条件下においてパターン a 又はパターン b となるように、パルス周期 T 、パルス幅 t 及びパルス高さ h を定める。

30

具体的には、ダミーの基板を使用しながら実際の成膜条件と同じ条件でスパッタリングを行い、基板表面電位 V_s の变化を測定する。そして、パルス周期 T の終わりに基板表面電位 V_s が浮遊電位 V_f と同程度まで上昇する範囲を調査し、その範囲でパルス周期 T 、パルス幅 t 及びパルス高さ h を定めるようにする。

【 0 0 3 1 】

40

パルス周期 T 、パルス幅 t 及びパルス高さ h の選定で重要な三番目の点は、これらが、作成される薄膜のスパッタリングしきい値との関係で定められている点である。この点について、図 2 及び図 4 を使用して説明する。図 4 は、スパッタリングしきい値について説明する図である。

【 0 0 3 2 】

図 4 は、ある固体表面に対して入射するイオンのエネルギーに対するスパッタ率の比を表したものであり、横軸はイオンの入射エネルギー (eV)、縦軸はスパッタ率 (1 個の入射イオンに対して放出されるスパッタ原子の数の比) を示している。図 4 に示すように、イオンの入射エネルギーがある値以上でないと、スパッタ原子が放出されず、スパッタリングが起きない。この値が、スパッタリングしきい値である。例えば、チタンの場合は 2

50

0 e V 程度である。尚、イオンの入射エネルギーがある限度以上に高くなると、スパッタ率は下がるが、これは、イオンが固体の内部に侵入してしまう現象（イオンインプランテーション）を示している。

【 0 0 3 3 】

前述した通り、基板 9 へのイオンの入射は、プラズマ P と基板 9 との間のシース電界によって行われる。プラズマ空間電位 V_p は、0 ないし数十ボルト程度までの正の電位である。図 2 (2) 中、プラズマ空間電位 V_p を点線で示す。尚、プラズマ空間電位 V_p や、基板表面電位 V_s は、スパッタ電源 5 によって設定される高周波電界の影響を受け、高周波成分が実際には乗っている。しかし、この高周波の周波数は 13 . 56 MHz であり、イオン振動数より十分に高いので同様に無視する。

10

【 0 0 3 4 】

図 2 (2) に示すように電位が変化する基板 9 の表面に対しては、プラズマ空間電位 V_p と基板表面電位 V_s との差によって生ずるシース電界によりイオンが加速されて入射する。シース電界が低いうちは、イオンの入射エネルギーは弱く、基板 9 の表面をスパッタするには至らない。しかし、入射エネルギーが高くなり、スパッタリングしきい値以上になると、基板 9 の表面がスパッタされるようになる。この際のスパッタリングしきい値のエネルギーで入射させるシース電界をしきい値電界 E_{th} とする。

【 0 0 3 5 】

図 2 (2) において、プラズマ空間電位 V_p はほぼ一定とみて良いから、シース電界の強度は基板表面電位 V_s によって決められることになる。この際、しきい値電界 E_{th} になる際の基板表面電位を、しきい値電位 V_{sth} とする。電極印加電圧 V_e のパルス周期 T 、パルス幅 h 、パルス高さ h は、電極印加電圧 V_e の一つのパルス周期 T の時間中、一時的に基板表面電位 V_s がしきい値電位 V_{sth} を越えて低くなるように定められている。

20

【 0 0 3 6 】

このような基板表面電位 V_s の変化がもたらす結果について、従来の場合と比較しながら説明する。図 10 (2) には、図 2 (2) と同様に、しきい値電位 V_{sth} が書き入れられている。図 10 (2) から分かるように、従来の場合、基板表面電位 V_s は、しきい値電位 V_{sth} を常に越えて低くなっている。従って、基板 9 の表面には、スパッタリングしきい値以上のエネルギーを持つイオンが常に入射しており、薄膜の再スパッタが時間的に連続して常に起きている。このため、基板表面電位 V_s がしきい値電位 V_{sth} を僅かに越えただけでも、時間積分した再スパッタ量は多くなってしまう。この結果、どうしても過剰な再スパッタによる成膜速度の低下の問題や薄膜中へのイオンの混入等の問題が起きやすい。

30

【 0 0 3 7 】

従来の場合でも、バイアス電源 6 1 として設けられた設けられた高周波電源やスパッタ電源 5 の出力を調整したり、圧力を調整したりすることで、自己バイアス電圧 V_{dc} の大きさを調整し、これによって再スパッタの量を制御することはある程度可能である。しかしながら、図 10 (2) から容易に理解されるように、従来の技術では、本質的に再スパッタが時間的に連続して常時生ずるか、又は、全く生じないかの二つの選択しかできない。このため、最適な再スパッタ量（又は再スパッタ速度）になるようにする制御は極めて困難である。

40

【 0 0 3 8 】

一方、図 2 (2) では、基板表面電位 V_s がしきい値電位 V_{sth} より低くなるのは、一つのパルス周期 T のうちの一時的な時間帯に限られている。これは、しきい値電位 V_{sth} が浮遊電位 V_f より低いものであり、 V_s は上述した通りパルス周期 T の終わりには V_f まで回復することから、当然の結果である。 V_s がパルス周期 T において一時的に V_{sth} より低くなるということは、入射イオンによる基板 9 のスパッタリングは、断続的に起こることになる。この点が、従来技術との大きな相違である。

【 0 0 3 9 】

一つのパルス T においてスパッタリングが起こる時間帯、即ち、基板表面電位 V_s がしき

50

い値電位 V_{sth} より低くなる時間帯（図 2（2）に t_s で示す）は、パルスがオンになった当初に基板表面電位 V_s が到達する値（以下、パルス初期電位 V_{so} ）、イオンの入射によって基板表面電位 V_s が緩和されて上昇する速度、及び、パルス幅 t に依存する。基板表面電位 V_s が上昇する速度はプラズマ密度に依存し、プラズマ密度は圧力やスパッタ電源 5 の出力等に依存する。それらが一定であるとする、時間帯 t_s は、パルス初期電位 V_{so} の大きさとパルス幅 t により決まる。

パルス初期電位 V_{so} は、電極印加電圧 V_e のパルス高さ h と、誘電体ブロック 22 の誘電率 及び形状寸法とによって決まる。誘電体ブロック 22 の誘電率 や形状寸法は一定であるから、結局、時間帯 t_s の長さは、パルス高さ h 及びパルス幅 t により制御できることになる。

10

【0040】

パルス高さ h 及びパルス幅 t は、前述したのと同じように実際の成膜と同じ条件で成膜実験を行い、成膜速度やボトムカバレッジ率などの成膜特性が所定の値になるようなパルス高さ h 及びパルス幅 t を求めて定める。高アスペクト比のホールの内面への被覆率を高めるには、前述したようにオーバーハングが再スパッタされる量を多くしてやればよい。このためには、図 2（2）に示す t_s を長くすればよい。 t_s を長くすれば、基板表面電位 V_s がしきい値電位 V_{sth} より低くなっている時間が長くなり、時間積分した再スパッタ量が多くなる。

【0041】

しかしながら、再スパッタ量が多くなると、前述したように全体の成膜速度が低下してしまう。この点を勘案して、ホール内面の被覆率と成膜速度が両立した最適な結果をもたらすパルス高さ h 及びパルス幅 t を実験的に求めて定める。いずれにしても、従来のような再スパッタが常時生ずるか全く生じないかという二者択一的な制御ではなく、再スパッタが断続的に生じ、各周期の再スパッタの時間幅を調整することができるので、最適な結果が得られる値が容易に選定可能である。

20

【0042】

以上のパルス周期 T 、パルス幅 t 及びパルス高さ h の選定について、以下にまとめて記載する。

（1）パルス周期 T は、パルスの周波数がイオン振動数よりも低くなるように選定する。

（2）パルス周期 T 、パルス幅 t 及びパルス高さ h は、パルス周期 T の終わりまでには基板表面電位 V_s が浮遊電位 V_f と同程度まで回復するよう選定する。

30

（3）パルス幅 t 及びパルス高さ h は、ホールの被覆率と成膜速度が両立した最適な結果をもたらすよう選定する。

【0043】

以上のように選定したパルス周期 T 、パルス幅 t 及びパルス高さ h は、入力部 65 から制御部 62 に入力され、制御部 62 内の不図示のメモリに記憶されるようになっている。そして、パルス高さ h のデータは、パルス高さ制御回路 621 から直流電源回路 63 に送られ、直流電源回路 63 の出力電圧がそのデータに一致するよう制御される。また、パルス周期 T 及びパルス幅 t のデータは、パルス発生制御回路 622 からパルス発生回路 64 に送られ、パルス発生回路 64 の出力パルス周期及び幅がそれらのデータに一致するよう制御される。

40

【0044】

次に、本実施形態の薄膜作成装置の他の構成について説明する。

本実施形態の装置は、バリア膜を作成する装置として構成されている。従って、ターゲット 41 は、チタン製又はタンタル製等である。ガス導入系 3 としては、アルゴンの他、窒素を導入するよう構成される場合もある。窒素を導入しながらスパッタリングを行うと、窒素とターゲット 41 の材料との反応が生じ、窒化チタン膜や窒化タンタル膜等がバリア膜として作成できる。

【0045】

また、ターゲット 41 の背後（被スパッタ面とは逆側）には、磁石ユニット 42 が設けら

50

れている。磁石ユニット４２は、ターゲット４１とともにカソード４を構成する部材である。磁石ユニット４２は、マグネトロンスパッタリングを可能にするため設けられている。マグネトロンスパッタリングは、ターゲット４１を介して設定される電界に直交する磁界を設定し、電子をマグネトロン運動させることにより高効率の放電を達成するものである。高効率の放電により、比較的低い圧力でも高い成膜速度で成膜ができ、高品質の薄膜を高い生産性で作成できるというメリットがある。

【００４６】

磁石ユニット４２は、中央に設けられた中心磁石４２１と、中心磁石４２１を取り囲むリング状の周辺磁石４２２と、中心磁石４２１と周辺磁石４２２とを繋ぐヨーク４２３とから構成されている。中心磁石４２１と周辺磁石４２２との間には、図１に示すようにターゲット４１を貫いて膨らむ磁力線４２４が設定される。この磁力線４２４は、その膨らんだ頂点の付近等で電界（電気力線）に直交し、マグネトロンスパッタリングが達成される。

10

【００４７】

また、基板ホルダー２のホルダー本体２１内には、基板９を所定温度に加熱する加熱機構２４が設けられている。加熱機構２４は、基板９を１００～５００程度に加熱し、成膜速度を高くするようにしている。加熱機構２４には、ジュール発熱方式のものが例えば使用できる。

尚、基板ホルダー２と基板９との間の接触性を向上させて加熱効率を良くするなどのため、基板９は基板ホルダー２に静電吸着されることが好ましい。本実施形態の装置では、前述した電極印加電圧 V_e により誘電体ブロック２２の表面に静電気が誘起され、この静電気によって基板９を静電吸着することが可能である。

20

【００４８】

また、ターゲット４１と基板９との間の空間には、防着シールド７１が設けられている。防着シールド７１は、処理チャンバー１の内面へのスパッタ粒子の付着を防止するためのものである。さらに、基板ホルダー２に保持された基板９の周囲に位置するようにしてリングシールド７２が設けられている。リングシールド７２は、プラズマの不必要な場所への拡散やスパッタ粒子の不必要な場所への付着を防止するためのものである。

【００４９】

次に、実施形態の方法の説明も兼ねて、上記構成に係る本実施形態の装置の動作について説明する。

30

まず、基板９は、不図示の搬送ロボットにより不図示のゲートバルブを通して処理チャンバー１内に搬入され、基板ホルダー２の表面（即ち、誘電体ブロック２２の表面）の所定位置に保持される。そして、不図示のゲートバルブが閉じ、排気系１１によって処理チャンバー１内が所定の圧力に排気されているのが確認されると、ガス導入系３が動作して処理チャンバー１内に所定のプロセスガスが所定の流量で導入される。基板ホルダー２内の加熱機構２４は、基板９を所定の温度まで予め加熱する。

【００５０】

この状態でスパッタ電源５が動作し、スパッタ放電が生じてターゲット４１がスパッタされ、プラズマＰが生成される。同時に、バイアス機構６が動作し、バイアス電極２３に前述したようなパルス状の電極印加電圧 V_e が印加される。スパッタ放電によってターゲット４１から放出されたスパッタ粒子が基板９に達し、薄膜を堆積させる。

40

【００５１】

この際、スパッタ放電によりターゲット４１から放出されたスパッタ粒子は、プラズマＰ中でイオン化してイオン化スパッタ粒子となる。イオン化スパッタ粒子は、シース電界によって加速されて基板９により垂直に多く入射する。この結果、微細なホールの内面への被覆性が高まる。そして、バイアス電極２３に与えられる電極印加電圧 V_e のパルス周期 T 、パルス幅 t 、パルス高さ h が前述したように制御される。

このようにして所定時間成膜を行った後、スパッタ電源５、バイアス機構６、加熱機構２４の動作を止める。その後、処理チャンバー１内を再度排気した後、不図示の搬送ロボッ

50

トによって基板 9 を処理チャンバー 1 から取り出す。

【 0 0 5 2 】

以上の構成及び動作に係る本実施形態の方法及び装置では、バイアス電極 2 3 にパルス状の電圧を印加することで基板 9 の表面がバイアスされる上、パルス周期 T 、パルス幅 t 、パルス高さ h が前述したように制御されるので、過度の再スパッタによる成膜速度の低下や基板 9 の表面の蓄積電荷量の増大等の問題が抑制される。

【 0 0 5 3 】

また、従来のように高周波電圧ではなくパルス状の電圧を印加して基板 9 をバイアスする構成は、プラズマの状態を乱すことなく制御や調整が行えるという意味で好適となっている。従来のような 13.56 MHz 程度の高い周波数の高周波電圧を印加して基板 9 をバイアスすると、高周波がプラズマを励起し、基板 9 の表面付近のプラズマ密度を高くするよう作用する。この場合、基板表面電位 V_s の調整のため高周波の周波数や出力を調整したりすると、基板 9 の表面付近でプラズマ密度が大きく変わってしまい、再現性が低下する問題がある。一方、本実施形態のように、パルス状の電圧でしかもその周波数がイオン振動数よりも低いものを印加する場合、基板 9 の表面付近のプラズマを励起する作用は少ないので、前述のようにパルス幅等を調整しても再現性が低下する問題はない。

【 0 0 5 4 】

次に、本願発明の方法及び装置の第二の実施形態について説明する。

図 5 は、本願発明の第二の実施形態の薄膜作成装置の概略構成を示す正面図である。この第二の実施形態の装置は、バイアス機構 6 の構成が第一の実施形態と異なるのみである。第二の実施形態におけるバイアス機構 6 は、イオン入射用のパルスに加えて緩和用のパルスを含む波形のパルス状の電圧をバイアス電極 2 3 に印加するよう構成されている。

【 0 0 5 5 】

具体的には、バイアス機構 6 は、商用交流入力から所定の周期及び幅の方形波を発生させる方形波発生回路 6 6 1 と、方形波発生回路 6 6 1 の出力のうちの - 側の出力電圧を調整する - 側電圧調整回路 6 6 2 と、方形波発生回路 6 6 1 の出力のうちの + 側の出力電圧を調整する + 側電圧調整回路 6 6 3 と、+ 側のパルス幅を調整する + 側パルス幅調整回路 6 6 4 と、方形波発生回路 6 6 1、- 側電圧調整回路 6 6 2、+ 側電圧調整回路 6 6 3 及び + 側パルス幅調整回路 6 6 4 の動作を制御する制御部 6 2 と、制御部 6 2 に制御信号を入力する入力部 6 5 とから主に構成されている。そして、同様に、基板ホルダー 2 の一部を成す誘電体ブロック 2 2 内には、同様にバイアス電極 2 3 が設けられており、バイアス機構 6 の出力電圧は、バイアス電極 2 3 に印加されるようになっている。

【 0 0 5 6 】

方形波発生回路 6 6 1 には、例えば、商用交流入力を所定の周波数の交流に変換し、この交流からシュミットトリガ回路によって所定の周期及び幅の方形波を発生させる構成を採用することができる。制御部 6 2 は、交流の周波数を制御して方形波の周期を制御し、その交流の直流分の電圧を制御することで方形波の幅を制御することができる。

【 0 0 5 7 】

+ 側電圧調整回路 6 6 3 や - 側電圧調整回路 6 6 2 は、ツェナーダイオードを用いたりミット回路等により構成でき、それぞれ独立して制御部 6 2 によって制御される。+ 側パルス幅調整回路 6 6 4 には、スイッチング回路によって + 側パルスの幅を遮断する回路が使用できる。制御部 6 2 は、スイッチング回路にトリガ信号を送るトリガ回路を制御し、+ 側パルスの幅を任意のものに制御できる。

【 0 0 5 8 】

図 5 に示す制御部 6 2 の構成について、図 6 を使用して説明する。図 6 は、図 5 に示すバイアス機構 6 によってバイアス電極 2 3 に与えられる電極印加電圧及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、(1) が電極印加電圧 V_e 、(2) が基板表面電位 V_s の変化を示している。

【 0 0 5 9 】

図 6 (1) に示すように、電極印加電圧 V_e は、接地電位から正負に振れる方形波パルス

10

20

30

40

50

である。このパルス周期を T 、 $-$ 側のパルス幅を t_1 、 $+$ 側のパルス幅を t_2 、 $-$ 側のパルス高さを h_1 、 $+$ 側のパルス高さを h_2 とする。図1に示す入力部65からは、これら T 、 t_1 、 t_2 、 h_1 、 h_2 のデータを入力できるようになっている。制御部62は、入力部65から入力された値に従い、方形波発生回路661、 $-$ 側電圧調整回路662、 $+$ 側電圧調整回路663及び $+$ 側パルス幅調整回路664に制御信号を送り、パルス周期 T 、 $-$ 側パルス幅 t_1 、 $+$ 側パルス幅 t_2 、 $-$ 側パルス高さ h_1 、 $+$ 側パルス高さ h_2 が、入力された値に一致するように制御する。

【0060】

入力部65に入力される T 、 t_1 、 t_2 、 h_1 、 h_2 のデータは、同様に基板9の表面への成膜が最適となるよう予め定められる。まず、パルス周期 T は、同様にイオン振動数よりもパルスの周波数が低くなるように定められる。

また、 T 、 t_1 、 t_2 、 h_1 、 h_2 のデータは、パルス周期 T の終わりには基板表面電位 V_s が浮遊電位 V_f に回復するよう定められる。この構成は、本実施形態では、緩和用パルスとして $+$ 側パルスが印加されるため、第一の実施形態とは異なっている。以下、この点を説明する。

【0061】

図6(1)に形状の方形波パルスがバイアス電極23に印加されると、基板表面電位 V_s は、図6(2)に示すように変化する。即ち、 $-$ 側パルスの印加開始によって基板表面電位 V_s は瞬時に低下する。そして、プラズマ中のイオンの入射によって基板9の表面の電荷が緩和され、 V_s は徐々に上昇する。そして、 $-$ 側パルス幅 t_1 の時間が経過して $+$ 側パルスが印加されると、基板表面電位 V_s は図6(2)に示すように瞬時に上昇する。基板表面電位 V_s が正になると、プラズマ中の電子が基板9の表面にすぐさま集まる。電子はイオンよりも移動度が遙かに高いので、基板9の表面電荷は短時間に緩和され、基板表面電位 V_s は短時間に浮遊電位 V_f に落ち着く。そしてその後、パルス周期 T の時間が経過すると、 V_s は同様の变化を繰り返す。

【0062】

本実施形態においても、図6(2)に示すように、電極印加電圧 V_e は、一つのパルス周期 T の時間中、一時的に基板表面電位 V_s がしきい値電位 V_{sth} を越えて低くなるように定められている。そして、基板表面電位 V_s がしきい値電位 V_{sth} を越える時間帯 t_s の長さが最適となるように制御される。この際、この第二の実施形態では、上記説明から分かるように、 $-$ 側パルスの印加終了時に $+$ 側パルスを印加することにより、基板表面電位 V_s を短時間に浮遊電位 V_f に落ち着かせることが可能である。従って、 t_1 や h_1 のデータは、「パルス周期 T の終わりには浮遊電位 V_f に回復している」という条件(1)とはほぼ無関係に定めることができ、自由度が高い。尚、緩和用パルスとしての $+$ 側パルスは、 $-$ 側パルスの印加終了後直ちに与えられる必要はなく、ある程度時間をおいてから与えてもよい。

【0063】

この第二の実施形態の装置でも、過度の再スパッタによる成膜速度の低下や基板9の表面の蓄積電荷量の増大等の問題が抑制される。尚、 $+$ 側パルス幅 t_2 は、 $-$ 側パルスが印加されない時間帯($T - t_1$)のうちの一部となっており、 $+$ 側パルスも $-$ 側パルスも印加されない時間帯がある。これは、もし、緩和用パルスとしての $+$ 側パルスが、 $T - t_1$ の時間帯中ずっと印加されると、緩和されすぎてしまい、逆極性の電荷(電子)が過剰に溜まってしまうという問題を防止する技術的意義がある。

【0064】

次に、本願発明の第三の実施形態について説明する。

図7は、第三の実施形態の薄膜作成装置の概略構成を示す正面図である。この第三の実施形態の装置も、バイアス機構6の構成が第一の実施形態と異なるのみである。第三の実施形態におけるバイアス機構6は、所定の周波数の交流をチョッピングして得られるせん断パルスをバイアス電極23に印加するよう構成されている。本実施形態で使用される交流は、プラズマのイオン振動数よりも低い周波数の高周波である。

【0065】

具体的には、バイアス機構6は、出力周波数が可変である高周波電源671と、高周波電源671の出力を所定のパターンでチョッピングするチョッパー回路672と、変調回路及びチョッパー回路672を制御する制御部62と、制御部62に制御信号を入力する入力部65とから主に構成されている。チョッパー回路672は、サイリスタ等の制御素子を使用したものが使用できる。尚、高周波電源671とバイアス電極23の間には、不図示の整合器が設けられている。

【0066】

図7に示す制御部62の構成について、図8を使用して説明する。図8は、図7に示すバイアス機構6によってバイアス電極23に与えられる電極印加電圧及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、(1)が電極印加電圧 V_e 、(2)が基板表面電位 V_s の変化を示している。

10

【0067】

制御部62は、入力部65から入力されたデータに従い、高周波電源671及びチョッパー回路672を制御し、図8(1)に示すようなせん断パルスがバイアス電極23に印加されるよう構成されている。

また、せん断パルスの元になった高周波電圧の実効値 A (又は振幅)、-側パルス幅 t_1 、+側パルス幅 t_2 のデータは、前述したのと同様に、パルス周期 T の終わりには基板表面電位 V_s が浮遊電位 V_f に回復するよう定められる。以下、この点を説明する。

【0068】

20

図8(1)に示す形状のせん断パルスがバイアス電極23に印加されると、基板表面電位 V_s は、図8(2)に示すように変化する。即ち、-側パルスの印加が開始されると、基板表面電位 V_s は電極印加電圧 V_e の波形と同様に電位が下がる。そして、-側パルスの印加が終了し、電極印加電圧 V_e が0Vになると、イオン入射により電荷が緩和されて V_s は徐々に上昇する。そして、半周期が経過して+側パルスの印加が開始されると、 V_s も同様にアース電位を越えて+側にシフトするが、移動度の高い電子がすぐさま集まってきてしまうので、 V_s は短時間のうちに浮遊電位 V_f に落ち着く。その後、一つのパルス周期 T の時間が経過して次の周期のせん断パルスが印加されると、同様の変化を繰り返す。

【0069】

本実施形態においても、図8(2)に示すように、電極印加電圧 V_e は、一つのパルス周期 T の時間中、一時的に基板表面電位 V_s がしきい値電位 V_{sth} より低くなるように定められている。そして、基板表面電位 V_s がしきい値電位 V_{sth} より低くなる時間帯 t_s の長さが最適となるように制御される。この際、第三の実施形態でも、-側パルスの印加終了後に+側パルスが印加されるので、基板表面電位 V_s を短時間に浮遊電位 V_f に落ち着かせることが可能である。従って、-側パルス幅 t_1 や実効値 A のデータは、パルス周期 T の終わりには浮遊電位 V_f に回復しているという条件(1)とはほぼ無関係に定めることができ、自由度が高い。また、せん断パルスの周波数が低い結果、前述した実施形態と同様に、基板9の表面付近のプラズマを励起する作用が少なく、調整等による再現性の低下の問題は生じない。尚、+側パルス幅 t_2 を長くすると、前述したのと同様に、逆極性の電荷(電子)が過剰に溜まってしまうので注意を要する。

30

40

【0070】

【実施例】

次に、上記各実施形態に属する実施例として、以下のものを挙げることが可能である。まず、第一の実施形態に属する実施例としては、以下のような電極印加電圧 V_e を印加するよう構成できる。

パルス周波数：5kHz～3MHz

パルス周期 T ：0.3μ秒～200μ秒

パルス幅 t ：パルス周期 T の10～90%

パルス高さ h ：10V～500V

【0071】

50

また、第二の実施形態に属する実施例としてしては、以下のような電極印加電圧 V_e を印加するよう構成できる。

- パルス周波数：5 kHz ~ 3 MHz
- パルス周期 T ：0.3 μ 秒 ~ 200 μ 秒
- 側パルス幅 t_1 ：パルス周期 T の 20 ~ 90 %
- 側パルス高さ h_1 ：10 V ~ 500 V
- + 側パルス幅 t_2 ：パルス周期 T の 5 ~ 10 %
- + 側パルス高さ h_2 ：10 V ~ 100 V

【0072】

さらに、第三の実施形態に属する実施例としてしては、以下のような電極印加電圧 V_e を印加するよう構成できる。

- パルス周波数：5 kHz ~ 3 MHz
- パルス周期 T ：0.3 μ 秒 ~ 200 μ 秒
- 側パルス幅 t_1 ：半周期の 10 ~ 100 %
- + 側パルス幅 t_2 ：半周期の 5 ~ 10 %
- 高周波電源 671 の電圧実効値 A ：10 V ~ 500 V

【0073】

上記各実施例に共通した成膜条件としては、以下のような条件が挙げられる。

- 圧力：数 mTorr ~ 100 mTorr
- プロセスガス及び流量：Ar, 10 ~ 100 cc / 分
- スパッタ電源 5：13.56 MHz 出力 1 kW ~ 20 kW
- ターゲット 41：チタン

このような条件で成膜を行うと、アスペクト比 6 程度のホールに対するボトムカバレッジ率（ホール以外の面に対するホールの底面の成膜速度の比）は 30 % ~ 40 %、全体の成膜速度は 300 ~ 500 オングストローム / 分程度となり、実用的な優れた結果が得られる。

【0074】

上述した各実施形態及び実施例では、電極印加電圧 V_e は、パルス周期 T の時間中に基板表面電位 V_s が一時的にしきい値電圧 V_{sth} を越えるよう印加されるとして説明したが、これは必須条件ではなく、 V_s が V_{sth} を越えない範囲で V_e を印加するようにしてもよい。この場合は、プロセスガスのイオンによる薄膜の再スパッタは本質的に生じないが、イオン衝撃による成膜速度の向上という別の効果が得られるからである。例えば、ホールの開口の縁へのオーバーハングの形成が見られず、再スパッタの必要性がない場合には、再スパッタが生じない範囲で最適なエネルギーでイオンを入射させる。これにより、入射イオンのエネルギーを膜成長に利用して高い成膜速度で成膜を行い、高い生産性を得ることが可能である。

【0075】

また、バイアス機構 6 は、パルス状の電圧をバイアス電極 23 に印加し、誘電体ブロック 22 を介して間接的にパルス状の電圧を与えるものであったが、パルス状の電圧を直接基板 9 に印加するようにしてもよい。この場合、基板 9 の表面に誘電膜（例えば酸化シリコン膜）が予め形成されており、その上にチタン等の導電性の膜を堆積させる場合、基板表面電位の変化は、図 2（2）、図 6（2）又は図 8（2）に示すのとほぼ等価となる。

【0076】

但し、基板 9 に直接電圧を印加すると、プラズマから電子又はイオンがバイアス機構 6 側に連続的に流れるので、あまり好ましくない。基板 9 に誘電膜が形成されている場合には遮断される場合もあるが、大きな電流により誘電膜の絶縁破壊が生じると、回路欠陥につながるおそれが高いため、やはり好ましくない。この意味では、誘電体を介して間接的にパルス状の電圧を基板 9 に印加する構成が好適である。

【0077】

尚、電極印加電圧 V_e の各パラメータは、前述したように予め実験的に定められ、成膜中

その値になるように制御されるが、成膜処理の内容が異なる場合、これらのデータは、適宜変更され、入力部 65 から入力される。

また尚、前述した各実施形態及び実施例では、陽イオンを入射させることが前提になっているため、イオン入射用のパルスは負電圧パルスであり、緩和用のパルスが正電圧パルスであったが、例外的に逆の場合があり得る。即ち、プラズマ中に陰イオンが存在し、陰イオンを基板 9 の表面に入射させる場合が、これに該当する。

【0078】

また、以上の説明では、イオン化スパッタの場合を採り上げたが、本願発明の構成は、イオン入射のために基板 9 をバイアスしながら行うすべての成膜技術に有効であり、例えば、CVD 等にも応用することができる。例えば、反応性ガスを処理チャンバー内に導入してプラズマ CVD により成膜を行う場合、プリカーサ（最終的に薄膜となる反応の前駆体）のガスがイオン化しており、このイオン化プリカーサをシース電界で加速して入射させることで成膜速度の向上等の改善を得る際、本願発明の構成は非常に効果的である。

【0079】

尚、プラズマ発生手段としては、高周波放電や直流二極放電等によりプラズマを発生させるものが採用されることがある。さらに、基板 9 としては、半導体ウェーハに限らず、液晶ディスプレイを製造する際の液晶基板等にも応用することができる。液晶基板の場合、基板自体が誘電体製であるので、パルス状の電圧を直接印加しても問題がない場合がある。

【0080】

【発明の効果】

以上説明した通り、本願の請求項 1 方法又は請求項 4 の装置によれば、基板の残留電荷量の増大が抑制され、また、他のパラメータを選定する際の自由度が増すという効果が得られる。また、過度の緩和による逆極性の蓄積電荷量の増大の問題が抑制されるという効果が得られる。

また、請求項 2 の方法又は請求項 5 の装置によれば、イオンの入射エネルギーがスパッタリングしきい値を一つのパルス周期において一時的に越えるよう制御されるので、過度の再スパッタによる成膜速度の低下、薄膜中へのイオン混入、基板の表面の蓄積電荷量の増大等の問題が抑制される。このため、微細なホールの内面への被覆性を向上させつつ生産性の低下を防止することができる。さらに、作成される薄膜の品質や製造されるデバイ

【図面の簡単な説明】

【図 1】本願発明の第一の実施形態の薄膜作成装置の概略構成を示す正面図である。

【図 2】図 1 に示すバイアス機構 6 によってバイアス電極 23 に与えられる電極印加電圧及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、(1) が電極印加電圧 V_e 、(2) が基板表面電位 V_s の変化を示している。

【図 3】基板表面電位 V_s の上昇パターンについて説明した図である。

【図 4】スパッタリングしきい値について説明する図である。

【図 5】本願発明の第二の実施形態の薄膜作成装置の概略構成を示す正面図である。

【図 6】図 5 に示すバイアス機構 6 によってバイアス電極 23 に与えられる電極印加電圧及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、(1) が電極印加電圧 V_e 、(2) が基板表面電位 V_s の変化を示している。

【図 7】第三の実施形態の薄膜作成装置の概略構成を示す正面図である。

【図 8】図 7 に示すバイアス機構 6 によってバイアス電極 23 に与えられる電極印加電圧及びプラズマの作用によって生ずる基板表面電位の変化について説明した図であり、(1) が電極印加電圧 V_e 、(2) が基板表面電位 V_s の変化を示している。

【図 9】従来の薄膜作成装置の一例であるイオン化スパッタ装置の概略構成を示す正面図である。

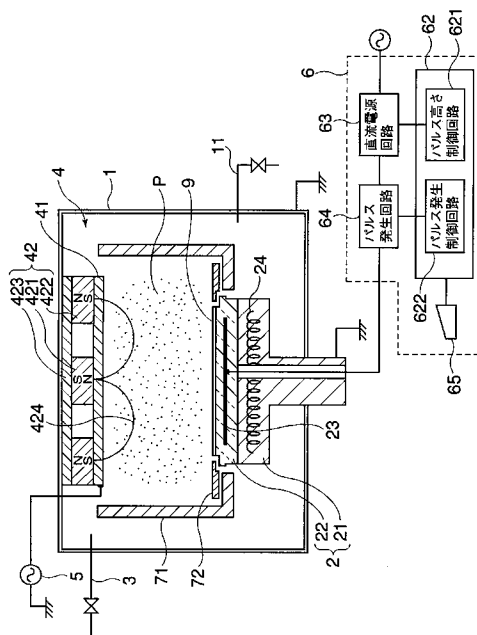
【図 10】従来の方法及び装置における基板 9 の表面電位について説明する図である。

【符号の説明】

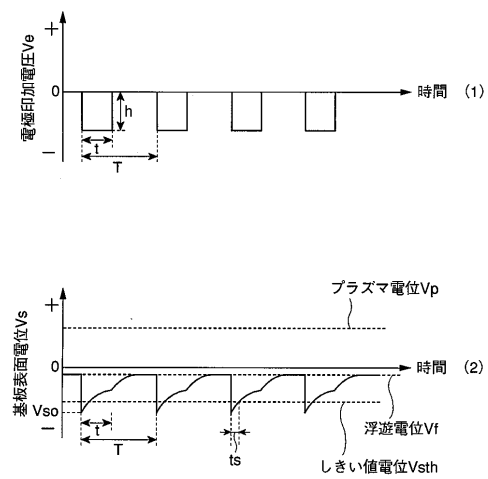
- 1 処理チャンバー
- 1 1 排気系
- 2 基板ホルダー
- 2 2 誘電体ブロック
- 2 3 バイアス電極
- 3 ガス導入系
- 4 カソード
- 4 1 ターゲット
- 4 2 磁石ユニット
- 5 スパッタ電源
- 6 バイアス機構
- 6 2 制御部
- 6 5 入力部
- 9 基板
- P プラズマ

10

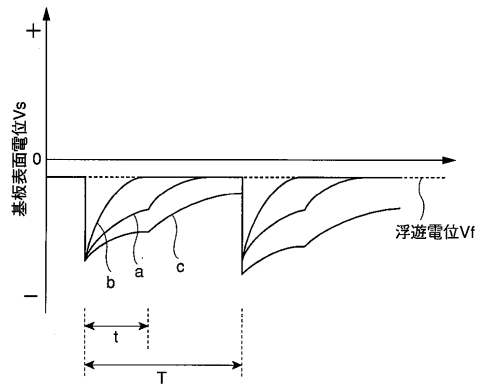
【図 1】



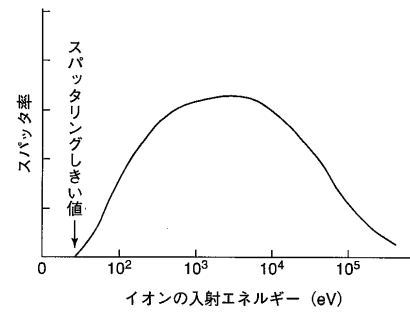
【図 2】



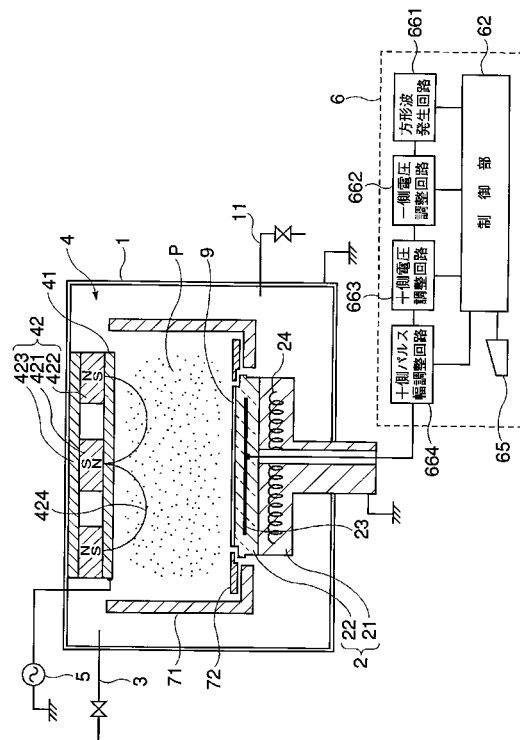
【図 3】



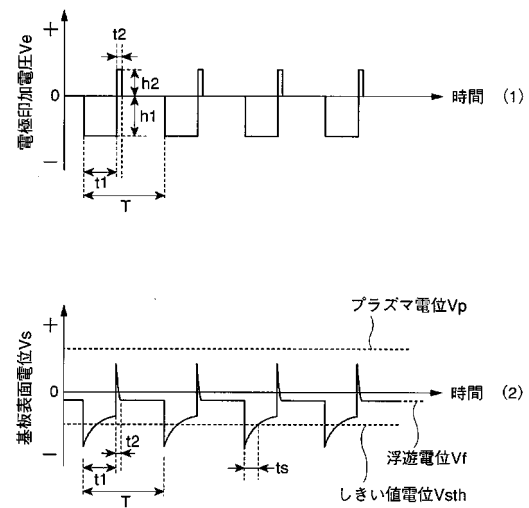
【図 4】



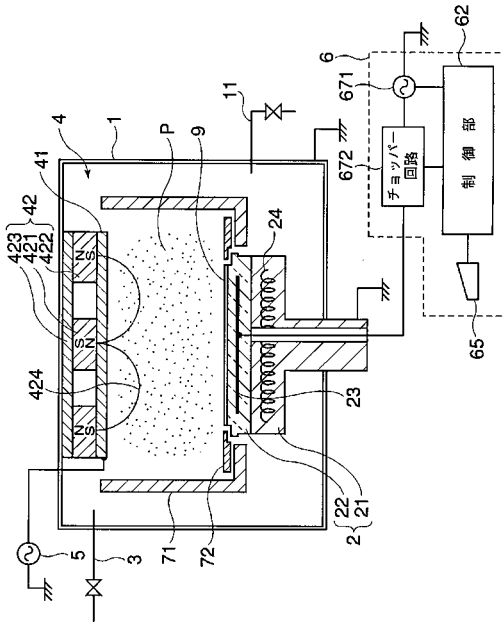
【図 5】



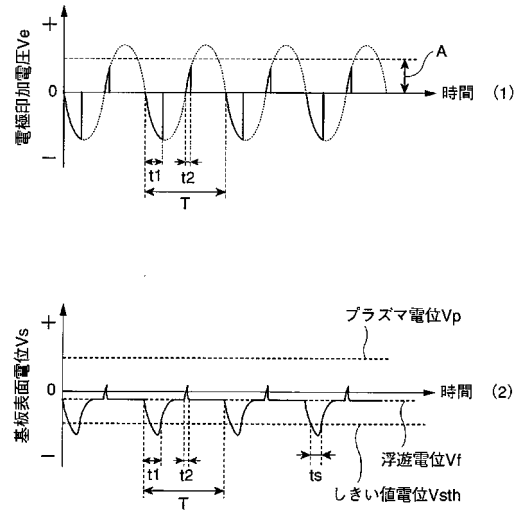
【図 6】



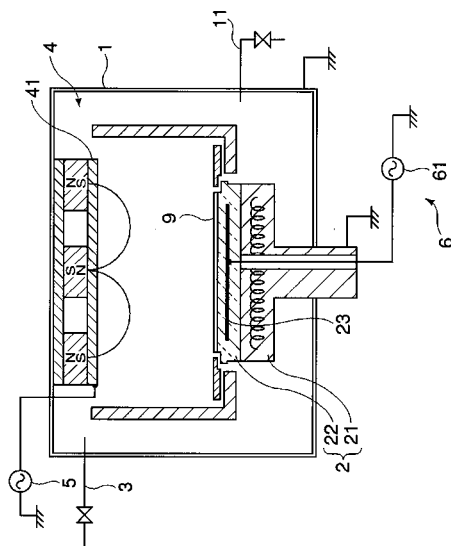
【圖 7】



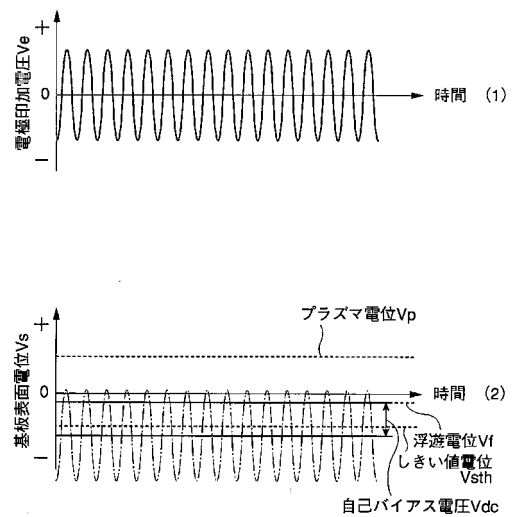
【 図 8 】



【圖 9】



【 図 1 0 】



フロントページの続き

(72)発明者 佐藤 英樹
東京都府中市四谷5丁目8番1号アネルバ株式会社内

審査官 宮澤 尚之

(56)参考文献 特開平02-141572(JP,A)
特開平01-195271(JP,A)
特開平05-263227(JP,A)
特開平08-055821(JP,A)
特開平10-330938(JP,A)

(58)調査した分野(Int.Cl., DB名)
C23C 14/00-14/58
C23C 16/00-16/56
H01L 21/285