



- (51) 국제특허분류:
H04L 27/227 (2006.01) H04L 27/00 (2006.01)
- (21) 국제출원번호: PCT/KR2016/001860
- (22) 국제출원일: 2016년 2월 25일 (25.02.2016)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2015-0031696 2015년 3월 6일 (06.03.2015) KR
- (71) 출원인: 서울대학교 산학협력단 (SEOUL NATIONAL UNIVERSITY R&DB FOUNDATION) [KR/KR]; 08826 서울시 관악구 관악로 1 서울대학교연구공원 본관 940 동 311 호, Seoul (KR).
- (72) 발명자: 이재환 (LEE, Jae-Whan); 04322 서울시 용산구 한강대로 205 C-2903, Seoul (KR). 김수환 (KIM, Suhwan); 05502 서울시 송파구 올림픽로 135 262-1102, Seoul (KR). 김민오 (KIM, Mino); 08826 서울시 관악구 관악로 1 904-405, Seoul (KR). 홍기문 (HONG,

Gi-Moon); 08744 서울시 관악구 은천로 36 길 20-2 2, Seoul (KR). 박지환 (PARK, Ji-Hwan); 07579 서울시 강서구 공항대로 29 길 100 108-1501, Seoul (KR).

(74) 대리인: 김선종 (KIM, Sunjong); 06620 서울시 서초구 강남대로 375 10 층 1002, Seoul (KR).

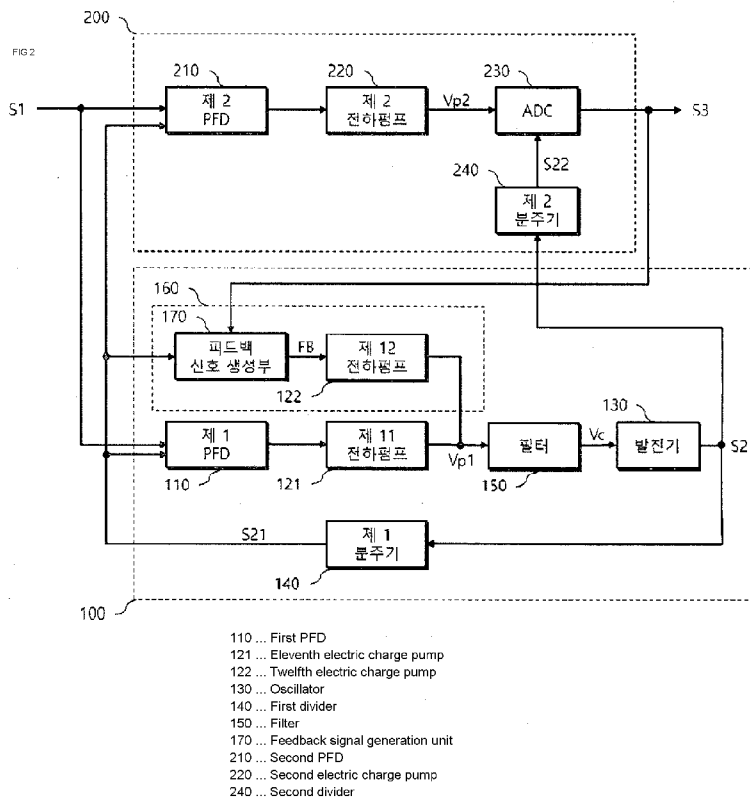
(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ,

[다음 쪽 계속]

(54) Title: SIGNAL RECEIVING DEVICE

(54) 발명의 명칭: 신호 수신 장치



(57) Abstract: A signal receiving device according to the present technology comprises: a digital signal generation unit for generating a digital signal varying according to a difference in frequencies or phases of a modulation signal and a carrier signal; and a carrier recovery unit recovering the carrier signal from the modulation signal and including a feedback control unit for controlling a phase change of the carrier signal by using the digital signal.

(57) 요약서: 본 기술에 의한 신호 수신 장치는 변조 신호와 캐리어 신호의 주파수 또는 위상의 차이에 따라 가변하는 디지털 신호를 생성하는 디지털 신호 생성부; 및 변조 신호로부터 캐리어 신호를 복구하되 디지털 신호를 이용하여 캐리어 신호의 위상 변화를 제어하는 피드백 제어부를 포함하는 캐리어 복구부를 포함한다.



TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, **공개:**

ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV,

MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK,

SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ,

GW, KM, ML, MR, NE, SN, TD, TG).

— 국제조사보고서와 함께 (조약 제 21 조(3))

명세서

발명의 명칭: 신호 수신 장치

기술분야

- [1] 본 발명은 신호 수신 장치에 관한 것으로서 보다 구체적으로는 변조된 신호에서 캐리어 신호를 복구하고 복구된 캐리어 신호와 변조된 신호를 이용하여 변조된 신호를 통해 전송된 디지털 신호를 탐지하는 신호 수신 장치에 관한 것이다.

배경기술

- [2] 도 1은 종래의 신호 수신 장치를 나타내는 블록도이다.
- [3] 종래의 신호 수신 장치는 예를 들어 PSK(Phase Shift Keying) 방식으로 변조된 변조 신호(S1)에서 캐리어 신호(S2)를 복구하는 캐리어 복구부(10)와 변조 신호(S1)와 캐리어 신호(S2)를 이용하여 디지털 신호(S3)를 출력하는 디지털 신호 생성부(20)를 포함한다.
- [4] 캐리어 복구부(10)는 변조 신호(S1)와 제 1 분주 신호(S21)의 주파수 및 위상을 비교하는 제 1 PFD(Phase Frequency Detector, 11), 제 1 PFD(11)의 비교 결과에 따라 제 1 펌핑 전압(Vp1)을 출력하는 제 1 전하 펌프(12), 제 1 펌핑 전압(Vp1)을 필터링하여 제어 전압(Vc)을 출력하는 로우패스 필터(15), 제어 전압(Vc)에 따라 캐리어 신호(S2)를 출력하는 발진기(13), 캐리어 신호(S2)를 분주하여 제 1 분주 신호(S21)를 출력하는 제 1 분주기(14)를 포함한다.
- [5] 디지털 신호 생성부(20)는 TDC(Time to Digital Converter)로 구현될 수 있다. 디지털 신호 생성부(20)는 제 1 분주 신호(S21)와 변조 신호(S1)를 이용하여 디지털 신호(S3)를 출력한다.
- [6] 캐리어 복구부(10)는 초기에 로킹 동작을 수행하여 변조 신호(S1)로부터 캐리어 신호(S2)를 복구한다.
- [7] 로킹 동작이 종료되고 데이터가 전송되는 동안 변조 신호(S1)는 데이터 신호에 대응하여 위상이 쉬프트된다.
- [8] 캐리어 신호(S2)의 위상은 변조 신호(S1)의 위상을 따라 변하게 되는데 데이터를 정상적으로 복구하기 위하여 캐리어 신호(S2)의 위상은 초기에 로킹된 상태를 유지하는 것이 바람직하다.
- [9] 종래의 캐리어 복구부(10)는 로우패스 필터(15)에 포함되는 캐패시터의 용량을 크게 함으로써 변조 신호(S1)의 위상이 변하더라도 제어 전압(Vc)의 변화량을 작게 한다.
- [10] 그러나 캐패시터의 용량이 증가할수록 그 면적이 증가하여 회로를 소형화하는데 어려움이 있다. 또한 캐패시터의 용량이 크더라도 위상이 쉬프트된 변조 신호(S1)가 지속적으로 입력되면 제어 전압(Vc)이 일정 수준 이상으로 변하게 된다.

- [11] 이에 따라 캐리어 신호(S2)의 위상이 변조 신호(S1)의 위상을 따라 변하게 되어 디지털 신호 생성부(20)에서 올바른 디지털 신호(S3)를 출력할 수 없게 된다.

발명의 상세한 설명

기술적 과제

- [12] 본 기술은 출력된 디지털 신호를 이용하여 캐리어 복구부를 피드백 제어함으로써 캐리어 신호의 위상이 초기의 로킹된 상태를 유지하도록 하는 신호 수신 장치를 제공한다.

과제 해결 수단

- [13] 본 발명의 일 실시예에 의한 신호 수신 장치는 변조 신호와 캐리어 신호의 주파수 또는 위상의 차이에 따라 가변하는 디지털 신호를 생성하는 디지털 신호 생성부; 및 변조 신호로부터 캐리어 신호를 복구하되 디지털 신호를 이용하여 캐리어 신호의 위상 변화를 제어하는 피드백 제어부를 포함하는 캐리어 복구부를 포함한다
- [14] 본 발명의 일 실시예에 의한 신호 수신 장치에서 캐리어 복구부는 캐리어 신호와 동일한 주기를 갖거나 캐리어 신호를 분주한 신호인 제 1 분주 신호와 변조 신호의 위상 또는 주파수 차이에 대응하여 생성되는 제어 전압에 따라 캐리어 신호를 출력하는 발진기를 포함하되 피드백 제어부는 디지털 신호에 따라 제어 전압을 조절할 수 있다.
- [15] 본 발명의 일 실시예에 의한 신호 수신 장치에서 캐리어 복구부는 캐리어 신호와 동일한 주기를 갖거나 캐리어 신호를 분주한 신호인 제 1 분주 신호와 변조 신호의 위상 또는 주파수 차이에 대응하여 생성되는 제어 코드에 따라 캐리어 신호를 출력하는 디지털 발진기를 포함하되 피드백 제어부는 디지털 신호에 따라 제어 코드의 값을 변경시킬 수 있다.

발명의 효과

- [16] 본 기술에 의한 신호 수신 장치는 출력된 디지털 신호를 이용하여 캐리어 복구부를 피드백 제어함으로써 캐리어 신호의 위상이 초기의 로킹된 상태를 유지하도록 한다.
- [17] 본 기술을 적용하여 캐리어 복구부를 아날로그 형태로 구현하는 경우 종래에 사용하던 대용량의 캐패시터에 비하여 작은 용량의 캐패시터를 사용할 수 있어 회로의 면적을 감소시킬 수 있다.
- [18] 또한 본 기술을 적용하여 캐리어 복구부를 디지털 형태로 구현하는 경우에는 캐패시터를 사용할 필요가 없어 면적이 줄어들 뿐만 아니라 디지털 신호의 출력에 따라 즉시 피드백 제어를 수행할 수 있어 캐리어 신호의 위상이 변조 신호의 위상을 따라 변하는 현상을 최대한 억제할 수 있다.

도면의 간단한 설명

- [19] 도 1은 종래의 신호 수신 장치의 블록도.
- [20] 도 2는 본 발명의 일 실시예에 의한 신호 수신 장치의 블록도.

- [21] 도 3은 도 2의 제 1 PFD의 회로도.
- [22] 도 4는 도 2의 제 11 전하 펌프, 제 12 전하 펌프 및 필터의 회로도.
- [23] 도 5는 도 2의 피드백 신호 생성부의 세부 블록도.
- [24] 도 6은 도 5의 피드백 신호 생성부의 동작을 설명하는 파형도.
- [25] 도 7은 본 발명의 효과를 설명하는 그래프.
- [26] 도 8은 본 발명의 다른 실시예에 의한 신호 수신 장치의 블록도.
- [27] 도 9는 본 발명의 다른 실시예에 의한 신호 수신 장치의 블록도.
- [28] 도 10은 도 9의 피드백 제어부와 디지털 필터의 세부 블록도.

발명의 실시를 위한 형태

- [29] 이하에서는 첨부한 도면을 참조하여 본 발명의 실시예에 대해서 상세히 설명한다.
- [30] 도 2는 본 발명의 일 실시예에 의한 신호 수신 장치의 블록도이다.
- [31] 본 발명의 일 실시예에 의한 신호 수신 장치는 수신된 변조 신호(S1)에서 캐리어 신호(S2)를 복구하는 캐리어 복구부(100)와 변조 신호(S1)와 캐리어 신호(S2)를 이용하여 디지털 신호(S3)를 출력하는 디지털 신호 생성부(200)를 포함한다.
- [32] 본 실시예에서 캐리어 복구부(100)는 아날로그 방식의 위상 고정 루프(Phase Locked Loop)의 구성을 포함한다.
- [33] 캐리어 복구부(100)는 변조 신호(S1)와 제 1 분주 신호(S21)의 주파수 및 위상을 비교하는 제 1 PFD(110), 제 1 PFD(110)에서 출력된 신호에 따라 제 1 펌핑 전압(Vp1)을 조정하는 제 11 전하 펌프(121), 제 1 펌핑 전압(Vp1)을 필터링하여 제어 전압(Vc)을 출력하는 필터(150), 제어 전압(Vc)에 따라 캐리어 신호(S2)를 출력하는 발진기(130), 캐리어 신호(S2)를 분주하여 제 1 분주 신호(S21)를 출력하는 제 1 분주기(140)를 포함한다.
- [34] 캐리어 복구부(100)는 디지털 신호(S3)에 따라 제 1 펌핑 전압(Vp1)을 조정하는 피드백 제어부(160)를 더 포함한다.
- [35] 피드백 제어부(160)는 디지털 신호(S3)에 따라 피드백 신호(FB)를 출력하는 피드백 신호 생성부(170), 피드백 신호(FB)에 따라 제 1 펌핑 전압(Vp1)을 조정하는 제 12 전하 펌프(122)를 포함한다.
- [36] 발진기(130), 제 1 분주기(140)는 종래에 알려진 구성 요소들로 구현될 수 있으므로 이에 대한 구체적인 설명은 생략한다.
- [37] 본 실시예에서 디지털 신호 생성부(200)는 TDC(Time to Digital Converter)의 기능을 수행한다. 디지털 신호 생성부(200)는 캐리어 신호(S2)와 변조 신호(S1)의 위상차를 기준으로 디지털 신호(S3)를 생성한다.
- [38] 디지털 신호 생성부(200)는 변조 신호(S1)와 제 1 분주 신호(S21)의 주파수 및 위상차를 탐지하는 제 2 PFD(210), 제 2 PFD(210)의 출력에 따라 제 2 펌핑 전압(Vp2)을 생성하는 제 2 전하 펌프(220), 제 2 펌핑 전압(Vp2)을 디지털

- 신호(S3)로 변환하는 ADC(Analog to Digital Converter, 230)를 포함한다.
- [39] 디지털 신호 생성부(200)는 제 1 분주 신호(S21)를 기준으로 변조 신호(S1)의 위상차를 탐지하고 이에 대응하는 제 2 펌핑 전압(Vp2)을 생성하여 이를 디지털 신호(S3)로 변환함으로써 변조 신호(S1)의 위상에 대응하는 디지털 신호(S3)를 출력한다.
- [40] 디지털 신호 생성부(200)는 캐리어 신호(S2)를 분주하여 제 2 분주 신호(S22)를 출력하는 제 2 분주기(240)를 더 포함한다. ADC(230)는 제 2 분주 신호(S21)에 동기하여 디지털 신호(S3)를 출력한다.
- [41] 이에 따라 제 2 전하 펌프(220)는 제 2 분주 신호(S22)의 어느 한 주기 동안 제 2 펌핑 전압(Vp2)을 생성하고 이에 대응하는 디지털 신호(S3)는 제 2 분주 신호(S22)의 다음 주기에 출력된다.
- [42] 제 1 분주기(140)와 제 2 분주기(240)의 분주율은 실시예에 따라 다양하게 결정될 수 있다. 본 실시예에서 제 2 분주 신호(S22)의 주기는 제 1 분주 신호(S21)의 주기와 같거나 제 1 분주 신호(S21)의 주기의 배수가 되도록 선택될 수 있다.
- [43] 도 3은 도 2의 제 1 PFD(110)의 회로도이다.
- [44] 제 1 PFD(110)는 캐리어 신호(S1)에 따라 제 1 펌핑 신호(UP)를 출력하는 제 1 플립플롭(111), 제 1 분주 신호(S21)에 따라 제 2 펌핑 신호(DN)를 출력하는 제 2 플립플롭(112), 제 1 펌핑 신호(UP)와 제 2 펌핑 신호(DN)이 모두 활성화된 경우 제 1 플립플롭(111)과 제 2 플립플롭(112)을 리셋하는 낸드 게이트(113)를 포함한다.
- [45] 본 실시예에서 제 1 펌핑 신호(UP)는 변조 신호(S1)의 위상이 제 1 분주 신호(S21)의 위상보다 앞서는 구간 동안 하이 레벨을 갖는 펄스 형태를 가지고 제 2 펌핑 신호(DN)는 제 1 분주 신호(S21)의 위상이 변조 신호(S1)의 위상보다 앞서는 구간 동안 하이 레벨을 갖는 펄스 형태를 가진다.
- [46] 제 2 PFD(210)는 신호의 종류를 제외하고 제 1 PFD(110)와 실질적으로 동일하게 구성될 수 있다.
- [47] 도 3에 도시된 회로도는 제 1 PFD(210) 또는 제 2 PFD(220)를 구현하는 일 예로서 다른 실시예에서는 다른 구조의 회로를 사용할 수 있다.
- [48] 도 4는 제 11 전하 펌프(121), 제 12 전하 펌프(122) 및 필터(150)의 회로도이다.
- [49] 먼저 필터(150)는 로우패스 필터로서 저항(151)과 캐패시터(152)를 이용하여 구현할 수 있다. 도시된 예는 간단한 형태의 로우패스 필터를 예시한 것으로서 다른 실시예에서는 다른 구조의 필터를 사용할 수 있다.
- [50] 본 실시예에서 제 11 전하 펌프(121)는 전원 전압과 접지 전압 사이에 직렬로 연결된 제 11 PMOS 트랜지스터(P11), 제 12 PMOS 트랜지스터(P12), 제 11 NMOS 트랜지스터(N11), 제 12 NMOS 트랜지스터(N12)를 포함한다.
- [51] 제 12 PMOS 트랜지스터(P12)와 제 11 NMOS 트랜지스터(N11)의 공통 드레인은 필터(150)의 입력단과 연결된다.

- [52] 제 11 PMOS 트랜지스터(P11)의 게이트에는 제 1 바이어스 전압(VBP)이 입력되고 제 12 NMOS 트랜지스터(N12)의 게이트에는 제 2 바이어스 전압(VBN)이 입력된다.
- [53] 제 12 PMOS 트랜지스터(P12)의 게이트에는 제 1 펌핑 신호(UP)를 반전한 신호(/UP)가 입력되고, 제 11 NMOS 트랜지스터(N11)의 게이트에는 제 2 펌핑 신호(DN)가 입력된다.
- [54] 제 1 펌핑 신호(UP)가 하이 레벨이 되는 구간에서 캐패시터(152)는 더 높은 전압으로 충전되고 제 2 펌핑 신호(DN)가 하이 레벨이 되는 구간에서 캐패시터(152)는 더 낮은 전압으로 방전된다.
- [55] 본 실시예에서 제 12 전하 펌프(122)는 전원 전압과 접지 전압 사이에 직렬로 연결된 제 21 PMOS 트랜지스터(P21), 제 22 PMOS 트랜지스터(P22), 제 21 NMOS 트랜지스터(N21), 제 22 NMOS 트랜지스터(N22)를 포함한다.
- [56] 제 22 PMOS 트랜지스터(P22)와 제 21 NMOS 트랜지스터(N21)의 공통 드레인은 필터(150)의 입력단과 연결된다.
- [57] 제 21 PMOS 트랜지스터(P21)의 게이트에는 제 1 바이어스 전압(VBP)이 입력되고 제 22 NMOS 트랜지스터(N22)의 게이트에는 제 2 바이어스 전압(VBN)이 입력된다.
- [58] 제 22 PMOS 트랜지스터(P22)의 게이트에는 제 1 피드백 신호(FBUP)를 반전한 신호(/FBUP)가 입력되고, 제 21 NMOS 트랜지스터(N21)의 게이트에는 제 2 피드백 신호(FBDN)가 입력된다.
- [59] 이에 따라 제 1 피드백 신호(FBUP)가 하이 레벨이 되는 구간에서 캐패시터(152)는 더 높은 전압으로 충전되고 제 2 피드백 신호(DN)가 하이 레벨이 되는 구간에서 캐패시터(152)는 더 낮은 전압으로 방전된다.
- [60] 제 22 전하 펌프(122)에 입력되는 제 1 피드백 신호(FBUP)와 제 2 피드백 신호(FBDN)는 피드백 신호 생성부(170)에서 출력되는 피드백 신호(FB)에 대응한다.
- [61] 도 5는 피드백 신호 생성부(170)의 세부 블록도이다.
- [62] 피드백 신호 생성부(170)는 덧셈부(171), 누적기(172), 비교부(173), 곱셈부(174, 175), 플립플롭(176)을 포함한다.
- [63] 누적기(172)와 플립플롭(176)은 제 1 분주 신호(S21)에 동기하여 동작한다.
- [64] 비교부(173)는 누적기(172)에서 출력된 누적기 신호(S32)와 임계점(α)을 비교하여 제 1 신호(S33)와 제 2 신호(S34)를 출력한다.
- [65] 예를 들어 누적기 신호(S32)의 절대값이 임계점(α)보다 작으면 제 1 신호(S33) 및 제 2 신호(S34)는 모두 0이 된다.
- [66] 누적기 신호(S32)가 양이고 절대값이 임계점(α)이상이면 제 1 신호(S33)는 1이고 제 2 신호(S34)는 0이 된다.
- [67] 누적기 신호(S32)가 음이고 절대값이 임계점(α)이상이면 제 1 신호(S33)는 0이고 제 2 신호(S34)는 1이 된다.

- [68] 플립플롭(176)은 제 1 분주 신호(S21)에 동기하여 제 1 신호(S33)를 래치하여 제 1 피드백 신호(FBUP)를 출력하고 제 2 신호(S34)를 래치하여 제 2 피드백 신호(FBDN)를 출력한다.
- [69] 덧셈부(171)는 디지털 신호(S3)와 제 2 신호(S34)에 임계점(α)을 곱한 제 2 곱셈 신호(S36)를 더하고 제 1 신호(S33)에 임계점(α)을 곱한 제 1 곱셈 신호(S35)를 뺀 최종 덧셈 신호(S31)을 누적기(172)에 제공한다.
- [70] 누적기(172)는 제 1 분주 신호(S21)에 동기하여 덧셈 신호(S31)의 값과 기존에 저장된 값을 더하여 저장된 값을 갱신한다.
- [71] 도 6은 피드백 신호 생성부(170)의 동작을 설명하는 파형도이다.
- [72] (A)는 제 1 분주 신호(S21)와 제 2 분주 신호(S22)의 주기가 동일한 경우이고 (B)는 제 2 분주 신호(S22)의 주기가 제 1 분주 신호(S21)의 주기의 두 배인 경우이다. 이하에서 임계점(α)은 16보다 큰 양수로 가정한다.
- [73] 먼저 (A)의 경우를 설명한다.
- [74] T0에서 디지털 신호(S3)의 값은 4로 출력되고, 누적기(172)는 T0에서 $\alpha-6$ 을 저장하는 것으로 가정한다. 누적기 신호(S32)가 $\alpha-6$ 이며 그 절대값은 임계점보다 작으므로 제 1 신호(S33) 및 제 2 신호(S34)는 0이 되고, 제 1 곱셈 신호(S35) 및 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 4가 된다.
- [75] T1에서 디지털 신호(S3)의 값은 7인 것으로 가정한다. 누적기 신호(S32)는 기존 값인 $\alpha-6$ 에 4를 더한 $\alpha-2$ 가 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33) 및 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35) 및 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 7이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP) 및 제 2 피드백 신호(FBDN)는 0이 된다.
- [76] T2에서 디지털 신호(S3)의 값은 -6인 것으로 가정한다. 누적기 신호(S32)는 기존 값인 $\alpha-2$ 에 7을 더한 $\alpha+5$ 가 된다. 누적기 신호(S32)의 절대값은 임계점보다 크고 부호는 양이므로 제 1 신호(S33)는 1, 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35)는 α , 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 $-\alpha-6$ 이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP) 및 제 2 피드백 신호(FBDN)는 0이 된다.
- [77] T3에서 누적기 신호(S32)는 기존 값인 $\alpha+5$ 에 $-\alpha-6$ 을 더한 -1이 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33)는 0, 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35)는 0, 제 2 곱셈 신호(S36)는 0이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP)는 0, 제 2 피드백 신호(FBDN)는 1이 된다.
- [78] T4에서 누적기 신호(S32)는 기존 값인 $\alpha+5$ 에 $-\alpha-5$ 을 더한 -1이 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33)는 0, 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35)는 0, 제 2 곱셈 신호(S36)는 0이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백

신호(FBUP)는 0, 제 2 피드백 신호(FBDN)는 0이 된다.

[79] 다음으로 (B)의 경우를 설명한다.

[80] (B)의 경우는 제 2 분주 신호(S22)의 주기가 제 1 분주 신호(S21)의 주기의 2배가 되므로 디지털 신호(S3)가 변하는 주기가 제 1 분주 신호(S21)의 두 배가 되는 점에서 (A)의 경우와 상이하다.

[81] T5에서 디지털 신호(S3)의 값은 -4로 출력되고, 누적기(612)는 T5에서 $-\alpha+6$ 을 저장하는 것으로 가정한다. 누적기 신호(S32)가 $-\alpha+6$ 이며 그 절대값은 임계점보다 작으므로 제 1 신호(S33) 및 제 2 신호(S34)는 0이 되고, 제 1 곱셈 신호(S35) 및 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 -4가 된다.

[82] T6에서 디지털 신호(S3)의 값은 -4로 동일하다. 누적기 신호(S32)는 기존 값인 $-\alpha+6$ 에 -4를 더한 $-\alpha+2$ 가 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33) 및 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35) 및 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 -4가 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP) 및 제 2 피드백 신호(FBDN)는 0이 된다.

[83] T7에서 디지털 신호(S3)의 값은 -7인 것으로 가정한다. 누적기 신호(S32)는 기존 값인 $-\alpha+2$ 에 -4를 더한 $-\alpha-2$ 가 된다. 누적기 신호(S32)의 절대값은 임계점보다 크고 부호는 음이므로 제 1 신호(S33)는 0, 제 2 신호(S34)는 1이 되고 제 1 곱셈 신호(S35)는 0, 제 2 곱셈 신호(S36)는 α 이 된다. 이에 따라 덧셈 신호(S31)는 $\alpha-7$ 이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP) 및 제 2 피드백 신호(FBDN)는 0이 된다.

[84] T8에서 누적기 신호(S32)는 기존 값인 $-\alpha-2$ 에 $\alpha-7$ 을 더한 -9가 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33)는 0, 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35)는 0, 제 2 곱셈 신호(S36)는 0이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP)는 1, 제 2 피드백 신호(FBDN)는 0이 된다.

[85] T9에서 디지털 신호(S3)의 값은 6인 것으로 가정한다. 누적기 신호(S32)는 기존 값인 -9에 -7를 더한 -16이 된다. 누적기 신호(S32)의 절대값은 임계점보다 작으므로 제 1 신호(S33)는 0, 제 2 신호(S34)는 0이 되고 제 1 곱셈 신호(S35)는 0, 제 2 곱셈 신호(S36)는 0이 된다. 이에 따라 덧셈 신호(S31)는 6이 된다. 또한 플립플롭(176)은 제 1 신호(S33) 및 제 2 신호(S34)를 래치하여 제 1 피드백 신호(FBUP) 및 제 2 피드백 신호(FBDN)는 0이 된다.

[86] (A)의 경우에는 누적기(172)의 값이 양의 방향으로 증가하고 (B)의 경우에는 누적기(172)의 값이 음의 방향으로 증가하였다.

[87] 누적기(172)의 값이 양 또는 음의 방향으로 증가하는 경우 캐리어 신호(S2)의 위상 역시 해당 방향으로 변할 가능성이 높아진다.

- [88] 피드백 신호 생성부(170)는 누적기(172)의 절대값이 임계점을 초과하여 양의 방향으로 증가하는 시점에서 누적기(172)의 값을 임계점의 크기만큼 줄이고 제 2 피드백 신호(FBDN)를 활성화한다. 이에 따라 도 4의 제 21 NMOS 트랜지스터(N21)가 켜지고 제어 전압(V_c)이 증가하여 누적기(172)의 값의 변화가 커지는 것을 억제한다.
- [89] 또한 피드백 신호 생성부(170)는 누적기(172)의 절대값이 임계점을 초과하여 음의 방향으로 증가하는 시점에서 누적기(172)의 값을 임계점의 크기만큼 증가시키고 제 1 피드백 신호(FBUP)를 활성화한다. 이에 따라 도 4의 제 22 PMOS 트랜지스터(N22)가 켜지고 제어 전압(V_c)을 감소시켜 누적기(172)의 값의 변화가 커지는 것을 억제한다.
- [90] 도 7은 종래의 경우와 본 발명의 경우 제어 전압(V_c)의 변동을 비교하여 나타낸 그래프이다.
- [91] 실선은 종래 기술의 경우로서 로킹 직후의 제어 전압(V_i)을 기준으로 위상차가 가장 큰 신호가 연속하여 발생하는 경우를 상한과 하한으로 하면서 제어 전압(V_c)의 변동 가능한 폭은 시간에 따라 증가한다.
- [92] 종래의 기술에서 제어 전압(V_c)의 큰 변동을 억제하기 위하여 로우패스 필터(15)는 대용량의 캐패시터를 필요로 한다.
- [93] 본 발명의 일 실시예에서는 피드백 제어부(160)의 제어에 의해 제어 전압(V_c)의 변동폭($2V_d$)이 종래의 기술에 비하여 제한된다. 이때 변동폭($2V_d$)은 임계점(α)의 값에 따라 달라질 수 있다.
- [94] 본 발명의 일 실시예에서는 종래에 비하여 상대적으로 작은 변동폭($2V_d$)을 억제할 수 있을 정도의 작은 용량을 갖는 캐패시터(152)로 충분하다. 이에 따라 본 발명의 일 실시예에서는 캐패시터(152)로 인한 회로 면적의 증가 문제가 크지 않다.
- [95] 도 8은 본 발명의 다른 실시예에 의한 신호 수신 장치의 블록도이다.
- [96] 도 2의 실시예에서 제 1 PFD(110)와 제 2 PFD(210)는 실질적으로 동일한 구성요소들을 포함할 수 있다.
- [97] 도 8의 실시예는 이러한 점에 착안한 것으로서 도 2에서 제 2 PFD(210)를 포함하지 않고 캐리어 복구부(100)의 제 11 전하 펌프(121)와 디지털 신호 생성부(200)의 제 2 전하 펌프(220)가 제 1 PFD(110)의 출력을 공통적으로 입력받는다.
- [98] 도 8에서는 제 1 PFD(110)가 캐리어 복구부(100)와 디지털 신호 생성부(200)의 외부에 위치하는 것으로 도시하였다. 그러나 통상의 기술자는 도 8을 참조하여 제 1 PFD(110)가 캐리어 복구부(100) 또는 디지털 신호 생성부(200) 내에 포함되는 실시예에 대해서도 용이하게 알 수 있으며 이러한 변형은 실질적으로 도 8과 균등한 관계에 있다.
- [99] 도 8에서 다른 구성 요소들은 도 2 내지 도 7을 참조하여 개시한 바와 실질적으로 동일하므로 구체적인 설명은 생략한다.

- [100] 도 9는 본 발명의 다른 실시예에 의한 신호 수신 장치의 블록도이다.
- [101] 캐리어 복구부(1000)는 디지털 방식의 위상 고정 루프의 구성을 포함한다. 디지털 신호 생성부(200)의 구성은 전술한 바와 실질적으로 동일하므로 구체적인 설명을 생략한다.
- [102] 본 실시예에서 캐리어 복구부(1000)는 변조 신호(S1)와 제 1 분주 신호(S21)의 주파수 및 위상을 비교하는 TDC(1100), TDC(1100)에서 출력된 비교 코드(TDCC)와 피드백 코드(FC) 따라 제어 코드(CC)를 출력하는 디지털 필터(1200), 제어 코드(CC)에 따라 캐리어 신호(S2)를 출력하는 디지털 발진기(1300), 캐리어 신호(S2)를 분주하여 제 1 분주 신호(S21)를 출력하는 제 1 분주기(1400)를 포함한다.
- [103] 캐리어 복구부(1000)는 디지털 신호(S3)에 따라 피드백 코드(FC)를 출력하는 피드백 제어부(1600)를 더 포함한다.
- [104] TDC(1100), 디지털 발진기(1300), 제 1 분주기(1400)는 종래에 알려진 다양한 구현 예들이 있으므로 이에 대한 구체적인 설명은 생략한다.
- [105] 도 10은 도 9의 피드백 제어부(1600)와 디지털 필터(1200)의 세부 블록도이다.
- [106] 도 10의 디지털 필터(1200)는 곱셈부(1220, 1230), 덧셈부(1210, 1240, 1250) 및 누적기(1260)를 포함하는 일반적인 디지털 필터의 구성을 예시한다. 디지털 필터(1200)는 실시예에 따라서 다양한 방식으로 구현될 수 있다.
- [107] 디지털 필터(1200)는 덧셈부(1210)에서 피드백 코드(FC)와 비교 코드(TDCC)를 입력받아 제어 코드(CC)를 생성한다.
- [108] 피드백 제어부(1600)는 디지털 신호(S3)에 상수(c)를 곱하여 피드백 코드(FC)를 출력하는 곱셈부(1610)를 포함한다.
- [109] 본 실시예에서 상수(c)의 크기는 ADC(230)의 해상도와 TDC(1100)의 해상도의 비로 정해질 수 있다.
- [110] ADC(230)의 해상도는 디지털 신호(S3)의 값 1에 대응하는 위상차를 의미하고 TDC(1100)의 해상도는 비교 코드(TDCC)의 값 1에 대응하는 위상차를 의미한다.
- [111] 예를 들어 ADC(230)의 해상도가 4도이고 TDC(1100)의 해상도가 4도로 동일하면 상수(c)의 크기는 1로 정해질 수 있다. 다른 예에서 ADC(230)의 해상도가 4도이고 TDC(1100)의 해상도가 8도이면 상수(c)의 크기는 0.5로 정해질 수 있다.
- [112] 본 실시예에서 덧셈부(1210)는 비교 코드(TDCC)에서 피드백 코드(FC)를 뺀 값을 출력하여 필터링이 수행되도록 함으로써 디지털 신호(S3)의 변화에 의한 캐리어 신호(S2)의 위상 변화를 억제하는 방향으로 피드백 코드(FC)가 생성될 수 있다.
- [113] 이에 따라 디지털 발진기(1300)에서 출력되는 캐리어 신호(S2)는 디지털 신호(S3)의 값이 변하더라도 본래의 위상을 유지하게 된다.
- [114] 디지털 방식의 캐리어 복구부(1000)는 캐리어 신호(S2)의 주파수가 높더라도 실시간 피드백이 가능한 점에서 피드백에 시간이 지연되는 아날로그 방식의

캐리어 복구부(100)에 비하여 유리할 수 있다. 또한 디지털 방식의 캐리어 복구부(1000)는 캐패시터를 사용하지 않아도 되므로 아날로그 방식의 캐리어 복구부(100)에 비하여 회로의 면적을 줄이는데 보다 유리할 수 있다.

- [115] 이 상에서 도면을 참조하여 본 발명의 실시예를 개시하였다. 이상의 개시는 설명을 위한 것으로서 본 발명의 권리범위를 한정하는 것은 아니며, 본 발명의 권리범위는 이하의 특허청구범위에 문언적으로 기재된 범위와 그 균등범위에 의해 정해진다.

청구범위

- [청구항 1] 변조 신호와 캐리어 신호의 주파수 또는 위상의 차이에 따라 가변하는 디지털 신호를 생성하는 디지털 신호 생성부; 및
상기 변조 신호로부터 상기 캐리어 신호를 복구하되 상기 디지털 신호에 따라 상기 캐리어 신호의 위상 변화를 제어하는 피드백 제어부를 포함하는 캐리어 복구부를 포함하는 신호 수신 장치.
- [청구항 2] 청구항 1에 있어서, 상기 캐리어 복구부는 상기 캐리어 신호와 동일한 주기를 갖거나 상기 캐리어 신호를 분주한 신호인 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이에 대응하여 생성되는 제어 전압에 따라 상기 캐리어 신호를 출력하는 발진기를 더 포함하되, 상기 피드백 제어부는 상기 디지털 신호에 따라 상기 제어 전압을 조절하는 신호 수신 장치.
- [청구항 3] 청구항 2에 있어서, 상기 피드백 제어부는 상기 디지털 신호의 누적값을 임계점과 비교한 결과에 따라 상기 제어 전압을 조절하는 신호 수신 장치.
- [청구항 4] 청구항 3에 있어서, 상기 피드백 제어부는 상기 디지털 신호의 누적값이 임계점을 초과하는 경우 상기 누적값의 절대값을 감소시키고 상기 제어 전압을 조절하는 신호 수신 장치.
- [청구항 5] 청구항 2에 있어서, 상기 캐리어 복구부는 상기 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수를 비교하는 제 1 위상 주파수 비교부; 상기 제 1 위상 주파수 비교부의 출력에 따라 출력 전압을 증가 또는 감소시키는 제 11 전압 펌프; 상기 제 11 전압 펌프의 출력을 필터링하여 상기 제어 전압을 출력하는 필터; 및
상기 제어 전압에 따라 상기 캐리어 신호를 출력하는 발진기를 더 포함하는 신호 수신 장치.
- [청구항 6] 청구항 5에 있어서, 상기 캐리어 복구부는 상기 캐리어 신호를 분주하여 상기 제 1 분주 신호를 출력하는 제 1 분주기를 더 포함하는 신호 수신 장치.
- [청구항 7] 청구항 5에 있어서, 상기 피드백 제어부는 상기 디지털 신호 및 상기 제 1 분주 신호에 따라 피드백 신호를 생성하는 피드백 신호 생성부 및
상기 피드백 신호에 따라 출력 전압을 증가 또는 감소시키는 제 12 전압 펌프를 포함하되, 상기 제 12 전압 펌프의 출력단은 상기 제 11 전압 펌프의 출력단과 공통 연결되는 신호 수신 장치.
- [청구항 8] 청구항 7에 있어서, 상기 피드백 신호 생성부는 상기 제 1 분주 신호에 동기하여 상기 디지털 신호를 누적하여 저장한 누적값과 임계점을 비교하여 상기 제 12 전압 펌프의 출력을 증가시키는 제 1 피드백 신호와

- 상기 제 12 전압 펌프의 출력을 감소시키는 제 2 피드백 신호를 출력하는 신호 수신 장치.
- [청구항 9] 청구항 8에 있어서, 상기 피드백 신호 생성부는 상기 누적값의 절대값이 상기 임계점 미만이면 상기 제 1 피드백 신호와 제 2 피드백 신호를 비활성화하고 상기 누적값의 절대값이 임계점 이상이면 상기 누적값의 절대값을 감소시키고 상기 제 1 피드백 신호 또는 제 2 피드백 신호 중 어느 하나를 활성화시키는 신호 수신 장치.
- [청구항 10] 청구항 9에 있어서, 상기 피드백 신호 생성부는 제 2 신호가 활성화되는 경우 상기 디지털 신호와 상기 임계점을 더하고, 제 1 신호가 활성화되는 경우 상기 디지털 신호와 상기 임계점을 더하는 덧셈기; 상기 제 1 분주 신호에 동기하여 상기 덧셈기의 출력을 누적하여 저장하는 누적기; 상기 누적기에서 출력되는 상기 누적값을 상기 임계점과 비교하여 상기 제 1 신호 또는 상기 제 2 신호 중 어느 하나를 활성화하는 비교기; 상기 제 1 분주 신호에 따라 상기 제 1 신호를 래치하여 상기 제 1 피드백 신호를 출력하고 상기 제 2 신호를 래치하여 상기 제 2 피드백 신호를 출력하는 플립플롭을 포함하는 신호 수신 장치.
- [청구항 11] 청구항 2에 있어서, 상기 디지털 신호 생성부는 상기 캐리어 신호와 동일한 주기를 갖거나 상기 캐리어 신호를 분주한 신호인 제 2 분주 신호에 동기하여 상기 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이에 따라 생성되는 상기 디지털 신호를 출력하는 신호 수신 장치.
- [청구항 12] 청구항 11에 있어서, 상기 제 2 분주 신호의 주기는 상기 제 1 분주 신호의 주기의 배수인 신호 수신 장치.
- [청구항 13] 청구항 11에 있어서, 상기 디지털 신호 생성부는 상기 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이를 탐지하는 제 2 위상 주파수 비교부; 상기 제 2 위상 주파수 비교부의 출력에 따라 제 2 제어 전압을 출력하는 제 2 전하 펌프; 및 상기 제 2 제어 전압을 디지털로 변환하되 상기 제 2 분주 신호에 동기하여 변환된 디지털 값을 상기 디지털 신호로 출력하는 아날로그 디지털 변환부를 포함하는 신호 수신 장치.
- [청구항 14] 청구항 5에 있어서, 상기 디지털 신호 생성부는 상기 제 1 위상 주파수 비교부의 출력에 따라 제 2 제어 전압을 출력하는 제 2 전하 펌프; 및

상기 제 2 제어 전압을 디지털로 변환하되 제 2 분주 신호에 동기하여 변환된 디지털 값을 상기 디지털 신호로 출력하는 아날로그 디지털 변환부

를 포함하되,

상기 제 2 분주 신호는 상기 캐리어 신호와 동일한 주기를 갖거나 상기 캐리어 신호를 분주한 신호인 신호 수신 장치.

[청구항 15] 청구항 1에 있어서, 상기 캐리어 복구부는 상기 캐리어 신호와 동일한 주기를 갖거나 상기 캐리어 신호를 분주한 신호인 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이에 대응하여 생성되는 제어 코드에 따라 상기 캐리어 신호를 출력하는 디지털 발진기를 포함하되, 상기 피드백 제어부는 상기 디지털 신호에 따라 상기 제어 코드의 값을 변경시키는 신호 수신 장치.

[청구항 16] 청구항 15에 있어서, 상기 캐리어 복구부는 상기 변조 신호와 상기 제 1 분주 신호의 위상 또는 주파수 차이에 대응하는 비교 코드를 출력하는 위상 주파수 탐지기; 및
상기 비교 코드와 피드백 코드를 필터링하여 상기 제어 코드를 출력하는 디지털 필터
를 더 포함하는 신호 수신 장치.

[청구항 17] 청구항 16에 있어서, 상기 캐리어 신호를 분주하여 상기 제 1 분주 신호를 출력하는 제 1 분주기를 더 포함하는 신호 수신 장치.

[청구항 18] 청구항 16에 있어서, 상기 디지털 필터는 상기 피드백 코드와 상기 비교 코드를 더한 값을 필터링하는 신호 수신 장치.

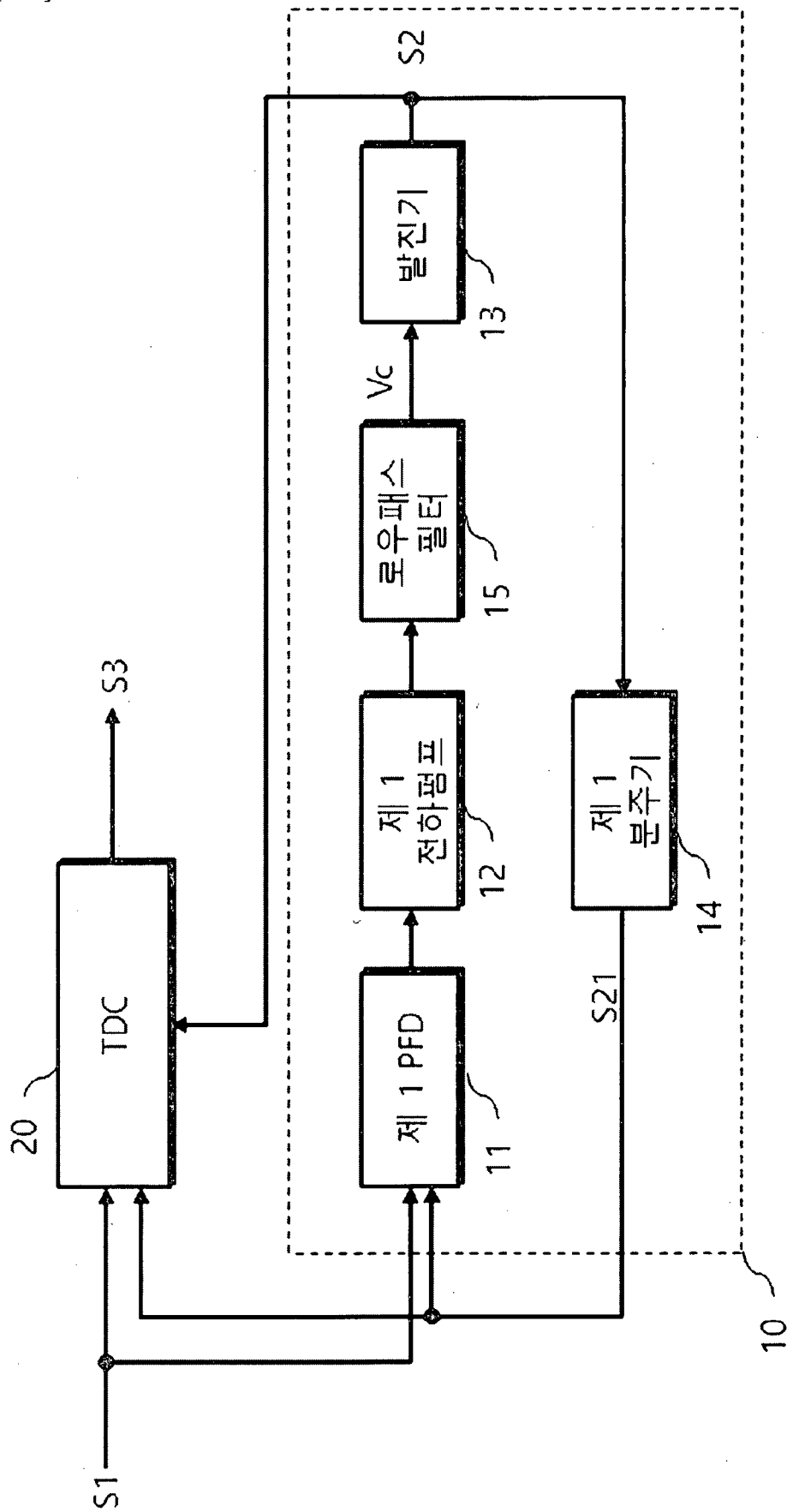
[청구항 19] 청구항 18에 있어서, 상기 디지털 신호 생성부는 상기 캐리어 신호와 동일한 주기를 갖거나 상기 캐리어 신호를 분주한 신호인 제 2 분주 신호에 동기하여 상기 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이에 대응하여 정해지는 상기 디지털 신호를 출력하는 신호 수신 장치.

[청구항 20] 청구항 19에 있어서, 상기 디지털 신호 생성부는 상기 제 1 분주 신호와 상기 변조 신호의 위상 또는 주파수 차이에 대응하여 생성되는 전압을 디지털로 변환하고 상기 제 2 분주 신호에 동기하여 상기 디지털 신호로 출력하는 아날로그 디지털 컨버터를 포함하는 신호 수신 장치.

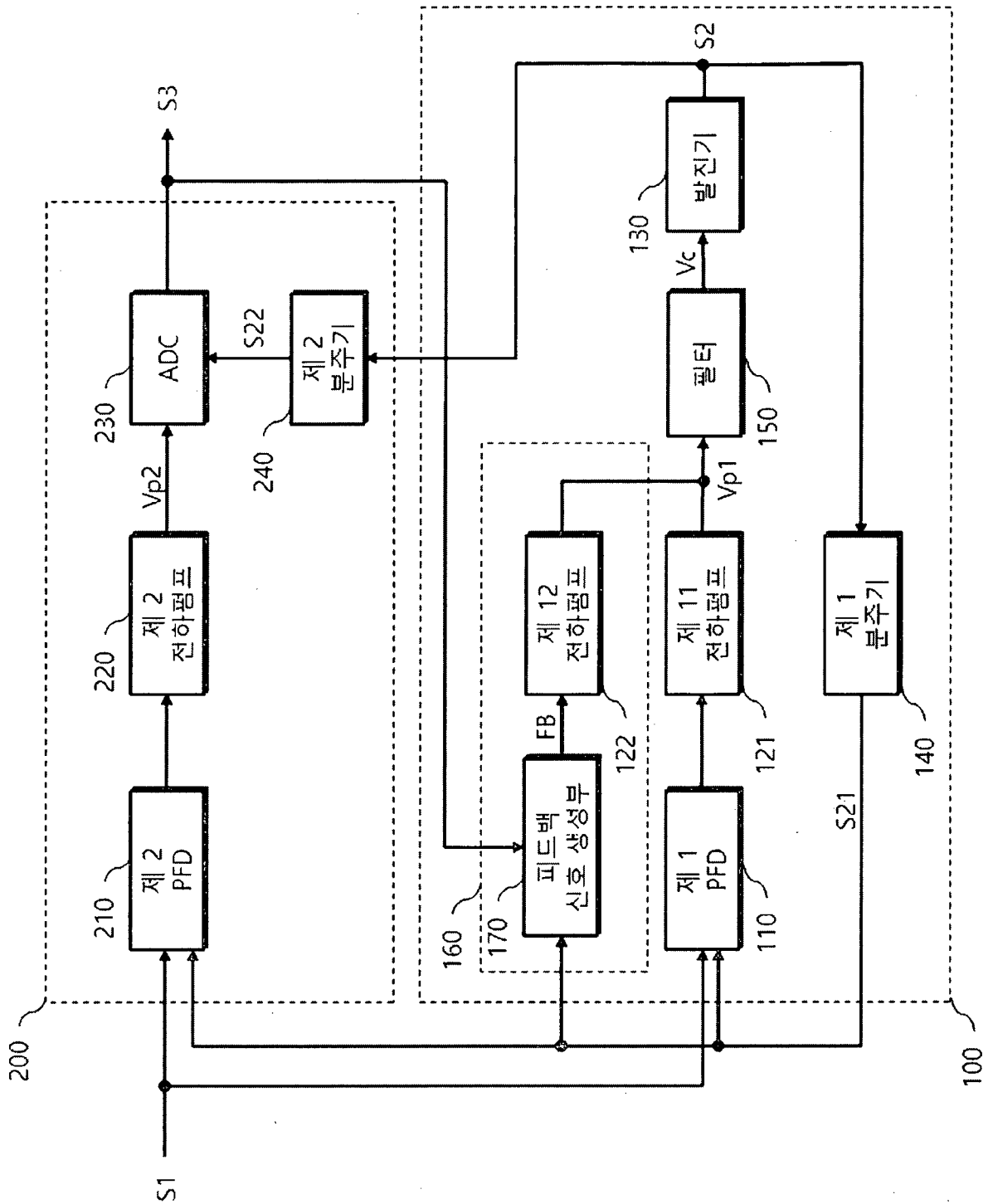
[청구항 21] 청구항 20에 있어서, 상기 피드백 제어부는 상기 디지털 신호에 상수를 곱하여 상기 피드백 코드로 출력하는 신호 수신 장치.

[청구항 22] 청구항 21에 있어서, 상기 상수의 크기는 상기 위상 주파수 탐지기의 해상도와 상기 아날로그 디지털 컨버터의 해상도의 비로 결정되는 신호 수신 장치.

[도1]

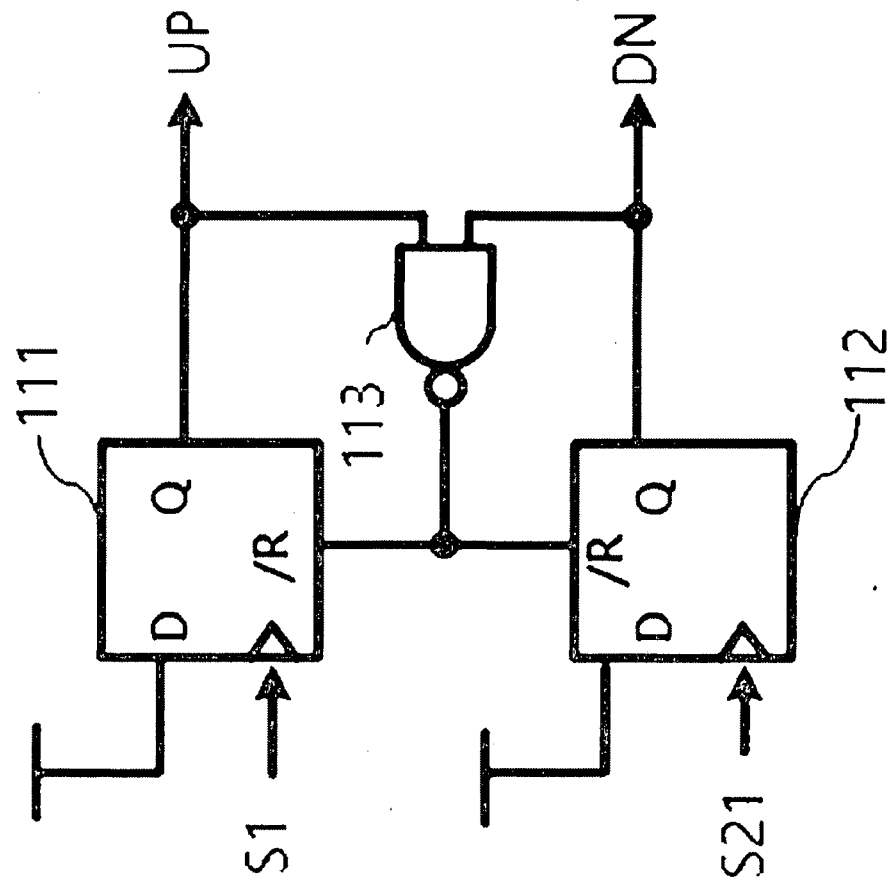


[도2]

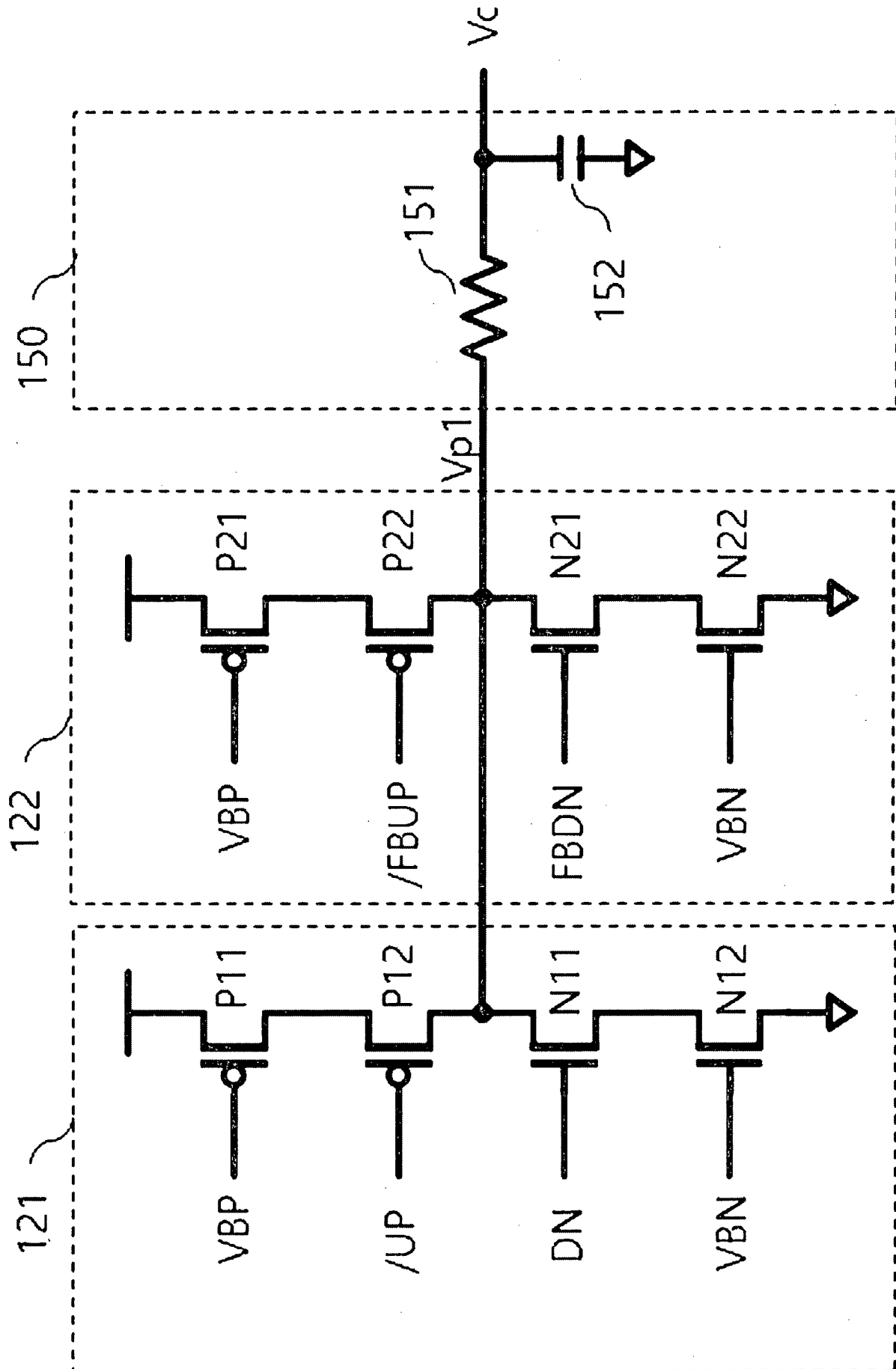


[도3]

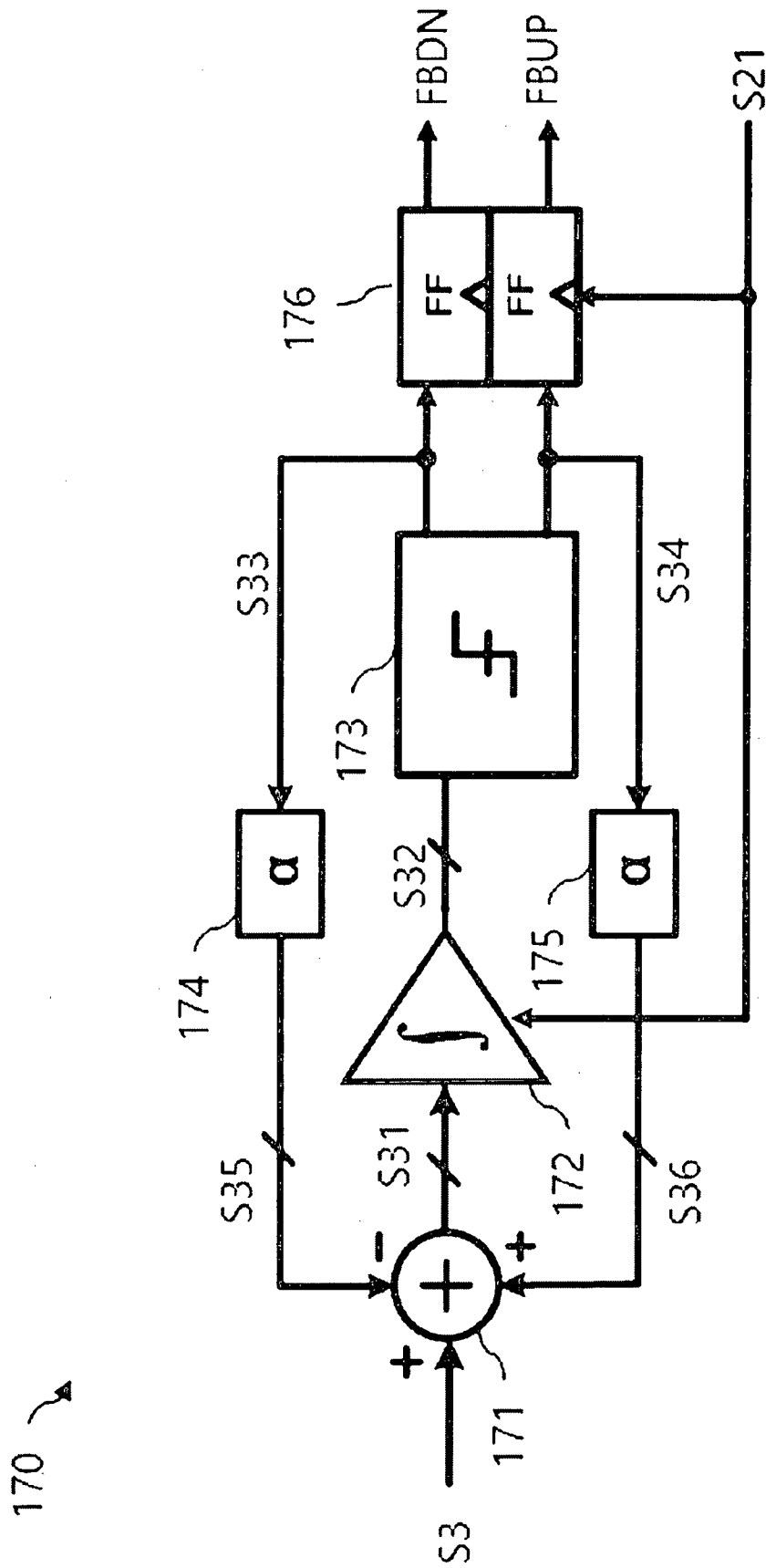
110 ↗



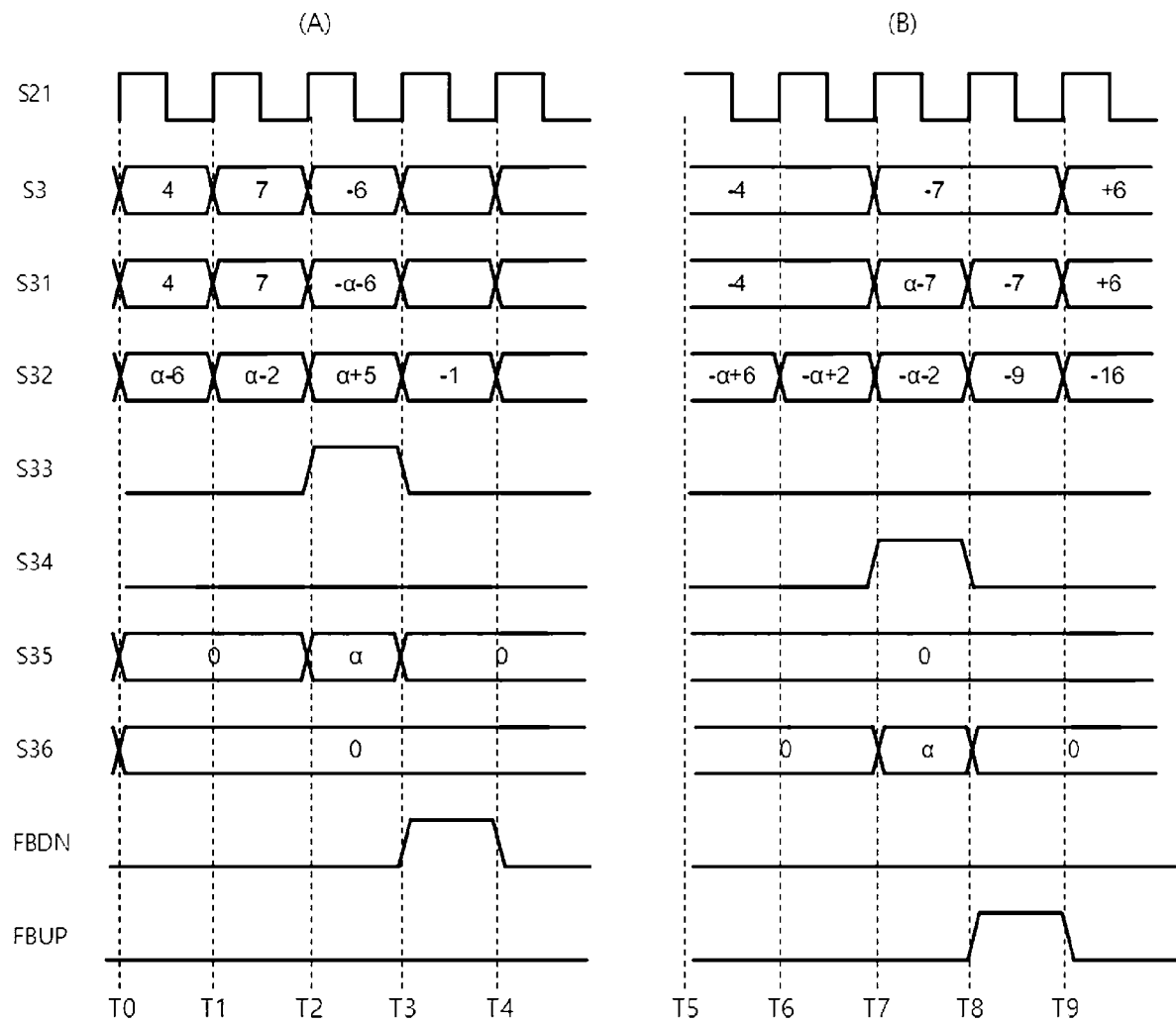
[도4]



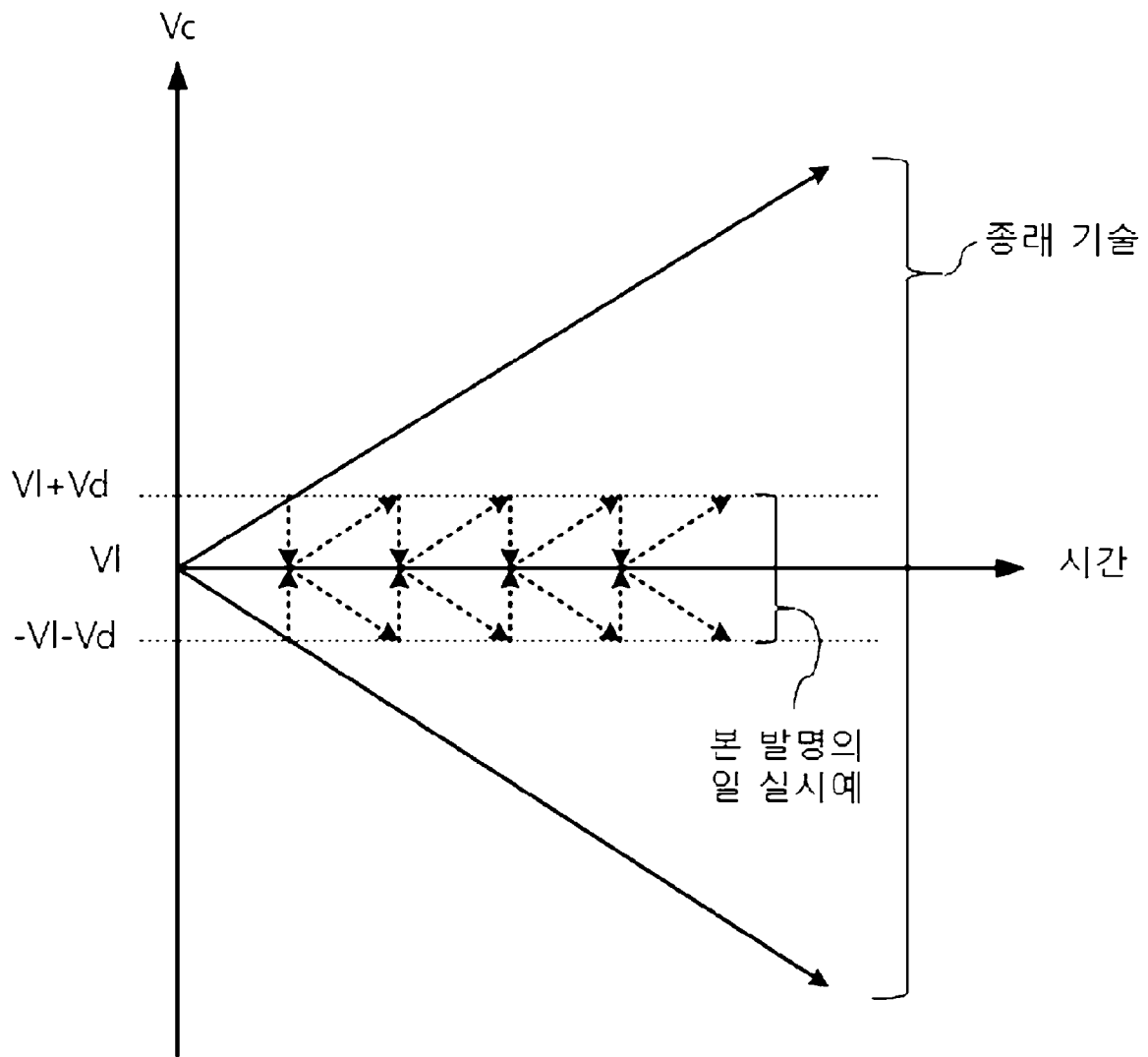
[도5]



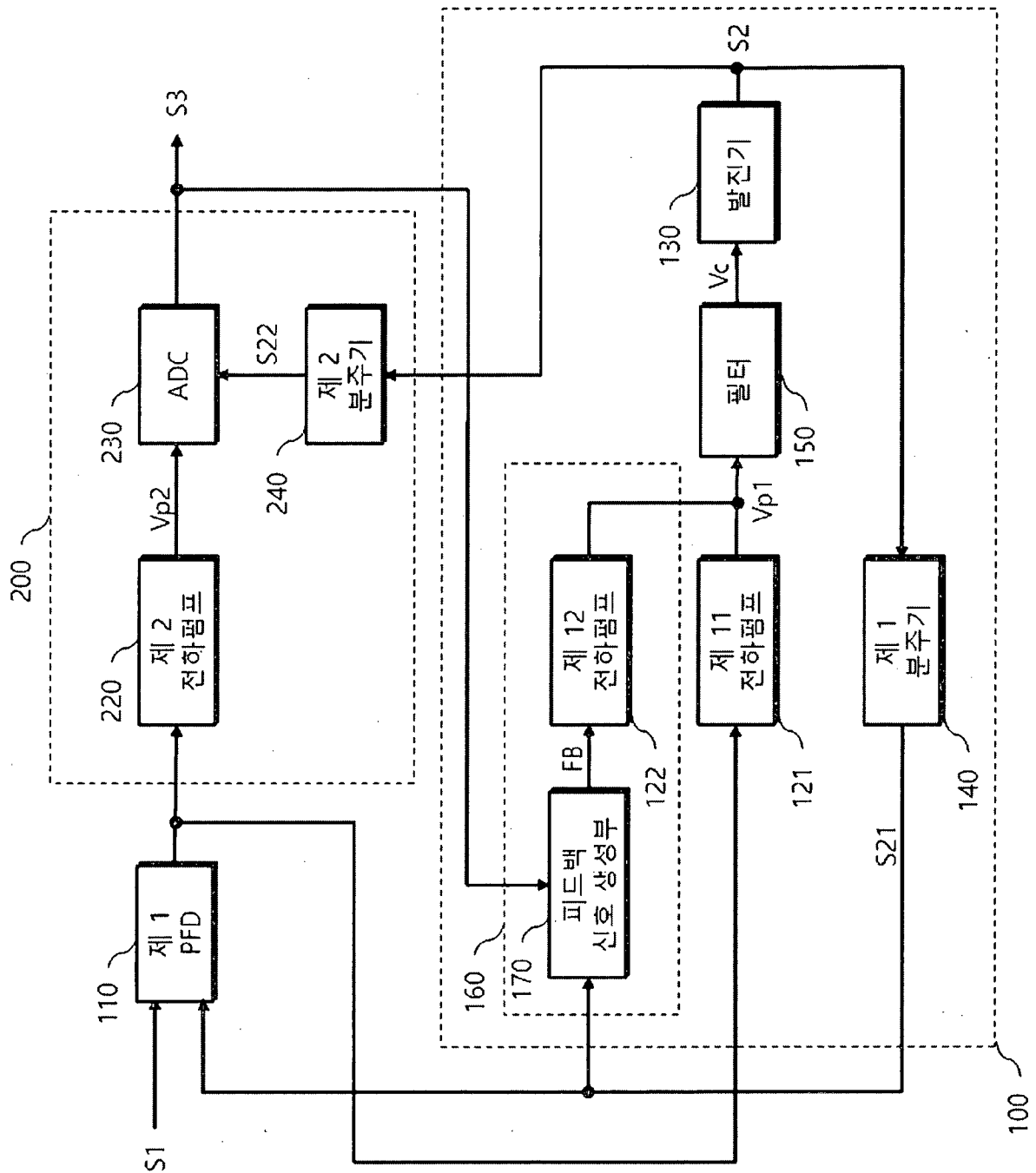
[도6]



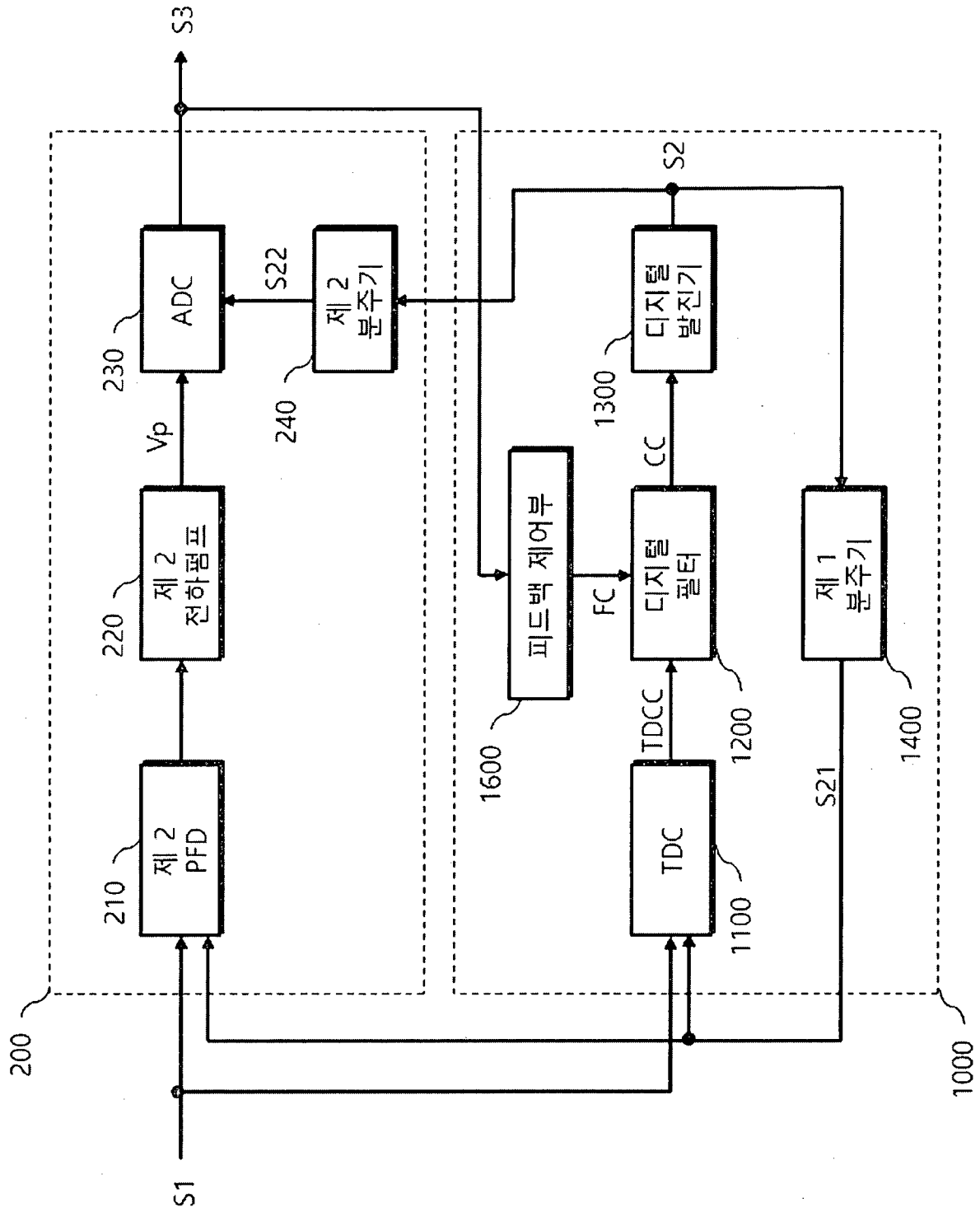
[도7]



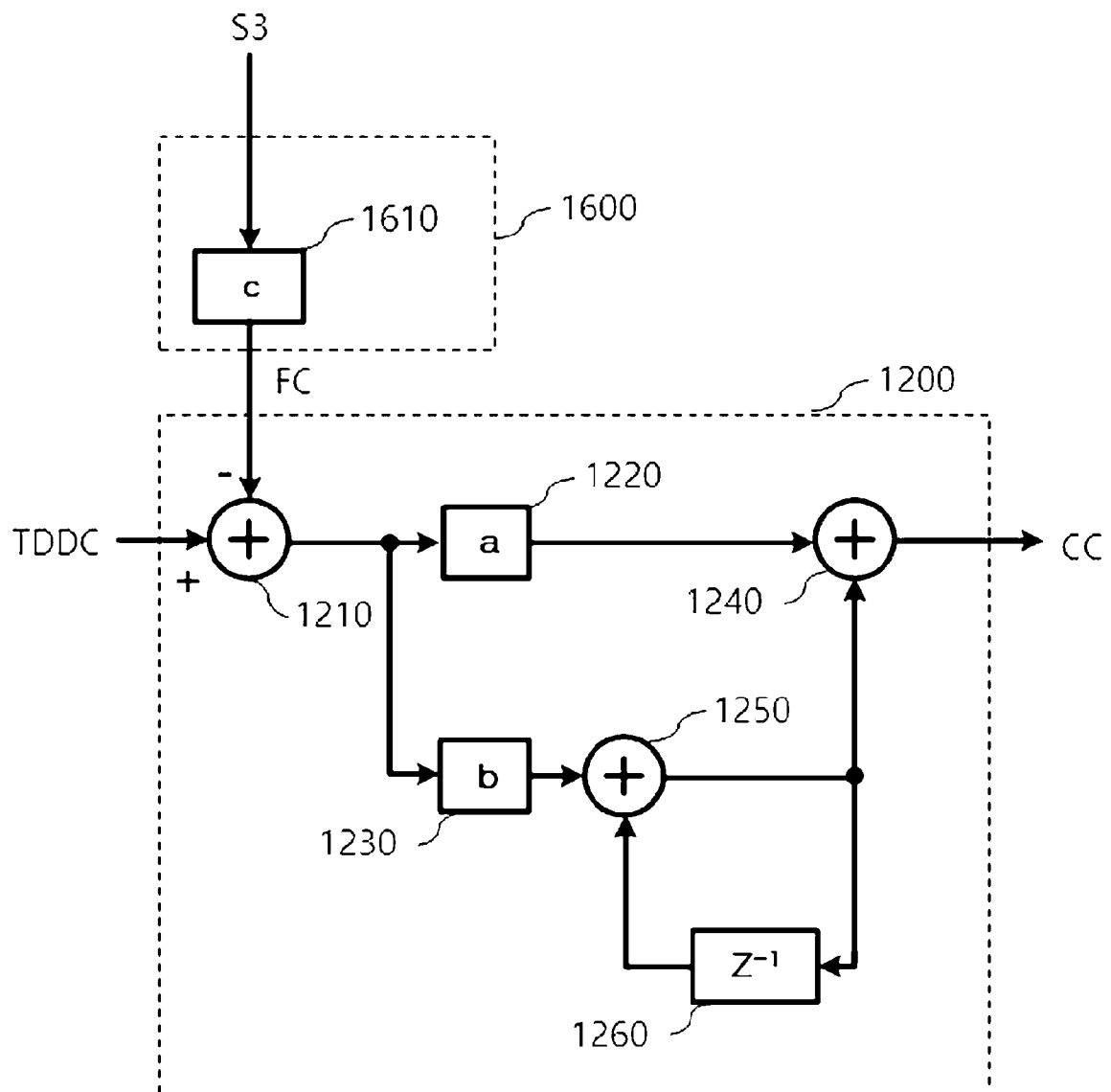
[도8]



[도9]



[도10]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2016/001860

A. CLASSIFICATION OF SUBJECT MATTER

H04L 27/227(2006.01)i, H04L 27/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H04L 27/227; H03D 3/18; H03D 3/24; H03L 7/093; H03L 7/06; H03L 7/08; H03L 7/107; H04L 27/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: modulating signal, carrier signal, phase, feedback, filling

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	VAN DE BEEK, R.C.H. et al.. "A 13.56Mbps PSK Receiver for 13.56MHz RFID Applications" In: 2012 IEEE Radio Frequency Integrated Circuits Symposium, June 2012, pp. 239-242. <URL:http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6242272> See pages 240-241; and figures 3-5.	1-2,5-6
A		3-4,7-22
Y	US 8773182 B1 (DEGANI, Ofir et al.) 08 July 2014 See column 3, lines 42-53; and figure 1.	1-2,5-6
A	KR 10-2009-0063641 A (IUCF-HYU (INDUSTRY-UNIVERSITY COOPERATION FOUNDATION HANYANG UNIVERSITY)) 18 June 2009 See paragraphs [0023], [0025]; and figure 2.	1-22
A	US 8705663 B2 (INNOPHASE INC.) 22 April 2014 See column 7, lines 38-65; and figure 3.	1-22
A	JP 2009-027581 A (RENESAS TECHNOLOGY CORP.) 05 February 2009 See paragraph [0014]; and figure 1.	1-22



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"I" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

08 JUNE 2016 (08.06.2016)

Date of mailing of the international search report

08 JUNE 2016 (08.06.2016)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Seonsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2016/001860

Patent document cited in search report	Publication date	Patent family member	Publication date
US 8773182 B1	08/07/2014	NONE	
KR 10-2009-0063641 A	18/06/2009	KR 10-0993959 B1	11/11/2010
US 8705663 B2	22/04/2014	CN 104604124 A	06/05/2015
		KR 10-2014-0143749 A	17/12/2014
		US 2013-0195157 A1	01/08/2013
		US 2013-0195223 A1	01/08/2013
		US 2013-0195224 A1	01/08/2013
		US 2014-0023163 A1	23/01/2014
		US 8542779 B2	24/09/2013
		US 8917759 B2	23/12/2014
		US 9031167 B2	12/05/2015
		WO 2013-116528 A1	08/08/2013
JP 2009-027581 A	05/02/2009	JP 5005455 B2	22/08/2012

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H04L 27/227(2006.01)i, H04L 27/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H04L 27/227; H03D 3/18; H03D 3/24; H03L 7/093; H03L 7/06; H03L 7/08; H03L 7/107; H04L 27/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 변조 신호, 캐리어 신호, 위상, 피드백, 분주

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	R.C.H. van de beek 등. 'A 13.56Mbps PSK Receiver for 13.56MHz RFID Applications' In: 2012 IEEE Radio Frequency Integrated Circuits Symposium, 2012.06, p. 239-242. <URL:http://ieeexplore.ieee.org/stamp/stamp.jsp?tp=&arnumber=6242272> 페이지 240-241; 및 도면 3-5 참조.	1-2,5-6
A		3-4,7-22
Y	US 8773182 B1 (OFIR DEGANI 등) 2014.07.08 컬럼 3, 라인 42-53; 및 도면 1 참조.	1-2,5-6
A	KR 10-2009-0063641 A (한양대학교 산학협력단) 2009.06.18 단락 [0023], [0025]; 및 도면 2 참조.	1-22
A	US 8705663 B2 (INNOPHASE INC.) 2014.04.22 컬럼 7, 라인 38-65; 및 도면 3 참조.	1-22
A	JP 2009-027581 A (RENESAS TECHNOLOGY CORP.) 2009.02.05 단락 [0014]; 및 도면 1 참조.	1-22

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2016년 06월 08일 (08.06.2016)

국제조사보고서 발송일

2016년 06월 08일 (08.06.2016)

ISA/KR의 명칭 및 우편주소



대한민국 특허청

(35208) 대전광역시 서구 청사로 189,

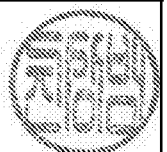
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

진상범

전화번호 +82-42-481-8398



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 8773182 B1	2014/07/08	없음	
KR 10-2009-0063641 A	2009/06/18	KR 10-0993959 B1	2010/11/11
US 8705663 B2	2014/04/22	CN 104604124 A	2015/05/06
		KR 10-2014-0143749 A	2014/12/17
		US 2013-0195157 A1	2013/08/01
		US 2013-0195223 A1	2013/08/01
		US 2013-0195224 A1	2013/08/01
		US 2014-0023163 A1	2014/01/23
		US 8542779 B2	2013/09/24
		US 8917759 B2	2014/12/23
		US 9031167 B2	2015/05/12
		WO 2013-116528 A1	2013/08/08
JP 2009-027581 A	2009/02/05	JP 5005455 B2	2012/08/22