

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2014년 8월 7일 (07.08.2014)



(10) 국제공개번호
WO 2014/119810 A1

(51) 국제특허분류:
B81B 1/00 (2006.01)

(21) 국제출원번호: PCT/KR2013/000832

(22) 국제출원일: 2013년 2월 1일 (01.02.2013)

(25) 출원언어: 한국어

(26) 공개언어: 한국어

(71) 출원인: 한국과학기술원 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) [KR/KR]; 305-701 대전시 유성구 대학로 291 (구성동), Daejeon (KR).

(72) 발명자: 임성규 (LIM, Sung Kyu); 305-755 대전시 유성구 어은동 한빛아파트 106-404, Daejeon (KR). 김영수 (KIM, Young Su); 305-150 대전시 유성구 반석동 양지마을 아파트 106-1001, Daejeon (KR). 김희연 (KIM, Hee Yeoun); 305-761 대전시 유성구 전민동 엑스포아파트, Daejeon (KR). 강민호 (KANG, Min Ho); 305-755 대전시 유성구 어은동 한빛아파트 102-1803, Daejeon (KR). 오재섭 (OH, Jae Sub); 305-806 대전시 유성구 어은동 53-3 나노종합팩센터, Daejeon (KR). 이귀로 (LEE, Kwy Ro); 305-500 대전시 유성구 용산동 테크노벨리 1211-301, Daejeon (KR).

(74) 대리인: 김남식 (KIM, Nam-Sik) 등; 137-876 서울시 서초구 사임당로 28 나이스빌딩 2층 올민국제특허법률사무소, Seoul (KR).

(81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

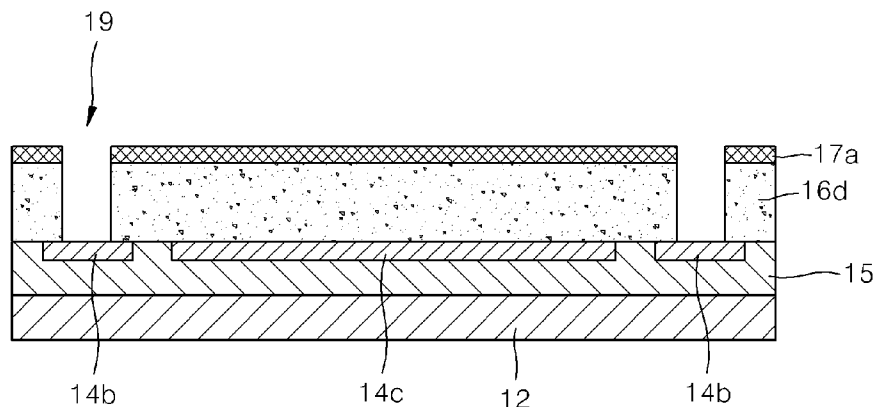
(84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 역내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

공개:

— 국제조사보고서와 함께 (조약 제 21 조(3))

(54) Title: MEMS DEVICE MANUFACTURING METHOD

(54) 발명의 명칭 : 멤스 디바이스 제조방법



(57) Abstract: A MEMS device manufacturing method using an amorphous carbon film as a sacrificial layer is provided. According to an embodiment of the present invention, a lower structure is formed. An amorphous carbon film is formed as a sacrificial layer on the lower structure. An upper structure including a sensor structure is formed on the amorphous carbon film. The amorphous carbon film is removed so that the lower structure and the upper structure are spaced apart from each other.

(57) 요약서: 비정질 탄소막을 희생층으로 이용한 MEMS 디바이스 제조 방법이 제공된다. 본 발명의 일 실시예에 따르면, 하부 구조물을 형성한다. 상기 하부 구조물 상에 희생층으로서 비정질 탄소막을 형성한다. 상기 비정질 탄소막 상에 센서 구조를 포함하는 상부 구조물을 형성한다. 상기 하부 구조물과 상기 상부 구조물이 서로 이격되어 배치되도록 상기 비정질 탄소막을 제거한다.

WO 2014/119810 A1

명세서

발명의 명칭: 멤스 디바이스 제조방법

기술분야

- [1] 본 발명은 반도체 디바이스에 관한 것으로서, 특히 멤스(MEMS: Micro Electro Mechanical Systems) 디바이스 및 그 제조 방법에 관한 것이다.

배경기술

- [2] 일반적으로 멤스 디바이스는 기계요소 부품, 센서, 액추에이터, 전자 회로를 하나의 실리콘 기판상에 집적화한 디바이스를 가리키며, 현재 제품으로서 시판되고 있는 것으로서는 프린터 헤드, 압력 센서, 가속도 센서, 자이로스코프, DMD(프로젝터) 등이 있다.
- [3] 주요 부분은 반도체 프로세스를 이용해 제작되지만 반도체 집적회로가 평면을 가공하는 프로세스로 제작되는데 대해 입체 형상을 형성할 필요가 있어 반도체 집적회로의 제작에는 사용되지 않는 희생층(sacrificial layer) 식각으로 불리는 프로세스가 포함된다. 이 프로세스는 실리콘 기판 위에 희생층과 구조물 박막을 사용하여 구조물의 모양을 패터닝하고, 희생층을 제거하여 구조물을 제작하는 방법이다. 이러한 하부 전극 또는 하부 구조물과 상부 구조물 사이의 공간을 일정하게 유지 시켜 주기 위한 희생층으로 실리콘이나 유기물인 폴리이미드(Polyimide)를 사용하여왔다.

발명의 상세한 설명

기술적 과제

- [4] 그러나 이러한 종래의 MEMS 디바이스 제작에 있어서 희생층으로 실리콘을 사용할 경우 산화막과의 식각 선택 비는 우수하나 질화막이나 텅스텐 등의 금속과는 식각 선택비가 좋지 않고, 희생층으로 폴리이미드를 사용할 경우 불순물이 많이 함유되고, 후속 공정시 저온에서 진행하는 리프트 오프(Lift off) 방법을 주로 사용하여 품질이 저하되는 문제점이 있었다.
- [5] 본 발명은 상기와 같은 문제점을 포함하여 여러 문제점들을 해결하기 위한 것으로서, 다양한 종류의 무기물과도 우수한 식각 선택비를 가지며, 디바이스에 따라 필름의 두께를 쉽게 조절할 수 있어 성능과 모양면에서 기존의 MEMS 디바이스에 비해 뛰어나고, 기존의 반도체 공정을 활용할 수 있는 MEMS 디바이스 및 제조 방법을 제공하는 것을 목적으로 한다. 그러나 이러한 과제는 예시적인 것으로, 이에 의해 본 발명의 범위가 한정되는 것은 아니다.

과제 해결 수단

- [6] 본 발명의 일 관점에 따른 멤스 디바이스 제조 방법이 제공된다. 상기 멤스 디바이스 제조 방법은 하부 구조물을 형성하는 단계; 상기 하부 구조물 상에 희생층으로서 비정질 탄소막을 형성하는 단계; 상기 비정질 탄소막 상에 절연지지층을 형성하는 단계; 상기 절연지지층 상에 식각 보호막을 형성하고

상기 절연지지층 및 상기 비정질 탄소막을 한 번에 식각하여, 상기 절연지지층 및 상기 비정질 탄소막을 관통하여 상기 하부 구조물을 노출하는 비어홀들을 형성하는 단계; 상기 절연지지층 상에 센서 구조를 포함하는 상부 구조물을 형성하는 단계; 상기 절연지지층을 관통하는 적어도 하나의 관통홀을 형성하는 단계; 및 상기 하부 구조물과 상기 상부 구조물이 서로 이격되어 배치되도록, 상기 관통홀들을 통해서 상기 비정질 탄소막을 모두 제거하는 단계;를 포함한다.

- [7] 상기 제조 방법에 있어서, 상기 비정질 탄소막을 형성하는 단계는 화학기상증착법(CVD)을 이용하여 수행할 수 있다.
- [8] 상기 제조 방법에 있어서, 상기 비정질 탄소막을 제거하는 단계는 건식 식각 방식을 포함할 수 있다. 나아가, 상기 건식 식각 방식은 산소(O_2) 플라즈마(Plasma)를 이용하여 수행할 수 있다.
- [9] 상기 제조 방법에 있어서, 상기 상부 구조물을 형성하는 단계는, 상기 비정질 탄소막 상에 절연지지층을 형성하는 단계를 더 포함할 수 있다.
- [10] 상기 제조 방법에 있어서, 상기 비어홀들을 형성하는 단계 후, 상기 비어홀들을 통해서 상기 하부 전극들과 연결되도록 상기 하부 전극들 상에 금속 앵커들을 형성하는 단계를 더 포함할 수 있다.
- [11] 상기 제조 방법에 있어서, 상기 상부 구조물을 형성하는 단계는, 상기 절연지지층 상에 흡수층을 형성하는 단계를 더 포함할 수 있다.
- [12] 상기 제조 방법에 있어서, 상기 하부 구조물은 상기 센서 구조를 제어하기 위한 판독집적회로(ROIC)를 포함할 수 있다.
- [13] 상기 제조 방법에 있어서, 상기 센서 구조는 적외선 센서를 포함할 수 있다.
- [14] 상기 제조 방법에 있어서, 상기 상기 절연지지층 및 상기 비정질 탄소막을 관통하여 상기 하부 구조물을 노출하는 비어홀들을 형성하는 단계는 한 번의 포토리소그래피 공정만으로 수행될 수 있다.

발명의 효과

- [15] 상기한 바와 같이 이루어진 본 발명의 일 실시예에 따르면, 다양한 종류의 무기물과도 우수한 식각 선택비를 가지며, 디바이스에 따라 필름의 두께를 쉽게 조절할 수 있어 성능과 모양면에서 기존의 MEMS 디바이스에 비해 뛰어나고, 기존의 반도체 공정을 활용할 수 있는 MEMS 디바이스를 구현할 수 있다. 물론 이러한 효과에 의해 본 발명의 범위가 한정되는 것은 아니다.

도면의 간단한 설명

- [16] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 MEMS 디바이스 및 그 제조 방법을 개략적으로 도시하는 단면도들이다.
- [17] 도 7은 본 발명의 다른 실시예에 따라 제조된 MEMS 디바이스를 개략적으로 도시하는 단면도이다.
- [18] 도 8 내지 도 11은 본 발명의 다른 실시예에 따른 MEMS 디바이스의 제조방법을 도시하는 단면도들이다.

발명의 실시를 위한 형태

- [19] 이하, 첨부된 도면들을 참조하여 본 발명의 실시예를 상세히 설명하면 다음과 같다. 그러나 본 발명은 이하에서 개시되는 실시예에 한정되는 것이 아니라 서로 다른 다양한 형태로 구현될 수 있는 것으로, 이하의 실시예는 본 발명의 개시가 완전하도록 하며, 통상의 지식을 가진 자에게 발명의 범주를 완전하게 알려주기 위해 제공되는 것이다. 또한 설명의 편의를 위하여 도면에서는 구성 요소들이 그 크기가 과장 또는 축소될 수 있다.
- [20] 도 1 내지 도 6은 본 발명의 일 실시예에 따른 MEMS 디바이스 및 그 제조 방법을 개략적으로 도시하는 단면도들이다.
- [21] 도 1을 참조하면, 하부 구조물(12)을 제공할 수 있다. 예를 들어, 하부 구조물(12)은 적절한 로직회로, 예컨대 판독집적회로(Read Out Integrated Circuit; ROIC)를 포함할 수 있다. 판독집적회로는 기판 상에 CMOS 소자를 형성하여 제조할 수 있다. 나아가, 하부 구조물(12)은 기판 상의 절연층(15) 및 절연층(15) 상의 하부 전극(14b) 및 반사층(14c)을 더 포함할 수 있다.
- [22] 하부 전극(14b)은 로직회로 내의 회로 소자와 센서 소자를 전기적으로 연결하는 데 이용될 수 있다. 하부 전극(14b)은 절연층(15) 상에 돌출되게 형성하거나 또는 절연층(15) 내에 트렌치 패턴을 형성한 후 이를 금속층으로 매립하여 형성할 수 있다. 반사층(14c)은 하부 구조물(12)에 입사되는 빛을 반사시키는 데 이용될 수 있다. 특히, 절연층(15) 내에 트렌치 패턴을 형성한 후에 이를 금속층으로 매립하여 하부 전극(14b) 및 반사층(14c)을 구현하는 다마신 방법을 사용하는 경우, 후술할 비정질탄소막을 화학기상증착법에 의하여 형성할 때 평탄화 측면에서 매우 유리할 수 있다.
- [23] 도 2를 참조하면, 하부 구조물(12) 상에 희생층(16)을 형성할 수 있다. 희생층(16)은 하부 구조물(12) 상에 후술하는 상부 구조물(도 6의 23)을 지지하는 데 이용되나 최종적으로는 적어도 일부 또는 전부가 제거될 수 있다. 예를 들어, 희생층(16)은 비정질 탄소막을 포함할 수 있다.
- [24] 예를 들어, 이러한 희생층(16)은 화학기상증착법(Chemical Vapor Deposition; CVD)을 이용하여 형성할 수 있다. 비정질탄소막(16)은 여러 가지 기술에 의해 증착될 수 있지만, 비용 효율성 및 막 특성 조정 가능성으로 인해 예를 들어, 플라즈마 강화 화학기상증착(plasma enhanced CVD; PECVD)법을 사용할 수 있다. 플라즈마 강화 화학기상증착법은 캐리어 가스(carrier gas) 내에 액상 또는 기상의 탄화수소를 포함하는 물질과 플라즈마 개시 가스로서 헬륨 및 아르곤 등을 챔버 내에 도입할 수 있다. 플라즈마는 챔버 내에 전해져서 여기된 CH-라디칼을 생성하고, 여기된 CH-라디칼은 챔버내에 위치하는 기판의 표면에 화학적으로 구속되어 기판의 표면상에 a-C:H 막을 형성할 수 있다. 본 발명의 일 실시예에서는, 상술한 것처럼, 절연층(15) 내에 트렌치 패턴을 형성한 후에 이를 금속층으로 매립하여 하부 전극(14b) 및 반사층(14c)을 구현하는 다마신

방법을 사용할 수 있으며, 이 경우, 비정질탄소막으로 구성된 희생층(16)은 CMP와 같은 별도의 평탄화 공정을 수행하지 않아도 된다. 만약, 평탄하지 않은 하부 금속 구조물 상에 비정질탄소막을 증착하고 CMP를 통하여 비정질탄소막을 평탄화하면 금속과 비정질탄소막 간의 접착력이 좋지 않기 때문에 필링(peeling)이 발생할 수 있다.

- [25] 따라서, 이러한 희생층(16)의 형성 공정은 반도체 소자의 금속 배선 공정 등과 같은 후공정(back-end process)과 양립 가능하게 수행할 수 있다. 즉, 희생층(16)은 MEMS 공정이 아닌 기존 반도체 소자 제조 시 이용되는 후공정을 이용하여 형성할 수 있다. 따라서, 하부 구조물(12)의 형성에 이어서 기존 반도체 후공정에서 사용하는 대부분의 공정 기술들을 그대로 적용하여 희생층(16) 및 이후 금속 공정을 진행할 수 있게 되어 제조 단가를 낮출 수 있고 대량 생산이 용이해진다.
- [26] 반면, 폴리이미드와 같은 재료를 사용하여 희생층(16)을 형성하는 경우, 수분 재흡수 등의 문제로 후속 금속 증착 공정에서 고온 공정을 적용하기 용이하지 않으므로 CVD 방식이 아닌 리프트 오프(Lift off) 방식을 사용하여 금속을 증착하여야 한다. 이 경우, 스텝 커버리지가 좋지 않고 금속의 내부에 불순물이 많이 남는다는 단점이 있었다.
- [27] 하지만, 이 실시예에서 희생층(16)은 중온 범위, 약 200°C 내지 600°C에서 CVD법을 사용하여 비정질탄소막으로 형성할 수 있다. 이 경우, 이후 CVD법을 이용하여 금속 증착 공정을 수행할 수 있게 된다. CVD법은 스텝 커버리지(Step Coverage)가 우수하고, 배선의 모양이나 전기적 특성 면에서 우수하여, 금속 증착 공정의 신뢰성을 높일 수 있다.
- [28] 한편, 희생층(16)의 두께는 하부 구조물(12)과 상부 구조물의 이격거리와 이후 제거 부담을 고려하여 적절하게 선택될 수 있다. 예를 들어, 이 실시예와 같은 MEMS 구조에서 희생층(16)의 두께는 0.5 내지 5 μm 범위에서 선택될 수 있다. 다만, 다른 실시예에서 희생층(16)의 두께는 이러한 범위에 국한되지 않고 선택될 수도 있다.
- [29] 선택적으로, 희생층(16) 상에 절연지지층(17)을 형성할 수 있다. 예를 들어, 절연지지층(17)은 CVD법을 이용하여 산화막으로 형성할 수 있다.
- [30] 도 3을 참조하면, 절연지지층(17) 및 희생층(16)을 한 번의 포토리소그래피 공정에 의하여 패터닝하여 비어홀들(19)을 갖는 희생층(16d) 및 절연지지층(17a)을 동시에 형성할 수 있다. 예를 들어, 비어홀들(19)은 포토리소그래피를 이용하여 포토레지스트 패터를 형성하고, 이 포토레지스트 패터를 식각 보호막으로 하여 절연지지층(17) 및 희생층(16)을 동시에 식각하여 형성할 수 있다. 예를 들어, 비어홀들(19)은 하부 전극들(14b)을 노출하도록 형성될 수 있고, 이후 하부 전극들(14b)을 상부 구조물과 연결하는 통로로 이용될 수 있다. 만약, 희생층(16)이 유기물인 폴리이미드로 구성된다면, 비어홀들(19)을 형성하기 위하여, 희생층(16)을 제1 포토리소그래피 공정에 의하여 식각한 후에,

절연지지층(17)은 제2 포토리소그래피 공정에 의하여 별도로 식각되어야 한다. 이는 상기 제1 포토리소그래피 공정에 의하여 노출된 폴리이미드에서 아웃개싱(outgassing)이 발생되므로, 폴리이미드가 노출된 부분을 덮어주는 별도의 공정이, 상기 제2 포토리소그래피 공정 이전에 추가로 필요하기 때문이다. 하지만, 본원의 실시예들에서는, 희생층(16)이 비정질 탄소막으로 구성되므로 상술한 아웃개싱의 문제가 발생되지 않고, 따라서, 식각 공정에서 비정질 탄소막의 노출을 방지할 필요성이 없으므로, 한 번의 포토리소그래피 공정에 의하여 절연지지층(17)과 희생층(16)을 한 번에, 즉 동시에, 식각할 수 있다. 발명자는 희생층(16)을 폴리이미드에서 비정질 탄소막으로 대체함으로써, 상술한 수분 재흡수, 불량한 스텝 커버리지, 후속 공정에서의 불순물 등과 같은 문제점을 방지할 뿐만 아니라, 나아가, 비정질 탄소막의 특성을 이용하여 비어홀들(19)을 형성하는 공정에서 포토리소그래피 공정의 횟수를 2회에서 1회로 단순화하여 제조비용을 획기적으로 절감할 수 있는 제조방법을 제공한다.

[31] 도 4를 참조하면, 비어홀들(19)을 통해서 하부 전극들(14b)과 연결되도록 금속 앵커들(21)을 형성할 수 있다. 예를 들어, 비어홀들(19)에 의해서 노출된 하부 전극들(14b) 상에 CVD법을 이용하여 금속층을 형성하고, 이를 패터닝함으로써 금속 앵커들(21)을 형성할 수 있다. 이러한 금속층으로는 예컨대, 텅스텐(W)층을 들 수 있다. 이러한 금속 앵커들(21)은 하부 전극들(14b)을 상부 구조물과 전기적으로 연결하는 비어 플러그들로 이용될 수 있다.

[32] 도 5를 참조하면, 희생층(16d) 상에 상부 구조물을 형성할 수 있다. 예를 들어, 금속 앵커들(21)이 형성된 결과물 상에 흡수층(22)을 형성하고 흡수층(22) 상에 센서 구조(23)를 형성할 수 있다. 흡수층(22)은 복수의 홀들을 포함하도록 패터닝될 수 있다. 예를 들어, 흡수층(22)은 적외선을 흡수할 수 있는 금속을 포함할 수 있다.

[33] 센서 구조(23)는 MEMS 구조에 이용되는 다양한 센서를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다. 예를 들어, 적외선 센서의 경우, 저항소자, 열전소자 등을 포함할 수 있다. 저항소자를 포함하는 볼로미터(bolometer)의 경우, 흡수되는 적외선 정도에 따라서 저항이 가변되는 물질, 예컨대 비정질 실리콘, 바나듐 산화물 등을 포함할 수 있다.

[34] 도 6을 참조하면, 센서 구조(23) 상에 제2절연지지층(25)을 형성할 수 있다. 예를 들어, 제2절연지지층(25)은 산화막을 포함할 수 있다.

[35] 이어서, 제2절연지지층(25), 센서 구조(23), 흡수층(22) 및 절연지지층(17a)을 관통하는 관통홀들(27)을 형성할 수 있다. 예를 들어, 관통홀들(27)은 포토리소그래피 기술을 이용하여 포토레지스트 패턴을 형성하고, 이 포토레지스트 패턴을 식각 보호막으로 하여 제2절연지지층(25), 센서 구조(23), 흡수층(22) 및 절연지지층(17a)을 식각하여 형성할 수 있다. 관통홀들(27)의 개수는 희생층(16d)의 식각 속도를 고려하여 하나 또는 그 이상의 범위에서

적절하게 선택될 수 있다. 관통홀들(27)의 형상은 다양하게 변형될 수 있고, 관통홀들(27)에 의해서 캔틸레버(cantilever) 패턴이 구현될 수 있다.

[36] 이어서, 이러한 관통홀들(27)을 통해서 희생층(16d)을 제거하여 빈공간(C)을 한정할 수 있다. 이러한 빈공간(C)은 적외선이 반사층(14c)을 통해서 반사하여 다시 센서 구조(23)로 입사되게 함으로써, 적외선 흡수효율을 높이는 데 기여할 수 있다.

[37] 예를 들어, 희생층(16d)이 비정질 탄소막인 경우, 습식 식각 또는 건식 식각을 이용하여 희생층(16d)을 식각할 수 있다. 다만, 습식 식각을 이용한 경우 스틱션(stiction)이 발생할 수 있으나, 건식 식각의 경우에는 이러한 문제로부터 자유로울 수 있다. 예를 들어, 건식 식각은 산소(O_2) 플라즈마(Plasma)를 이용하여 수행할 수 있다.

[38] 이와 같이 형성된 MEMS 디바이스는 하부 구조물(12)과 센서 구조(23)를 포함하는 상부 구조물을 포함할 수 있다. 하부 구조물(12)과 센서 구조(23) 사이에는 희생층(16, 16d)이 제거된 빈공간(C)이 한정될 수 있다. 센서 구조(23)는 금속 앵커들(21)을 통해서 하부 전극들(14b)에 전기적으로 연결될 수 있다. 이에 따라, 센서 구조(23)와 하부 구조물(12)의 로직회로, 예컨대 판독집적회로가 서로 구조적으로 연결되어 MEMS 디바이스를 구성할 수 있다. 이러한 MEMS 디바이스는 다양한 센서 구조를 포함할 수 있으며, 예컨대 적외선 센서, 자외선 센서, 엑스선 센서, 레이저 센서 등을 포함할 수 있다.

[39] 도 7은 본 발명의 다른 실시예에 따라 제조된 MEMS 디바이스를 개략적으로 도시하는 단면도이다.

[40] 도 7을 참조하면, 제1기판(12a) 내에 하부 전극(14)이 형성될 수 있다. 하부 전극(14)은 제1도전형의 제1기판(12a) 내에 제2도전형의 불순물을 주입하고 제1기판(12a)을 열처리하여 형성할 수 있다. 여기에서 제1도전형과 제2도전형은 각각 n형과 p형일 수 있으며, 또는 그 반대일 수도 있다. 또한 변형된 실시예에서, 하부 전극(14)은 제1기판(12a) 내에 형성하지 않고 제1기판(12a)의 상면 상에 돌출되어 배치될 수도 있다.

[41] 제1기판(12a)의 일부분 상에는 비정질탄소막 패턴(16c)이 형성될 수 있다. 그리고 제1기판(12a)의 나머지 부분 상에는 비정질탄소막 패턴(16c)이 존재하지 않는다. 예를 들어, 비정질탄소막 패턴(16c)은 하부 전극(14)의 상부면과 하부 전극(14)의 주변에 있는 제1기판(12a) 적어도 일부가 노출되도록 형성될 수 있다. 비정질탄소막 패턴(16c) 상에는 제2기판(18a) 및 상부 전극(20)이 배치된다. 상부 전극(20)은 하부 전극(14)과 대향하는 위치에 배치될 수 있다. 따라서 하부 전극(14)은 상부 전극(20)과 비정질탄소막 패턴(16c)에 의하여 이격되어 배치될 수 있다. 물론, 하부 전극(14)과 상부 전극(20) 사이에는 비정질탄소막 패턴(16c)이 개재되지 않을 수 있다.

[42] 편의상 앞에서 설명한 제1기판(12a) 및/또는 하부 전극(14)을 포함하는 구조물을 하부 구조물로 명명하고, 제2기판(18a) 및/또는 상부 전극(20)을

포함하는 구조물을 상부 구조물로 명명할 수 있다. 이 경우 상부 구조물과 하부 구조물은 비정질탄소막 패턴(16c)에 의하여 이격되어 배치될 수 있다.

- [43] 앞에서 설명한 것처럼, 제1기판(12a) 및 비정질탄소막 패턴(16c) 상에는 상부 구조물이 배치될 수 있다. 상부 구조물은 제2기판(18a) 및 상부 전극(20) 외에 솔더접합층(24) 및 패키징 캡층(26)을 더 포함할 수 있다. 제2기판(18a)은 MEMS 디바이스에서 디바이스층에 해당할 수 있다. 디바이스층의 두께는 임의로 조정될 수 있으며, 다양한 형태의 구조를 가질 수 있다. 그리고, 제2기판(18a)은 상부 전극(20)을 포함할 수 있으며, 상부 전극(20)은 제2기판(18a)의 소정의 부위에 제2도전형의 물질을 주입하고, 제2기판(18a)을 열처리하여 형성할 수 있다. 상부 전극(20)은 비정질탄소막 패턴(16c)을 관통하여 하부 전극(14)과 대향하는 위치에 형성될 수 있다.
- [44] 상부 전극(20)과 하부 전극(14)은 비정질탄소막 패턴(16c)의 두께에 해당하는 거리(d1)만큼 이격된다. 따라서, 상부 전극(20)은 하부 전극(14) 상에서 위치가 변동될 수 있도록 형성될 수도 있다.
- [45] 각각 도전성 평판인 상부 전극(20)과 하부 전극(14)이 서로 나란하게 대향되도록 배치될 때, 두 전극 사이의 전기용량은 두 전극 사이의 매질의 유전율과 마주보는 두 전극의 면적에 비례하고, 두 전극 사이의 이격 거리(d1)에 반비례하는 값으로 근사화될 수 있다. 두 전극이 상대적으로 상하 및/또는 좌우로 상대적인 이동이 발생하면 두 전극 사이의 간격이나 겹치는 면적이 변화하여 정전용량이 변화한다. 따라서, 이러한 정전용량의 변화를 전기적 신호로 출력하면 두 전극 사이의 상대적인 변위를 측정할 수 있다.
- [46] 제2기판(18a) 상에는 패키징 캡층(26)이 배치될 수 있다. 패키징 캡층(26)은 외부로부터 MEMS 디바이스를 보호하는 역할을 할 수 있다. 패키징 캡층(26)의 내부(28)는 진공을 유지할 수 있도록 밀봉될 수 있다. 제2기판(18a)과 패키징 캡층(26) 사이에는 솔더접합층(24)이 개재될 수 있다. 솔더접합층(24)은 금, 은, 구리, 주석, 인듐 및 실리콘 중에서 적어도 하나 이상을 포함할 수 있다.
- [47] 나아가, MEMS 디바이스는 제1기판(12a) 및/또는 비정질탄소막 패턴(16c)을 관통하여 하부 전극(14) 및/또는 상부 전극(20)을 외부와 전기적으로 연결하는 관통전극(32)을 더 포함하고, 제1기판(12a)의 하부면에는 관통전극(32)과 전기적으로 연결되는 도전성 패드(34)를 더 포함할 수 있다. 단면 방향에 따라서, 단면도인 도 1에서는 상부 전극(20)과 제2기판(18a)이 분리되어 있는 것으로 도시되었지만, 실제로는 서로 연결되어 지지되는 구조를 가지므로 관통전극(32)과 상부 전극(20)은 전기적으로 연결될 수 있다. 관통전극(32)은 도전성 물질로 이루어질 수 있으며, 예를 들어, 구리, 텅스텐 및 알루미늄 등과 같은 물질로 이루어 질 수 있다.
- [48] 예를 들어, 이 실시예에 따른 MEMS 디바이스는 자이로 센서로 이용될 수 있지만, 이 실시예의 범위가 이에 제한되는 것은 아니다.
- [49] 도 8 내지 도 11은 본 발명의 다른 실시예에 따른 MEMS 디바이스의 제조

공정을 개략적으로 도시하는 단면도이다.

- [50] 도 8을 참조하면, 먼저 제1기판(12)을 준비한다. 제1기판(12)은 실리콘 기판일 수 있으며, 다양한 반도체 물질, 예컨대 IV족 반도체, III-V족 화합물 반도체, 또는 II-VI족 산화물 반도체를 포함할 수 있다. 예를 들어, IV족 반도체는 실리콘 이외에도 게르마늄 또는 실리콘-게르마늄을 포함할 수 있다. 기판의 종류로는 갈륨-비소 기판, 세라믹 기판, 석영 기판 및 디스플레이용 유리 기판 등으로 이루어질 수 있다.
- [51] 그 다음, 제1기판(12) 내에 불순물을 주입하고 제1기판(12)을 열처리하여 하부 전극(14)을 형성한다. 불순물을 주입하여 하부 전극(14)을 형성하게 되면 하부 전극(14)은 제1기판(12)의 상부면에 돌출되지 않고 제1기판(12) 내에 형성할 수 있다. 이렇게 형성된 하부 전극(14)은 하부 전극(14)의 상부면과 제1기판(12)의 상부면 동일한 레벨(level)을 가진다. 한편, 변형된 실시예에서는, 하부 전극(14)은 제1기판(12a)의 상면 상에 돌출되게 배치할 수도 있다.
- [52] 불순물을 주입하는 공정은 이온임플란트공정 또는 도핑공정을 포함할 수 있다. 불순물을 주입하는 공정에서, 예를 들어, PH_3 , AsH_3 등과 같은 n형 불순물 소스 또는 BF_3 , BCl_3 등과 같은 p형 불순물 소스를 사용할 수 있다. 이때 하부 전극(14)은 전기전도가 우수한 도체의 특성을 가질 수 있다.
- [53] 기판(12a) 상에는 희생층으로서 비정질 탄소막을 형성할 수 있다. 도 9를 참조하면, 하부 전극(14)이 내부에 형성된 제1기판(12) 상에 비정질탄소막(16)을 형성할 수 있다. 상기 비정질탄소막(16)을 형성하는 단계는 화학기상증착법을 이용하여 비정질탄소막(16)을 형성할 수 있다. 비정질탄소막(16)은 여러 가지 기술에 의해 증착될 수 있지만, 비용 효율성 및 막 특성 조정 가능성으로 인해 예를 들어, 플라즈마 강화 화학기상증착(PECVD)법을 사용할 수 있다.
- [54] 이러한 화학기상증착법을 수행하는 온도는 200°C 내지 600°C 에서 수행할 수 있다. 예를 들어, 아르곤을 희석 가스로 사용하는 경우 기판 온도는 증착 중에 약 300°C 만큼 낮은 온도로 감소될 수 있다. 기판에 대해 더 낮은 처리 온도는 프로세스의 열부담(thermal budget)을 낮춰서 도펀트 이동으로부터 기판상에 형성된 디바이스를 보호할 수 있다. 또한 반도체 후공정과 동일한 온도에서 공정이 이루어질 수 있다. 따라서 기존의 반도체 공정에서 이미 사용되고 있는 공정 기술들을 충분히 이용할 수 있기 때문에 제조 단가를 낮출 수 있다.
- [55] 도 10을 참조하면, 제1기판(12)과 비정질탄소막(16) 상에 상부 구조물을 형성할 수 있다. 상부 구조물은 제2기판(18a) 및 상부 전극(20)을 포함할 수 있다. 제2기판(18a)은 예를 들어, 실리콘 기판일 수 있다. 제2기판(18a)은 MEMS 디바이스에서 디바이스층에 해당할 수 있다. 디바이스층의 두께는 실리콘 기판의 접합 및/또는 박형화(thinning)를 통하여 임의로 조정될 수 있으며, 예를 들어 $10\ \mu\text{m}$ 내지 $100\ \mu\text{m}$ 의 범위를 가질 수 있다. 계속하여, 제2기판(18a)에 노광, 식각 및 세정 공정 등을 수행한다. 예를 들어, 상기 식각 공정은 소위 Deep RIE(Reactive Ion Etching) 방식을 사용하여 수행될 수 있다.

- [56] 제2기판(18a)은 다양한 형태의 소정의 구조물을 포함할 수 있다. 예를 들어, 제2기판(18a)의 소정의 부위에 불순물을 주입하고 제2기판(18a)을 열처리하여 상부 전극(20)을 형성할 수 있다. 불순물을 주입하는 공정은 이온임플란트공정 또는 도핑공정을 포함할 수 있다. 한편, 불순물을 주입하는 공정에서, 예를 들어, PH_3 , AsH_3 등과 같은 n형 불순물 소스 또는 BF_3 , BCl_3 등과 같은 p형 불순물 소스를 사용할 수 있다.
- [57] 상부 구조물을 형성하는 단계는 화학기상증착법에 의하여 텅스텐을 증착하는 단계를 더 포함할 수 있다. 화학기상증착법에 의한 텅스텐 증착은 WF_6/H_2 혼합가스를 이용하여 생성할 수 있다. WF_6 은 실리콘, 수소 및 실란(silane)에 의해 환원될 수 있고, 실리콘과 접촉하게 되면, 실리콘의 환원 반응으로부터 선택적 반응이 시작될 수 있다. 수소 환원 반응은 플러그를 형성하면서 핵 생성층 위에 빠르게 텅스텐을 증착할 수 있으며, 실란(silane) 환원 반응은 빠른 증착 속도와 수소 환원 반응에서 얻을 수 있는 것보다 더 작은 텅스텐 결정립 크기를 얻을 수 있다. 이러한 반응에 의해 형성된 텅스텐 박막은 스텝 커버리지(step coverage) 특성이 좋고 타 물질에 비해 저항 성분이 낮아 중요 도전재료로 취급될 수 있다.
- [58] 도 10 내지 도 11을 참조하면, 하부 전극(14)과 상부 전극(20) 사이에 개재되는 비정질탄소막(16)의 일부를 제거하여 비정질탄소막 패턴(16b)을 형성할 수 있다. 비정질탄소막(16)의 일부를 제거하는 공정은 상부 구조물 중 적어도 어느 하나 예를 들어, 제2기판(18a)을 형성한 후 제거할 수 있으며, 습식 식각 및/또는 건식 식각을 이용할 수 있다. 예를 들어, 건식 식각 방식 중 하나인 산소(O_2) 플라즈마(Plasma)를 이용하여 비정질탄소막(16)의 일부를 선택적으로 쉽게 제거할 수 있다. 산소(O_2) 플라즈마(Plasma)를 이용하게 되면, 많은 종류의 무기물과도 우수한 식각 선택비를 가질 수 있고, 필름 두께도 쉽게 조절할 수 있다. 따라서 하부 전극(14)은 상부 전극(20)과 둘 사이의 이격거리를 조절하는데 용이할 수 있으며, 정전용량의 균일성을 확보하기 쉬어 MEMS 디바이스의 안정적인 동작을 확보할 수 있다.
- [59] 한편, 상부 구조물은 제2기판(18a) 및 상부 전극(20) 이외에 솔더접합층(24) 및 패키징 캡층(26)을 더 포함할 수 있다. 패키징 캡층(26)은 제2기판(18a) 상에 부착될 수 있고, 패키징 캡층(26)의 내부(28)는 진공을 유지할 수 있도록 밀봉될 수 있으며, 제2기판(18a)과 패키징 캡층(26) 사이에는 솔더접합층(24)을 개재할 수 있다. 솔더접합층(24)을 형성하는 물질로는 금, 은, 구리, 주석, 인듐 및 실리콘 중에서 적어도 하나 이상을 포함하여 이루어질 수 있다. 예를 들어, 솔더접합층(24)은 구리/주석, 금/인듐, 금/주석, 금/실리콘, 구리/금/주석 등과 같은 다양한 이원계 또는 삼원계의 솔더 합금으로 이루어질 수 있다.
- [60] 앞에서 살펴본 바와 같이, 본 발명의 기술적 사상에 따른 MEMS 디바이스는 실리콘기판 상에 희생층으로서 비정질탄소막 패턴을 형성하므로, 화학기상증착법에 의한 텅스텐 증착 공정을 사용할 수 있어, 스텝 커버리지(Step Coverage)가 우수하고, 배선의 모양이나 전기적 특성 면에서 우수한 디바이스를

제작할 수 있다. 또한 반도체 후공정과 동일한 온도에서 공정이 이루어지므로, 기존의 반도체 공정에서 이미 사용되고 있는 공정 기술들을 충분히 이용할 수 있다.

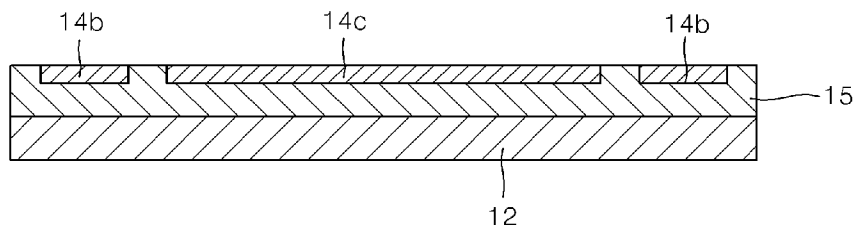
- [61] 본 발명은 도면에 도시된 실시예를 참고로 설명되었으나 이는 예시적인 것에 불과하며, 당해 기술분야에서 통상의 지식을 가진 자라면 이로부터 다양한 변형 및 균등한 다른 실시예가 가능하다는 점을 이해할 것이다. 따라서 본 발명의 진정한 기술적 보호 범위는 첨부된 특허청구범위의 기술적 사상에 의하여 정해져야 할 것이다.

청구범위

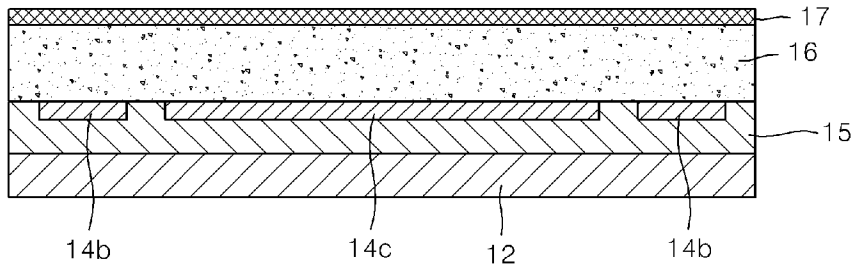
- [청구항 1] 하부 구조물을 형성하는 단계;
상기 하부 구조물 상에 희생층으로서 비정질 탄소막을 형성하는 단계;
상기 비정질 탄소막 상에 절연지지층을 형성하는 단계;
상기 절연지지층 상에 식각 보호막을 형성하고 상기 절연지지층 및 상기 비정질 탄소막을 한 번에 식각하여, 상기 절연지지층 및 상기 비정질 탄소막을 관통하여 상기 하부 구조물을 노출하는 비어홀들을 형성하는 단계;
상기 절연지지층 상에 센서 구조를 포함하는 상부 구조물을 형성하는 단계;
상기 절연지지층을 관통하는 적어도 하나의 관통홀을 형성하는 단계; 및
상기 하부 구조물과 상기 상부 구조물이 서로 이격되어 배치되도록, 상기 관통홀들을 통해서 상기 비정질 탄소막을 모두 제거하는 단계;
를 포함하는, 멤스 디바이스 제조 방법.
- [청구항 2] 제1항에 있어서,
상기 비정질 탄소막을 형성하는 단계는 화학기상증착법(CVD)을 이용하여 수행하는, 멤스 디바이스 제조 방법.
- [청구항 3] 제2항에 있어서,
상기 화학기상증착법을 수행하는 온도는 200°C 내지 600°C인, 멤스 디바이스 제조 방법.
- [청구항 4] 제1항에 있어서,
상기 비정질 탄소막을 제거하는 단계는 건식 식각 방식을 포함하는, 멤스 디바이스 제조 방법
- [청구항 5] 제4항에 있어서,
상기 건식 식각 방식은 산소(O₂) 플라즈마(Plasma)를 이용하여 수행하는, 멤스 디바이스 제조 방법.
- [청구항 6] 제1항에 있어서, 상기 상부 구조물을 형성하는 단계는, 상기 비정질 탄소막 상에 절연지지층을 형성하는 단계를 더 포함하는, 멤스 디바이스 제조 방법.
- [청구항 7] 제1항에 있어서, 상기 비어홀들을 형성하는 단계 후, 상기 비어홀들을 통해서 상기 하부 전극들과 연결되도록 상기 하부 전극들 상에 금속 앵커들을 형성하는 단계를 더 포함하는, 멤스 디바이스 제조 방법.
- [청구항 8] 제6항에 있어서,

- [청구항 9] 상기 상부 구조물을 형성하는 단계는, 상기 절연지지층 상에 흡수층을 형성하는 단계를 더 포함하는, 멤스 디바이스 제조 방법. 제1항에 있어서,
- [청구항 10] 상기 하부 구조물은 상기 센서 구조를 제어하기 위한 판독집적회로(ROIC)를 포함하는, 멤스 디바이스 제조 방법. 제8항에 있어서,
- [청구항 11] 상기 센서 구조는 적외선 센서를 포함하는, 멤스 디바이스 제조 방법. 제1항에 있어서,
- [청구항 12] 상기 희생층의 두께는 0.5 내지 5 μm 범위인, 멤스 디바이스 제조 방법. 제1항에 있어서,
- 상기 상기 절연지지층 및 상기 비정질 탄소막을 관통하여 상기 하부 구조물을 노출하는 비어홀들을 형성하는 단계는 한 번의 포토리소그래피 공정만으로 수행되는, 멤스 디바이스 제조 방법.

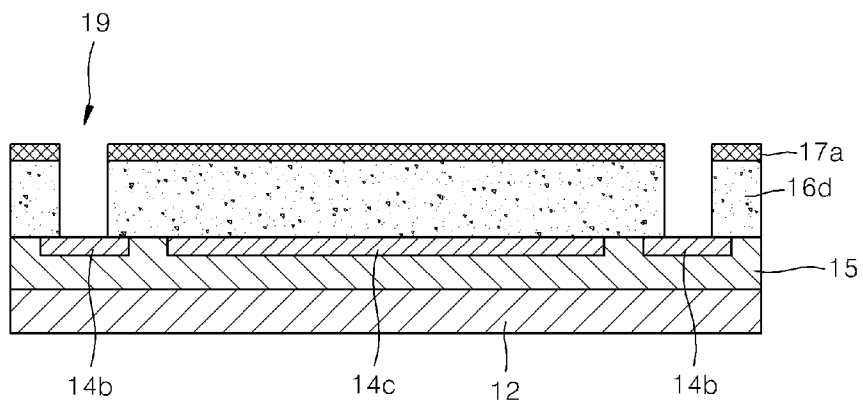
[Fig. 1]



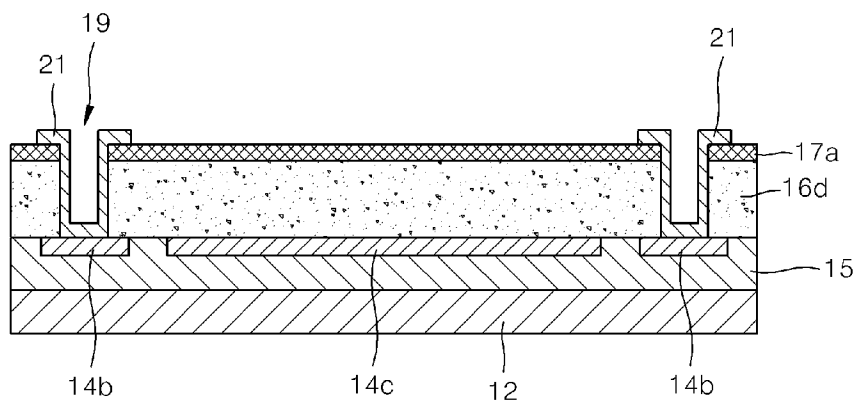
[Fig. 2]



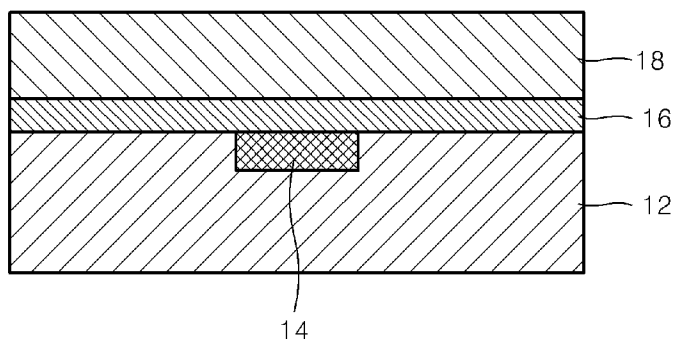
[Fig. 3]



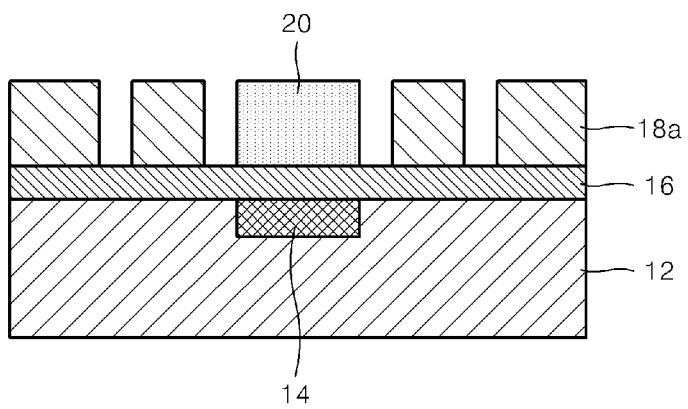
[Fig. 4]



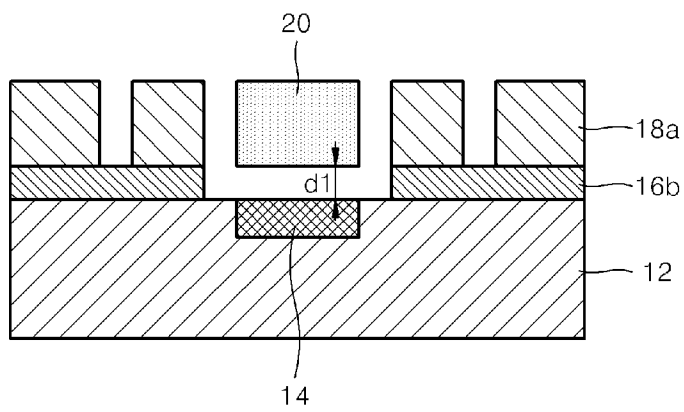
[Fig. 9]



[Fig. 10]



[Fig. 11]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2013/000832

A. CLASSIFICATION OF SUBJECT MATTER

B81B 1/00(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

B81B 1/00; G02B 26/06; H01L 21/336; G02B 26/00; H01L 29/84; H01L 31/09; H01L 31/18; H01L 21/02; B81C 1/00

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: mems, MEMS, amorphous carbon layer, sacrificial layer, etch

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	US 2006-0187523 A1 (PAN, Shaohar X.) 24 August 2006 See abstract; paragraphs 53-58, 74-81 and figures 10-26.	1-12
Y	US 6664154 B1 (BELL et al.) 16 December 2003 See abstract; column 4, lines 31-48 and figures 4-5.	1-12
Y	KR 10-2004-0109999 A (ELECTRONICS AND TELECOMMUNICATIONS RESEARCH INSTITUTE) 29 December 2004 See page 4 and figures 2a-2f.	7,8,10
A	US 2012-0170102 A1 (PAYNE et al.) 05 July 2012 See abstract; paragraphs 131-139 and figures 16a-16g.	1-12
A	US 2010-0181631 A1 (LACEY, Joseph Damian Gordon) 22 July 2010 See abstract; paragraphs 24-34 and figures 1A-1F.	1-12
E	KR 10-1250447 B1 (KOREA ADVANCED INSTITUTE OF SCIENCE AND TECHNOLOGY) 08 April 2013 See abstract; paragraphs 17-59 and figures 1-11.	1-12



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

26 JUNE 2013 (26.06.2013)

Date of mailing of the international search report

01 JULY 2013 (01.07.2013)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex-Daejeon, 189 Sconsa-ro, Daejeon 302-701,
Republic of Korea

Facsimile No. 82-42-472-7140

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2013/000832

Patent document cited in search report	Publication date	Patent family member	Publication date
US 2006-0187523 A1	24.08.2006	CN 101084462 A	05.12.2007
		CN 101084462 B	02.06.2010
		CN 101214917 A	09.07.2008
		EP 1704424 A2	27.09.2006
		JP 2007-283486 A	01.11.2007
		JP 2007-510174 A	19.04.2007
		US 2005-0128564 A1	16.06.2005
		US 2006-0126152 A1	15.06.2006
		US 2006-0126153 A1	15.06.2006
		US 2006-0245030 A1	02.11.2006
		US 2007-0080131 A1	12.04.2007
		US 2008-0013147 A1	17.01.2008
		US 2008-0063796 A1	13.03.2008
		US 2008-0220552 A1	11.09.2008
		US 2008-0297874 A1	04.12.2008
		US 7167298 B2	23.01.2007
		US 7245415 B2	17.07.2007
		US 7307777 B2	11.12.2007
		US 7388707 B2	17.06.2008
		US 7394586 B2	01.07.2008
		US 7471440 B2	30.12.2008
		US 7538932 B2	26.05.2009
		US 7618835 B2	17.11.2009
		US 7667885 B2	23.02.2010
		WO 2005-045477 A2	19.05.2005
US 6664154 B1	16.12.2003	NONE	
KR 10-2004-0109999 A	29.12.2004	KR 10-0538996 B1	27.12.2005
		US 2004-0256559 A1	23.12.2004
		US 7105819 B2	12.09.2006
US 2012-0170102 A1	05.07.2012	NONE	
US 2010-0181631 A1	22.07.2010	CN 102292279 A	21.12.2011
		EP 2389336 A2	30.11.2011
		WO 2010-090839 A2	12.08.2010
		WO 2010-090839 A3	17.03.2011
		WO 2010-090839 A4	05.05.2011
KR 10-1250447 B1	08.04.2013	NONE	

A. 발명이 속하는 기술분류(국제특허분류(IPC))

B81B 1/00(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

B81B 1/00; G02B 26/06; H01L 21/336; G02B 26/00; H01L 29/84; H01L 31/09; H01L 31/18; H01L 21/02; B81C 1/00

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 멤스, MEMS, 비정질 탄소막, 희생층, 식각

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
Y	US 2006-0187523 A1 (PAN, SHAOHER X.) 2006.08.24 요약; 단락 53-58, 74-81 및 도면 10-26 참조.	1-12
Y	US 6664154 B1 (BELL 외 3명) 2003.12.16 요약; 컬럼 4, 라인 31-48 및 도면 4-5 참조.	1-12
Y	KR 10-2004-0109999 A (한국전자통신연구원) 2004.12.29 페이지 4 및 도면 2a-2f 참조.	7,8,10
A	US 2012-0170102 A1 (PAYNE 외 3명) 2012.07.05 요약; 단락 131-139 및 도면 16a-16g 참조.	1-12
A	US 2010-0181631 A1 (LACEY, JOSEPH DAMIAN GORDON) 2010.07.22 요약; 단락 24-34 및 도면 1A-1F 참조.	1-12
E	KR 10-1250447 B1 (한국과학기술원) 2013.04.08 요약; 단락 17-59 및 도면 1-11 참조.	1-12



추가 문헌이 C(계속)에 기재되어 있습니다.



대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2013년 06월 26일 (26.06.2013)

국제조사보고서 발송일

2013년 07월 01일 (01.07.2013)

ISA/KR의 명칭 및 우편주소

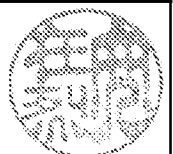
대한민국 특허청
(302-701) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 82-42-472-7140

심사관

안재열

전화번호 82-42-481-8525



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
US 2006-0187523 A1	2006.08.24	CN 101084462 A CN 101084462 B CN 101214917 A EP 1704424 A2 JP 2007-283486 A JP 2007-510174 A US 2005-0128564 A1 US 2006-0126152 A1 US 2006-0126153 A1 US 2006-0245030 A1 US 2007-0080131 A1 US 2008-0013147 A1 US 2008-0063796 A1 US 2008-0220552 A1 US 2008-0297874 A1 US 7167298 B2 US 7245415 B2 US 7307777 B2 US 7388707 B2 US 7394586 B2 US 7471440 B2 US 7538932 B2 US 7618835 B2 US 7667885 B2 WO 2005-045477 A2	2007.12.05 2010.06.02 2008.07.09 2006.09.27 2007.11.01 2007.04.19 2005.06.16 2006.06.15 2006.06.15 2006.11.02 2007.04.12 2008.01.17 2008.03.13 2008.09.11 2008.12.04 2007.01.23 2007.07.17 2007.12.11 2008.06.17 2008.07.01 2008.12.30 2009.05.26 2009.11.17 2010.02.23 2005.05.19
US 6664154 B1	2003.12.16	없음	
KR 10-2004-0109999 A	2004.12.29	KR 10-0538996 B1 US 2004-0256559 A1 US 7105819 B2	2005.12.27 2004.12.23 2006.09.12
US 2012-0170102 A1	2012.07.05	없음	
US 2010-0181631 A1	2010.07.22	CN 102292279 A EP 2389336 A2 WO 2010-090839 A2 WO 2010-090839 A3 WO 2010-090839 A4	2011.12.21 2011.11.30 2010.08.12 2011.03.17 2011.05.05
KR 10-1250447 B1	2013.04.08	없음	