



(12) 发明专利申请



(10) 申请公布号 CN 120092503 A

(43) 申请公布日 2025. 06. 03

(21) 申请号 202380076157.X

(22) 申请日 2023.09.26

(30) 优先权数据

2022-181395 2022.11.11 JP

(85) PCT国际申请进入国家阶段日

2025.04.28

(86) PCT国际申请的申请数据

PCT/JP2023/034915 2023.09.26

(87) PCT国际申请的公布数据

W02024/101019 JA 2024.05.16

(71) 申请人 信越半导体株式会社

地址 日本东京都

(72) 发明人 萩本和德

(74) 专利代理机构 北京路浩知识产权代理有限公司 11002

专利代理师 李琴 谢顺星

(51) Int.Cl.

H10D 86/00 (2025.01)

H10D 86/01 (2025.01)

H01L 21/02 (2006.01)

权利要求书1页 说明书9页 附图3页

(54) 发明名称

高频装置用基板及其制造方法

(57) 摘要

本发明是一种高频装置用基板,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板,其中,所述SOI基板是形成于基底基板上的陷阱富集层与由单晶硅构成的SOI层隔着氧化膜接合而成的TRSOI基板,所述SOI层的电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上,晶面方位为(111),氧浓度为 14.8ppma 以下。由此,提供一种高频特性优异的高频装置用基板及其制造方法。

< 准备TRSOI基板 >

· 在基底基板上形成TR层

· SOI层 (结合基板)

电阻率: $1\text{k}\Omega\cdot\text{cm}$

晶面方位: (111)

氧浓度: 14.8ppma 以下

< 形成氮化物半导体膜 >

1. 一种高频装置用基板,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板,其特征在于,

所述SOI基板是形成于基底基板上的陷阱富集层与由单晶硅构成的SOI层隔着氧化膜接合而成的TRSOI基板,

所述SOI层的电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上,晶面方位为(111),氧浓度为14.8ppma以下。

2. 根据权利要求1所述的高频装置用基板,其特征在于,所述SOI层的氧浓度为5.2ppma以下。

3. 根据权利要求1所述的高频装置用基板,其特征在于,所述SOI层的氧浓度为0.5ppma以下。

4. 根据权利要求1~3中任一项所述的高频装置用基板,其特征在于,所述基底基板是晶面方位为(100)的CZ单晶硅基板。

5. 根据权利要求1~3中任一项所述的高频装置用基板,其特征在于,所述基底基板的电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上。

6. 根据权利要求4所述的高频装置用基板,其特征在于,所述基底基板的电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上。

7. 一种高频装置用基板的制造方法,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板的制造方法,其特征在于,包括:

准备TRSOI基板作为所述SOI基板的工序,所述TRSOI基板为使接合基板中的结合基板薄膜化从而形成SOI层而成的TRSOI基板,所述接合基板通过将形成于基底基板上的陷阱富集层与由单晶硅构成的所述结合基板隔着氧化膜进行接合而获得;及

在所述SOI层上形成所述氮化物半导体膜的工序,

作为所述结合基板,使用电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上、晶面方位为(111)且氧浓度为14.8ppma以下的结合基板。

8. 根据权利要求7所述的高频装置用基板的制造方法,其特征在于,作为所述结合基板,使用氧浓度为5.2ppma以下的结合基板。

9. 根据权利要求7所述的高频装置用基板的制造方法,其特征在于,作为所述结合基板,使用氧浓度为0.5ppma以下的结合基板。

10. 根据权利要求7~9中任一项所述的高频装置用基板的制造方法,其特征在于,作为所述基底基板,使用晶面方位为(100)的CZ单晶硅基板。

11. 根据权利要求7~9中任一项所述的高频装置用基板的制造方法,其特征在于,作为所述基底基板,使用电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上的基底基板。

12. 根据权利要求10所述的高频装置用基板的制造方法,其特征在于,作为所述基底基板,使用电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上的基底基板。

高频装置用基板及其制造方法

技术领域

[0001] 本发明涉及高频装置用基板及其制造方法。

背景技术

[0002] 以GaN为代表的氮化物半导体被期待作为超越作为硅(Si)的材料的极限的下一代的半导体材料。近年来,进行了通过在单晶硅基板上进行氮化物半导体的外延生长来制造高频装置。另外,在高频装置中,观察到由基板引起的特性劣化、因基板导致的损耗及第二高次谐波特性、第三高次谐波特性劣化。

[0003] 一般而言,高频装置用基板使用高电阻率基板,进行GaN层等的外延生长,制作高频装置。使用高电阻率基板,使讯号不会从外延层流动至衬底Si基板。此外,当在高电阻率硅基板上层叠氮化物半导体外延层时,通过设计缓冲层作为应力缓和层,从而层叠氮化物半导体外延层。

[0004] 此外,如专利文献1、2所述,作为高频装置用基板,正在普及通常设置有富陷阱(TR)层的TR基板,并且,通过使用高电阻率基板从而提升频率特性。该专利文献1等记载了一种在高电阻率的基底基板上由TR层、介电质层(埋藏氧化膜)、半导体层构成的结构。

[0005] 现有技术文献

[0006] 专利文献

[0007] 专利文献1:日本专利第7098851号

[0008] 专利文献2:日本特开2022-70890号公报

发明内容

[0009] (一)要解决的技术问题

[0010] 通常在使用了TR基板的高频装置中,二次谐波(2HD)的提升存在极限,为了进一步提升高频特性,认为将TRSOI基板与高频特性优异的GaN层组合而成的GaN-on-TRSOI基板具有前景。

[0011] 然而,即使是在TRSOI基板上层叠GaN层而成的GaN on TRSOI基板,仍可能被Si基板的特性(电阻率或氧浓度)影响而不会提升二次谐波特性。

[0012] 本发明是为了解决上述技术问题而完成,其目的在于提供一种高频特性优异的高频装置用基板及其制造方法。

[0013] (二)技术方案

[0014] 为了达成上述目的,本发明提供一种高频装置用基板,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板,其特征在于,

[0015] 所述SOI基板是形成于基底基板上的陷阱富集层与由单晶硅构成的SOI层隔着氧化膜接合而成的TRSOI基板,

[0016] 所述SOI层的电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上,晶面方位为(111),氧浓度为14.8ppma以下。

[0017] 若以这样的方式形成有氮化物半导体膜的基板是TRSOI基板、且该TRSOI基板的

SOI层具有上述 $1\text{k}\Omega \cdot \text{cm}$ 以上的高电阻率,而且其氧浓度在上述数值范围内,则能够制成一种具有优异的高频特性的高频装置用基板。例如在现有产品(TR基板等)中,2HD的极限为-91dBm左右,但是在本发明中能够进一步减少其2HD,能够显示进一步优异的谐波特性。

[0018] 此外,通过SOI层具有上述晶面方位,从而能够良好地形成该SOI层上的氮化物半导体膜。

[0019] 此时,能够使所述SOI层的氧浓度为5.2ppma以下,能够使高频特性进一步优异。

[0020] 进一步,能够使所述SOI层的氧浓度为0.5ppma以下,能够使高频特性更进一步优异。

[0021] 此外,能够使所述基底基板为晶面方位为(100)的直拉(CZ)单晶硅基板。

[0022] 利用CZ法的晶面方位(100)的基底基板有生产成品率良好的倾向,低价且高质量,甚至能够成为一种低价且高精度的高频装置用基板。

[0023] 此外,能够使所述基底基板的电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上。

[0024] 若基底基板是这样的 $1\text{k}\Omega \cdot \text{cm}$ 以上的高电阻率,则能够使高频特性更优异。

[0025] 此外,本发明提供一种高频装置用基板的制造方法,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板的制造方法,其特征在于,包括:

[0026] 准备TRSOI基板作为所述SOI基板的工序,所述TRSOI基板为使接合基板中的结合基板薄膜化从而形成SOI层而成的TRSOI基板,所述接合基板通过将形成于基底基板上的陷阱富集层与由单晶硅构成的所述结合基板隔着氧化膜进行接合而获得;及,

[0027] 在所述SOI层上形成所述氮化物半导体膜的工序;

[0028] 作为所述结合基板,使用电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上、晶面方位为(111)、氧浓度为14.8ppma以下的结合基板。

[0029] 若是这样的本发明的制造方法,则能够制造一种具有优异的高频特性(例如二次谐波特性等)的高频装置用基板,也能够良好地形成氮化物半导体膜。

[0030] 此时,作为所述结合基板,能够使用氧浓度为5.2ppma以下的结合基板,能够获得高频特性进一步优异的基板。

[0031] 进一步,作为所述结合基板,能够使用氧浓度为0.5ppma以下的结合基板,能够获得高频特性更进一步优异的基板。

[0032] 此外,作为所述基底基板,能够使用晶面方位为(100)的CZ单晶硅基板。

[0033] 能够以低价准备晶面方位(100)的高质量的基底基板。

[0034] 此外,作为所述基底基板,能够使用电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上的基底基板。

[0035] 若以这样的方式进行,能够获得高频特性更优异的基板。

[0036] (三)有益效果

[0037] 若是本发明的高频装置用基板及其制造方法,则能够得到一种2HD等高频特性优异的高频装置用基板。

附图说明

[0038] 图1是示出本发明的高频装置用基板的一个实例的概略说明图。

[0039] 图2是示出本发明的高频装置用基板的制造方法的一个实例的工序图。

[0040] 图3是示出在高频装置用基板形成有共面波导(CPW)电极的复合体的一个实例的

概略结构图。

[0041] 图4是CPW电极的概略平面图。

[0042] 图5是示出实施例1~3、比较例1~3的谐波特性(2HD)的测定结果的图表。

具体实施方式

[0043] 以下,参照附图对本发明的实施方案进行说明,但是本发明不限于此。

[0044] 首先,如前所述,本发明涉及一种具有SOI结构的高频装置用基板,尤其涉及一种具有抵抗在靠近SOI结构的氧化膜(即,埋藏氧化膜:BOX膜)的区域内的反转层的形成的支撑基板(基底基板)的高频装置用基板。

[0045] 在电阻率较高的半导体基板(例如硅晶圆)中,容易在BOX膜与支撑基板之间的界面形成导电性较高的电荷反转层或电荷储存层,由此,基板的有效电阻率下降,产生寄生功率损耗,并且当使装置以射频(RF)频率运作时,产生装置的非线性。

[0046] 已开发一种方法,其用于在所感应出的任一反转层(或储存层)中捕获电荷,使得即使在非常靠近表面的区域内,也能够维持基板的高电阻率。已知通过在高电阻率支撑基板与埋藏氧化膜之间设置电荷捕获层(CTL),由此采用SOI基板而制得的RF装置的性能提升。已提出多种形成这样的捕获性较高的界面层的方法。例如形成在RF装置用途上具有电荷捕获层的绝缘层上半导体装置(例如绝缘层上覆硅、也即SOI)的方法之一,是基于以下步骤:在电阻率较高的硅基板上沉积未掺杂(未被掺杂)多晶硅膜的步骤;及,形成氧化膜和设置于该氧化膜上的硅层的层叠体的步骤。多晶硅层在硅基板与埋藏氧化膜之间作为缺陷较多的层发挥功能。

[0047] 在学术研究上,示出了通过在氧化膜与基板之间设置多晶硅层来改善装置的分离性、减少传输线的损耗、及减少谐波失真。例如参照以下文献。

[0048] • H.S.Gamble, et al. "Low-loss CPW lines on surface stabilized high resistivity silicon," Microwave Guided Wave Lett., 9(10), pp.395-397, 1999

[0049] • D.Lederer, R.Lobet and J.-P.Raskin, "Enhanced high resistivity SOI wafers for RF applications," IEEE Intl. SOI Conf., pp.46-47, 2004

[0050] • D.Lederer and J.-P.Raskin, "New substrate passivation method dedicated to high resistivity SOI wafer fabrication with increased substrate resistivity," IEEE Electron Device Letters, vol.26, no.11, pp.805-807, 2005

[0051] • D.Lederer, B.Aspar, C. Laghae and J.-P.Raskin, "Performance of RF passive structures and SOI MOSFETs transferred on a passivated HR SOI substrate," IEEE International SOI Conference, pp.29-30, 2006

[0052] • Daniel C.Kerret al. "Identification of RF harmonic distortion on Si substrates and its reduction using a trap-rich layer", Silicon Monolithic Integrated Circuits in RF Systems, 2008. SiRF 2008 (IEEE Topical Meeting), pp.151-154, 2008

[0053] 以往,虽然使用像专利文献1等这样的TR基板等作为高频装置用基板来谋求高频特性的提升,但是该提升已面临极限(例如2HD为-91dBm)。

[0054] 在这样的状况下本申请的发明人专心进行研究,结果发现在像GaN on TRSOI这样

的高频装置用基板 (TRSOI 基板 + 氮化物半导体膜) 中, 上述高频特性的提升对于 SOI 层的氧浓度存在相关性。而且, 本申请的发明人发现若该 SOI 层 (高电阻率 [$1\text{k}\Omega \cdot \text{cm}$ 以上]、晶面方位为 (111)) 的氧浓度为 14.8ppma 以下, 则能够具有更优异的高频特性, 从而完成了本发明。

[0055] 对本发明的高频装置用基板进行说明。图1中示出本发明的高频装置用基板的一个实例。本发明的高频装置用基板1具有 SOI 基板2、及在该 SOI 基板2上的氮化物半导体膜3。而且, SOI 基板2为以下结构: 在基底基板4上依序层叠有陷阱富集层5 (TR 层)、氧化膜6 (埋藏氧化膜 (BOX 膜))、SOI 层7 (单晶硅层)。

[0056] 以下详述各部。

[0057] 上述 SOI 基板2是形成于基底基板4上的 TR 层5与 SOI 层7隔着氧化膜6接合而成的 TRSOI 基板。例如能够通过下述方式获得上述 TRSOI 基板的结构: 将由基底基板4和 TR 层5构成的结构体与作为 SOI 层7的结合基板的在任一表面或两表面形成有氧化膜6的部位进行贴合, 并使结合基板薄膜化。

[0058] 基底基板4例如能够设为硅基板, 尤其能够设为晶面方位为 (100) 的利用 CZ 法的单晶硅基板。原因在于, 容易准备低价且高质量的基底基板。

[0059] 此外, 基底基板4的电阻率并无特别限定, 为了容易控制翘曲, 可以是裂断负载较大的低电阻率基底基板。能够通过提高掺杂剂浓度, 使基底基板的强度增加, 抑制翘曲。另一方面, 也能够设为高电阻率的基底基板、例如 $1\text{k}\Omega \cdot \text{cm}$ 以上的基底基板, 此时, 能够制成一种高频特性更优异的高频装置用基板。优选能够设为 $3\text{k}\Omega \cdot \text{cm}$ 以上, 进一步优选能够设为 $5\text{k}\Omega \cdot \text{cm}$ 以上, 能够使得在高频特性方面更有利。此电阻率的上限并无特别限定, 为越高的值, 越能够谋求高频特性的提升, 例如能够设为 $50\text{k}\Omega \cdot \text{cm}$ 。

[0060] TR 层5是指具有通过层中的缺陷来捕获电荷的效果的层, 只要具有此功能即可, 例如能够设为无掺杂的多晶硅层、或通过离子布植来形成于基底基板表面上的损伤层等。

[0061] 氧化膜6例如能够设为基于热氧化的硅氧化膜。

[0062] SOI 层7的电阻率为 $1\text{k}\Omega \cdot \text{cm}$ 以上, 晶面方位为 (111), 氧浓度为 14.8ppma 以下。

[0063] 由于是 $1\text{k}\Omega \cdot \text{cm}$ 以上的高电阻率, 因此高频装置用基板1的高频特性得到提升。优选能够设为 $3\text{k}\Omega \cdot \text{cm}$ 以上, 进一步优选能够设为 $5\text{k}\Omega \cdot \text{cm}$ 以上, 能够使得在高频特性方面更有利。此电阻率的上限并无特别限定, 为越高的值, 越能够谋求高频特性的提升, 例如能够设为 $150\text{k}\Omega \cdot \text{cm}$ 。

[0064] 此外, 通过晶面方位为 (111), 能够在 SOI 层7上适当地形成良好的氮化物半导体膜。

[0065] 此外, 如前所述, 本申请的发明人发现高频特性取决于此 SOI 层7的氧浓度, 若氧浓度为 14.8ppma 以下, 则能够获得比现有产品更优异的高频特性。

[0066] 例如关于二次谐波 (2HD), 在现有产品中于 -91dBm 左右存在改善的极限, 但若是本发明, 则能够较该现有产品更进一步改善, 例如能够减少至 -95dBm 左右来加以提升。而且, 若氧浓度为 5.2ppma 以下, 则例如能够改善至 -105dBm 左右, 若进一步为 0.5ppma 以下, 则例如也能够改善至 -115dBm 左右、或其以上。另外, 氧浓度越低, 在高频特性的改善方面越优选, 而无法设置下限。

[0067] 另外, 在本申请说明书中, 本发明中的氧浓度的值 (及下述各比较例的现有产品中的氧浓度的值) 基于 JEIDA-61-2000 规格。

[0068] 作为氮化物半导体膜3,并无特别限定,能够根据目的来采用氮化物半导体,可列举例如:GaN、AlN、AlGaIn及它们的组合等。

[0069] 若是如以上所述的本发明的高频装置用基板1,则关于高频特性,能够比现有产品更优异。

[0070] 继而,说明能够制造图1的高频装置用基板1的本发明的高频装置用基板的制造方法。图2是本发明的制造方法的流程的一个实例。包括准备TRSOI基板的工序、及形成氮化物半导体膜的工序。

[0071] 以下,一边示出具体例,一边详述各工序。

[0072] <准备TRSOI基板>

[0073] 首先,准备基底基板,并在其上形成TR层。

[0074] 例如准备直径150mm的高电阻率($1\sim 50\text{k}\Omega\cdot\text{cm}$)的基底基板(Si基板)。尤其能够通过直拉法来培育晶轴方位<100>的单晶硅锭,并利用线锯装置将其切片,而准备晶面方位(100)的单晶硅基板(基底基板:(100) just基板)。另外,关于基底基板,此处以上述方式列举(100) just基板为例来加以说明,也能够设为具有偏角。

[0075] 在以这样的方式所准备的基底基板上通过减压化学气相沉积(减压CVD)法生长厚度仅100nm~3 μm 的作为陷阱富集层(TR层)的多晶硅(poly-Si)层。作为生长条件的例子,能够将气相沉积装置的反应管内的温度设定为例如590℃以上,并且将例如单硅烷(SiH_4)气体和磷化氢(PH_3)气体导入反应管内,一边将反应管内维持在规定的真空度一边使进行生长。或者,也存在以下方法:使用二硅烷(Si_2H_6)气体,在580℃以下的温度形成非晶硅膜,在例如600~1000℃左右的温度对此薄膜进行退火来使加以多晶化。

[0076] 如前所述,TR层是指具有通过层中的缺陷来捕获电荷的效果的层,只要具有此功能即可,不限于多晶硅。例如能够设为利用离子布植来形成于Si晶体上的损伤层。例如能够在基底基板表面形成上述损伤层。

[0077] 继而,准备由单晶硅构成的结合基板,将基底基板与结合基板隔着氧化膜进行接合,得到接合基板。然后,通过使该接合基板中的结合基板薄膜化,形成SOI层(TRSOI基板的制作)。

[0078] 首先,准备结合基板,例如能够设为CZ单晶基板,也能够设为悬浮区熔法(FZ)单晶基板。由于之后会成为SOI层,在其上层叠并形成氮化物半导体膜,因此准备晶面方位为(111)的结合基板。例如适当调整CZ法或FZ法中的锭的制造条件来培育晶轴方位为<111>的锭并进行切片即可(结合基板:(111) just基板)。

[0079] 另外,关于结合基板,也能够设为具有偏角,尤其,优选设为 ± 1 度以内。此时,能够更确实地使将欲形成于其上的氮化物半导体膜为均匀且高质量。

[0080] 此时,适当调整掺杂剂的浓度来制成高电阻率($1\text{k}\Omega\cdot\text{cm}$ 以上)。

[0081] 进一步,将结晶中的氧浓度控制在14.8ppma以下。若是CZ法,则能够通过调整CZ提拉装置中的坩埚的旋转速度等来调整锭中的氧浓度,更优选能够调整至5.2ppma以下。此外,若是FZ法,则尤其即使是像0.5ppma以下这样的低氧浓度的基板,也能够简便地准备。通过降低结合基板(SOI层)的氧浓度,从而使高频特性进一步提升,能够进一步减少2HD。

[0082] 然后,在形成于基底基板上的多晶硅层上形成例如200nm的氧化膜(成为BOX膜),与作为SOI层的上述(111)结合基板($1\sim 150\text{k}\Omega\cdot\text{cm}$,优选是 $3\text{k}\Omega\cdot\text{cm}$ 以上,进一步优选是5k

$\Omega \cdot \text{cm}$ 以上)结合(接合)后,使结合基板薄膜化来形成SOI层。SOI层的厚度例如能够设为100nm。

[0083] 氧化膜能够形成为使得介于基底单晶基板与结合单晶基板之间的氧化膜的膜厚为例如2nm以上且470nm以下。当然,能够使将两基板结合后的氧化膜的膜厚为2nm以上且470nm以下。另外,氧化膜可形成于在基底基板上形成的多晶硅层侧,也可形成于结合基板侧。此外,也可形成于这两者。

[0084] 只要能够结合基底基板与结合基板,则热处理(结合热处理)的条件(气氛、温度、时间等)并无特别限定。例如能够设为在氮气气氛下此结合热处理的温度为400°C以上且1200°C以下、1~12小时的结合热处理。

[0085] 作为结合基板的薄膜化的方法,可列举例如离子布植剥离法。可预先在结合基板上形成离子布植层,接合后对于接合基板,利用剥离热处理以离子布植层进行剥离,也可机械地以离子布植层进行剥离。

[0086] <形成氮化物半导体膜>

[0087] 以上述方式准备TRS0I基板后,在SOI层上形成氮化物半导体膜。

[0088] 在TRS0I基板上例如层叠AlN初始层,然后层叠AlGaIn层、GaIn层、SLs层(AlGaIn/GaIn或AlN/GaIn的超晶格层),并在其上层叠GaIn层,制成总厚度为1.8 μm 。能够通过根据有机金属化学气相沉积(MOCVD)法进行外延生长来形成这些层。

[0089] 另外,不太可能因基板中的氧产生热施体。原因在于,外延生长温度为1200~1050左右,至少施加4小时的热历程,认为不会形成热施体,冷却也接近快速冷却。

[0090] 除上述工序的说明中所列举的SOI层中的电阻率(1k $\Omega \cdot \text{cm}$ 以上)、晶面方位(111)、氧浓度(14.8ppma以下)以外的各部的膜厚和电阻率、工序温度等数值仅为一个实例,在本发明中不限于这些数值。

[0091] 通过如以上所述的本发明的制造方法,能够制造一种高频特性比以往更得到改善的高频装置用基板1,能够得到2HD比-91dBm更进一步减少的高频装置用基板1。

[0092] 实施例

[0093] 以下,示出实施例及比较例来更具体地说明本发明,但是本发明不限于这些实施例。

[0094] (实施例1)

[0095] 按照图2的流程来制造图1所示的高频装置用基板1(TRS0I基板+氮化物半导体膜)。

[0096] 基底基板4:CZSi单晶基板,(100)面为主面,8k $\Omega \cdot \text{cm}$

[0097] TR层5:多晶硅层,厚度为1.8 μm

[0098] 氧化膜6(BOX膜):厚度为200nm

[0099] SOI层7(结合基板):CZSi单晶,(111)面为主面,5k $\Omega \cdot \text{cm}$,氧浓度为14.8ppma,厚度为100nm

[0100] 氮化物半导体膜3:层叠由AlN初始层、AlGaIn层及GaIn/AlN的SLs结构构成的缓冲层,并在其上层叠GaIn层,总厚度为1.8 μm

[0101] TR层、氧化膜、SOI层、氮化物半导体膜的制造条件如下所述。

[0102] TR层:在基底基板上以1050°C形成多晶硅层作为陷阱富集层(电荷捕获层)后,对

其表面进行研磨,将厚度制成 $1.8\mu\text{m}$ 。

[0103] 氧化膜:通过使结合基板热氧化来形成。

[0104] SOI层:从结合基板的顶面(与基底基板接合的侧)布植氢,在结合基板内部形成微小气泡层(离子布植层)。将具有微小气泡层的结合基板贴附在先前形成的基底基板的多晶硅层的表面。接下来,通过进行热处理,以微小气泡层作为剥离界面来分离结合基板,从而形成了残留在氧化膜上的薄的结合层、也即SOI层。接下来,对SOI层进行接触抛光,得到膜厚 100nm 的SOI层。

[0105] 氮化物半导体:各层的成长温度如以下所述。初始层AlN为 $1050\sim 1200^{\circ}\text{C}$,AlGaN层为 $1150\sim 1050^{\circ}\text{C}$,SLs结构为 $1100\sim 1000^{\circ}\text{C}$,GaN为 $1000\sim 900^{\circ}\text{C}$ 。

[0106] 在上述高频装置用基板中形成RF电极进行特性评价。

[0107] 具体而言,对于高频元件用基板1,利用光刻工艺形成共面波导(Co-Planar Waveguide,CPW)的Al电极(厚度为 $1\mu\text{m}$,长度为 $2199\mu\text{m}$),实施热处理。以这样的方式得到图3(结构图)和图4(平面图)所示的复合体20。

[0108] 复合体20包括高频装置用基板1、及形成于其氮化物半导体膜3的表面上的CPW电极10。

[0109] CPW电极10包括长度L(图4)为 $2199\mu\text{m}$ 且宽度为 $15\mu\text{m}$ 的中心电极11、及周边电极12。中心电极11和周边电极12的厚度为 $1\mu\text{m}$ 。

[0110] 然后,使用CPW电极10来取得谐波特性(2HD)作为高频装置用基板1的RF特性。

[0111] 另外,关于测定条件,使实施例1及下述各实施例和各比较例的上述CPW电极10的形状、基本频率(H1) $f_0=0.9\text{GHz}$ 的输出 $P_{\text{out}}=15\text{dBm}$ 一致。

[0112] 在实施例1中其结果为 -95dBm 。

[0113] (实施例2)

[0114] 除了SOI层的氧浓度为 5.2ppma 以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0115] 其结果为 -104.8dBm 。

[0116] (实施例3)

[0117] 除了SOI层的氧浓度为 0.3ppma (结合基板是FZSi单晶)以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0118] 其结果为 -114.2dBm 。

[0119] (比较例1)

[0120] 除了基底基板的电阻率为 $5\text{k}\Omega\cdot\text{cm}$,SOI层的氧浓度为 17.1ppma 以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0121] 其结果为 -89.9dBm 。

[0122] (比较例2)

[0123] 制造GaN on Si结构体。具体而言,在Si基板(FZSi单晶基板,(111)面为主面, $5\text{k}\Omega\cdot\text{cm}$,氧浓度为 0.5ppma)上与实施例1同样地层叠SLs结构等缓冲层作为氮化物半导体膜,并在其上层叠GaN层。总厚度为 $1.8\mu\text{m}$ 。

[0124] 此比较例2虽然具有氮化物半导体膜,但是与作为本发明的制品的各实施例的不同之处在于,该氮化物半导体膜形成于Si基板上而不是TRSOI基板上。

[0125] 以与实施例1同样的方式制作CPW电极,并取得谐波特性(2HD)。

[0126] 其结果为-84dBm。

[0127] (比较例3)

[0128] 为了评价TR基板的高频特性,将SOI层从TRSOI基板上去除,制造带氧化膜的TR基板。具体而言,TRSOI基板的制造方法为在基底基板的Si基板((100)面为主面, $5\text{k}\Omega\cdot\text{cm}$,氧浓度为13.1ppma)上形成厚度 $1.8\mu\text{m}$ 的多晶硅层,在结合基板的Si基板上形成厚度200nm的氧化膜或微小气泡层,将结合基板的氧化膜侧贴附在基底基板的多晶硅层表面后,进行热处理,以微小气泡层作为剥离界面来分离结合基板,从而形成SOI层,然后进行接触抛光来使SOI层薄膜化,得到TRSOI基板。然后,剥除上述SOI层,得到带氧化膜的TR基板。

[0129] 在此带氧化膜的TR基板的氧化膜上以与实施例1同样的方式制作CPW电极,并取得谐波特性(2HD)。

[0130] 其结果为-91dBm。

[0131] 另外,与作为本发明的制品的各实施例的不同之处在于,此比较例3不具有本发明的制品中的SOI层7和氮化物半导体膜。

[0132] 将实施例1~3、比较例1~3的谐波特性(2HD)的测定结果示于图5。比较例1~3中,比较例3虽然能够最大程度地减少2HD,但是停留在-91dBm。相对于此,在实施了本发明的实施例1~3中皆能够减少到超过-91dBm,极为良好。

[0133] (实施例4)

[0134] 除了SOI层的氧浓度为0.5ppma(结合基板是FZSi单晶)以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0135] 其结果为-112.4dBm。

[0136] (实施例5)

[0137] 除了SOI层的电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0138] 其结果为-94dBm。

[0139] (比较例4)

[0140] 除了SOI层的氧浓度为17.1ppma以外,以与实施例1同样的方式制作高频装置用基板、CPW电极,并取得谐波特性(2HD)。

[0141] 其结果为-89.6dBm。

[0142] 在实施例4、5中,关于2HD,也能够减少到超过-91dBm。另一方面,在比较例4中,无法达到比较例3的-91dBm。

[0143] 本说明书包括以下方案。

[0144] [1]:一种高频装置用基板,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板,其中,

[0145] 所述SOI基板是形成于基底基板上的陷阱富集层与由单晶硅构成的SOI层隔着氧化膜接合而成的TRSOI基板,

[0146] 所述SOI层的电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上,晶面方位为(111),氧浓度为14.8ppma以下。

[0147] [2]:根据上述[1]所述的高频装置用基板,其中,所述SOI层的氧浓度为5.2ppma以下。

[0148] [3]:根据上述[1]所述的高频装置用基板,其中,所述SOI层的氧浓度为0.5ppma以下。

[0149] [4]:根据上述[1]~[3]中任一项所述的高频装置用基板,其中,所述基底基板是晶面方位为(100)的CZ单晶硅基板。

[0150] [5]:根据上述[1]~[4]中任一项所述的高频装置用基板,其中,所述基底基板的电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上。

[0151] [6]:一种高频装置用基板的制造方法,其是在SOI基板上形成氮化物半导体膜而成的高频装置用基板的制造方法,其包括:

[0152] 准备TRSOI基板作为所述SOI基板的工序,所述TRSOI基板为使接合基板中的结合基板薄膜化从而形成SOI层而成的TRSOI基板,所述接合基板通过将形成于基底基板上的陷阱富集层与由单晶硅构成的所述结合基板隔着氧化膜进行接合而获得;及

[0153] 在所述SOI层上形成所述氮化物半导体膜的工序;

[0154] 作为所述结合基板,使用电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上、晶面方位为(111)、氧浓度为14.8ppma以下的结合基板高频装置用基板的制造方法。

[0155] [7]:根据上述[6]所述的高频装置用基板的制造方法,其中,作为所述结合基板,使用氧浓度为5.2ppma以下的结合基板。

[0156] [8]:根据上述[6]所述的高频装置用基板的制造方法,其中,作为所述结合基板,使用氧浓度为0.5ppma以下的结合基板。

[0157] [9]:根据上述[6]~[8]中任一项所述的高频装置用基板的制造方法,其中,作为所述基底基板,使用晶面方位为(100)的CZ单晶硅基板。

[0158] [10]:根据上述[6]~[9]中任一项所述的高频装置用基板的制造方法,其中,作为所述基底基板,使用电阻率为 $1\text{k}\Omega\cdot\text{cm}$ 以上的基底基板。

[0159] 另外,本发明并不限于上述实施方案。上述实施方案为例示,具有与本发明的权利要求书记载的技术思想实质相同的构成且发挥相同作用效果的技术方案皆包含在本发明的技术范围内。

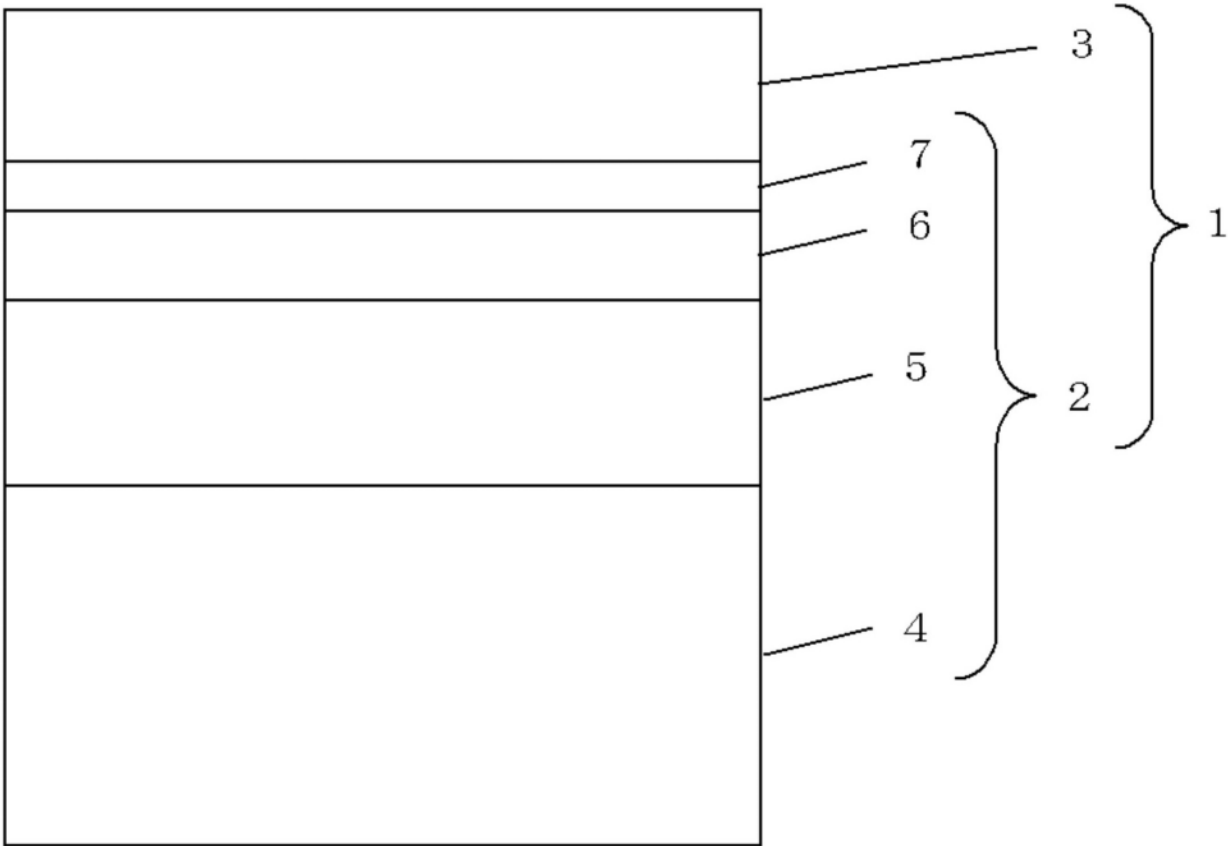


图1



图2

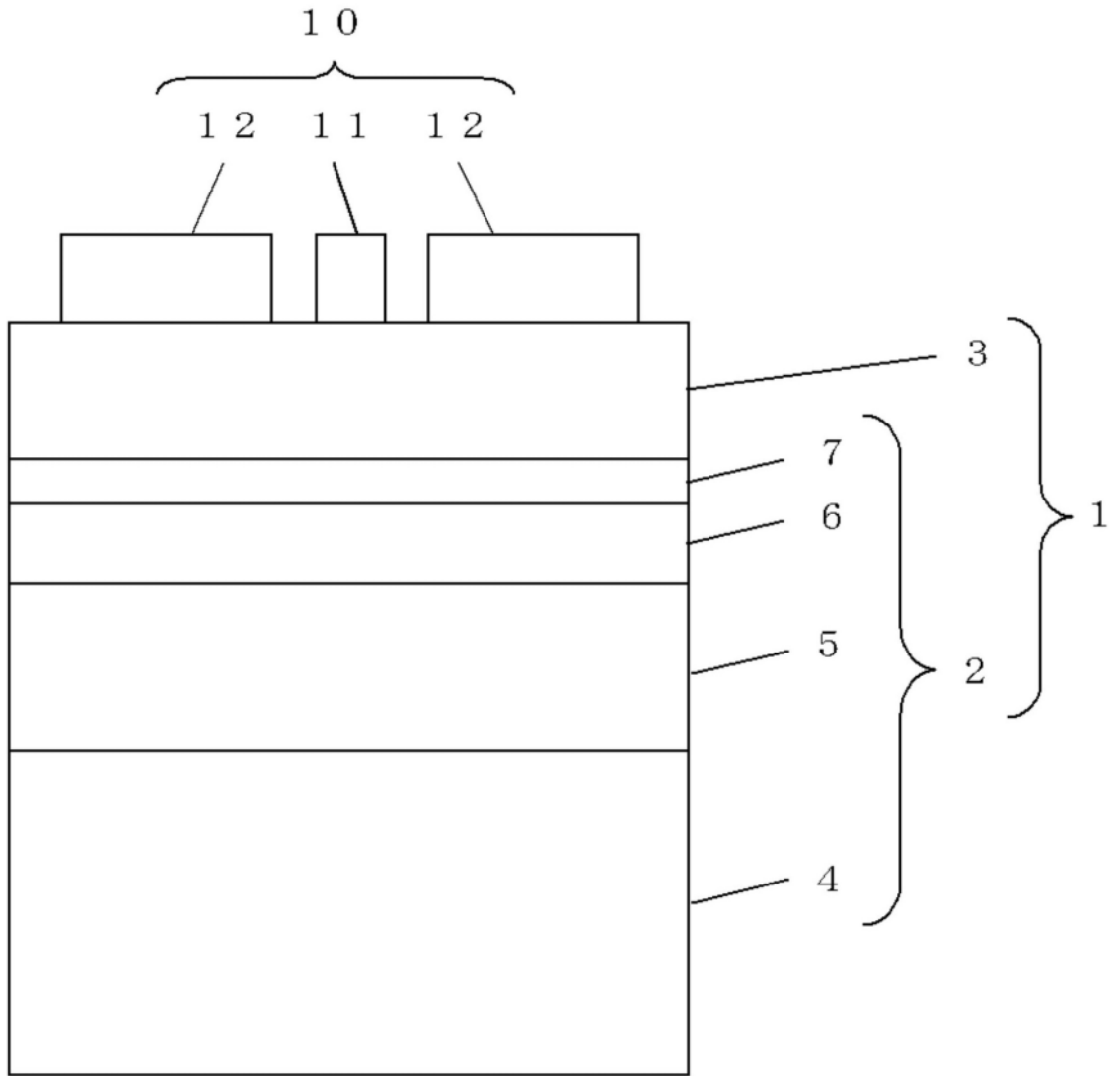
20

图3

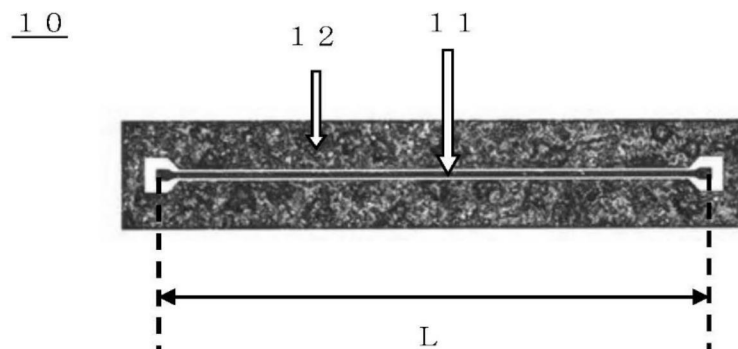


图4

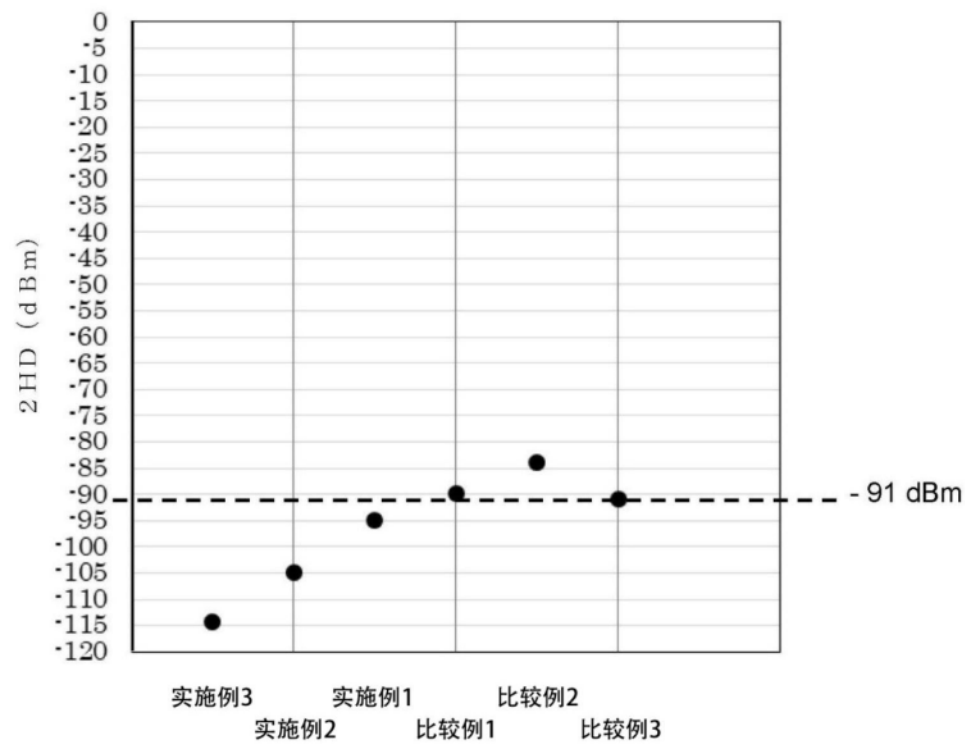


图5