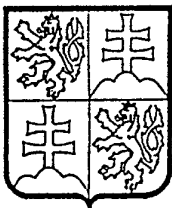


ČESKÁ A SLOVENSKÁ
FÉDÉRATIVNÍ
REPUBLIKA
(19)



FEDERÁLNÍ ÚŘAD
PRO VYNÁLEZY

PATENTOVÝ SPIS 275 748

(11) Číslo dokumentu :

(21) Číslo přihlášky : 4147-88. 0

(22) Přihlášeno : 15 06 88

(30) Prioritní data :

(13) Druh dokumentu : B6

(51) Int. Cl.⁵ :

G 06 F 3/033

(40) Zveřejněno : 12 02 91

(47) Uděleno : 20 12 91

(24) Oznámeno udělení ve Věstníku : 18 03 92

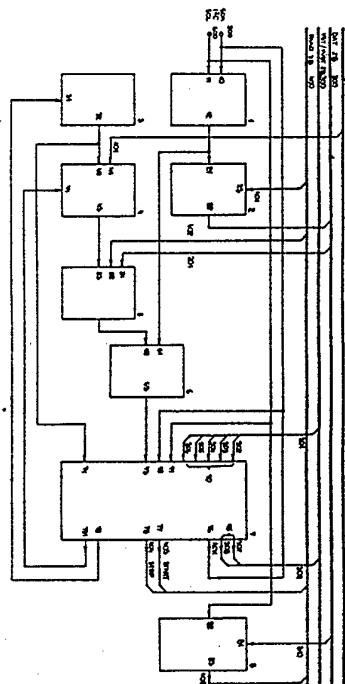
(73) Majitel patentu : PACKA JURAJ ing., BRATISLAVA

(72) Původce vynálezu : PACKA JURAJ ing., BRATISLAVA

(54) Název vynálezu : Zapojenie pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača

(57) Anotace :

Jedná sa o zapojenie z odboru vstupných zariadení pre usporiadanie dát určených k spracovaniu do tvaru vhodného pre spracovanie počítačom. Účelom riešenia je simulovanie podriadených obvodov (SLAVE) na zbernici I²C a generovanie pomocných identifikačných signálov zo signálov SDA a SCL zbernice tak, aby mohol simulovať a analyzovať komunikáciu I²C zbernice aj počítač, ktorý neobsahuje radič I²C zbernice. Podstatu riešenia najlepšie vystihuje bloková schéma na obr. 1. Dáta zo zbernice sa načítavajú do posuvného registra (1), odtiaľ sa preberajú po prerušení z čítača hodinových impulzov (8) cez oddelovač dátovej zbernice (2) na začiatku ôsmeho impulzu SCL do počítača. V režime simulovania sa po načítaní dáta porovnávajú s adresami simulovaných obvodov zo simulačnej pamäti (5) v logickom komparátore (6). V prípade zhody vysiela generátor identifikačných signálov (7) na zbernicu potvrdzovací bit ACKNOWLEDGE. Identifikačné signály urýchľujú spracovanie prijatých dát počítačom.



Vynález sa týka zapojenia pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača. Spadá do odboru vstupných zariadení pre usporiadanie dát určených k spracovaniu do tvaru vhodného pre spracovanie počítačom.

Doteraz známe zapojenia pre analyzovanie a simulovanie komunikácie I²C zbernice využívajú k týmto účelom buď špecializované mikropočítače, ktoré obsahujú radič I²C zbernice priamo na čipe, alebo všeobecne použiteľné mikropočítače vytvárajúce I²C zbernicu programovými prostriedkami s využitím vstupno/výstupných liniek. Tieto vstupno/výstupné linky môžu byť buď súčasťou vstupno/výstupného kanála mikropočítača, alebo periférneho obvodu. Mikropočítač neustálym testovaním, pooling, zisťuje stav liniek a vyhodnocuje prijaté impulzy. V režime analyzovania umožňujú zapojenia spúšťanie na základe prednastavených podmienok. Zapojenia umožňujú preniesť prijaté dáta do vyššieho počítačového systému. Nevýhodou uvedených riešení je, že v simulačnom režime umožňujú len zapisovanie, alebo čítanie do/z obvodov I²C zbernice, čím vlastne simulujú nadriadený "MASTER" obvod. Neumožňujú simulovať aj podriadené "SLAVE" obvody. Ďalšou nevýhodou je, že neumožňujú v režime analyzovania prácu v reálnom čase do maximálnej definovanej prenosovej rýchlosti zbernice. Nevýhodou je aj to, že zapojenia v režime analyzovania spomaľujú rýchlosť zbernice, aby mohli spracovať predchádzajúce dáta, čo má za následok okrem spomalenia aj konflikty na zbernici v multimaster komunikácii. Čím je analyzovaná správa dlhšia, tým väčšia je pravdepodobnosť konfliktov.

Uvedené nevýhody odstraňuje zapojenie pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača podľa vynálezu, ktoré pozostáva z posuvného registra, oddeľovača dátovej zbernice, generátora taktovacích impulzov, prednastaviteľného čítača, simulačnej pamäti, logického komparátora, generátora identifikačných signálov a čítača hodinových impulzov, ktorého podstata spočíva v tom, že vstup pre pripojenie dátového signálu zbernice I²C je pripojený k dátovému vstupu posuvného registra, k dátovému vstupu generátora identifikačných signálov a k výstupu ACK generátora identifikačných signálov. Vstup pre pripojenie hodinového signálu zbernice I²C je pripojený k hodinovému vstupu posuvného registra, hodinovému vstupu generátora identifikačných signálov a hodinovému vstupu čítača hodinových impulzov. Výstup čítača hodinových impulzov je linkou pripojený k riadiacej zbernici počítača. Výstup posuvného registra je pripojený k dátovému vstupu oddeľovača dátovej zbernice a k prvému vstupu logického komparátora, pričom výstup oddeľovača dátovej zbernice je pripojený na dátovú zbernicu počítača a výstup logického komparátora je pripojený na komparačný vstup generátora identifikačných signálov. Uvoľňovací vstup oddeľovača dátovej zbernice je pripojený linkou na riadiacu zbernicu počítača. Výstup generátora taktovacích impulzov je pripojený na hodinový vstup prednastaviteľného čítača a vstup taktovacích impulzov generátora identifikačných signálov. Dátový vstup prednastaviteľného čítača je pripojený časťou adresovej zbernice na adresovú zbernicu, vstup pre prednastavenie je pripojený na druhý riadiaci výstup generátora identifikačných signálov a výstup prednastaviteľného čítača je pripojený na vstup adres simulačnej pamäti, ktorej dátový vstup je pripojený časťou dátovej zbernice na dátovú zbernicu počítača, zapisovací vstup linkou na riadiacu zbernicu počítača, pričom výstup dát simulačnej pamäti je pripojený na druhý vstup logického komparátora. Vstup riadiacich signálov generátora identifikačných signálov je pripojený časťou výstupných liniek vstupno/výstupnej zbernice na vstupno/výstupnú zbernicu. Výstup hodinových identifikačných signálov je pripojený na časť vstupných liniek vstupno/výstupnej zbernice, jeho ďalší výstup START je pripojený linkou k riadiacej zbernici počítača, výstup STOP je tiež pripojený linkou k riadiacej zbernici počítača a prvý riadiaci výstup je pripojený k nulovaciemu vstupu generátora taktovacích impulzov.

Výhodou zapojenia podľa vynálezu je to, že zapojenie generuje v režime analyzovania a simulovania všetky identifikačné signály, potrebné pre rýchle spracovanie prichádzajúcich dátových telegramov. Umožňuje simulovanie prednastavených podriadených SLAVE obvodov. Zapojenie nespomaľuje rýchlosť zbernice a tým odstraňuje možnosti konfliktov na zbernici

v multimaster režime komunikácie. Ďalšou výhodou zapojenia je možnosť práce v ľubovoľnom režime do maximálnej prenosovej rýchlosti zbernice.

Pre bližšie objasnenie podstaty vynálezu je na priložených výkresoch schématicky znázornený príklad zapojenia podľa vynálezu, pričom obr. 1 predstavuje blokovú schému zapojenia a obr. 2 časové priebehy v najdôležitejších bodoch schémy.

Ako je znázornené na blokovej schéme (obr. 1), pozostáva zapojenie pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača podľa vynálezu z posuvného registra 1, čo je napr. 8-bitový posuvný register, oddeľovača dátovej zbernice 2, čo je napr. 8-bitový trojstavový register, generátora taktovacích impulzov 3, čo je napr. čítač modulo 3, prednastaviteľného čítača 4, čo je napr. binárny 4-bitový prednastaviteľný čítač, simulačnej pamäti 5, čo sú napr. 2 statické RAM pamäti s organizáciou 16 x 4 bity, logického komparátora 6, realizovaného napr. kombinačnou logikou, generátora identifikačných signálov 7, realizovaného napr. D klopnými obvodmi a kombinačnou logikou a čítača hodinových impulzov 8, čo je napr. čítač modulo 7. Zapojenie pre analyzovanie a simulovanie je potom pripojené na adresovú zbernicu 100, dátovú zbernicu 200, vstupno/výstupnú zbernicu 300 a riadiacu zbernicu 400 počítača, napr. 8-bitového jednočipového mikropočítača. Jednotlivé bloky 1 až 8 sú potom zapojené tak, že vstup pre pripojenie dátového signálu zbernice I²C 500 je pripojený k dátovému vstupu 10 posuvného registra 1, k dátovému vstupu 72 generátora identifikačných signálov 7 a k výstupu ACK 76 generátora identifikačných signálov 7. Vstup pre pripojenie hodinového signálu zbernice I²C 600 je pripojený k hodinovému vstupu 11 posuvného registra 1, hodinovému vstupu 71 generátora identifikačných signálov 7 a hodinovému vstupu 82 čítača hodinových impulzov 8. Výstup 83 čítača hodinových impulzov 8 je linkou 405 pripojený k riadiacej zbernici počítača 400 a nulovací vstup 81 je pripojený výstupnou linkou vstupno/výstupnej zbernice 310 na vstupno/výstupnú zbernicu 300. Výstup 12 posuvného registra 1 je pripojený k dátovému vstupu 21 oddeľovača dátovej zbernice 2 a k prvému vstupu 61 logického komparátora 6, pričom výstup 22 oddeľovača dátovej zbernice 2 je pripojený na dátovú zbernicu počítača 200 a výstup 63 logického komparátora 6 je pripojený na komparačný vstup 73 generátora identifikačných signálov 7, zatiaľ čo uvoľňovací vstup 23 oddeľovača dátovej zbernice 2 je pripojený linkou 401 na riadiacu zbernicu počítača 400. Výstup 32 generátora taktovacích impulzov 3 je pripojený na hodinový vstup 42 prednastaviteľného čítača 4 a vstup taktovacích impulzov 74 generátora identifikačných signálov 7, pričom dátový vstup 41 prednastaviteľného čítača 4 je pripojený časťou adresovej zbernice 101 na adresovú zbernicu 100, vstup pre prednastavenie 44 je pripojený na druhú riadiaci výstup 791 generátora identifikačných signálov 7 a výstup 43 prednastaviteľného čítača 4 je pripojený na vstup adresy 53 simulačnej pamäti 5. Jej dátový vstup 51 je pripojený časťou dátovej zbernice 201 na dátovú zbernicu počítača 200, zapisovací vstup 52 linkou 402 na riadiacu zbernicu počítača 400, pričom výstup dát 54 simulačnej pamäti 5 je pripojený na druhý vstup 62 logického komparátora 6. Vstup riadiacich signálov 70 generátora identifikačných signálov 7 je pripojený časťou výstupných liniek vstupno/výstupnej zbernice 301, ktoré tvoria výstupné linky 302, 303, 304, 305, 306 na vstupno/výstupnú zbernicu 300. Výstup hodinových identifikačných signálov 75 je pripojený na časť vstupných liniek vstupno/výstupnej zbernice 309, ktoré tvoria linky 307 a 308. Ďalší výstup START 77 je pripojený linkou 403 k riadiacej zbernici počítača 400, výstup STOP 78 je pripojený linkou 404 k riadiacej zbernici počítača 400, prvý riadiaci výstup 79 je pripojený k nulovaciemu vstupu 31 generátora taktovacích impulzov 3.

Funkcia zapojenia pre analyzovanie a simulovanie podľa vynálezu je nasledujúca.

Zapojenie je vstupom pre pripojenie dátového signálu zbernice I²C 500 a vstupom pre pripojenie hodinového signálu zbernice I²C 600 pripojené na I²C zbernicu externého systému. Na vstupoch 500 a 600 sú signály definované časovými priebehmi podľa obr. 2. Pred začiatkom režimu analyzovania sa krátkym impulzom log 0 na linke 306 nastavuje do definovaného stavu vnútorná logika generátora identifikačných signálov 7. Linka 304 sa nastaví na log 0. Tým sa zakáže výstup potvrdzovacieho signálu ACK z výstupu ACK 76 generátora identifikačných

signálov 7. Log 0 na linke 304 zároveň nastaví prvý riadiaci výstup 79 generátora identifikačných signálov na log 1, čím sa cez nulovací vstup 31 generátora taktovacích impulzov 3 zakáže generovanie taktovacích impulzov na jeho výstupe 32. Rovnako sa nuluje signálom log 0 aj čítač hodinových impulzov 8 cez nulovací vstup 81. Nulovací vstup 81 zostane na log 0, linky 302, 303 a 305 sú na log 1. Po splnení podmienky START, vyznačené v časovom diagrame na obr. 2, na vstupoch 500 a 600 sa cez výstup START 77 generátora identifikačných signálov 7 a linku 403 generuje log 0, na obr. 2, ktorá na riadiacej zbernici počítača 400 vyvolá prerušenie. Podmienka START sa uschová v internej pamäti počítača ako súčasť komunikačného protokolu. Počítač spracuje prerušenie tak, že uvoľní cez výstupnú linku 310 signálom log 1 na nulovacom vstupe 81 čítača hodinových impulzov 8 počítanie hodinových impulzov SCL z hodinového vstupu 82 a obnoví na výstupe START 77 generátora identifikačných signálov 7 log 1 cez linku 306. Impulzy zo vstupu pre pripojenie dátového signálu zbernice I²C 500 sa cez dátový vstup 10 posuvného registra 1 presúvajú postupne s nábehovou hranou impulzov na vstupe pre pripojenie hodinového signálu zbernice I²C 600 a hodinovom vstupe 11 posuvného registra 1 na výstup 12 posuvného registra 1 a zároveň na dátový vstup 21 oddeľovača dátovej zbernice 2. V čase 0 - t₁, obr. 2, má tak počítač dostatočnú rezervu na prenos predchádzajúcich dát do vyššieho systému, ich zobrazenie, prípadne porovnanie predchádzajúcich dát s komparačnými dátami uloženými v pamäti počítača. Na základe výsledku porovnania potom pokračuje počítač v analýze ďalej, alebo ignoruje ďalšie dáta. Po príchode nábehovej hrany siedmeho impulzu na hodinový vstup 82 generuje čítač hodinových impulzov 8 z výstupu 83 linkou 405 prerušenie na riadiacej zbernici 400. Počítač spracuje prerušenie tak, že nuluje výstupnou linkou 310 cez nulovací vstup 81 čítač hodinových impulzov 8. Vstup 81 zostane na log 0 až do príchodu log 0 z výstupu hodinových identifikačných signálov 75 generátora identifikačných signálov 7 na linku 308. Ďalej sa pri spracovaní prerušenia nastaví linka 302 časti výstupných liniek 301 vstupno/výstupnej zbernice 300 na log 0. Tým sa uvoľní logika pre generovanie identifikačných signálov z výstupu hodinových identifikačných signálov 75. Na nábehovú hranu ôsmeho impulzu na hodinovom vstupe 71 generátora identifikačných signálov 7 v čase t₂ prejde linka 307 na výstupe hodinových identifikačných signálov 75, obr. 2, do log 0. Počítač ju testuje a po zistení log 0 uvoľňuje cez linku 401 a uvoľňovací vstup 23 oddeľovača dátovej zbernice 2 dáta zo vstupu 21 na dátovú zbernicu 200 cez výstup 22 oddeľovača dátovej zbernice 2. Počítač si uloží načítané dáta, 8 bitov, do internej pamäti. Ďalej počas log 1 deviateho hodinového impulzu, čas t₄ - t₅ na obr. 2, na vstupe pre pripojenie hodinového signálu 600, sa generuje na výstupe hodinových identifikačných signálov 75 na linke 308 impulz log 0. Túto linku počítač testuje a po zistení log 0 na nej preberie opäť popísaným spôsobom obsah výstupu 12 posuvného registra 1 cez oddeľovač dátovej zbernice 2 na dátovú zbernicu 200. Z tejto vzorky uloží len posledne načítaný deviaty bit, potvrdzovací bit ACKNOWLEDGE, pre ďalšie spracovanie. Na nulovacom vstupe 81 čítača hodinových impulzov 8 nastaví počítač log 1, čím ho uvoľní pre ďalšie počítanie. Na linke 302 sa obnoví log 1. Ďalej môže prísť ďalší bajt dát, alebo STOP podmienka. Po príchode ďalšieho bajtu dát chyba podmienka STOP a START. Dáta sa načítavajú a preberajú už uvedeným spôsobom, bez spracovania prerušenia od START podmienky. Po príchode STOP podmienky na vstupy 71 a 72 generátora identifikačných signálov 7 generuje výstup STOP 78 cez linku 404 na riadiacej zbernici 400 prerušenie. Počítač uloží informáciu o príchode STOP podmienky pre ďalšie spracovanie a pokračuje v činnosti čakaním na START podmienku na vstupoch 71 a 72 generátora identifikačných signálov 7. V režime simulovania sa správa zapojenie ako podriadený prijímač, alebo vysielateľ. Súčasne môže simulovať v konkrétnom prípade až 16 podriadených obvodov. Činnosť zapojenia v tomto režime je nasledujúca. Pred príchodom podmienky START na vstupoch 71 a 72 generátora identifikačných signálov 7 sa nastavuje časť výstupných liniek vstupno/výstupnej zbernice 301. Na linke 302 sa nastaví log 1, čím sa zakáže generovanie hodinových identifikačných signálov na výstupe 75 generátora identifikačných signálov 7. Na linke 303 sa nastaví log 1, čím sa generuje potvrdenie ACK na výstupe ACK 76 generátora identifikačných signálov 7 len pre obvody, ktorých adresy sú uložené v simulačnej pamäti. Na linke 304 sa nastaví log 1, čím sa po príchode START podmienky na vstupy 71, 72 generátora iden-

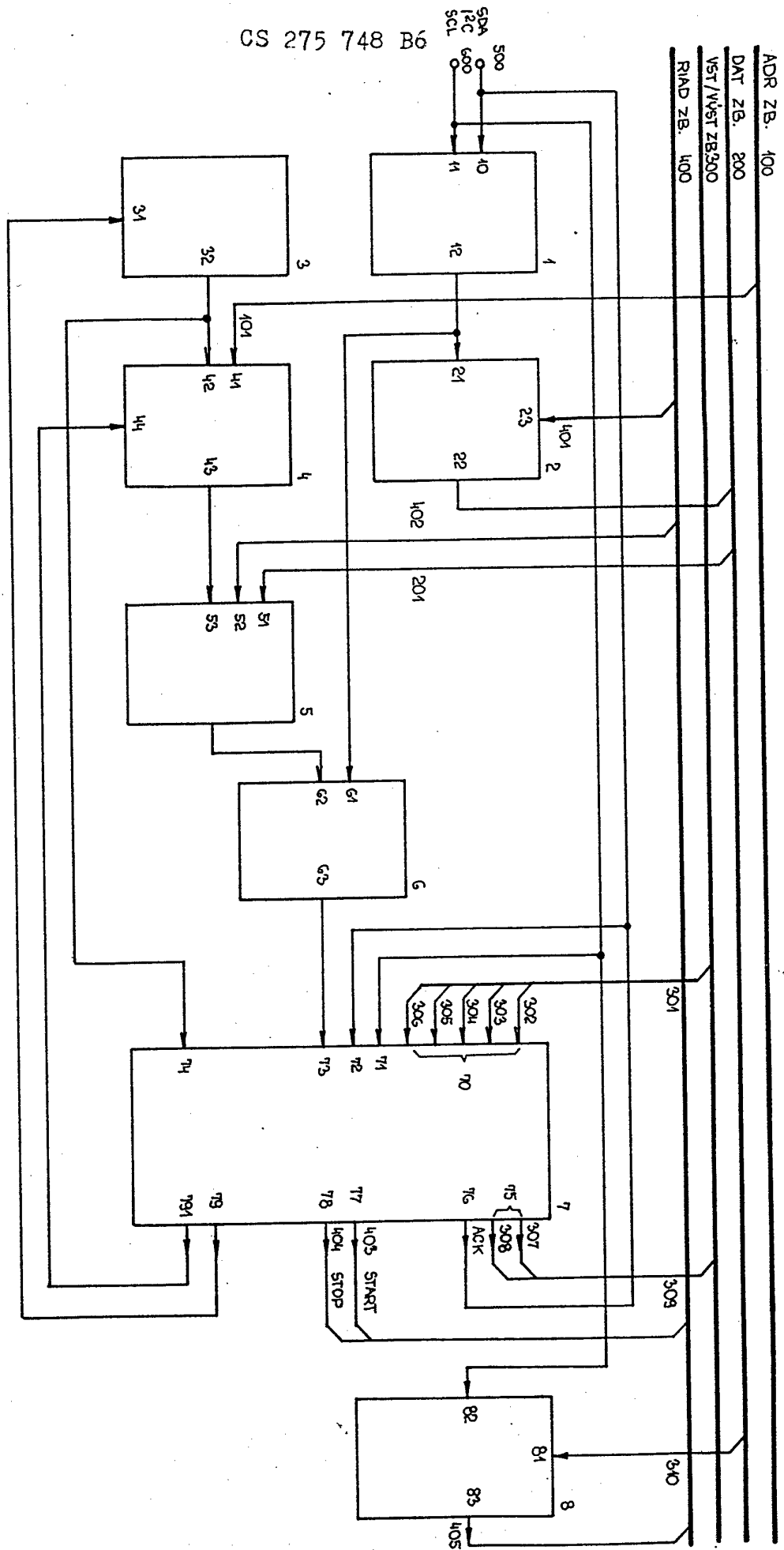
tifikačných signálov 7 uvoľňuje režim simulovania. Linka 305 sa nastaví na log 1 a krátkym impulzom log 0 na linke 306 sa vynuluje vnútorná logika, pričom generátor taktovacích impulzov 3 sa zastaví a na druhom riadiacom výstupe 791 generátora identifikačných signálov 7 sa objaví log 0, ktorá sa prenesie na vstup 44 prednastaviteľného čítača 4. Prednastaviteľný čítač 4 je pripravený na prenos adresy z adresovej zbernice 101 cez dátový vstup 41 a výstup 43 prednastaviteľného čítača 4 na vstup adresy 53 simulačnej pamäti 5. Zároveň s adresami prichádzajú z dátovej zbernice 200 časťou dátovej zbernice 201 na dátový vstup 51 simulačnej pamäti 5 dáta (príslušné adresy obvodov I²C zbernice), ktoré sa do adresových buniek simulačnej pamäti 5 zapisujú impulzom log 0 z riadiacej zbernice 400 cez linku 402 do zapisovacieho vstupu 52. Po príchode START podmienky na vstupy 71, 72 generátora identifikačných signálov 7 sa vyvolá rovnaká činnosť zapojenia až do nábehovej hrany ôsmeho bitu na vstupe 71 ako v režime analyzovania. Rozdiel je len v tom, že START podmienka súčasne uvoľňuje aj režim simulovania, prednastavený na začiatku úrovňou log 1 na linke 304. Po príchode nábehovej hrany ôsmeho bitu na hodinový vstup 71 generátora identifikačných signálov 7 preberie počítač dáta (ktoré predstavujú adresu obvodu I²C zbernice a riadiaci bit R/W) spôsobom popísaným v režime analyzovania a uloží ich do internej pamäti. Zároveň sa nezávisle začne cyklus porovnávania zachytenej adresy obvodu I²C s jednou z adres obvodov uložených v simulačnej pamäti 5. Cyklus začína uvoľnením generátora taktovacích impulzov 3 signálom log 0 z prvého riadiaceho výstupu 79 generátora identifikačných signálov 7. Na nábehovú hranu taktovacích impulzov z výstupu 32 generátora taktovacích impulzov 3 sa postupne zvyšuje adresa na vstupoch adresy 53 simulačnej pamäti 5 pričom sa dáta z výstupu 54 simulačnej pamäti 5, prichádzajúce na druhý vstup 62 logického komparátora 6, porovnávajú v logickom komparátore 6 s dátami prítomnými na výstupe 12 posuvného registra 1. Počas úrovne log 1 ôsmeho impulzu na hodinovom vstupe 71 generátora identifikačných signálov 7 sa postupne porovnávajú všetky dáta uložené v simulačnej pamäti 5 s dátami z výstupu 12 posuvného registra 1. Výsledok porovnávania sa z výstupu 63 logického komparátora 6 prenáša na vstup 73 generátora identifikačných signálov 7, odkiaľ sa do vnútorných obvodov prepisuje zostupnou hranou taktovacieho impulzu z výstupu 32 generátora taktovacích impulzov 3. Pri zhode dát sa na výstupe 63 logického komparátora 6 objaví log 0, v prípade nezahody log 1. Vnútornú logiku generovania potvrdzovacieho bitu ACKNOWLEDGE v generátore identifikačných signálov 7 uvoľňuje len log 0 na jeho komparačnom vstupe 73. Po skončení log 1 ôsmeho impulzu SCL na hodinovom vstupe 71 generátora identifikačných signálov 7 sa začne na jeho výstupe ACK 76 v čase t₃ - t₅ generovať potvrdzovací bit ACKNOWLEDGE, nezávisle od činnosti počítača. Platí to však len pre prípad zhody dát na vstupoch 61 a 62 logického komparátora 6. V opačnom prípade, kedy cez I²C zbernicu nebol adresovaný žiaden obvod, ktorého adresa je uložená v simulačnej pamäti 5, zostáva výstup ACK 76 generátora identifikačných signálov 7 v čase t₃ - t₅ na log 1. Do skončenia prenosu bajtu je činnosť zapojenia rovnaká ako v režime analyzovania. Rozdiel nastáva v prenose druhého bajtu, kedy počítač v čase 0 - t₁, obr. 2, analyzuje ôsmy prenesený bit R/W (čítanie/zápis) predchádzajúceho bajtu. Ak bol prenesený bit R/W = 0, tj. zápis, zapojenie pokračuje v činnosti rovnako ako v prípade príjmu prvého bajtu (generuje sa potvrdzovací bit ACKNOWLEDGE). Ak bol prenesený bit R/W = 1, tj. čítanie, zapojenie negeneruje na výstupe ACK 76 generátora identifikačných signálov 7 žiaden impulz ACKNOWLEDGE, generuje ho nadriadený systém. Generovanie impulzu ACKNOWLEDGE sa začne v čase 0 - t₁ privedením log 0 linkou 305 na vstup riadiacich signálov 70 generátora identifikačných signálov 7. Aj v prípade, že bit R/W = 1, sleduje počítač celú komunikáciu a načítané dáta preberá z výstupu 22 oddeľovača dátovej zbernice 2 cez dátovú zbernicu 200 a ukladá do internej pamäti. Zapojenie umožňuje simulovať aj všetky obvody I²C zbernice tým spôsobom, že pred začiatkom režimu simulovania sa nastaví linka 303 pripojená ku vstupu riadiacich signálov 70 generátora identifikačných signálov 7 na log 0. Tým sa uvoľní vnútorná logika potvrdzovacieho bitu ACKNOWLEDGE tak, ako keby bol na výstupe 63 logického komparátora 6 prítomný signál zhody dát log 0. Na výstupe ACK 76 generátora identifikačných signálov 7 sa generuje potvrdzovací bit ACKNOWLEDGE v čase t₃ - t₅ po každom prijatom bajte.

Zapojenie pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača možno s výhodou použiť najmä v spojení s jednočipovými mikropočítačmi, ktoré neobsahujú kontroler I²C zbernice ako súčasť svojej architektúry. Tým, že generuje dôležité identifikačné signály, má počítač dostatok času na iné činnosti, ako napr. zobrazovanie dát, obsluhu klávesnice, prenos načítaných dát do vyššieho systému atď.

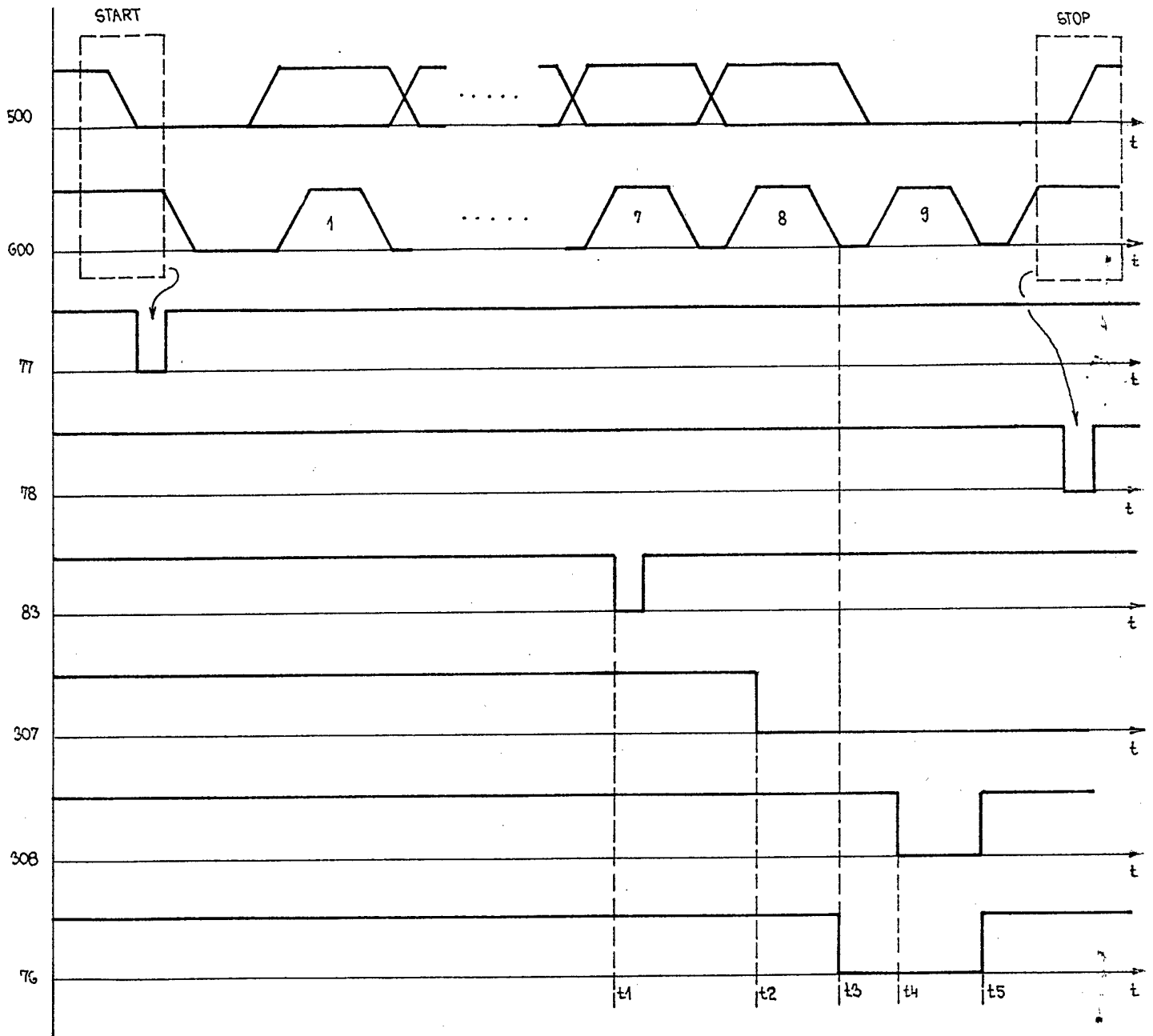
P A T E N T O V É N Á R O K Y

Zapojenie pre analyzovanie a simulovanie komunikácie I²C zbernice pomocou počítača, pozostávajúce z posuvného registra, oddeľovača dátovej zbernice, generátora taktovacích impulzov, prednastaviteľného čítača, simulačnej pamäti, logického komparátora, generátora identifikačných signálov a čítača hodinových impulzov, vyznačujúce sa tým, že vstup pre pripojenie dátového signálu zbernice I²C (500) je pripojený k dátovému vstupu (72) generátora identifikačných signálov (7), k dátovému vstupu (10) posuvného registra (1) a k výstupu ACK (76) generátora identifikačných signálov (7), pričom vstup pre pripojenie hodinového signálu zbernice I²C (600) je pripojený k hodinovému vstupu (11) posuvného registra (1), hodinovému vstupu (71) generátora identifikačných signálov (7) a hodinovému vstupu (82) čítača hodinových impulzov (8), pričom jeho výstup (83) je linkou (405) pripojený k riadiacej zbernici počítača (400), zatiaľ čo výstup (12) posuvného registra (1) je pripojený k dátovému vstupu (21) oddeľovača dátovej zbernice (2) a k prvému vstupu (61) logického komparátora (6), pričom výstup (22) oddeľovača dátovej zbernice (2) je pripojený na dátovú zbernicu počítača (200) a výstup (63) logického komparátora (6) je pripojený na komparačný vstup (73) generátora identifikačných signálov (7), zatiaľ čo uvoľňovací vstup (23) oddeľovača dátovej zbernice (2) je pripojený linkou (401) na riadiacu zbernicu počítača (400), ďalej výstup (32) generátora taktovacích impulzov (3) je pripojený na hodinový vstup (42) prednastaviteľného čítača (4) a vstup taktovacích impulzov (74) generátora identifikačných signálov (7), pričom dátový vstup (41) prednastaviteľného čítača (4) je pripojený časťou adresovej zbernice (101) na adresovú zbernicu počítača (100), vstup pre prednastavenie (44) je pripojený na druhý riadiaci výstup (791) generátora identifikačných signálov (7) a výstup (43) prednastaviteľného čítača (4) je pripojený na vstup adres (53) simulačnej pamäti (5), ktorej dátový vstup (51) je pripojený časťou dátovej zbernice (201) na dátovú zbernicu počítača (200), zapisovací vstup (52) linkou (402) na riadiacu zbernicu počítača (400), pričom výstup dát (54) simulačnej pamäti (5) je pripojený na druhý vstup (62) logického komparátora (6) a ďalej, vstup riadiacich signálov (70) generátora identifikačných signálov (7) je pripojený časťou výstupných liniek vstupno/výstupnej zbernice (301) na vstupno/výstupnú zbernicu počítača (300), pričom výstup hodinových identifikačných signálov (75) identifikačných signálov (7) je pripojený na časť vstupných liniek vstupno/výstupnej zbernice (309), jeho ďalší výstup START (77) je pripojený linkou (403) k riadiacej zbernici počítača (400), výstup STOP (78) je pripojený linkou (404) k riadiacej zbernici počítača (400), prvý riadiaci výstup (79) je pripojený k nulovaciemu vstupu (31) generátora taktovacích impulzov (3).

CS 275 748 B6



obr. 1



obr. 2