

(21) 申請案號：100133435

(22) 申請日：中華民國 100 (2011) 年 09 月 16 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/06 (2006.01)

(30) 優先權：2010/09/28 日本

2010-216583

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)  
日本

(72) 發明人：大田浩史 OHTA, HIROSHI (JP)；角保人 SUMI, YASUTO (JP)；木村淑 KIMURA, KIYOSHI (JP)；鈴木純二 SUZUKI, JUNJI (JP)；入船裕行 IRIFUNE, HIROYUKI (JP)；齋藤涉 SAITO, WATARU (JP)；小野昇太郎 ONO, SYOTARO (JP)

(74) 代理人：林志剛

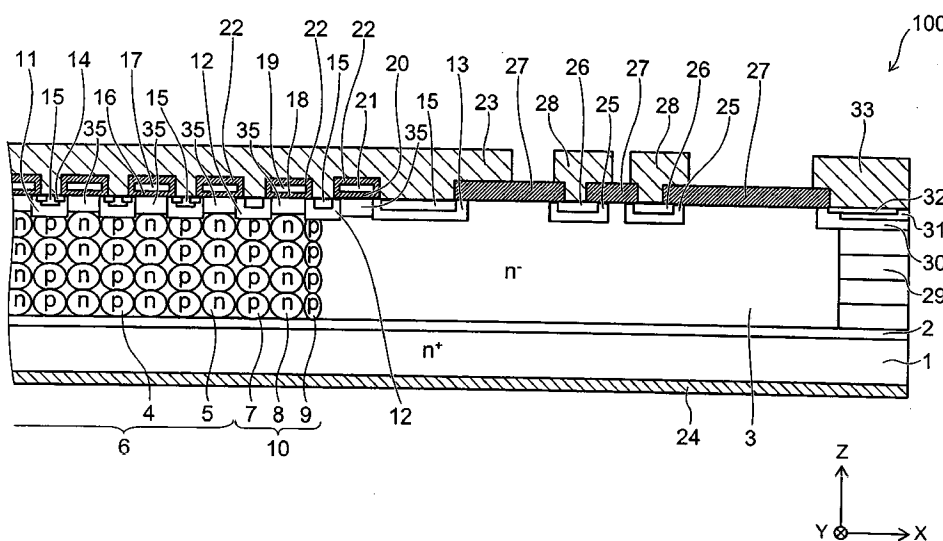
申請實體審查：有 申請專利範圍項數：19 項 圖式數：6 共 44 頁

(54) 名稱

電力用半導體裝置

(57) 摘要

電力用半導體裝置，係在第 1 導電形之第 1 半導體層(1)之第 1 表面上，鄰接而具備第 1 支柱領域(6)、第 2 支柱領域(10)、與第 1 導電形之晶膜層(3)。第 1 支柱領域(6)，係具有交互地被配置之複數之第 2 導電形之第 1 支柱層(4)與複數之第 1 導電形之第 2 支柱層(5)，複數之第 2 導電形之第 1 基極層(11)，是在各個複數之第 1 支柱層(4)上疏離並被接續。第 2 支柱領域(10)，係鄰接而具有第 2 導電形之第 3 支柱層(7)、第 1 導電形之第 4 支柱層(8)、及第 2 導電形之第 5 支柱層(9)。複數之第 2 導電形之第 2 基極層(12)，是在各個第 3 支柱層及第 5 支柱層上疏離並被接續。複數之源極層，是選擇性地被形成在各個複數之第 1 基極層之表面。



- 1 : n<sup>+</sup>形汲極層
- 2 : n 形緩衝層
- 3 : n<sup>-</sup>形晶膜層
- 4 : n 形第 1 支柱層
- 5 : p 形第 2 支柱層
- 6 : 第 1 支柱領域
- 7 : p 形第 3 支柱層
- 8 : n 形第 4 支柱層
- 9 : p 形第 5 支柱層
- 10 : 第 2 支柱領域
- 11 : p 形基極層
- 12 : p 形基極層
- 13 : p 形基極層
- 14 : n<sup>+</sup>形源極層

- 15 : p<sup>+</sup>形接觸層
- 16 : 閘極絕緣膜
- 17 : 閘極電極
- 18 : 閘極絕緣膜
- 19 : 閘極電極
- 20 : 閘極絕緣膜
- 21 : 閘極電極
- 22 : 層間絕緣膜
- 23 : 源極電極
- 24 : 汲極電極
- 25 : p 形保護環層
- 26 : p<sup>+</sup>形接觸層
- 27 : 絕緣膜
- 28 : 場電極
- 29 : n 形通道停止層
- 30 : n 形半導體層
- 31 : p<sup>+</sup>形半導體層
- 32 : n<sup>+</sup>形半導體層
- 33 : 通道停止電極
- 35 : JFET 層
- 100 : 電力用半導體裝置

(21) 申請案號：100133435

(22) 申請日：中華民國 100 (2011) 年 09 月 16 日

(51) Int. Cl. : H01L29/78 (2006.01)

H01L29/06 (2006.01)

(30) 優先權：2010/09/28 日本

2010-216583

(71) 申請人：東芝股份有限公司 (日本) KABUSHIKI KAISHA TOSHIBA (JP)  
日本

(72) 發明人：大田浩史 OHTA, HIROSHI (JP)；角保人 SUMI, YASUTO (JP)；木村淑 KIMURA, KIYOSHI (JP)；鈴木純二 SUZUKI, JUNJI (JP)；入船裕行 IRIFUNE, HIROYUKI (JP)；齋藤涉 SAITO, WATARU (JP)；小野昇太郎 ONO, SYOTARO (JP)

(74) 代理人：林志剛

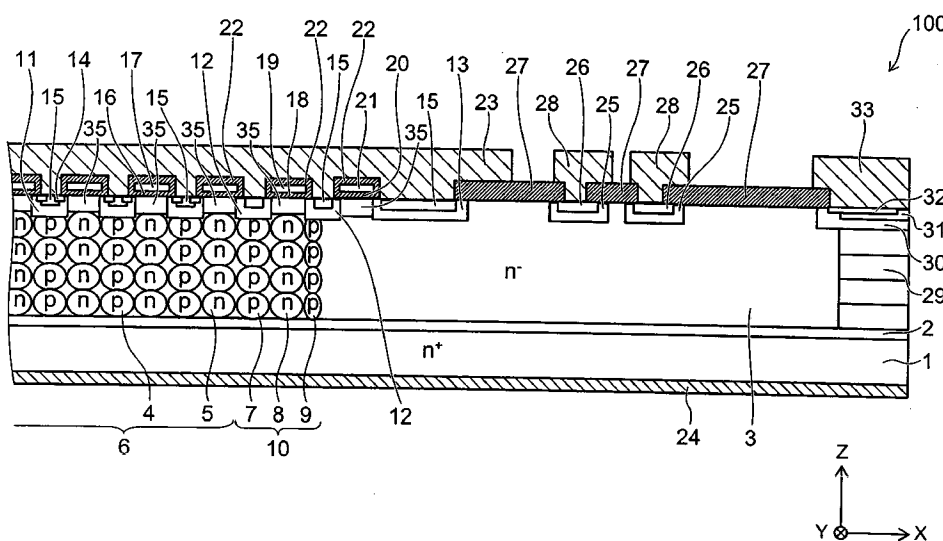
申請實體審查：有 申請專利範圍項數：19 項 圖式數：6 共 44 頁

(54) 名稱

電力用半導體裝置

(57) 摘要

電力用半導體裝置，係在第 1 導電形之第 1 半導體層(1)之第 1 表面上，鄰接而具備第 1 支柱領域(6)、第 2 支柱領域(10)、與第 1 導電形之晶膜層(3)。第 1 支柱領域(6)，係具有交互地被配置之複數之第 2 導電形之第 1 支柱層(4)與複數之第 1 導電形之第 2 支柱層(5)，複數之第 2 導電形之第 1 基極層(11)，是在各個複數之第 1 支柱層(4)上疏離並被接續。第 2 支柱領域(10)，係鄰接而具有第 2 導電形之第 3 支柱層(7)、第 1 導電形之第 4 支柱層(8)、及第 2 導電形之第 5 支柱層(9)。複數之第 2 導電形之第 2 基極層(12)，是在各個第 3 支柱層及第 5 支柱層上疏離並被接續。複數之源極層，是選擇性地被形成在各個複數之第 1 基極層之表面。



- 1：n<sup>+</sup>形汲極層
- 2：n形緩衝層
- 3：n<sup>-</sup>形晶膜層
- 4：n形第1支柱層
- 5：p形第2支柱層
- 6：第1支柱領域
- 7：p形第3支柱層
- 8：n形第4支柱層
- 9：p形第5支柱層
- 10：第2支柱領域
- 11：p形基極層
- 12：p形基極層
- 13：p形基極層
- 14：n<sup>+</sup>形源極層

六、發明說明：

[相關申請案]

本申請案係根據先行申請之日本專利申請案主張優先權，申請號為 2010-216583，申請日為 2010 年 9 月 28 日，本案藉由參照而併入該案所有內容。

【發明所屬之技術領域】

本發明之實施型態係有關於 Power MOSFET 等之大電力用之半導體裝置。

【先前技術】

Power MOSFET (Metal Oxide Semiconductor Field Effect Transistor)，係具有電流通過之元件領域、與圍繞該元件領域並被形成在晶片之外周部之終端領域。於 Power MOSFET 之漂移 (drift) 層發生雪崩擊穿 (avalanche breakdown) 時，為了防止 Power MOSFET 的破壞，有必要使雪崩擊穿所發生之帶電荷體 (carrier) 從元件領域側排出至源極電極。元件領域，與終端領域相比，前者使帶電荷體排出至源極電極之剖面積較廣，因而，排出電阻較低、能夠防止電流集中所造成之元件破壞。因此，元件領域，最好是其耐壓之設定比終端領域還要低。

此外，為了提高 Power MOSFET 之耐壓，漂移層，有必要是不純物濃度低且高電阻層。然而，因為欲使元件領域之 ON 電阻減低，所以漂移層最好是不純物濃度高的低

電阻層。如此，在 Power MOSFET 之耐壓與 ON 電阻之間，就有折衷關係（trade-off relation）。爲了改善該折衷關係，而在 Power MOSFET 之漂移層採用超級接合（super junction）構造。藉由在漂移層採用超級接合構造，可以增加電流路徑之不純物濃度，也提高 Power MOSFET 之耐壓。

Power MOSFET 之漂移層，係被設計成在元件領域具有可謀求維持耐壓高也減低 ON 電阻之超級接合構造，在終端領域則具有電阻高而耐壓更高之高電阻層。此類構造之 Power MOSFET，因爲比起終端領域，於元件領域較常發生雪崩擊穿，所以具有電子雪崩耐量高、低 ON 電阻、且耐壓高之特性。

#### 【發明內容】

本發明之實施型態，係提供一種能夠抑制在終端領域之元件破壞之半導體裝置。

關於本發明之實施型態之電力用半導體裝置，係具備：具有第 1 表面之第 1 導電形之第 1 半導體層、第 1 支柱領域、第 2 支柱領域、第 1 導電形之晶膜（epitaxial）層、複數之第 2 導電形之第 1 基極層、複數之第 2 導電形之第 2 基極層、第 2 導電形之第 3 基極層、複數之第 1 導電形之源極層、第 1 閘極電極、第 2 閘極電極、第 3 閘極電極、第 1 電極、與第 2 電極。前述第 1 支柱領域，係於前述第 1 半導體層之前述第 1 表面上，讓複數之第 2 導電形

之第 1 支柱層與複數之第 1 導電形之第 2 支柱層，沿著平行於前述第 1 表面之第 1 方向交互地反覆配置而構成。前述第 2 支柱領域，則是於前述第 1 半導體層之前述第 1 表面上，以由沿著前述第 1 方向鄰接在前述第 1 支柱領域之前述第 2 支柱層、至少一個之第 2 導電形之第 3 支柱層，跟沿著前述第 1 方向鄰接在前述第 3 支柱層之第 1 導電形之第 4 支柱層所構成之支柱組，與沿著前述第 1 方向鄰接在前述支柱組之第 2 導電形之第 5 支柱層，而被構成。前述晶膜層，係於前述第 1 半導體層之前述第 1 表面上，沿著前述第 1 方向跟前述第 2 支柱領域鄰接，且其第 1 導電形不純物濃度比前述第 2 支柱層還要低。前述複數之第 1 基極層，係電性地接續在各個前述複數之第 1 支柱層上，且以相互疏離之方式被設置。前述複數之第 2 基極層，係電性地接續在各個前述第 3 支柱層及前述第 5 支柱層上，且以相互疏離之方式被設置。前述第 3 基極層，係於前述晶膜層之表面，以跟接續在前述第 5 支柱層上之第 2 基極層疏離並相鄰之方式被設置。前述複數之源極層，係選擇性地被形成在各個前述複數之第 1 基極層之表面，且其第 1 導電形不純物濃度比前述晶膜層還要高。前述第 1 閘極電極，係在前述複數之第 1 基極層之中各個相鄰之第 1 基極層上、前述複數之源極層之中被形成在前述相鄰之第 1 基極層上之源極層上、及前述第 2 支柱層上，介著第 1 閘極絕緣膜而被設置。前述第 2 閘極電極，係在前述複數之第 2 基極層之中各個相鄰之第 2 基極層上、及前述第 4 支

柱層上，介著第 2 閘極絕緣膜而被設置。前述第 3 閘極電極，係在前述第 3 基極層及前述第 2 導電形之第 5 支柱層上所接續之各個前述第 2 基極層上，介著第 3 閘極絕緣膜而被設置。前述第 1 電極，係被電性地接續設置在前述第 1 半導體層之與前述第 1 表面相反側之表面。前述第 2 電極，係被電性地接續在各個前述源極層、前述第 1 基極層、前述第 2 基極層、及前述第 3 基極層。

根據本發明之實施型態，能夠提供一種能抑制在終端領域之元件破壞之半導體裝置。

#### 【實施方式】

以下，針對本發明之實施型態參照圖面加以說明。實施型態中之說明所使用之圖面，係供容易說明之模式的圖面，圖中各要素之形狀、尺寸、大小關係等，在實際實施上並不一定侷限於圖面所示，在可得到本發明之效果之範圍內是可能酌情變更。用 n 形說明第 1 導電形、而用 p 形說明第 2 導電形，但是，分別作成該顛倒過來之導電形也是可以的。作為半導體，以矽 (Si) 為一例加以說明，但是，也可以適用於 SiC 或 GaN 等之化合物半導體。作為絕緣膜，以氧化矽膜為一例加以說明，但是，也可以採用氮化矽膜、氧化氮化矽膜、氧化鋁 (alumina) 等其他絕緣體。將 n 形導電形用  $n^+$ 、 $n$ 、 $n^-$  標記之場合，係依序設定 n 形不純物濃度高至低。p 形方面也是同樣地，依照  $p^+$ 、 $p$ 、 $p^-$  之順序設定 p 形不純物濃度高至低。

( 第 1 實施型態 )

針對第 1 實施型態，採用圖 1 加以說明。圖 1 係關於本發明第 1 實施型態之電力用半導體裝置 100 之重要部分之模式剖面圖。圖 2 係電力用半導體裝置 100 之平面圖。圖 2 之 A-A 線之箭頭方向來看之剖面即是圖 1。圖 2 之平面圖，係省略圖 1 之後述之場電極 ( field plate electrode ) 28。

如圖 1 及圖 2 所示，關於本實施型態之半導體裝置 100，係如以下方式被構成。在 n 形不純物濃度為例如  $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^{-3}$  之 n<sup>+</sup>汲極層 1 之第 1 表面上，形成 n 形不純物濃度比第 1 半導體層還要低之 n 形緩衝 ( buffer ) 層 2。第 1 支柱領域 6，是被形成在 n 形緩衝層 2 之表面上。第 1 支柱領域 6，係沿著第 1 半導體層 1 之平行於第 1 表面之圖 1 中的 X 方向 ( 第 1 方向 )，交互地反覆複數之 n 形第 1 支柱層 4 與複數之 p 形第 2 支柱層 5 之超級接合 ( super junction ) 構造。第 1 支柱層 4 及第 2 支柱層 5，係對堆積方向之第 1 表面在垂直方向 ( 圖 1 中之 Z 方向 ) 延伸。此外，第 1 支柱層 4 及第 2 支柱層 5，係於第 1 表面內在直交於 X 方向之 Y 方向延伸之條狀 ( stripe ) 構造。

第 2 支柱領域 10，則是在 n 形緩衝層 2 表面上沿著 X 方向跟第 1 支柱領域 6 鄰接而被形成。第 2 支柱領域 10，係具有 p 形第 3 支柱層 7、n 形第 4 支柱層 8、與 p 形第 5 支柱層 9。第 3 支柱層 7，係沿著圖 1 中之 X 方向

，與第 1 支柱領域 6 之複數之第 2 支柱層 5 中之一鄰接。第 4 支柱層 8，係沿著 X 方向與第 3 支柱層 7 鄰接。第 5 支柱層 9，係沿著 X 方向與第 4 支柱層 8 鄰接。換句話說，第 3 支柱層 7 與第 4 支柱層 8 係構成支柱組，第 5 支柱層 9 則是沿著 X 方向而鄰接在該支柱組。本實施型態中，支柱組係由一組第 3 支柱層 7 與第 4 支柱層 8 所構成，但是，後述之實施例中，該支柱組則是由複數組第 3 支柱層 7 與第 4 支柱層 8 所構成。第 3 支柱層 7、第 4 支柱層 8、及第 5 支柱層 9，係與第 1 及第 2 支柱層（4，5）同樣地，在 Z 方向延伸。此外，第 3 支柱層 7、第 4 支柱層 8、及第 5 支柱層 9，係於第 1 表面內在直交於 X 方向之 Y 方向延伸之條狀構造。

第 1 支柱領域中，p 形第 1 支柱層與 n 形第 2 支柱層，係於各支柱層全體，以不純物量為相等之方式被形成。特別是，如果 p 形第 1 支柱層與 n 形第 2 支柱層之垂直於圖中 X 方向之縱剖面之每單位面積之 p 形不純物量與 n 形不純物量是相等（可取得平衡）的狀態，則 p 形第 1 支柱層與 n 形第 2 支柱層，會在圖中 Z 方向之各位置（各深度）之  $n^+$  形汲極層 1 之與第 1 表面平行之平面，被形成 p 形不純物量與 n 形不純物量相等之狀態。藉由該作法，在以後述之方式對源極層與汲極層施加逆向偏壓時，即使各支柱層之不純物濃度高，也能夠使第 1 支柱領域全體空乏化。第 2 支柱領域也是同樣地作法，以 p 形第 3 支柱層與 n 形第 4 支柱層之不純物量為相等之方式被形成。又，藉

由以將 p 形第 1 及第 3 支柱層作成同一支柱層之方式形成、將 n 形第 2 及第 4 支柱層作成同一支柱層之方式形成，也可以貫通第 1 及第 2 支柱領域全體而取得不純物量之平衡。

p 形第 5 支柱層，也可能由與第 3 支柱層相同之不純物量所形成。然而，第 5 支柱層，因為被形成在第 2 支柱領域之端部，所以，最好是可以與所鄰接之 n 形第 4 支柱層之沿著 X 方向之一半的領域取得不純物量之平衡。亦即，在 n<sup>+</sup>形汲極層 1 之與第 1 表面平行之平面，第 5 支柱層 9 之 p 形不純物量，如果比第 3 支柱層 7 之 p 形不純物量還少則佳，理想上，最好是設為第 3 支柱層之 p 形不純物量的大約一半。藉由該作法，即使是在第 2 支柱領域之端部，在施加逆向偏壓時也能夠使之完全地空乏化。

n 形不純物濃度為例如  $1 \times 10^{15} \sim 1 \times 10^{16} / \text{cm}^{-3}$  之 n<sup>-</sup>形晶膜層 3，是在 n 形緩衝層 2 表面上沿著 X 方向與第 2 支柱領域 10 之 p 形第 5 支柱層 9 鄰接而被形成。n-形晶膜成長層 3，其 n 形不純物濃度比第 2 及第 4 支柱層（5，8）還要低。

n 形通道停止（channel stopper）層 29，沿著 X 方向在與第 2 支柱領域相反側鄰接在 n<sup>-</sup>形晶膜層 3 而被形成。n 形通道停止層 29，係在依時點被各個分離之沿著電力用半導體裝置 100 外周之端部露出而被形成。n 形通道停止層 29 之 n 形不純物濃度，係能夠作成與第 2 及第 4 支柱層之 n 形不純物濃度相同。

上述第 1~第 5 支柱層，圖示而並未詳細說明，但作為一例，能夠如以下方式作成。例如，在  $n^+$ 形汲極層 1 之第 1 表面上，形成  $n$ 形不純物濃度比  $n^+$ 形汲極層 1 還要低之  $n$ 形緩衝層 2 後， $n^-$ 形晶膜層 3 之第 1 層，是在  $n$ 形緩衝層 2 之表面全體晶膜成長。之後，在  $n^-$ 形晶膜層 3 之第 1 層之表面上，在採用遮罩而選擇性地被形成  $p$ 形第 1、第 3、及第 5 支柱層（4、7、9）之領域讓  $p$ 形不純物按指定之劑量與指定之幅緣被離子注入。之後，採用別的遮罩，在形成  $n$ 形第 2 及第 4 支柱層（5、8）之領域，讓  $n$ 形不純物按指定之劑量及指定之幅緣被離子注入。又，藉由在形成通道停止層 29 之領域同時地進行離子注入，能夠讓通道停止層 29 與  $n$ 形第 2 及第 4 支柱層（5、8）同時地被形成。

此後，在將  $n^-$ 形晶膜層 3 之第 2 層，與第 1 層同樣地作法而在第 1 層之上予以晶膜成長之後，跟上述同樣地進行離子注入用以形成  $p$ 形第 1、第 3、及第 5 支柱層之  $p$ 形不純物，以及進行離子注入用以形成  $n$ 形第 2 及第 4 支柱層與  $n$ 形通道停止層 29 之  $n$ 形不純物。以後，反覆進行該工程，本實施型態方面，在反覆進行 4 回後，藉由用高溫予以熱處理使  $n$ 形不純物及  $p$ 形不純物擴散，而如圖 1 所示，電力用半導體裝置 100，係在漂移層具有沿著  $X$  方向鄰接之、第 1~第 5 支柱層（4、5、7、8、9）、 $n^-$ 形晶膜層 3、及  $n$ 形通道停止層 29。 $p$ 形不純物之離子注入與  $n$ 形不純物之離子注入之順序方面哪一個先都沒關係。

此外，本實施型態中，係藉由反覆進行 4 回晶膜成長與離子注入之工程，形成 4 段 n 形不純物擴散層與 p 形不純物擴散層，再使各個不純物擴散層在第 1 表面之垂直方向（Z 方向）連結，而形成 p 形支柱層及 n 形支柱層。藉由增加該晶膜成長與離子注入之工程之反覆次數，可以讓各支柱層之厚度增加並進而提高電力用半導體裝置 100 之耐壓。

在以上述方式形成第 1 支柱領域與第 2 支柱領域時，作為取得不純物量之平衡之方法，例如，在上述之 n 形不純物與 p 形不純物之離子注入工程，將劑量相等化、將圖中 X 方向之進行離子注入之領域之幅緣（支柱幅）相等化即可。可以在第 1 領域與第 2 領域，各自將 n 形不純物跟 p 形不純物之各支柱幅與各劑量相等化，或者也可以貫通第 1 領域與第 2 領域，全體將 n 形不純物跟 p 形不純物之各支柱幅與劑量相等化。第 2 支柱領域之端部之 p 形第 5 支柱層，最好是以前述方式被形成其不純物量為鄰接之 n 形第 4 支柱層的大約一半。因此，第 5 支柱層之支柱幅，被形成第 1 及第 3 支柱幅的大約一半即可。

又，作為上述以外之支柱層形成方法，例如，也可以藉由在 n-形晶膜層 3 中被形成之溝槽內以晶膜成長等埋入 p 形半導體層及 n 形半導體層，而形成 p 形支柱層及 n 形支柱層。

複數之第 1 p 形基極層 11，是在第 1 支柱領域 6 中之各個複數之 p 形第 1 支柱層 4 上被電性地接續而形成。在

各個相鄰之第 1p 形基極層 11 之間，形成由 n 形半導體層所構成之複數之 JFET 層 35。JFET 層 35，係被電性地接續在各個複數之 n 形第 2 支柱層 5 上。複數之 n<sup>+</sup>源極層 14，是選擇性地被形成在各個複數之第 1p 形基極層 11 之表面上。複數之第 1 閘極電極 17，是介著第 1 閘極絕緣膜 16，以跨及分別相鄰之第 1p 形基極層 11 之方式被形成。亦即，各個第 1 閘極電極 17，係介著第 1 閘極絕緣膜 16，被形成在 JFET 層 35 上、挾著該 JFET 層 35 並相鄰之第 1p 形基極層 11 之各個相對向之一部份上、以及選擇性地被形成在各個相鄰之第 1p 形基極層 11 表面之 n<sup>+</sup>形源極層 14 上。被形成該 n<sup>+</sup>形源極層 14 之第 1 支柱領域，如後述方式，係讓電流從 n<sup>+</sup>形汲極層 1，介著 n 形第 2 支柱層 5、及 p 形基極層 11 而往 n<sup>+</sup>形源極層 14 流動之元件領域。終端領域，是比該元件領域還要再在電力用半導體裝置 100 之端部（計時線（timing line）部分）側包圍元件領域而被形成。

相鄰之二第 2p 形基極層 12，是在第 2 支柱領域 10 中之 p 形第 3 支柱層 7 上及 p 形第 5 支柱層 9 上，各自被電性地接續，相互疏離而被形成。被形成該第 2p 形基極層 12 之第 2 支柱領域 10，因為是電流不流過之終端領域，所以，在第 2p 形基極層 12 表面並未形成 n 形源極層 14。與第 1 支柱領域 6 上同樣地，在相鄰之第 2p 形基極層 12 之間，形成由 n 形半導體層所構成之 JFET 層 35。該 JFET 層 35，係被電性地接續在 n 形第 4 支柱層 8 上。

第 2 閘極電極 19，是介著第 2 閘極絕緣膜 18，被形成在該相鄰之二第 2p 形基極層 12 所挾之 JFET 層 35 上，以及該相鄰之第 2p 形基極層 12 各個相對向之一部份上。此外，複數之第 1 閘極電極 17 之中最靠近第 2 支柱領域 10 側之第 1 閘極電極 17，係介著第 1 閘極絕緣膜 16，跨及第 1 支柱領域 6 最端部所形成之 p 形第 1 支柱層 4 上所形成之第 1p 形基極層 11 上、與第 2 支柱領域 10 之 p 形第 3 支柱層 7 上所形成之第 2p 形基極層 12 上而被形成。該第 1 閘極電極 17 之下，係與其他第 1 閘極電極 17 同樣地，存在 n 形第 2 支柱層 5 與 JFET 層 35。

第 3p 形基極層 13，是在 n<sup>-</sup>形晶膜層 3 表面上之第 2 支柱領域 10 側，中介 JFET 層 35，與第 5 支柱層 9 上電性地接續而形成之第 2p 形基極層 12 相鄰而被形成。第 3p 形基極層 13，在 X 方向可以是與第 1p 形基極層 11 或者第 2p 形基極層 12 之幅緣相同，但最好是比第 1p 形基極層 11 或者第 2p 形基極層 12 還要幅緣寬廣。這是，如後述，雪崩擊穿 (avalanche breakdown) 所發生之電洞電流，有必要於終端領域有效率地介著第 3p 形基極層 13 被排出至源極電極的緣故。第 3 閘極電極 21，是介著第 3 閘極絕緣膜 20，跨及該第 5 支柱層 9 上所形成之第 2p 形基極層 12 上、與第 3p 形基極層 13 上而被形成。第 3p 形基極層 13，因為與第 2p 形基極層 12 同樣地被形成在電流不流過之終端領域，所以，在其表面也不形成 n<sup>+</sup>形源極層 14。

疏離之二 p 形保護環 ( guard ring ) 層 25 , 是在 n<sup>-</sup>形晶膜層 3 表面上跟第 3p 形基極層 13 疏離、而被形成。n 形半導體層 30 , 是在通道停止層 29 之上部被電性地接續而形成。絕緣膜 27 , 是被形成覆蓋第 3p 形基極層之計時線側之端部上、p 形保護環層 25、及 n 形半導體層 30 之元件領域側之端部上。於絕緣膜 27 之開口部, 場電極 28 是介著 p<sup>+</sup>形接觸 ( contact ) 層 26 , 而被歐姆接合 ( ohmic junction ) 在 p 形保護環層 25。於絕緣膜 27 之別的開口部, 通道停止電極 33 , 是介著 p<sup>+</sup>形半導體層 31 及 n<sup>+</sup>形半導體層 32 , 而被形成在 n 形半導體層 30 上。通道停止電極 33 , 係介著 n<sup>+</sup>形半導體層 32 , 被歐姆接合在 n 形半導體層 30 , 跟通道停止層 29 電性地接續。

在此, 第 1~ 第 3p 形基極層 ( 11、12、13 )、JFET 層 35、p 形保護環層 25、n 形半導體層 30、p<sup>+</sup>形接觸層 ( 15、26、31 )、及 n<sup>+</sup>形源極層 14 , 係可以用例如以下作法形成。反復進行數回 n<sup>-</sup>形晶膜層 3 與 n 形及 p 形不純物之離子注入工程, 形成前述第 1 及第 2 支柱領域 ( 6、10 ) 及通道停止層後, 最後, 在表面全體形成 n<sup>-</sup>形晶膜層 3。之後, 以上述絕緣膜 27 及第 1~ 第 3 閘極電極等用作遮罩, 最後, 在已晶膜成長之 n<sup>-</sup>形晶膜層 3 中, 實施 n 形不純物及 p 形不純物之離子注入, 之後實施熱處理, 而形成上述各層。

源極電極 23 , 是介著層間絕緣膜 22 , 而被形成在第 1 閘極電極 17、第 2 閘極電極 19、及第 3 閘極電極 21 上

，從第 1~第 3 閘極電極 17、19、21 被絕緣。源極電極 23，係介著在第 1p 形基極層 11 表面上之  $n^+$  形源極層 14 之間、第 2p 形基極層 12 上、及第 3p 形基極層 13 上、分別被形成之  $p^+$  形接觸層 15，而分別被歐姆接合在第 1p 形基極層 11、第 2p 形基極層 12、以及第 3p 形基極層 13。汲極電極 24，是在  $n^+$  形汲極層 1 之與第 1 表面相反側之第 2 表面被歐姆接合而形成。又，第 1~第 3 閘極電極 17、19、21 係於未圖示之領域相互地電性地接續著，通過層間絕緣膜 22 之開口部，而在電力用半導體裝置 100 外部被拉出。源極電極 23 及汲極電極 24 也是同樣地，於未圖示之領域在電力用半導體裝置 100 外部被拉出。

其次，針對關於本實施型態之電力用半導體裝置 100 之動作加以說明。在相對於源極電極 23 而讓正電壓被施加到汲極電極 24 之狀態下，在對第 1 閘極電極 17 施加超過閾值之電壓時，依照反轉分布之通道層，在第 1p 形基極層 11 表面之與第 1 閘極電極 17 相對向之部分，以接續  $n^+$  形源極層 14 與  $n$  形第 2 支柱層 5 之方式被形成，而電力用半導體裝置 100 係成爲 ON 狀態。結果，在第 1 支柱領域 6，讓電流從汲極電極 24，通過  $n^+$  形汲極層 1、 $n$  形第 2 支柱層 5、第 1p 形基極層 11、及  $n^+$  形源極層 14，往源極電極 23 流動。該電流，係由被施加到第 1 閘極電極 17 之電壓所控制。利用第 2 及第 3 閘極電極，讓通道層分別被形成在第 2 及第 3p 形基極層中，但是，因爲並未形成  $n^+$  形源極層 14，所以在第 2 支柱領域 10 及  $n$  形晶膜

層 3 並無電流流動。

被施加到第 1 閘極電極 17 之電壓小於閾值時通道層會消失，因而，電力用半導體裝置 100 成爲 OFF 狀態，遮斷電流從汲極電極 24 往源極電極 23 流動。之後，利用被施加到源極電極 23 與汲極電極 24 之電壓，第 1 支柱領域 6、第 2 支柱領域 10、及 n<sup>-</sup>形晶膜層 3 係分別空乏化。爲了降低 ON 電阻而設定高的第 2 及第 4 支柱層 5、8 之 n 形不純物濃度，但因爲是以與第 1 及第 3 支柱層 4、7 之 p 形不純物量相等之方式被形成，所以第 1 支柱領域 6 及第 2 支柱領域 10 由於完全地被空乏化而維持高的耐壓。此外，n<sup>-</sup>形晶膜層 3，由於沒有必要讓 ON 電阻減低因而不純物濃度低，所以容易空乏化且耐壓高。藉由設定低的不純物濃度，可以讓耐壓高於第 1 及第 2 支柱領域。

於第 2 支柱領域 10 與 n<sup>-</sup>形晶膜層 3 之接續部分，於第 1 及第 2 支柱領域連續的 p 形支柱層與 n 形支柱層之反覆構造會中斷。於該部分，要保持 p 形不純物量與 n 形不純物量之平衡較爲困難。本實施型態中，第 5 支柱層 9 之 p 形不純物量，是被形成所鄰接之第 4 支柱層 8 之 n 形不純物量的一半左右（亦即 p 形第 3 支柱層 7 之 p 形不純物量的一半左右），於第 4 支柱層 8 與第 5 支柱層 9 之接合部可取得不純物量之平衡。然而，該接續部分，相較於第 1 及第 2 支柱領域中 4、5 之 p-n 接合部，前者要取得不純物量之平衡比較困難。因此，在電力用半導體裝置 100 爲 OFF 狀態時，耐壓低且容易發生雪崩擊穿。爲了防止

因雪崩擊穿所發生之電洞電流集中造成元件破壞之情事，有必要讓雪崩擊穿所發生之電洞有效率地（低電性電阻地）被排出至源極電極。關於本實施型態之電力用半導體裝置 100，於第 5 支柱層 9 由雪崩擊穿所發生之電洞，不僅第 3p 形基極層 13，也利用被接續在第 5 支柱層 9 上部之第 2p 形基極層 12 及被接續在第 3 支柱層 7 上部之第 2p 形基極層 12 而被排出至源極電極 23。第 2p 形基極層 12，因為並未形成  $n^+$  形源極層 14，與源極電極 23 之接觸面積會比第 1p 形基極層 11 還要大的緣故，所以電洞排出時之電阻較低。因此，可稍微抑制由於排出因雪崩擊穿而發生之電洞電流所造成之發熱。此外，因為在第 2p 形基極層 12 與第 3p 形基極層 13，並未形成  $n^+$  形源極層 14，所以，由於雪崩擊穿之電洞電流，造成  $n^+$  形源極層 / 第 2p 形基極層（第 3p 形基極層） / 第 4 之 n 形支柱層（ $n^-$  形晶膜層 3）之寄生電晶體（parasitic transistor）之鎖定（latch up），也就無須擔心。因此，關於本實施型態之電力用半導體裝置 100，終端領域之電子雪崩（avalanche）耐量較高，且較能進行高耐壓之動作。

其次，將關於本實施型態之電力用半導體裝置 100、與比較例之電力用半導體裝置 101 加以比較，說明本實施型態之優點。圖 3 係比較例之電力用半導體裝置 101 重要部分之模式剖面圖。又，在與本實施型態已說明之構成相同之構成部分採用相同參照圖號或者記號且省略其說明。主要針對跟本實施型態相異點加以說明。

比較例之電力用半導體裝置 101，係在本實施型態之電力用半導體裝置 100，除去第 2 閘極電極 19 跟第 2 閘極絕緣膜 18、及第 3 閘極電極 21 跟第 3 閘極絕緣膜 20，讓相鄰之二第 2p 形基極層 12 及第 3p 形基極層 13 各自相互地在水平方向（X 方向）接續而形成一第 3p 形基極層 13a 之構造。源極電極 23，係介著 p<sup>+</sup>形接觸層 15 而與第 3p 形基極層 13a 歐姆接合。除了上述之點外，比較例之電力用半導體裝置 101，係與關於本實施型態之電力用半導體裝置 100 相同。

比較例之電力用半導體裝置 101，相較於關於本實施型態之電力用半導體裝置 100，前者因為並不具有在第 2 支柱領域 10a 上部之複數之第 2p 形基極層 12 疏離而在其間有 JFET 層 35 之構造，所以第 3p 形基極層 13a 與源極電極 23 之接觸面積較大。因此，即使於第 5 支柱層 9a 發生雪崩擊穿，比較例之電力用半導體裝置 101，相較於本實施型態之電力用半導體裝置 100，前者之電洞往汲極電極消退時之電阻較低。然而，電力用半導體裝置 101，係在第 2 支柱領域 10a 之上部，在 n 形第 4 支柱層 8a 上部存在第 3p 形支柱層 13a。因此，第 2 支柱領域 10a，相較於第 1 支柱領域 6，前者於源極電極 23 側之表面附近，為 p 形不純物量比 n 形不純物量還要多之狀態。第 2 支柱領域 10a 中，不純物量之平衡崩亂，被視為近似於第 2 支柱領域 10a 全體是 p 形不純物量少的 p 形半導體層。相對於此，第 1 支柱領域 6 中，在 n 形第 2 支柱層 5 上接續 n

形 JFET 層 35，即使在源極電極 23 側，也取得 p 形不純物量與 n 形不純物量之平衡，第 1 支柱領域 6 可被視為近似於全體完全地空乏化之高電阻層。在圖 3 之下部，顯示沿著第 1 支柱領域 6 以及第 2 支柱領域 10a 中之 C1-C2 及 B1-B2 剖面之、深度方向之電場強度分布。左側為第 1 支柱領域 6 之電場強度分布，右側則是第 2 支柱領域 10a 之電場強度分布。第 1 支柱領域 6，因為完全地空乏化，所以相對於深度方向而電場強度為一定。相對於此，第 2 支柱領域 10a，因為全體而言近似於 p 形半導體，所以形成朝向源極電極 23 側而電場強度逐漸降低之分布。耐壓，因為是深度方向之電場強度的積分值，所以，第 2 支柱領域 10a 相較於第 1 支柱領域 6，前者之耐壓大大地降低。因此，比較例之電力用半導體裝置 101，因為終端領域之耐壓低，所以，於終端領域容易發生元件破壞。

相對於此，關於本實施型態之電力用半導體裝置 100，第 2 支柱領域 10 係與第 1 支柱領域 6 同樣地在 n 形支柱層上具有 n 形 JFET 層 35，介著該 JFET 層 35 形成相鄰之第 2p 形基極層 12，於源極電極 23，具有與第 1 支柱領域 6 相同之支柱構造。因此，關於本實施型態之電力用半導體裝置 100 之第 2 支柱領域 10，因為具有耐壓跟第 1 支柱領域 6 大致相同，所以，相較於比較例之電力用半導體裝置 101，前者於終端領域之耐壓提高，可抑制終端領域之元件破壞。相對於比較例之電力用半導體裝置 101 之耐壓為 640V，關於本實施型態之電力用半導體裝置 100

，耐壓則提高至 670V。

關於本實施型態之電力用半導體裝置 100，係具有形成元件領域之第 1 支柱領域 6、與沿著 X 方向鄰接在該第 1 支柱領域 6 之第 2 支柱領域 10。第 2 支柱領域 10，係具有支柱組與沿著 X 方向鄰接在該支柱組之第 5 支柱層 9。支柱組，係具有第 3 支柱層 7、與沿著 X 方向鄰接在該第 3 支柱層 7 之第 4 支柱層 8。複數之 p 形第 2 基極層 12，係電性地被接續在各個第 3 支柱層 7 及第 5 支柱層 9 上，且以相互疏離之方式被設置。在該第 2p 形基極層 12，並未形成 n<sup>+</sup>形源極層 14。藉此，雪崩擊穿所發生之電洞，會往第 2 支柱領域 10 上部之源極電極 23 以低電阻被排出，此外，也能夠抑制鎖定之發生，因而，電力用半導體裝置 100 方面，能夠抑制終端領域之元件破壞。再者，因為即使是在第 2 支柱領域 10 之源極電極 23 側，也可以取得 p 形不純物量與 n 形不純物量之平衡，所以，電力用半導體裝置 100，在終端領域之耐壓是與元件領域同樣地高。亦即，可得到抑制終端領域之元件破壞之電力用半導體裝置。

（第 2 實施型態）

採用圖 4 並說明關於第 2 實施型態之電力用半導體裝置 200。圖 4 係關於第 2 實施型態之電力用半導體裝置 200 之重要部分之模式剖面圖。又，在與第 1 實施型態已說明之構成相同之構成部分採用相同參照圖號或者記號且

省略其說明。主要針對與第 1 實施型態之相異點加以說明。

如圖 4 所示，關於本實施型態之電力用半導體裝置 200，係與關於第 1 實施型態之電力用半導體裝置 100 有以下相異點。電力用半導體裝置 200，係在關於第 1 實施型態之電力用半導體裝置 100，具有在第 1 支柱領域 6 之 n 形第 2 支柱層 5 與第 2 支柱領域 10 之 p 形第 3 支柱層 7 之間，再插入一組之 p 形第 3 支柱層 7 與 n 形第 4 支柱層 8 之構造。亦即，在關於第 1 實施型態之電力用半導體裝置 100，第 2 支柱領域之支柱組，係具有一組之第 3 支柱層 7 及第 4 支柱層 8。相對於此，關於本實施型態之電力用半導體裝置 200，支柱組，係由沿著圖中 X 方向被交互地反覆配置之 2 周期（二組）之第 3 支柱層 7 及第 4 支柱層 8 所構成。以接續在追加之第 3 支柱層 7 上部之方式，追加形成第 2p 形基極層 12。以接續在追加之第 4 支柱層 8 上部之方式，追加形成 n 形 JFET 層 35。在被追加之第 2p 形基極層 12 上、與其相鄰之第 2p 形基極層 12 上進而追加形成介著第 2 閘極絕緣膜 18 之第 2 閘極電極 19。

關於本實施型態之電力用半導體裝置 200，如上述，相較於關於第 1 實施型態之電力用半導體裝置 100，前者在電流不流動之第 2 支柱領域 10b，分別增加一組第 2p 形基極層 12 與第 2 閘極電極 19。因此，於第 2 支柱領域 10b 端部之第 5 支柱層 9 發生雪崩擊穿時，電洞被排出至源極電極 23 之電阻更為減低，因而，本實施型態之電力

用半導體裝置 200，相較於關於第 1 實施型態之電力用半導體裝置 100，前者之終端領域之電子雪崩耐量提高且可信賴性提升。在該第 2 支柱領域 10b，第 2p 形基極層 12 之數量愈是增加，愈能夠提高電子雪崩耐量，但是，因為會導致相對於元件領域而終端領域之面積比例增加、影響到製造成本上昇，所以，實際的第 2p 形基極層 12 之數量需根據設計以決定其細節。除上述以外，可得到與第 1 實施型態同樣的效果。亦即，可得到抑制終端領域之元件破壞之電力用半導體裝置。

( 第 3 實施型態 )

採用圖 5 並說明關於第 3 實施型態之電力用半導體裝置 300。圖 5 係關於第 3 實施型態之電力用半導體裝置 300 之重要部分之模式剖面圖。又，在與第 1 實施型態已說明之構成相同之構成部分採用相同參照圖號或者記號且省略其說明。主要針對與第 1 實施型態之相異點加以說明。

關於第 3 實施型態之電力用半導體裝置 300，在第 2 支柱領域 10c，在 p 形第 5 支柱層 9c 與 n<sup>-</sup>形晶膜層 3 之間進而具有 n 形第 6 支柱層 34，而該點係跟關於第 1 實施型態之半導體裝置 100 相異。該 n 形第 6 支柱層 34，係在由第 5 支柱層 9c 上部所接續之第 2p 形基極層 12 與第 3p 形基極層 13 所挾之 n 形 JFET 層 35，以其上部接續。在第 6 支柱層 34 之上部，係配置第 3 閘極電極 21。該

場合，p 形第 5 支柱層 9c，因為並未被形成在第 2 支柱領域 10c 之端部，所以，是由與 p 形第 3 支柱層 7 同一構造所形成。亦即，p 形第 5 支柱層 9c，係在 n<sup>+</sup>形汲極層 1 之與第 1 表面平行之平面，將其 p 形不純物量形成與 p 形第 3 支柱層 7 之 p 形不純物量相等。取而代之，以 n 形第 6 支柱層 34 被形成在第 2 支柱領域 10c 之端部，因而，n 形第 6 支柱層 34，在 n<sup>+</sup>形汲極層 1 之與第 1 表面平行之平面，其 n 形不純物量被形成比 n 形第 4 支柱層 8 之 n 形不純物量還要更少即可，最好是被形成約一半即可。

本實施型態之電力用半導體裝置 300 中，第 2 支柱領域 10c 端部是由 n 形第 6 支柱層 34 所構成的緣故，雪崩擊穿容易發生於第 6 支柱層 34 之領域。相較於關於第 1 實施型態之電力用半導體裝置 100，雪崩擊穿所造成之電洞容易流到第 3p 形基極層 13，電子雪崩耐量會稍微增加。除此以外，電力用半導體裝置 300，係具有第 1 實施型態同樣的效果。亦即，可得到抑制終端領域之元件破壞之電力用半導體裝置。

#### (第 4 實施型態)

採用圖 6 並說明關於第 4 實施型態之電力用半導體裝置 400。圖 6 係關於第 4 實施型態之電力用半導體裝置 400 之重要部分之模式剖面圖。又，在與第 1 實施型態已說明之構成相同之構成部分採用相同參照圖號或者記號且省略其說明。主要針對與第 1 實施型態之相異點加以說明

關於第 4 實施型態之電力用半導體裝置 400，不同於關於第 1 實施型態之電力用半導體裝置 100 具有平面構造 (plane structure) 之閘極電極，且在溝槽構造具有閘極電極之點上相異。除此以外，則與第 1 實施型態同樣構造。關於第 4 實施型態之電力用半導體裝置 400 中，第 1 閘極電極 17a，係於相鄰之第 1p 形基極層 11a 之間，在讓相鄰之第 1p 形基極層 11a 在側壁露出、讓 n 形第 2 支柱層 5 在底面露出之第 1 溝槽內，介著第 1 閘極絕緣膜 16a 被埋入而形成。第 2 閘極電極 19a，係於相鄰之第 2p 形基極層 12 之間，在讓相鄰之第 2 基極層 12 在側壁露出、讓 n 形第 4 支柱層 8 在底面露出之第 2 溝槽內，介著第 2 閘極絕緣膜 18a 被埋入而形成。第 3 閘極電極 21a，係於 p 形第 5 支柱層 9 上部所接續之第 2p 形基極層 12 與在此相鄰之第 3p 形基極層 13 之間，在讓上述第 2p 形基極層 12 與上述第 3p 形基極層 13 在側壁露出、讓 n 形晶膜層 3 在底面露出之第 3 溝槽內，介著第 3 閘極絕緣膜 20a 被埋入而形成。在被埋入之第 1~第 3 閘極電極 17a、19a、21a 上形成層間絕緣膜 22，第 1~第 3 閘極電極 17a、19a、21a，係利用層間絕緣膜 22 與源極電極 23 絕緣。

關於本實施型態之電力用半導體裝置 400，也與關於第 1 實施型態之電力用半導體裝置 100 同樣地，具有形成元件領域之第 1 支柱領域 6、與沿著 X 方向鄰接在該第 1 支柱領域 6 之第 2 支柱領域 10。第 2 支柱領域 10，係具

有支柱組、與沿著 X 方向鄰接在該支柱組之第 5 支柱層 9。支柱組，係具有第 3 支柱層 7、與沿著 X 方向鄰接在該第 3 支柱層 7 之第 4 支柱層 8。複數之 p 形第 2 基極層 12，係電性地被接續在各個第 3 支柱層 7 及第 5 支柱層 9 上，且以相互疏離之方式被設置。在該第 2p 形基極層 12，並未形成  $n^+$  形源極層 14。藉此，雪崩擊穿所發生之電洞，會往第 2 支柱領域 10 上部之源極電極 23 以低電阻被排出，此外，也能夠抑制鎖定之發生，因而，電力用半導體裝置 400 方面，能夠抑制終端領域之元件破壞。再者，因為即使是在第 2 支柱領域 10 之源極電極 23 側，也可以取得 p 形不純物量與 n 形不純物量之平衡，所以，電力用半導體裝置 400，在終端領域之耐壓高。亦即，可得到抑制終端領域之元件破壞之電力用半導體裝置。再者，關於本實施型態之電力用半導體裝置 400，因為閘極電極是由溝槽構造之閘極電極所形成，所以，其優點在於比起平面構造之閘極電極，較能提高其積聚度。

以上已說明之各實施型態及比較例中，第 1~第 5 支柱層，係作成在圖中 Y 方向延伸之條狀支柱層，說明各電力用半導體裝置。然而，只要是具有關於各實施例之重要部分剖面圖所示之構造之電力用半導體裝置，第 1~第 5 支柱層，也可以是在 Y 方向延伸之格子狀或者棋盤格子狀支柱層。

說明了本發明數個實施型態，而該等實施型態係提示作為例子，而不意圖限定發明之範圍。該等新實施型態，

可以用其他種種型態而實施，在不逸脫發明主旨之範圍，能夠進行種種之省略、置換、變更。該等實施型態或其變形，係被包含在發明之範圍或主旨，而且，被包含在與申請專利範圍所記載之發明其均等之範圍。

## 【圖式簡單說明】

圖 1 係關於第 1 實施型態之電力用半導體裝置重要部分之模式剖面圖。

圖 2 係關於第 1 實施型態之電力用半導體裝置之模式平面圖。

圖 3 係比較例之電力用半導體裝置重要部分之模式剖面圖。

圖 4 係關於第 2 實施型態之電力用半導體裝置重要部分之模式剖面圖。

圖 5 係關於第 3 實施型態之電力用半導體裝置重要部分之模式剖面圖。

圖 6 係關於第 4 實施型態之電力用半導體裝置重要部分之模式剖面圖。

## 【主要元件符號說明】

1：n<sup>+</sup>形汲極層

2：n 形緩衝層

3：n<sup>-</sup>形晶膜層

4：n 形第 1 支柱層

- 5 : p 形第 2 支柱層
- 6 : 第 1 支柱領域
- 7 : p 形第 3 支柱層
- 8 : n 形第 4 支柱層
- 9 : p 形第 5 支柱層
- 10 : 第 2 支柱領域
- 11、12、13 : p 形基極層
- 14 : n<sup>+</sup>形源極層
- 15、26 : p<sup>+</sup>形接觸層
- 16、18、20 : 閘極絕緣膜
- 17、19、21 : 閘極電極
- 22 : 層間絕緣膜
- 23 : 源極電極
- 24 : 汲極電極
- 25 : p 形保護環層
- 27 : 絕緣膜
- 28 : 場電極
- 29 : n 形通道停止層
- 30 : n 形半導體層
- 31 : p<sup>+</sup>形半導體層
- 32 : n<sup>+</sup>形半導體層
- 33 : 通道停止電極
- 35 : JFET 層
- 100 : 電力用半導體裝置

# 發明專利說明書

(本申請書格式、順序，請勿任意更動，※記號部分請勿填寫)

※申請案號：100133435

※申請日：100年09月16日

※IPC分類：H01L 29/18 (2006.01)

一、發明名稱：(中文/英文)

H01L 29/06 (2006.01)

電力用半導體裝置

## 二、中文發明摘要：

電力用半導體裝置，係在第1導電形之第1半導體層(1)之第1表面上，鄰接而具備第1支柱領域(6)、第2支柱領域(10)、與第1導電形之晶膜層(3)。第1支柱領域(6)，係具有交互地被配置之複數之第2導電形之第1支柱層(4)與複數之第1導電形之第2支柱層(5)，複數之第2導電形之第1基極層(11)，是在各個複數之第1支柱層(4)上疏離並被接續。第2支柱領域(10)，係鄰接而具有第2導電形之第3支柱層(7)、第1導電形之第4支柱層(8)、及第2導電形之第5支柱層(9)。複數之第2導電形之第2基極層(12)，是在各個第3支柱層及第5支柱層上疏離並被接續。複數之源極層，是選擇性地被形成在每個複數之第1基極層之表面。

201234591

三、英文發明摘要：

七、申請專利範圍：

1. 一種電力用半導體裝置，其特徵係具備：

具有第 1 表面之第 1 導電形之第 1 半導體層；

於前述第 1 半導體層之前述第 1 表面上，複數之第 2 導電形之第 1 支柱層與複數之第 1 導電形之第 2 支柱層，在前述第 1 表面沿著平行的第 1 方向交互地反覆配置所構成之第 1 支柱 (pillar) 領域；

於前述第 1 半導體層之前述第 1 表面上，沿著前述第 1 方向在前述第 1 支柱領域之前述第 2 支柱層相鄰接之第 2 支柱領域，而且，是由至少 1 層之第 2 導電形之第 3 支柱層、跟沿著前述第 1 方向在前述第 3 支柱層相鄰接之第 1 導電形之第 4 支柱層所構成之支柱組，與沿著前述第 1 方向在前述支柱組相鄰接之第 2 導電形之第 5 支柱層等所構成之第 2 支柱領域；

於前述第 1 半導體層之前述第 1 表面上，沿著前述第 1 方向跟前述第 2 支柱領域相鄰接，且其第 1 導電形不純物濃度比前述第 2 支柱層還要低之第 1 導電形之晶膜 (epitaxial) 層；

以電性地接續在各個前述複數之第 1 支柱層上、且相互疏離之方式被設置之複數之第 2 導電形之第 1 基極 (base) 層；

以電性地接續在各個前述第 3 支柱層及前述第 5 支柱層上、且相互疏離之方式被設置之複數之第 2 導電形之第 2 基極層；

於前述晶膜層表面，以與前述複數之第 2 基極層之中接續在前述第 5 支柱層上之第 2 基極層疏離並相鄰之方式被設置之第 2 導電形之第 3 基極層；

選擇性地被形成在各個前述複數之第 1 基極層表面，其第 1 導電形不純物濃度比前述晶膜層還要高之複數之第 1 導電形源極層；

在前述複數之第 1 基極層之中各個相鄰之第 1 基極層上、在前述複數之源極層之中前述相鄰之第 1 基極層上所形成之源極層上、及前述第 2 支柱層上，介著第 1 閘極絕緣膜而被設置之第 1 閘極電極；

在前述複數之第 2 基極層之中各個相鄰之第 2 基極層上、及前述第 4 支柱層上，介著第 2 閘極絕緣膜被設置之第 2 閘極電極；

在各個前述第 3 基極層、與前述第 5 支柱層上所接續之前述第 2 基極層上，介著第 3 閘極絕緣膜被設置之第 3 閘極電極；

在與前述第 1 半導體層之前述第 1 表面相反側之表面被電性地接續設置之第 1 電極；與

在各個前述源極層、前述第 1 基極層、前述第 2 基極層、及前述第 3 基極層被電性地接續之第 2 電極。

2.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

前述支柱組係由沿著前述第 1 方向被配置之單一之第 3 支柱層及單一之第 4 支柱層所構成。

3.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

前述支柱組，係由沿著前述第 1 方向交互地反覆被配置之複數之第 3 支柱層及複數之第 4 支柱層所構成；前述複數之第 2 基極層，係各個疏離並電性地被接續在各個前述複數之第 3 支柱層上。

4.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

設置複數之第 1 導電形之第 3 半導體層於相鄰之前述第 1 基極層之間電性地被接續在前述第 2 支柱層、於相鄰之前述第 2 基極層之間電性地被接續在前述第 4 支柱層。

5.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

在與前述第 1 表面平行之平面，前述第 5 支柱層之第 2 導電形不純物量，是被形成比前述第 3 支柱層之第 2 導電形不純物量還要少。

6.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

前述第 2 支柱領域，係在前述第 5 支柱層與前述晶膜層之間進而具備第 1 導電形之第 6 支柱層。

7.如申請專利範圍第 6 項記載之電力用半導體裝置，其中，

在與前述第 1 表面平行之平面，前述第 6 支柱層之第 1 導電形不純物量，是被形成比前述第 4 支柱層之第 1 導

電形不純物量還要少。

8.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

前述第 3 基極層，沿著第 1 方向其幅緣比前述第 2 基極層還要寬廣。

9.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

在前述第 1 半導體層、與前述第 1 支柱領域及前述第 2 支柱領域之間，進而具備第 1 導電形之第 4 半導體層。

10.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

在前述第 1 半導體層與前述第 1 電極之間，進而具備第 2 導電形之第 5 半導體層。

11.如申請專利範圍第 1 項記載之電力用半導體裝置，其中，

前述第 1 閘極電極，係在相鄰之前述第 1 基極層在側壁露出且前述第 2 支柱層在底面露出之第 1 溝槽（trench）內，介著前述第 1 閘極絕緣膜被埋入而形成；

前述第 2 閘極電極，係在相鄰之前述第 2 基極層在側壁露出且前述第 4 支柱層在底面露出之第 2 溝槽內，介著前述第 2 閘極絕緣膜被埋入而形成；

前述第 3 閘極電極，係在前述第 5 支柱層上所接續之前述第 2 基極層與前述第 3 基極層在側壁露出、且前述晶膜層在底面露出之第 3 溝槽內，介著前述第 3 閘極絕緣膜

被埋入而形成。

12.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

前述支柱組，係由沿著前述第 1 方向被配置之單一之第 3 支柱層及單一之第 4 支柱層所構成。

13.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

前述支柱組，係由沿著前述第 1 方向交互地反覆被配置之複數之第 3 支柱層及複數之第 4 支柱層所構成；前述複數之第 2 基極層，係各個疏離並電性地被接續在各個前述複數之第 3 支柱層上。

14.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

在與前述第 1 表面平行之平面，前述第 5 支柱層之第 2 導電形不純物量，是被形成比前述第 3 支柱層之第 2 導電形不純物量還要少。

15.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

前述第 2 支柱領域，係在前述第 5 支柱層與前述晶膜層之間進而具備第 1 導電形之第 6 支柱層。

16.如申請專利範圍第 15 項記載之電力用半導體裝置，其中，

在與前述第 1 表面平行之平面，前述第 6 支柱層之第 1 導電形不純物量，是被形成比前述第 4 支柱層之第 1 導

電形不純物量還要少。

17.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

前述第 3 基極層，沿著第 1 方向其幅緣比前述第 2 基極層還要寬廣。

18.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

在前述第 1 半導體層、與前述第 1 支柱領域及前述第 2 支柱領域之間，進而具備第 1 導電形之第 4 半導體層。

19.如申請專利範圍第 11 項記載之電力用半導體裝置，其中，

在前述第 1 半導體層與前述第 1 電極之間，進而具備第 2 導電形之第 5 半導體層。

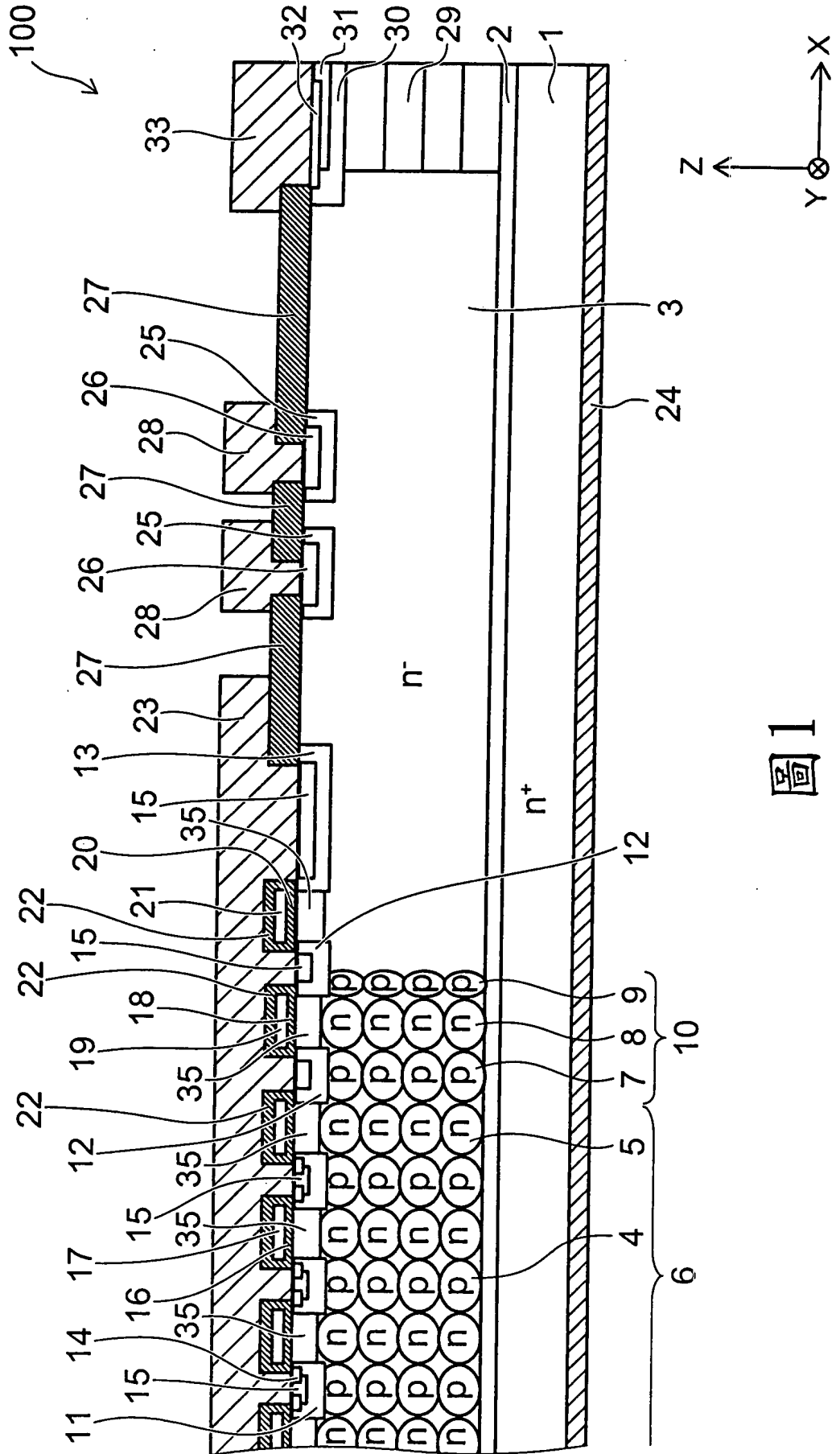


圖 1

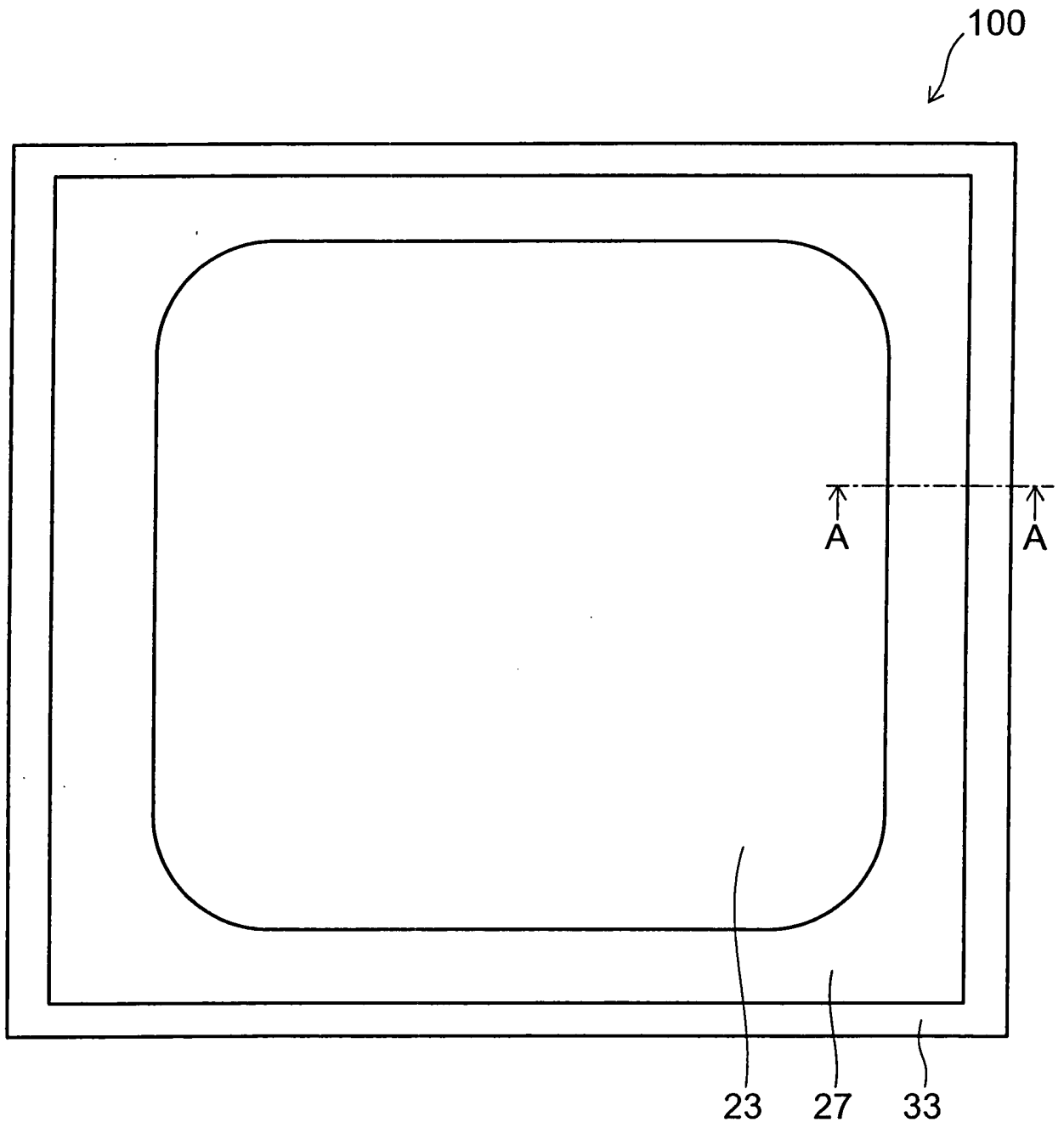
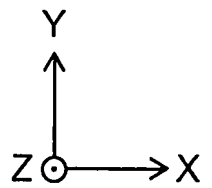


圖2



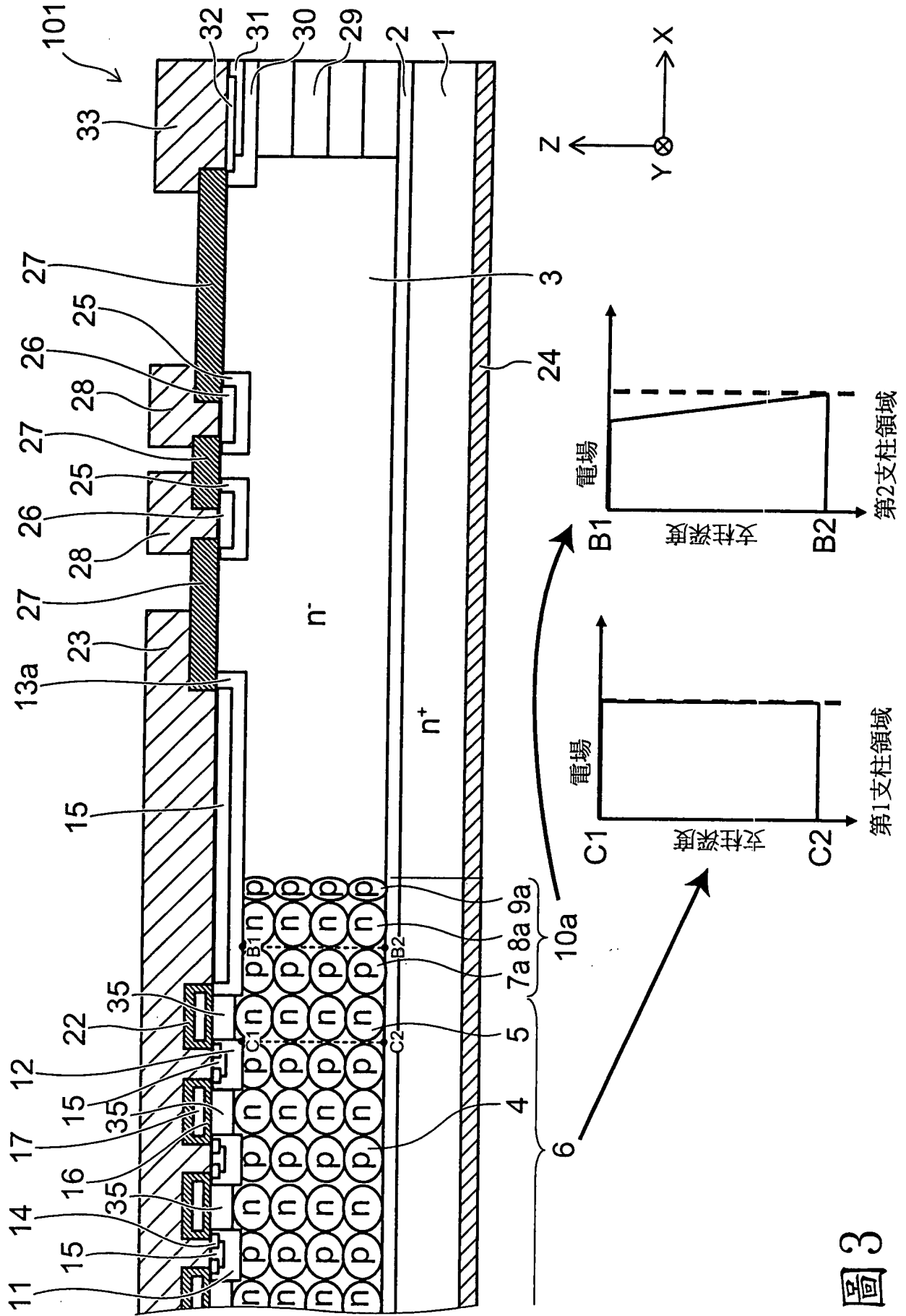


圖3

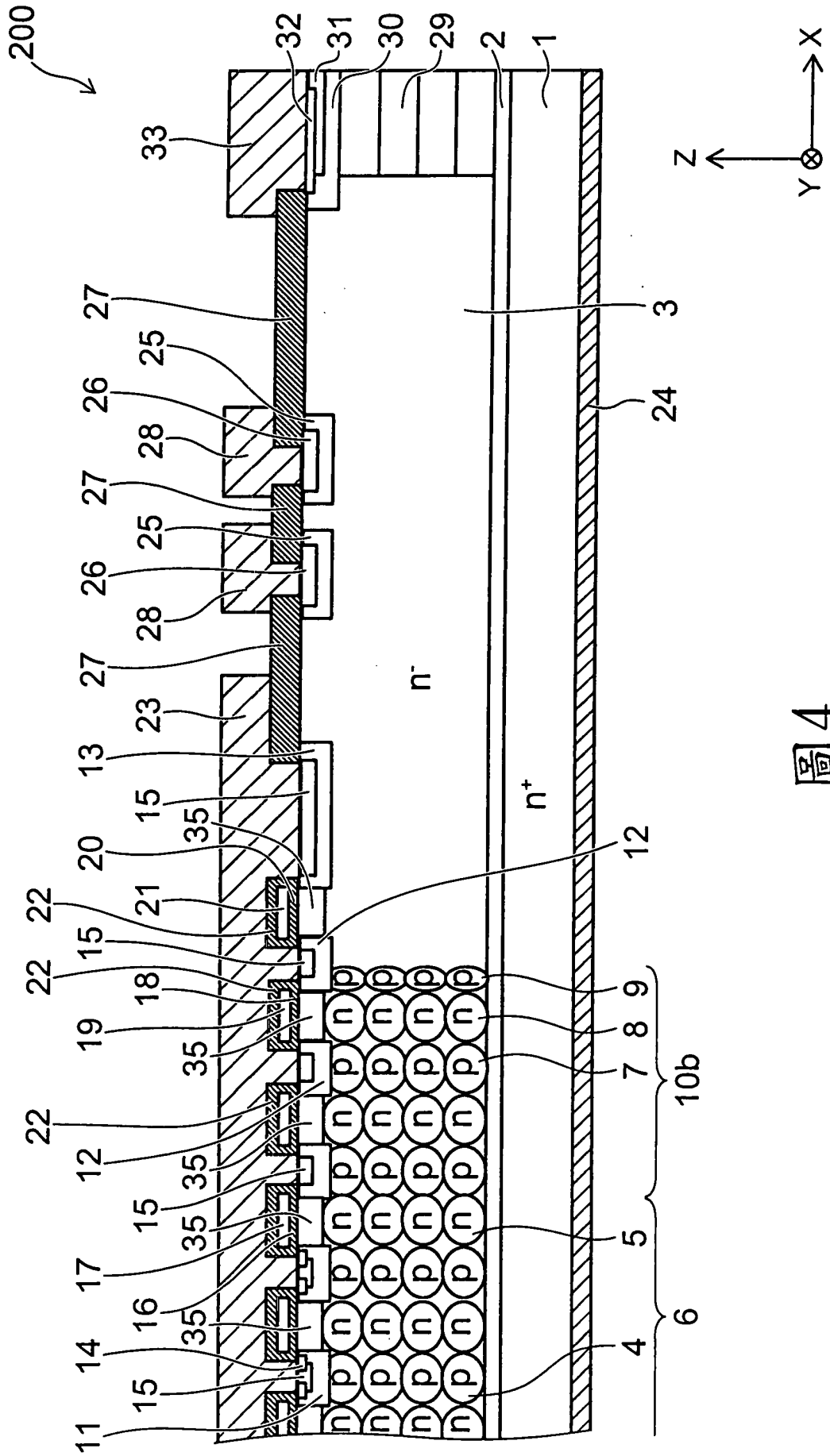


圖4

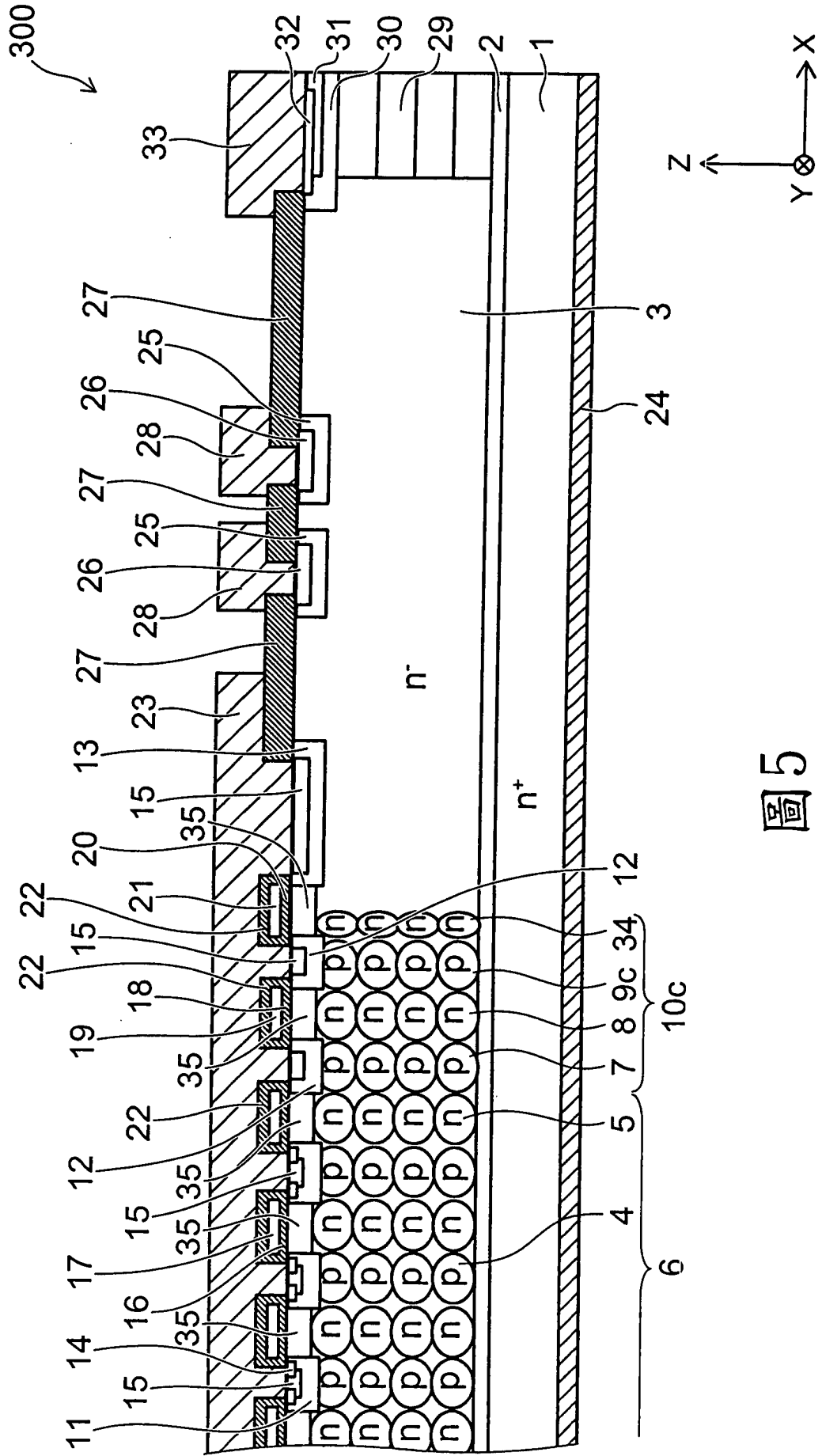


圖5

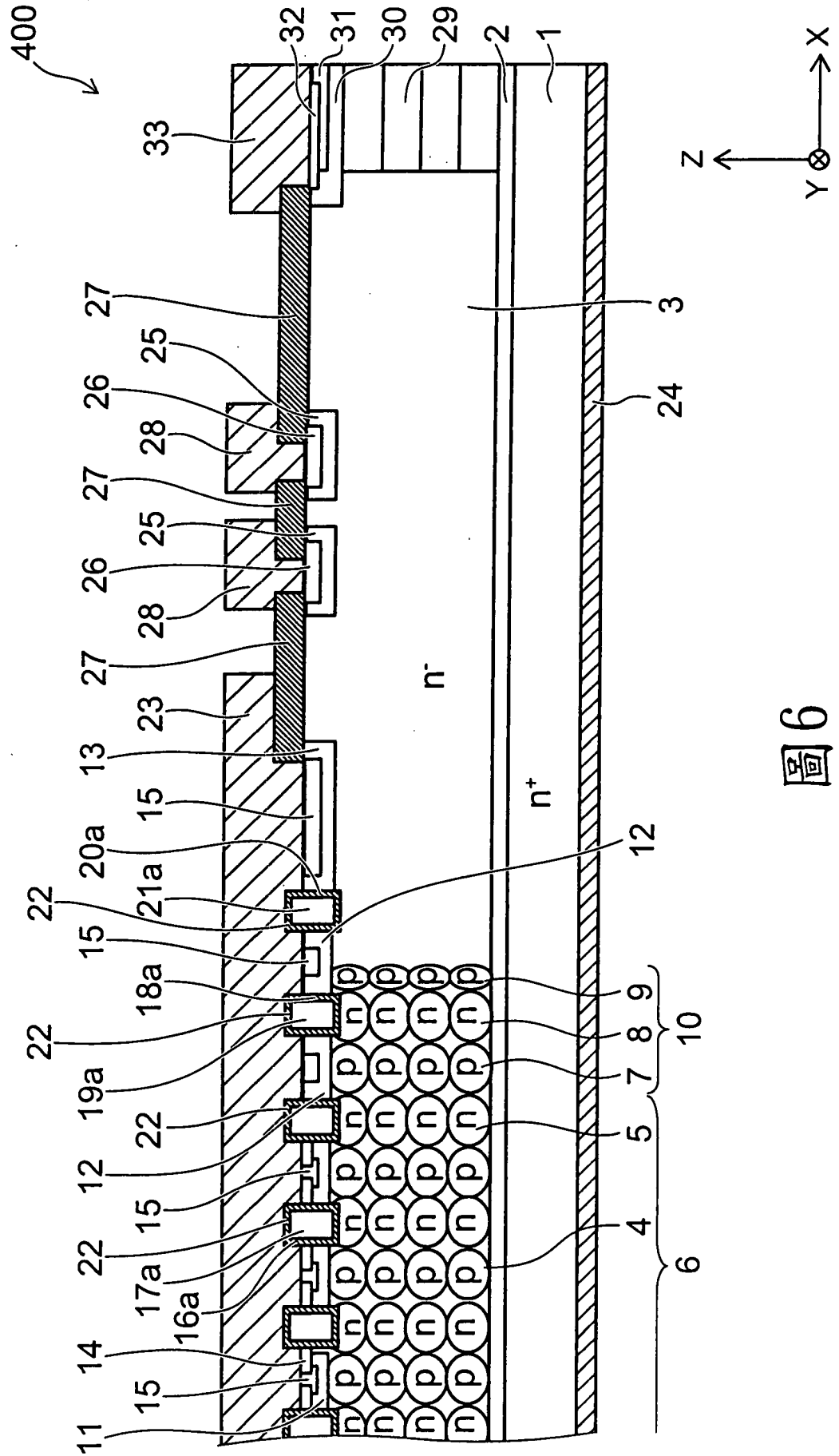


圖6

四、指定代表圖：

(一) 本案指定代表圖為：第(1)圖。

(二) 本代表圖之元件符號簡單說明：

- 1：n<sup>+</sup>形汲極層，2：n形緩衝層，  
3：n<sup>-</sup>形晶膜層，4：n形第1支柱層，  
5：p形第2支柱層，6：第1支柱領域，  
7：p形第3支柱層，8：n形第4支柱層，  
9：p形第5支柱層，10：第2支柱領域，  
11、12、13：p形基極層，14：n<sup>+</sup>形源極層，  
15、26：p<sup>+</sup>形接觸層，  
16、18、20：閘極絕緣膜，  
17、19、21：閘極電極，22：層間絕緣膜，  
23：源極電極，24：汲極電極，  
25：p形保護環層，27：絕緣膜，  
28：場電極，29：n形通道停止層，  
30：n形半導體層，31：p<sup>+</sup>形半導體層，  
32：n<sup>+</sup>形半導體層，33：通道停止電極，  
35：JFET層，100：電力用半導體裝置。

五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：無