(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0007038
(43) 공개일자 2009년01월16일

(51) Int. Cl.
H03K 5/01 (2006.01)
(21) 출원번호 10-2007-0070629
(22) 출원일자 2007년07월13일
심사청구일자 2007년07월13일

(71) 출원인
고려대학교 산학협력단
서울 성북구 안암동5가1 고려대학교 내
(72) 발명자
김철우
서울 성북구 길음동 1283 길음뉴타운 605-1301호
채현수
서울 동대문구 제기2동 167-39
신동석
서울 서대문구 홍제4동 인왕산현대아파트 106동 201호
(74) 대리인
전종학

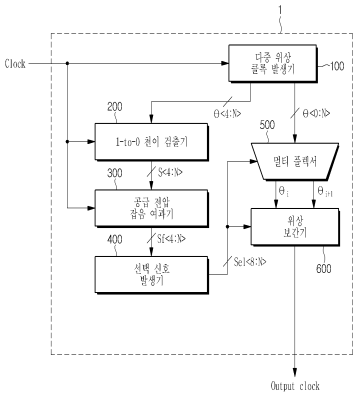
전체 청구항 수 : 총 11 항

(54) 입력신호 듀티비에 무관한 클록 발생장치

(57) 요 약

본 발명은 입력신호 듀티비에 무관한 클록 발생장치에 관한 것이다. 상기 클록 발생장치는 입력 클록 신호를 지연시켜 복수개의 다른 위상을 갖는 클록신호들을 발생시키는 다중 위상 클록 발생장치; 상기 입력 클록 신호와 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 입력받아 비교하는 1-to-0 천이 검출기; 상기 1-to-0 천이 검출기의 공급 전압 잡음에 대한 영향을 제거하는 공급 전압 잡음 여과기; 상기 지연된 복수개의 다른 위상을 갖는 클록신호들 중 상기 입력 클록 신호와 소정의 위상차만큼 위상이 지연된 상기 복수개의 다른 위상을 갖는 클록 신호들을 검출하는 선택 신호 발생기; 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 선택적으로 통과시키는 멀티플렉서; 및 상기 멀티플레서에서 선택적으로 통과된 신호에 의해서 상기 검출한 클록 신호들의 위상차를 보상하는 위상 보간기를 포함한다.

대 표 도 - 도1



특허청구의 범위

청구항 1

입력 클록 신호를 지연시켜 복수개의 다른 위상을 갖는 클록신호들을 발생시키는 다중 위상 클록 발생장치;

상기 입력 클록 신호와 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 입력받아 비교하는 1-to-0 천이 검출기;

상기 지연된 복수개의 다른 위상을 갖는 클록신호들 중 상기 입력 클록 신호와 소정의 위상차만큼 위상이 지연된 상기 복수개의 다른 위상을 갖는 클록 신호들을 검출하는 선택 신호 발생기;

상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 선택적으로 통과시키는 멀티플렉서; 및

상기 멀티플레서에서 선택적으로 통과된 신호에 의해서 상기 검출한 클록 신호들의 위상차를 보상하는 위상 보간기

를 포함하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 2

제 1 항에 있어서,

상기 클록 발생장치는 상기 1-to-0 천이 검출기의 공급 전압 잡음에 대한 영향을 제거하는 공급 전압 잡음 여과기를 더 포함하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 3

제 1 항에 있어서,

상기 다중 위상 클록 발생장치는 2개의 스태틱 인버터(static inverter)를 포함하는 지연셀들이 연속적인 직렬로 구성되는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 4

제 1 항에 있어서,

상기 1-to-0 천이 검출기는 상기 입력 클록 신호의 상승 클록 에지와 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 비교하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 5

제 1 항에 있어서,

상기 공급 전압 잡음 여과기는 상기 입력 클록 신호로부터 제어된 신호(clk_g<n>)의 매 상승 에지별로 5개의 검출 신호(S<n>)를 확인하고, 각 순간마다 상기 5개의 검출 신호 중 3개 이상의 신호가 "1"일 경우 그 결과를 "1"로 출력하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 6

제 1 항에 있어서,

상기 소정의 위상차는 2π의 배수배인 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 7

제 1 항에 있어서,

상기 선택 신호 발생기는 4-to-1 OR 게이트와 2-1 MUX로 구성된 복수개의 선택 신호 발생기셀을 포함하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 신호 발생장치.

청구항 8

제 7 항에 있어서,

상기 선택 신호 발생기셀은 상기 공급 전압 잡음 여과기에 의해서 여과된 클록 신호(Sf<n>)가 짝수 번째일 때는 Sf<n/2-1>, Sf<n/2> 및 Sf<n/2+1>의 3개의 신호 중 하나가 "1"인 신호가 있을 경우 Sf<n>을 선택해서 출력하고, 여과된 클록 신호(Sf<n>)가 홀수 번째일 때는 Sf<(n-1)/2>, Sf<(n-1)/1>의 2개의 신호 중 하나가 "1"일 경우 Sf<n>을 선택해서 출력하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 신호 발생장치.

청구항 9

제 1 항에 있어서,

상기 위상 보간기는 상기 검출된 신호 중의 하나를 입력으로 하는 위상 보간기셀이 직렬 연결된 제1 위상 보간기셀열과 상기 검출된 신호 중의 다른 하나를 입력으로 하는 위상 보간기셀이 직렬 연결된 제2 위상 보간기셀열을 포함하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 10

제 9 항에 있어서,

상기 위상 보간기 셀은 1개의 인버터, 2개의 PMOS 트랜지스터, 2개의 NMOS 트랜지스터를 포함하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

청구항 11

제 9 항에 있어서,

상기 위상 보간기는 위상 보간기 제어부를 더 포함하는 것을 특징으로 하는 입력 신호 듀티비에 무관한 클록 발생장치.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 클록 발생장치에 관한 것이다. 구체적으로 본 발명은 입력신호 듀티비에 무관한 디지털 클록신호 발생장치에 관한 것이다.

배 경 기 술

<2> 마이크로프로세서나 많은 시스템 온 칩 등이 저전압에서도 동작이 가능하도록 하여 동적 전압조절이 가능하도록 하고, 빠른 시간내에 락킹(locking) 할 수 있고, 입력신호의 듀티비가 50%가 아닌 경우 디지털 클록 발생장치의 위상오차가 커질 수 있는 문제점을 극복하는 것이 필요하다. 시스템 레벨에서 전력소모를 줄이기 위해 파워다운 모드와 활성모드간의 변환 시에 신속하게 전환시킬 수 있도록 하는 것이다. 전체 칩 레벨에서 동작모드를 한 모드에서 다른 모드로 바꿀 때 또는 일부 블록이 클럭 게이팅으로 휴면상태에 있다가 활동모드로 바뀔 때 등의 경우 클럭신호가 얼마나 빨리 다시 공급되느냐가 전체 시스템의 성능을 좌우할 수 있다.

<3> 일반적으로 클록의 동기화 및 주파수 체배를 위한 회로로 지연고정루프(Delay-Locked Loop : DLL)와 위상고정루프(Phase-Locked Loop : PLL)가 많이 사용되고 있다. 지연고정루프는 위상고정루프에 비해서는 안정적이고 락킹 시간이 빠르며 지연선에 지터가 축적되지 않는다는 장점을 가지고 있다. 그 중에서도 공정기술의 발달로 인해 집적도가 향상되면서 디지털 지연고정루프가 많은 영역에서 선호되고 있다. 집적되는 트랜지스터 수가 많아지고 전원전압이 낮아지므로 전류밀도가 커짐에 따라, 저전력 설계가 그 어느 때보다도 고려되어야 할 요소인데, 디지털 지연고정루프는 저전압에서 동작할 수 있으며, 전력 소모가 작고, 이식성이 우수하며 적은 면적을 차지하기 때문이다. 또한, 주변의 디지털 영역에서 발생되는 스위칭 잡음이 공급전압 및 기판을 통해서 아날로그 회로에 영향을 줄 수 있기 때문이다.

<4> 그러나, 지연고정루프는 폐루프의 특성으로 인해 락킹 시간이 오래 걸리기 때문에 파워다운 상태에서 활성모드

로 재동작하는데 시간이 오래 걸린다. 이러한 이유로 빠른 락킹 시간을 얻기 위해 개방루프 구조의 회로들이 제안되어 왔다.

<5> 그러나, 종래의 개방루프 구조의 클록 발생장치는 해상도가 높지 않고 공급 전압 잡음에 의한 지터가 크다는 단점을 가지고 있다. 또한, 개방루프 구조의 특성으로 인해 입력 클록의 상승 또는 하강 에지를 통해 클록 천이를 검출하는 경우 동작 주파수 영역의 최대 주파수와 최소 주파수의 비율이 2배 이상을 가질 수 없으며 클록 비교를 하강에지에서 하게 되는 경우 입력 클록 듀티비가 50%가 아니면 정확한 클록을 발생할 수 없다는 문제점이 있다.

발명의 내용

해결 하고자하는 과제

<6> 상기와 같은 문제점을 해결하기 위한 본 발명의 목적은 동작 주파수 범위가 넓고, 입력 클록의 듀티비에 무관하고, 락킹 시간이 짧고, 공급전압의 글리치 잡음의 영향을 제거한 디지털 클록신호 발생 장치를 제공하는 것이다.

과제 해결수단

<7> 상술한 목적을 달성하기 위하여, 본 발명의 일측면에 따르면 입력 클록 신호를 지연시켜 복수개의 다른 위상을 갖는 클록신호들을 발생시키는 다중 위상 클록 발생장치; 상기 입력 클록 신호와 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 입력받아 비교하는 1-to-0 천이 검출기; 상기 1-to-0 천이 검출기의 공급 전압 잡음에 대한 영향을 제거하는 공급 전압 잡음 여과기; 상기 지연된 복수개의 다른 위상을 갖는 클록신호들 중 상기 입력 클록 신호와 소정의 위상차만큼 위상이 지연된 상기 복수개의 다른 위상을 갖는 클록 신호들을 검출하는 선택 신호 발생기; 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 선택적으로 통과시키는 멀티플렉서; 및 상기 멀티플레서에서 선택적으로 통과된 신호에 의해서 상기 검출한 클록 신호들의 위상차를 보상하는 위상 보간기를 포함하는 입력 신호 듀티비에 무관한 클록 발생장치를 제공할 수 있다.

<8> 바람직한 실시예에서, 상기 다중 위상 클록 발생장치는 2개의 스태틱 인버터(static inverter)를 포함하는 지연셀들이 연속적인 직렬로 구성되고, 상기 각 지연셀들의 출력단자에서 지연된 클록 신호를 출력하는 것을 특징으로 한다.

<9> 또한, 상기 1-to-0 천이 검출기는 상기 입력 클록 신호의 상승 클록 에지와 상기 지연된 복수개의 다른 위상을 갖는 클록신호들을 비교하는 것을 특징으로 한다.

<10> 또한, 상기 공급 전압 잡음 여과기는 상기 1-to-0 천이 검출기에서 검출된 신호(S<n>)가 공급 전압 잡음에 의해 "0"으로 떨어지는 순간이 발생되는 것을 막기 위해, 상기 입력 클록 신호로부터 제어된 신호(clk_g<n>)의 매 상승 에지별로 5개의 검출 신호(S<n>)을 확인하고, 각 순간마다 상기 5개의 검출 신호 중 3개 이상의 신호가 "1"일 경우 그 결과를 "1"로 출력하는 것을 특징으로 한다.

<11> 또한, 상기 선택 신호 발생기에 있어서, 지연된 복수개의 다른 위상을 갖는 클록신호들 중 상기 입력 클록 신호와 2π의 배수배 만큼 위상이 지연된 상기 복수개의 다른 위상을 갖는 클록 신호들을 검출하는 것을 특징으로 한다. 또한, 상기 선택 신호 발생기는 4-to-1 OR 게이트와 2-to-1 먹스로 구성된 선택 신호 발생기셀을 포함하는 것을 특징으로 한다. 또한, 상기 선택 신호 발생기셀은 상기 공급 전압 잡음 여과기에 의해서 여과된 클록 신호(Sf<n>)가 짝수 번째일 때는 Sf<n/2-1>, Sf<n/2> 및 Sf<n/2+1>의 3개의 신호 중 하나가 "1"인 신호가 있을 경우 Sf<n>을 선택해서 출력하고, 여과된 클록 신호(Sf<n>)가 홀수 번째일 때는 Sf<(n-1)/2>, Sf<(n-1)/1>의 2개의 신호 중 하나가 "1"일 경우 Sf<n>을 선택해서 출력하는 것을 특징으로 한다.

<12> 또한, 상기 위상보간기는 1개의 인버터, 2개의 PMOS 트랜지스터, 2개의 NMOS 트랜지스터를 포함하는 위상보간기셀들을 포함하는 것을 특징으로 한다. 또한, 상기 검출된 신호 중의 하나를 입력으로 하는 위상 보간기셀이 직렬 연결된 제1 위상 보간기셀열과 상기 검출된 신호 중의 다른 하나를 입력으로 하는 위상 보간기셀이 직렬 연결된 제2 위상 보간기셀열을 포함하는 것을 특징으로 한다.

효 과

<13> 본 발명에 의하면 디지털 클록신호 발생장치에 있어서, 넓은 동작 주파수 범위를 가질 수 있으며 입력 클록 듀티비에 무관하게 클록을 발생할 수 있다.

<14> 또한, 본 발명에 의하면 디지털 클록신호 발생장치에 있어서, 락킹 시간이 짧고, 해상도를 높혀 고주파수 동작에 적합하도록 하였으며, 공급전압의 글리치 잡음의 영향이 제거될 수 있는 이점이 있다.

발명의 실시를 위한 구체적인 내용

<15> 이어서, 첨부한 도면들을 참조하여 본 발명의 바람직한 실시예를 상세히 설명하기로 한다.

<16> 도 1은 본 발명의 바람직한 일실시예에 따른 입력신호 듀티비에 무관한 클록 발생장치의 블록도이다.

<17> 도 1을 참조하면, 본 발명에 따른 클록 발생장치(1)는 다중 위상 클록 발생장치(100), 1-to-0 천이 검출기(200), 공급 전압 잡음 여과기(300), 선택 신호 발생기(400), 멀티플렉서(500), 위상 보간기(600)를 포함하여 이루어진다.

<18> 도 2는 본 발명의 바람직한 일 실시예에 따른 입력신호 듀티비에 무관한 디지털 클록 발생 장치의 구성도를 도시한 것이다. 도 1과 도 2를 참조하여 본 발명의 구성과 그 동작을 설명하기로 한다.

<19> 상기 다중 위상 클록 발생장치(100)는 2개의 스태틱 인버터(static inverter)를 포함하는 지연셀들이 연속적인 직렬로 구성되어 있으며, 다중 위상 클록 발생장치에 입력된 클록신호는 상기 연속적인 스태틱 인버터 지연셀에서 연속적인 복수개의 다른 위상을 갖는 클록신호들 즉, 다중 위상 클록(multi-phase clock)(Θ1, Θ2, ... Θn)들이 만들어지게 된다.

<20> 상기 1-to-0 천이 검출기(200)는 입력 클록신호 및 상기 다중 위상 클록 발생장치(100)에서 발생한 연속적인 복수개의 다른 위상을 갖는 클록신호(Θ1, Θ2, ... Θn)들을 입력받아 비교하여 1-to-0 천이를 검출한다. 바람직하게는, 상기 1-to-0 천이 검출기(200)는 입력 클록 신호의 상승클록에지와 복수개의 다른 위상을 갖는 클록신호들을 비교하게 된다. 이로써, 입력 클록신호의 듀티비에 무관하게 된다. 더욱 바람직하게는, 상기 1-to-0 천이 검출기(200)는 복수개의 다른 위상을 갖는 클록신호들 중 4번째 클록신호(Θ4)부터 입력받는다.

<21> 공급전압에서 글리치 잡음이 발생하게 되면 선택코드가 바뀌게 되고, 이는 개방루프 구조의 디지털 회로에 치명적인 결과를 초래하게 되므로, 상기 1-to-0 천이 검출기에서 검출된 신호들(S<4>, S<5>, ... S<N>)이 각각 공급전압 잡음 여과기(300)를 통과함으로써 디지털 회로에 치명적인 공급전압 잡음에 대한 영향을 제거하게 된다. 도 3은 본 발명의 바람직한 일 실시예에 따른 상기 공급 전압 잡음 여과기의 구조를 도시한 것이며, 도 4는 본 발명의 바람직한 일 실시예에 따른 상기 공급 전압 잡음 여과기의 동작을 설명하기 위한 타이밍도이다.

<22> 상기 1-to-0 천이 검출기는 복수개의 공급 전압 잡음 여과기 블록으로 구성되어 있으며, 상기 1-to-0 천이 검출기에서 나온 신호들(S<4>, S<5>, ... S<N>)은 각각 N-3개의 공급 전압 잡음 여과기 블록(예를들어, 도 3의 도면부호 310)으로 들어간다.

<23> 상기 공급 전압 잡음 여과기의 한 블록(예를들어, 도 3의 도면부호 310)은 4-to-1 OR 게이트(311) 및 2-to-1 먹스(312)를 포함한다. 상기 각각의 공급 전압 잡음 여과기 블록으로 들어간 신호(S<n>)와 양쪽으로 인접한 신호인 S<n-1>과 S<n+1>의 세 신호들 중 하나라도 "1"이면 입력 클록신호로부터 제어된 신호인 clk_g<n>이 활성화된다. 만약 세 신호 모두 "0"이라면 clk_g<n>은 활성화되지 않는다. 이로써, 공급 전압 잡음 여과기는 작은 전력을 소모하면서 잡음을 제거할 수 있다.

<24> 상기 공급 전압 잡음 여과기의 한 블록(310)은 5개의 플립플롭(313, 314, 315, 316, 317), 4개의 인버터(318, 319, 320, 321), 2개의 NAND 게이트(322, 323), 4개의 NOR 게이트(324, 325, 326, 327), 1개의 먹스(328)를 더 포함한다.

<25> 도 4의 타이밍도에 따르면, 이상적인 경우는, 1-to-0 천이 검출기를 통해 원하는 신호인 S<n>이 "1"의 결과를 얻는 것이지만, 공급 전압에 잡음에 의해 S<n>이 "0"으로 떨어지는 순간이 발생될 수가 있다. 이는 상기 복수개의 다른 위상을 갖는 클록들의 위상에러로 나타나게 되므로, 이를 막기 위해서, clk_g<n>의 매 상승에지별로 S<n>을 확인한다. 이때, 각 순간마다 다섯 개의 신호(S1<n> ~ S5<n>) 중 3개 이상의 신호가 "1"일 경우 그 결과를 "1"로 출력하여 공급 전압 잡음이 여과된 신호인 Sf<n>을 발생하게 된다.

<26> 도 5는 본 발명의 바람직한 일 실시예에 따른 상기 선택 신호 발생기의 구조를 도시한 것이다.

<27> 상기 선택 신호 발생기(400)는 공급 전압 잡음이 여과된 신호인 Sf<n>를 각각 입력받는 복수개의 선택 신호 발생기셀(예를들면, 도 5의 도면부호 411)로 이루어져 있으며, 상기 선택 신호 발생기셀은 각각 4-to-1 OR 게이트 및 2-to-1 MUX를 포함한다. 바람직하게는, 상기 선택 신호 발생기(400)는 N-3개의 공급 전압 잡음이 여과된 신

호인 Sf<n>들 중 5번째 신호인 Sf<8>부터 Sf<N>를 각각 입력받는 N-7개의 선택 신호 발생기셀을 포함한다.

<28> 상기 선택 신호 발생기(400)는 공급 전압 잡음 여과기(300)로부터 잡음이 여과된 신호(Sf<n>)를 받아 원하는 다른 위상을 갖는 클록신호를 발생하기 위하여 하나의 "1" 신호를 선택한다.

<29> n이 짝수일 때 선택 신호 발생기 셀의 먹스는 Sf<n/2-1>, Sf<n/2> 및 Sf<n/2+1>의 3개의 신호 중 하나가 "1"인 신호가 있을 경우, Sf<n>을 선택해서 출력한다. 또한, n이 홀수일 때 선택 신호 발생기 셀의 먹스는 Sf<(n-1)/2>, Sf<(n-1)/1>의 2개의 신호 중 하나가 "1"일 경우 Sf<n>을 선택해서 출력한다.

<30> 개방루프 구조의 디지털 클록 발생장치에서 동작 주파수의 범위는 지연셀의 개수와 제어블록 설계에 의해 결정된다. 도 6은 본 발명의 바람직한 일 실시예에 따른 상기 클록 발생 장치의 동작 주파수 범위를 나타내는 도면이다.

<31> 도 6에 따르면, 가장 높은 주파수에서 동작할 경우, 2π, 4π, ... ,16π 위상 지연된 지점인 Sf<4>, Sf<8>, ... ,Sf<19>, ...에서 "1" 신호가 된다. 여기에서 Θ8은 2주기 지연된 지점이므로 다중 위상 발생기의 한 지연셀의 지연시간을 τ라 하면, 최고 동작 주파수는 fmax = 1/(8τ/2)가 된다. 가장 낮은 주파수에서 동작할 경우, Sf<20>, Sf<41>, ...에서 "1" 신호가 된다. 이 경우에는 Θ41이 두 주기 지연된 지점이므로 최저 동작 주파수는 fmin = 1/(41τ/2)가 된다. 그러므로, 최고 동작 주파수와 최저 동작 주파수의 비율은 fmax/fmin = (41τ/2)/(8τ/2) = 5.125가 된다. 선택 신호 발생기는 1주기(2π) 지연된 지점과 2주기(4π) 지연된 지점을 가지고 신호를 선택하므로 지연셀을 많이 사용할수록 동작 주파수의 범위는 넓어질 수 있다.

<32> 도 7은 본 발명의 바람직한 일 실시예에 따른 상기 위상 보간기의 구조이다.

<33> 상기 위상 보간기(600)는 상기 선택 신호 발생기에 의해서 선택된 신호 중의 하나(clk_a)를 입력으로 하는 위상 보간기셀이 직렬 연결된 제1 위상 보간기셀열(610)과 상기 선택된 신호 중의 다른 하나(clk_b)를 입력으로 하는 위상 보간기셀이 직렬 연결된 제2 위상 보간기셀열(620)을 포함한다. 제1 위상 보간기셀열(610)과 제2 위상 보간기셀열(620)은 각각 1개의 인버터, 2개의 PMOS 트랜지스터, 2개의 NMOS 트랜지스터를 포함하는 복수개의 위상 보간기셀(예를들면, 도 7의 도면부호 621)들을 포함한다. 바람직하게는 제1 위상 보간기셀열(610)과 제2 위상 보간기셀열(620)은 각각 8개의 위상 보간기셀들을 포함한다. clk_a와 clk_b는 지연셀의 지연시간인 τ만큼의 차이를 가지지만, 위상 보간기셀들을 거치면서 지연셀의 위상차를 나누어 주므로 결국 해상도는 τ/8로 개선된다.

<34> 상기 위상 보간기(600)는 복수개의 4-to-1 OR 게이트, 복수개의 NOR 게이트 및 복수개의 인버터를 포함하는 위상 보간기 제어부(630)를 더 포함할 수 있다. 상기 위상 보간기 제어부(630)는 clk_a와 clk_b의 보간 비율을 결정한다. 보간 비율의 정확도를 높이기 위하여 각 위상 보간기셀의 트랜지스터 크기는 조금씩 다르게 설계되어도 좋다.

<35> 본 발명은 상기 실시예에 한정되지 않으며, 많은 변형이 본 발명의 사상 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 가능함은 물론이다.

도면의 간단한 설명

<36> 도 1은 본 발명의 바람직한 일 실시예에 따른 입력신호 듀티비에 무관한 클록 발생장치를 나타낸 블록도이다.

<37> 도 2는 본 발명의 바람직한 일 실시예에 따른 입력신호 듀티비에 무관한 디지털 클록 발생 장치의 구성도이다.

<38> 도 3은 본 발명의 바람직한 일 실시예에 따른 공급 전압 잡음 여과기의 구조도이다.

<39> 도 4는 본 발명의 바람직한 일 실시예에 따른 공급 전압 잡음 여과기의 동작을 설명하기 위한 타이밍도이다.

<40> 도 5는 본 발명의 바람직한 일 실시예에 따른 상기 선택 신호 발생기의 구조이다.

<41> 도 6은 본 발명의 바람직한 일 실시예에 따른 상기 클록 발생 장치의 동작 주파수 범위를 나타내는 도면이다.

<42> 도 7은 본 발명의 바람직한 일 실시예에 따른 상기 위상 보간기의 구조이다.

<43> <도면의 주요 부분에 대한 부호의 설명>

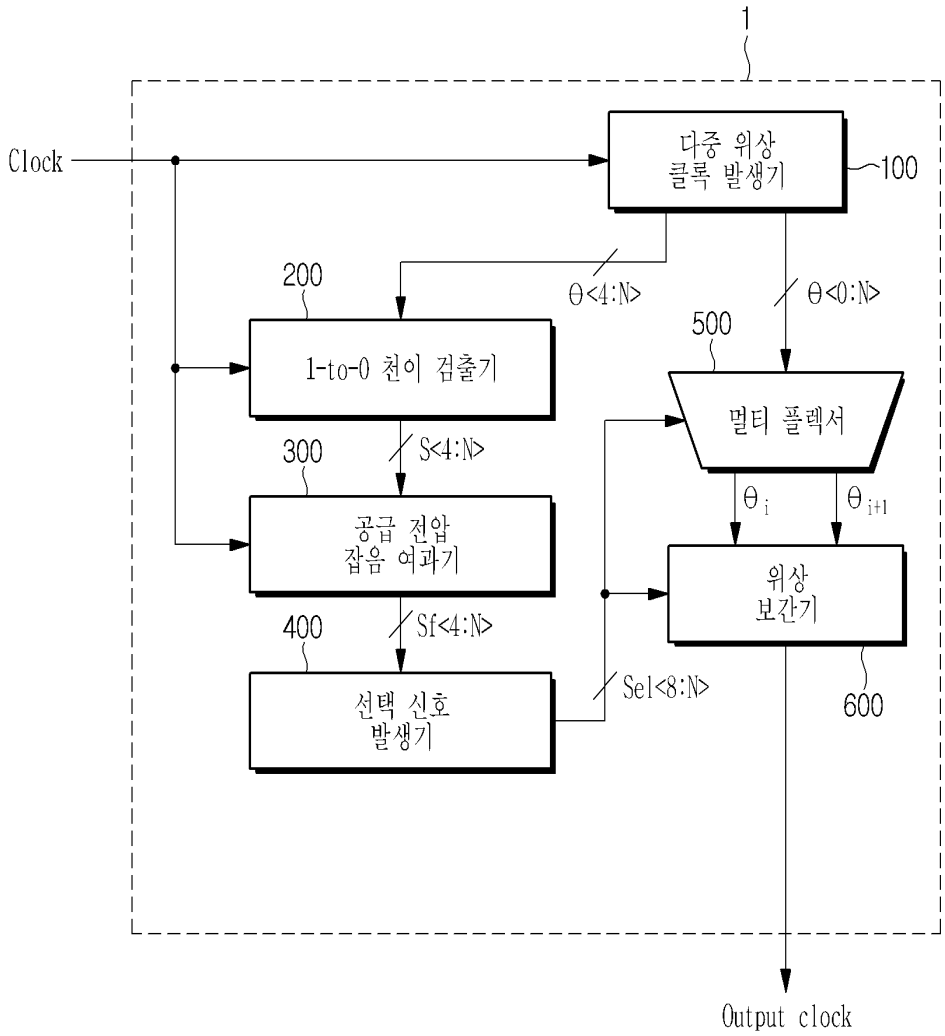
<44> 100 : 다중 위상 클록 발생장치 200 : 1-to-0 천이 검출기

<45> 300 : 공급 전압 잡음 여과기 400 : 선택 신호 발생기

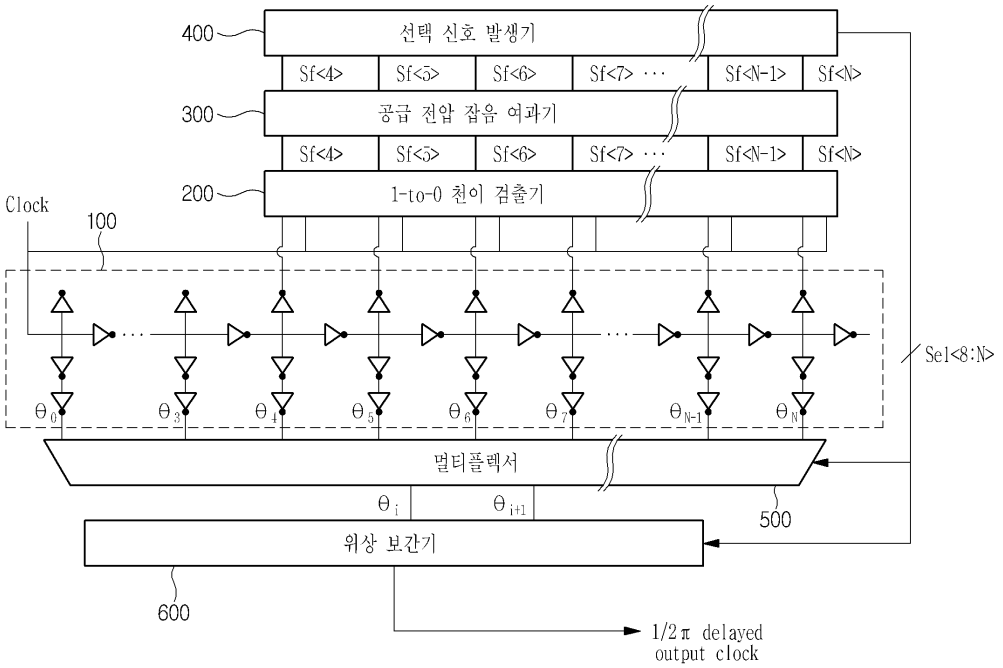
<46> 500 : 멀티플렉서 600 : 위상보간기

도면

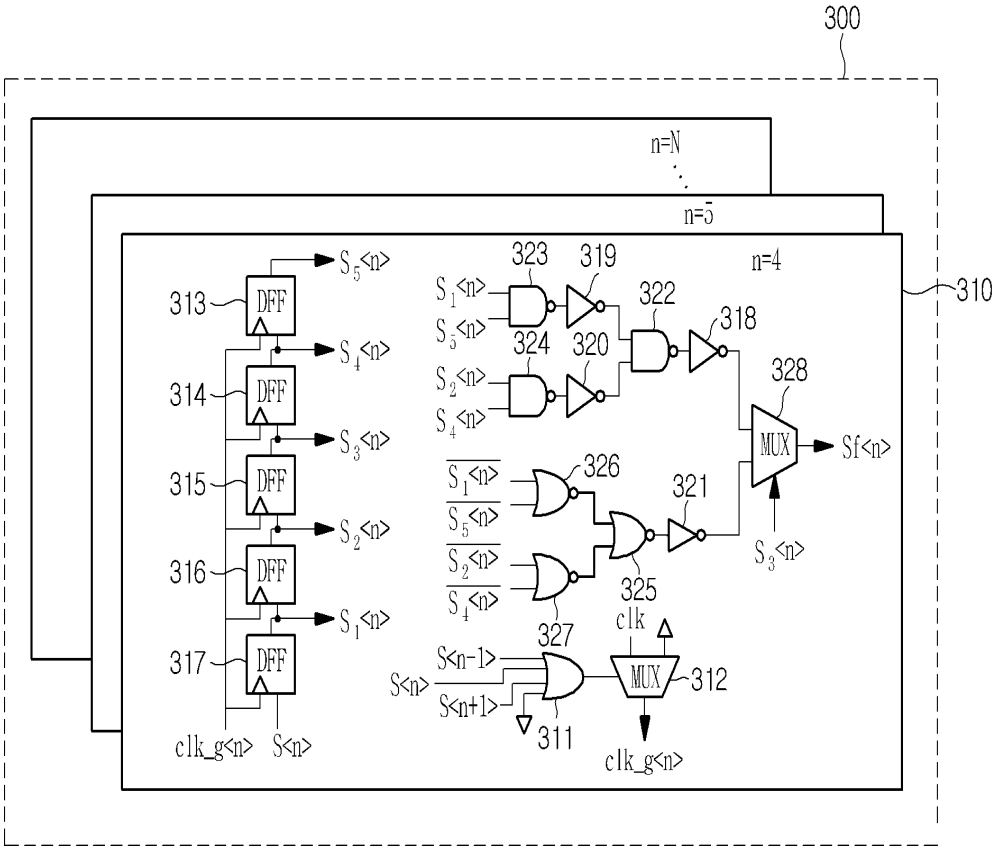
도면1



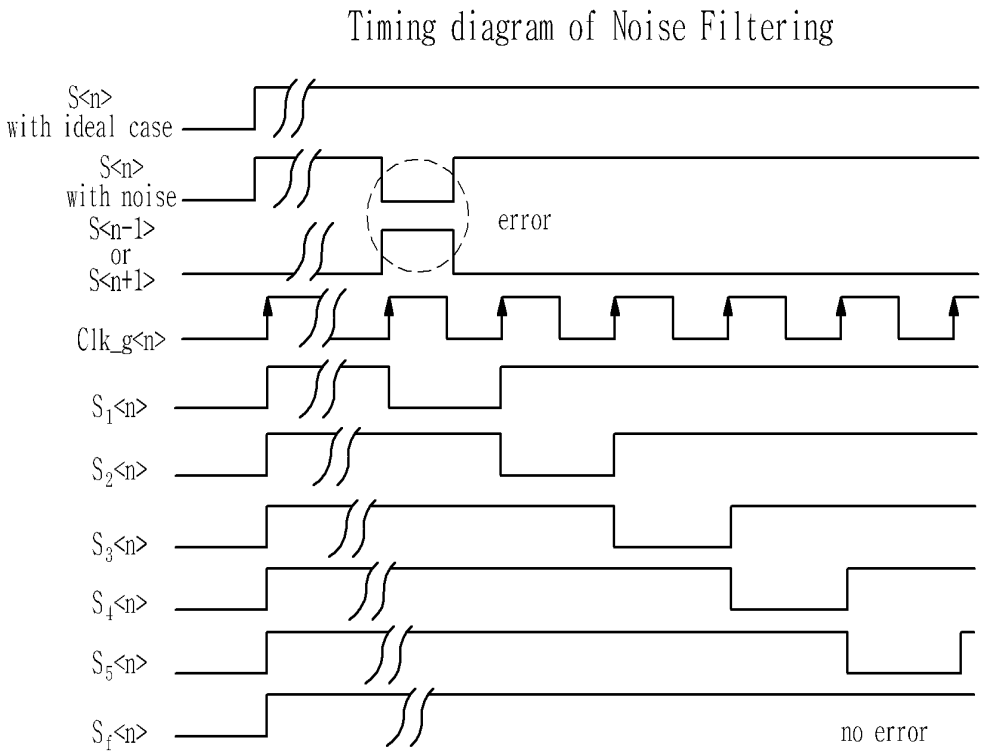
도면2


400
선택 신호 발생기
Sf<4>
Sf<5>
Sf<6>
Sf<7> ···
Sf<N-1>
Sf<N>
300
공급 전압 잡음 여과기
200
1-to-0 천이 검출기
Clock
100
Sel<8:N>
θ0
θ3
θ4
θ5
θ6
θ7
θN-1
θN
멀티플렉서
θi
θi+1
500
위상 보간기
600
1/2π delayed
output clock

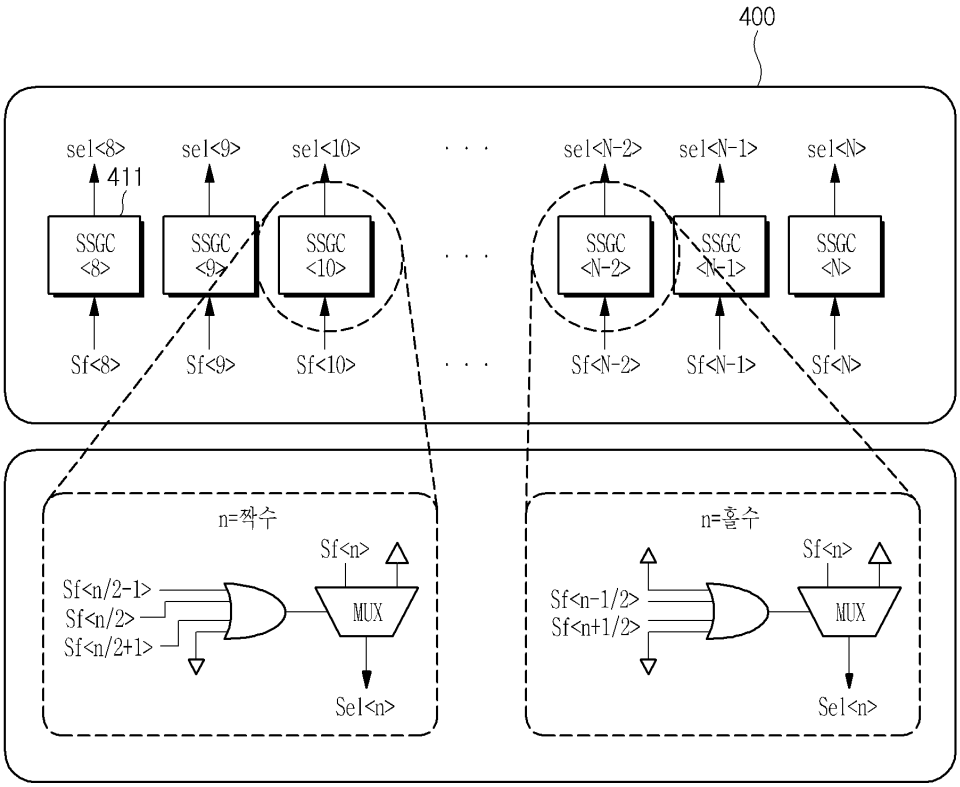
도면3


300
n=N
n=5
n=4
310
313
314
315
316
317
DFF
S5<n>
S4<n>
S3<n>
S2<n>
S1<n>
clk_g<n>
S<n>
323
319
322
318
324
320
328
MUX
Sf<n>
326
321
325
327
clk
S<n-1>
S<n+1>
312
311

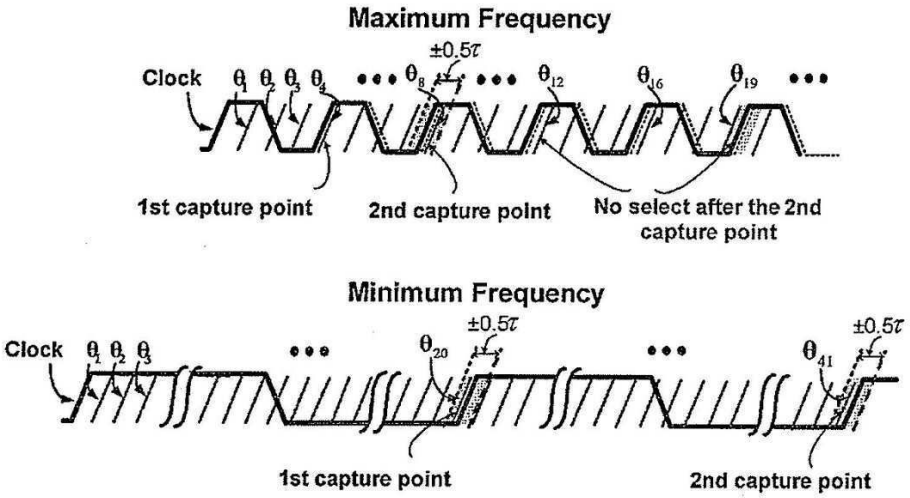
도면4


Timing diagram of Noise Filtering
S<n>
with ideal case
S<n>
with noise
S<n-1>
or
S<n+1>
error
Clk_g<n>
S1<n>
S2<n>
S3<n>
S4<n>
S5<n>
Sf<n>
no error

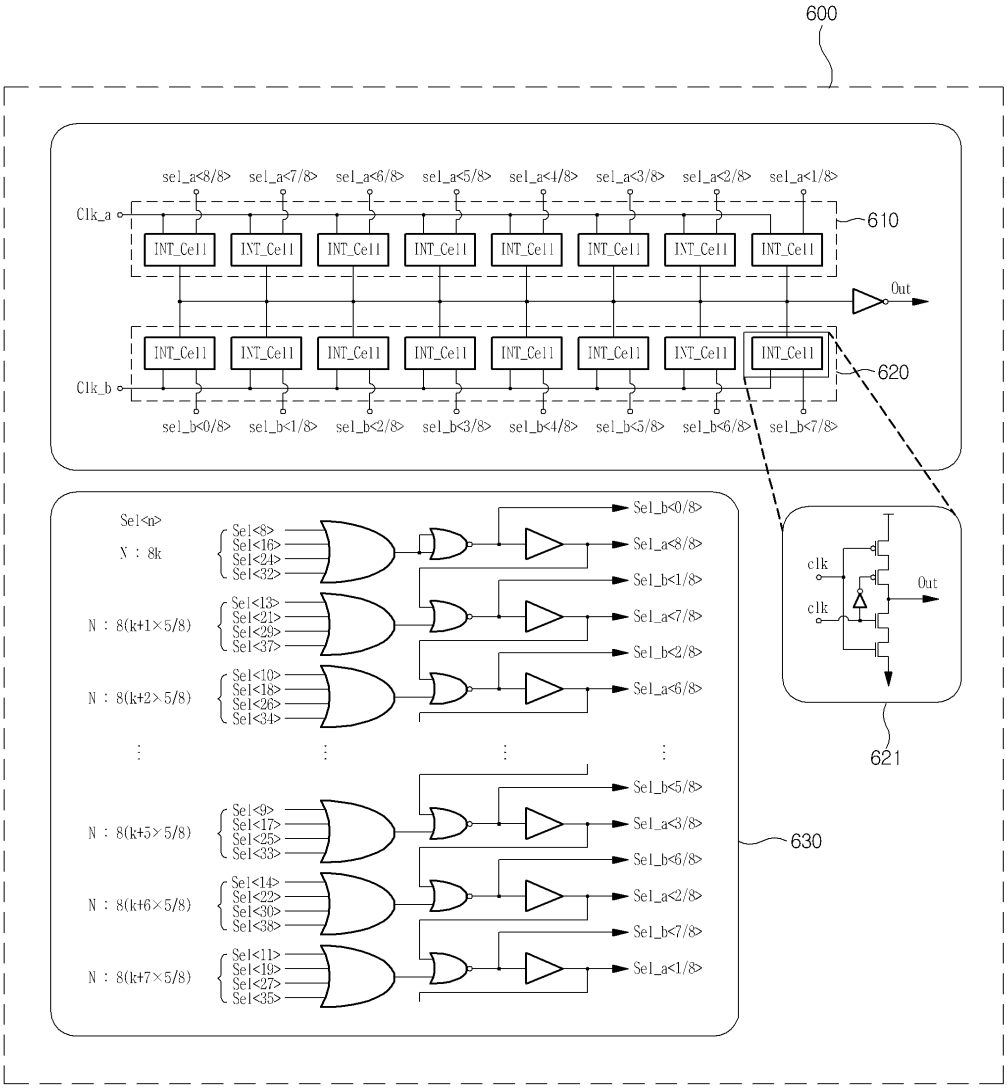
도면5


400
411
sel<8>
sel<9>
sel<10>
sel<N-2>
sel<N-1>
sel<N>
SSGC <8>
SSGC <9>
SSGC <10>
SSGC <N-2>
SSGC <N-1>
SSGC <N>
Sf<8>
Sf<9>
Sf<10>
Sf<N-2>
Sf<N-1>
Sf<N>
n=짝수
Sf<n>
Sf<n/2-1>
Sf<n/2>
Sf<n/2+1>
MUX
Sel<n>
n=홀수
Sf<n>
Sf<n-1/2>
Sf<n+1/2>
MUX
Sel<n>

도면6


Maximum Frequency
±0.5τ
Clock
1st capture point
2nd capture point
No select after the 2nd capture point
Minimum Frequency
±0.5τ
±0.5τ
Clock
1st capture point
2nd capture point

도면7


600
sel_a<8/8>
sel_a<7/8>
sel_a<6/8>
sel_a<5/8>
sel_a<4/8>
sel_a<3/8>
sel_a<2/8>
sel_a<1/8>
Clk_a
INT_Cell
610
Out
620
Clk_b
sel_b<0/8>
sel_b<1/8>
sel_b<2/8>
sel_b<3/8>
sel_b<4/8>
sel_b<5/8>
sel_b<6/8>
sel_b<7/8>
Sel<n>
N : 8k
Sel<8>
Sel<16>
Sel<24>
Sel<32>
N : 8(k+1×5/8)
Sel<13>
Sel<21>
Sel<29>
Sel<37>
N : 8(k+2×5/8)
Sel<10>
Sel<18>
Sel<26>
Sel<34>
N : 8(k+5×5/8)
Sel<9>
Sel<17>
Sel<25>
Sel<33>
N : 8(k+6×5/8)
Sel<14>
Sel<22>
Sel<30>
Sel<38>
N : 8(k+7×5/8)
Sel<11>
Sel<19>
Sel<27>
Sel<35>
Sel_b<0/8>
Sel_a<8/8>
Sel_b<1/8>
Sel_a<7/8>
Sel_b<2/8>
Sel_a<6/8>
Sel_b<5/8>
Sel_a<3/8>
Sel_b<6/8>
Sel_a<2/8>
Sel_b<7/8>
Sel_a<1/8>
630
clk
clk
Out
621