

(12)特許協力条約に基づいて公開された国際出願

(19)世界知的所有権機関
国際事務局



(43)国際公開日
2001年7月26日 (26.07.2001)

PCT

(10)国際公開番号
WO 01/53951 A1

(51)国際特許分類7: **G06F 12/08, 9/38** 中原区上小田中4丁目1番1号 富士通株式会社内 Kanagawa (JP).

(21)国際出願番号: **PCT/JP00/00234**

(22)国際出願日: 2000年1月19日 (19.01.2000)

(25)国際出願の言語: 日本語

(26)国際公開の言語: 日本語

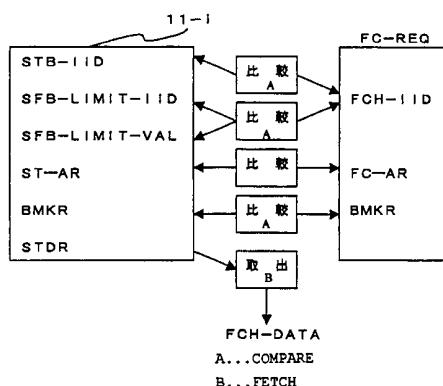
(71)出願人(米国を除く全ての指定国について): 富士通株式会社 (FUJITSU LIMITED) [JP/JP]; 〒211-8588 神奈川県川崎市中原区上小田中4丁目1番1号 Kanagawa (JP).

(72)発明者; および

(75)発明者/出願人(米国についてのみ): 山崎 巍 (YAMAZAKI, Iwao) [JP/JP]; 〒211-8588 神奈川県川崎市

(54)Title: MEMORY CONTROL DEVICE AND MEMORY CONTROL METHOD

(54)発明の名称: 記憶制御装置及び記憶制御方法



(57)Abstract: A memory control device and a memory control method having a plurality of store buffers and performing store and fetch to/from the store buffers; the memory control device and the memory control method being capable of reading stored data efficiently, wherein a specified store buffer is selected from a plurality of store buffers according to an identifier assigned to a data issuing request to identify an issuing sequence according to an instruction, and a specified data is output from the specified store buffer according to an address.

(57)要約:

本発明は、複数のストアバッファを有し、ストアバッファに対してストア及びフェッチを行なうための記憶制御装置及び記憶制御方法に関し、効率よくストアデータの読み出しが行なえる記憶制御装置及び記憶制御方法を提供することを目的としており、命令に応じて発行順序を識別する識別子が付与されたデータ発行要求のうち識別子に応じて複数のストアバッファのうち所定のストアバッファを選択し、アドレスに応じて所定のストアバッファから所定のデータを出力するようとする。

WO 01/53951 A1

明細書

記憶制御装置及び記憶制御方法

5 技術分野

本発明は記憶制御装置及び記憶制御方法に係り、特に複数のストアバッファを有し、ストアバッファに対してストア及びフェッチを行なうための記憶制御装置及び記憶制御方法に関する。

10 演算装置には、キャッシュメモリまたは主記憶装置に書き込むべきデータを一時的に保持しておく、ストアバッファを設けたものがある。ストアバッファを設けることにより、キャッシュメモリまたは主記憶装置にデータを書き込む準備ができる前にストア処理を完了することができる。

15 このような演算装置では、ストアバッファにキャッシュメモリまたは主記憶装置への書き込みが終わっていないストアデータが後続する処理のフェッチ対象となっていることが検出されると、フェッチ対象となるストアバッファからデータを取り出す手段が設けられている。この手段によりストアデータのキャッシュメモリまたは主記憶装置への書き込みを待たずにフェッチ要求を完了させることができる。

20 背景技術

このとき、フェッチ要求がストア領域に重なっているかどうかを調べるために、フェッチ要求、ストア要求、各々のアドレスと処理対象とするバイトマークを検査していた。

25 しかし、装置の処理能力の向上への要求から複数の命令を同時実行するようになってくると、一つの領域に対するストア要求やフェッチ要求が同時に、各々複数発行される状況が発現している。このような状況が発現すると、アドレスとバイトマークだけでフェッチすべきストアバッファを選択しようとしても、各フェッチ要求がすべて同一の領域をフェッチ対象としている場合には、各フェッチ要求毎にそれぞれ異なったストアバッファのデータを必要する場合ある。このた

め、フェッチ要求毎にどのストアバッファのデータをフェッチすべきかを同時に正確に指示示すことが困難になる。

したがって、同じ記憶領域を操作対象とするストア要求、フェッチ要求が複数存在している状況においては、キャッシュメモリ又は主記憶装置への書き込み待ちで、ストアバッファに残っている先行するストア要求がただ一つになるまで、先行する複数のストア要求を実際に処理して、キャッシュメモリまたは主記憶装置への書き込みが完了するまで待たなければ、フェッチ要求を正しく処理できないなどの問題点があった。

10 発明の開示

本発明は、演算装置において、ストアデータを一時的に記憶するストアバッファを複数有し、命令に応じて発行順序を識別する識別子が付与されたデータ発行要求が供給されたとき、データ発行要求のうち識別子に応じて複数のストアバッファのうち所定のストアバッファを選択し、アドレスに応じて所定のストアバッファから所定のデータを出力するようにした。

本発明によれば、演算装置において、命令に付与された識別情報を検出することにより同じ記憶領域を操作対象とするストア要求、フェッチ要求が複数存在している状況においても、ストアバッファからのデータのフェッチが可能となる。

また、処理をストアバッファ単位ではなく、ストアバッファのバイトマーク単位で行なうことにより、同じ記憶領域を操作対象とするストア要求、フェッチ要求が複数存在している状況においては、各フェッチリクエスト毎に選択すべきストアバッファを適切に組み合わせることにより、複数のストアバッファにまたがってフェッチデータを正しく作成することができる。

25 図面の簡単な説明

図1は、本発明の一実施例のブロック構成図である。

図2は、本発明の一実施例のストアユニットのブロック構成図である。

図3は、本発明の一実施例のストアバッファのデータ構成図である。

図4は、本発明の一実施例の命令識別子の生成方法を説明するための図である。

図5は、本発明の一実施例の記憶制御部のブロック構成図である。

図6は、本発明の一実施例の検証回路のブロック構成図である。

図7は、本発明の一実施例の判定回路のブロック構成図である。

図8は、本発明の一実施例のSFB-LIMIT-IID検出回路のブロック構成図である。

5 図9は、本発明の一実施例の動作説明図である。

図10は、本発明の一実施例の動作説明図である。

図11は、本発明の一実施例のタイミングチャートである。

発明を実施するための最良の形態

10 図1は本発明の一実施例のブロック構成図を示す。

本実施例の演算装置1は、命令ユニット2、ストアユニット3、演算ユニット4から構成される。

命令ユニット2は、命令を解析し、ストアユニット3に必要なデータを要求するとともに、演算ユニット4を制御する。ストアユニット3は、命令ユニット2からの要求に基づいてデータの処理及び管理を行なう。

演算ユニット4は、ストアユニット3からデータが供給され、ストアユニット3からのデータに対して命令ユニット2からの命令に基づいて演算を行なう。演算ユニット4での演算結果は、ストアユニット3に保持される。

次に、ストアユニット3について詳細に説明する。

20 図2は本発明の一実施例のストアユニットのブロック構成図を示す。

ストアユニット3は、ストアバッファ部11、キャッシュメモリ12、ムーブインデータバッファ13、バイパスデータレジスタ14、記憶制御部15、データ選択回路16から構成される。

ストアバッファ部11は、n個のストアバッファ $11-1 \sim 11-n$ から構成され、各々がデータを記憶する。n個のストアバッファ $11-1 \sim 11-n$ は、命令ユニット2からの命令に基づいてデータがフェッチ、ストアされる。

キャッシュメモリ12、ムーブインデータバッファ13、バイパスデータレジスタ14は、演算ユニット4で用いられるデータを一時的に保持する。

ここで、ストアバッファ $11-1 \sim 11-n$ について詳細に説明する。

図3は本発明の一実施例のストアバッファのデータ構成図を示す。

ストアバッファ11-1～11-nは、命令識別子記憶部21、バイトマーク記憶部22、アドレス記憶部23、データ記憶部24、ストアフェッチバイパス上限命令識別子記憶部25、ストアフェッチバイパス上限命令識別子有効情報記憶部26から構成される。
5

命令識別子記憶部21には、命令識別子（IID；Instruction ID）が記憶される。命令識別子IDは、各リクエストの実行順序を識別する情報である。命令識別子IIDは、命令ユニット2で付与される。

ここで、命令識別子IIDについて詳細に説明する。

10 図4は本発明の一実施例の命令識別子の生成方法を説明するための図を示す。ここでは、命令「MVC」について説明する。命令「MVC」は、例えば、図4に示す「MVC 190 ADR1 ADR2」と記述される。図4に示す命令「MVC」は、アドレスADR1からアドレスADR2にオペランド長190バイトのデータを移動させる命令である。

15 命令「MVC」は、図4に示すようにフェッチFETCH1～FETCHmとストアSTORE1～STOREmとが交互にリクエストされることにより実行可能となる。フェッチFETCH1～FETCHmは、アドレスADR1～ADR-mのデータをフェッチする命令である。ストアSTORE1～STOREmは、アドレスADR2～ADR2-mにデータをストアする命令である。このとき、命令「MVC」を識別する識別子が「0」であるとすると、命令「MVC」を構成するフェッチFETCH1～FETCHm及びストアSTORE1～STOREmにリクエスト順に識別子IID「1～2m」が付与される。すなわち、識別子IDは、命令の実行順序に相当するものである。
20

25 バイトマーク記憶部22には、バイトマークが記憶される。バイトマークBMKは、例えば、16ビットの情報からなり、アドレスとともに、ストア先を識別する情報である。アドレス記憶部23には、アドレスが記憶される。アドレスは、ストアバッファ11-1～11-nの格納位置を識別する情報である。

データ記憶部24は、データが記憶される。データは、ストアされるデータである。ストアフェッチバイパス上限命令識別子記憶部25は、ストアフェッチバ

イパス上限命令識別子（SFB-LIMIT-IID）が記憶される。ストアフェッチバイパス上限命令識別子 SFB-LIMIT-IID は、重なりが検出されたデータを識別するための識別情報であり、重なったデータの識別子 I ID に相当する。

- 記憶制御部 15 は、命令ユニット 2 からの命令に応じてストアバッファ 11、
5 キャッシュメモリ 12、ムーブインデータバッファ 13、バイパスデータレジスタ 14 及びフェッチデータ選択回路 16 を制御する。

ここで、記憶制御部 15 について詳細に説明する。

図 5 は本発明の一実施例の記憶制御部のブロック構成図を示す。

記憶制御部 15 は、フェッチポート 31、トランスレーションルックアサイドバッファ（TLB ; Translation Look-aside Buffer）32、タグバッファ 33、タグマッチ検出用アドレス比較器 34、絶対値アドレスレジスタ 35、ストアアドレス選択回路 36、ストアデータ選択回路 37、検証回路 38、n 個の判定回路 39-1～39-n、TBL 検出用アドレス比較器 40 から構成される。

フェッチポート 31 は、命令ユニット 2 からの命令を保持する。フェッチポート 31 に保持された命令は、トランスレーションルックアサイドバッファ 32、タグバッファ 33、キャッシュメモリ 12 に供給される。

トランスレーションルックアサイドバッファ 32 は、フェッチ論理アドレスを絶対値アドレスに変換する。トランスレーションルックアサイドバッファ 32 で変換された絶対値アドレスは、タグマッチアドレス検出用比較器 34、絶対値アドレスレジスタ 35、検証回路 38 に供給される。

タグバッファ 33 は、フェッチ論理アドレスをタグアドレスに変換する。タグバッファ 33 で変換されたタグアドレスは、タグマッチ検出用アドレス比較器 34 に供給される。

キャッシュメモリ 12 は、フェッチ論理アドレスに応じたデータを出力する。
25 キャッシュメモリ 12 の出力データは、フェッチデータ選択回路 16 に供給される。

タグマッチ検出用アドレス比較器 34 は、絶対値アドレスとタグアドレスとを比較し、絶対値アドレスとタグアドレスとの一致、不一致を検出する。タグマッチ検出用アドレス比較器 34 の比較結果は、検証回路 38、フェッチデータ選択

回路16に供給される。

絶対値アドレスレジスタ35は、トランスレーションルックアサイドバッファ32で変換された絶対値アドレスを保持する。絶対値アドレスレジスタ35に保持された絶対値アドレスは検証回路38に供給される。

5 ストアアドレス選択回路36は、判定回路39の判定結果に基づいてアドレスの出力を制御する。ストアアドレス選択回路36で選択されたアドレスは、検証回路38に供給される。

10 ストアデータ選択回路37は、判定回路39の判定結果に基づいてデータの出力を制御する。ストアデータ選択回路37で選択されたデータは、フェッチデータ選択回路16に供給される。

15 また、TLBマッチ検出用比較器40には、トランスレーションルックアサイドバッファ32及びフェッチポート31からアドレスが供給される。TLBマッチ検出用比較器40では、トランスレーションルックアサイドバッファ32からの論理アドレスとフェッチポート31からのTLB検索に用いなかった論理アドレスとを比較し、両アドレスの一致／不一致を検出する。TLBマッチ検出用比較器40の比較結果は、検証回路38に供給される。

検証回路38は、フェッチデータが有効か、無効かを検証する。

ここで、検証回路38について詳細に説明する。

図6は本発明の一実施例の検証回路のブロック構成図を示す。

20 検証回路38は、絶対値アドレス一致検証回路41、フェッチ候補単数検証回路42、フェッチデータ有効条件検出回路43から構成される。

絶対値アドレス一致検証回路41には、絶対値アドレスレジスタ35から絶対値アドレスが供給されるとともに、ストアアドレス選択回路36からストアアドレスが供給される。絶対値アドレス一致検証回路41は、絶対値アドレスレジスタ35からの絶対値アドレスとストアアドレス選択回路36からのストアアドレスとを比較し、一致するか否かを判定する。絶対値アドレス一致検証回路41の検証結果は、フェッチデータ有効条件検出回路43に供給される。

フェッチ候補単数検証回路42には、n個の判定回路39-1～39-nの判定結果が供給される。フェッチ候補単数検証回路42は、n個の判定回路39-

1～3 9-n の判定結果からフェッチ候補が単数か否かを検証する。

フェッチデータ有効条件検出回路 4 3 には、TLB マッチ検出用アドレス比較器 4 0 の比較結果、絶対値アドレス一致検証回路 4 1 の検証結果、フェッチ候補単数検証回路 4 2 の検証結果が供給される。フェッチ有効条件検証回路 4 3 は、

5 TLB マッチ検出用アドレス比較器 4 0 の比較結果、絶対値アドレス一致検証回路 4 1 の検証結果、フェッチ候補単数検証回路 4 2 の検証結果がすべて有効の場合、フェッチデータを有効とする情報を出力する。フェッチデータ有効条件検出回路 4 1 の出力は、命令ユニット 2 及び演算ユニット 3 に供給される。命令ユニット 2 及び演算ユニット 3 は、フェッチデータ有効条件検証回路 4 1 の出力に応じて命令及び演算を制御する。

10 判定回路 3 9-1～3 9-n は、命令及びストアバッファ 1 1-1～1 1-n のアドレス、バイトマーク、識別子 IID を比較することにより、有効とすべきデータの選択を行なう。

15 判定回路 3 9-1～3 9-n について詳細に説明する。

図 7 は本発明の一実施例の判定回路のブロック構成図を示す。

1 判定回路 3 9-i は、アドレス一致比較器 5 1、バイトマーク比較器 5 2、STB-IID 比較器 5 3、SFB-LIMIT-IID 比較器 5 4、AND 回路 5 5、SBF-LIMIT-IID 検出回路 5 6 から構成される。

アドレス一致比較器 5 1 には、ストアバッファ 1 1-i からアドレスが供給されるとともに、フェッチポート 3 1 からフェッチ論理アドレスが供給される。アドレス比較器 5 1 は、ストアバッファ 1 1-i からのアドレスとフェッチポート 3 1 からのフェッチ論理アドレスを比較して、ストアバッファ 1 1-i からのアドレスとフェッチポート 3 1 からのフェッチ論理アドレスとの一致／不一致を検出する。アドレス一致比較回路 5 1 は、ストアバッファ 1 1-i からのアドレスとフェッチポート 3 1 からのフェッチ論理アドレスとが一致したとき、論理「1」を出力し、不一致のときには、論理「0」を出力する。アドレス一致比較器 5 1 の比較結果は、AND 回路 5 5 に供給される。

バイトマーク比較器 5 2 には、ストアバッファ 1 1-i からバイトマークが供給されるとともに、フェッチポート 3 1 からリクエストに応じたバイトマーク

が供給される。バイトマーク比較器52は、ストアバッファ11-iからのバイトマークとフェッチポート31からのリクエストに応じたバイトマークとを比較し、その大小を比較する。バイトマーク比較器52は、フェッチポート31からのリクエストに応じたバイトマークがストアバッファ11-iからのバイトマークより小さいか、等しければ、リクエストに包含されると判断できるため、論理「1」を出力し、大きければ、論理「0」を出力する。バイトマーク比較器52の比較結果は、AND回路55に供給される。

STB-IID比較器53には、ストアバッファ11-iから識別子IIDが供給されるとともに、フェッチポート31からリクエストに応じた識別子IIDが供給される。STB-IID比較器53は、ストアバッファ11-iから識別子IIDとフェッチポート31からリクエストに応じた識別子IIDとの大小を比較する。STB-IID比較器53は、ストアバッファ11-iから識別子IIDがフェッチポート31からリクエストに応じた識別子IIDより小さければ、包含関係にあると判断できるので、論理「1」を出力し、小さければ、論理「0」を出力する。

STB-IID比較器53の比較結果は、AND回路55に供給される。

SFB-LIMIT-IID 比較器54には、フェッチポート31からリクエストに応じた識別子IIDが供給されるとともに、SFB-LIMIT-IID 検出回路56からストアフェッチバイパス上限命令識別子SFB-LIMIT-IIDが供給される。SFB-LIMIT-IID 比較器54は、フェッチポート31からリクエストに応じた識別子IIDと SFB-LIMIT-IID 検出回路56からストアフェッチバイパス上限命令識別子SFB-LIMIT-IIDとの大小を比較する。

ここで、SFB-LIMIT-IID 検出回路56について詳細に説明する。

図8は本発明の一実施例のSFB-LIMIT-IID 検出回路のブロック構成図を示す。SFB-LIMIT-IID 検出回路56は、重なり比較器61、アドレス一致検出回路62、SFB-LIMIT-IID 検出部63、SFB-LIMIT-IID 設定部64から構成される。

重なり比較器61には、リクエスト先の付与されたバイトマーク及びストアバッファ11-iからのバイトマークが供給される。重なり比較器61は、リクエストに付与されたバイトマークとストアバッファ11-iからのバイトマークとを比較して一致するか否かを判定する。重なり比較器61は、両バイトマークが

一致するときには、論理「1」、不一致のときには、論理「0」を出力する。重なり比較器6 1の出力は、SFB-LIMIT-IID 検出部6 3に供給される。

アドレス一致検出回路6 2には、リクエスト先のアドレス及びストアバッファ1 1-iのアドレスが供給される。アドレス一致検出回路6 2は、リクエスト先のアドレスとストアバッファ1 1-iのアドレスとを比較し、両アドレスが一致するか否かを検出する。アドレス一致検出回路6 2は、両アドレスが一致すれば、論理「1」を出力し、不一致のときには、論理「0」を出力する。アドレス一致検出回路6 2の出力論理は、SFB-LIMIT-IID 検出部6 3に供給される。

SFB-LIMIT-IID 検出部6 3では、重なり比較器6 1の出力が「1」、アドレス一致検証回路6 2の出力が「1」、ID有効情報SFB-LIMIT-VALが「0」の時に論理「1」を出力し、他の状態の時には論理「0」を出力する。

SFB-LIMIT-ID設定部6 4には、識別子IID及びSFB-LIMIT-IID 検出部6 3の出力論理が供給される。SFB-LIMIT-ID設定部6 4は、SFB-LIMIT-IID 検出部6 3の出力論理が論理「1」のときに、識別子IIDをSFB-LIMIT-IIDに設定する。また、出力論理が論理「0」の時には、なんの操作もしない。

SFB-LIMIT-IID 比較器5 4は、フェッチポート3 1からリクエストに応じた識別子IDがSFB-LIMIT-IID 検出回路5 6からストアフェッチバイパス上限命令識別子SFB-LIMIT-IIDより小さければ、包含関係にあると判断できるため、論理「1」を出力し、大きければ、論理「0」を出力する。SFB-LIMIT-IID 比較器5 4の比較結果は、AND回路5 5に供給される。

AND回路5 5は、アドレス一致比較器5 1、バイトマーク比較器5 2、STB-ID比較器5 3、SFB-LIMIT-IID 比較器5 4の比較結果が供給される。AND回路5 5は、アドレス一致比較器5 1、バイトマーク比較器5 2、STB-IID 比較器5 3、SFB-LIMIT-IID 比較器5 4の比較結果の論理積をとる。AND回路5 5は、アドレス一致比較器5 1、バイトマーク比較器5 2、STB-IID 比較器5 3、SFB-LIMIT-IID 比較器5 4の比較結果がすべて論理「1」の時に論理「1」を出力し、他の状態の時には論理「0」を出力する。AND回路5 5の出力は、フェッチデータ選択回路1 6及びストアアドレス選択回路3 6、ストアデータ選択回路3 7、検証回路3 8に供給される。

フェッチ選択回路16は、判定回路39-1～39-nからの判定結果に応じてストアバッファ11-1～11-nからのストア情報を選択する。フェッチ選択回路16で選択されたデータは、演算ユニット4に供給される。

次に、本実施例の動作を説明する。

5 図9、図10は本発明の一実施例の動作説明図を示す。

図9は、ストアバッファ11-1～11-nには既にリクエストが発行されているが、キャッシングメモリ12または主記憶装置5へのストアを完了していない状態である。ストアバッファ11-1～11-nにリクエストが発行されると、各リクエストの実行順序を示す識別情報IIDが発行される。識別情報IIDは、
10 ストアバッファ11-iに記憶される。

また、ストアバッファ11-iには、そのストアリクエストSTREQのストア先を示すために使用するアドレスSTARとストアする領域を示すためのストアバイトマークBMKRも同時に記憶される。ストアデータSTDは、後にストアデータが準備でき次第、対応するアドレスに設定される。

15 次に、後続のストアリクエストSTREQが発行されると、ストアバッファ11-iと後続のストアリクエストSTREQとのストアアドレスSTAR及びストアバイトマークBMKRとの比較を行なう。

なお、このとき、ID有効情報SFB-LIMIT-VALが通知されていないストアバッファ11-iとで比較が行なわれる。ID有効情報SFB-LIMIT-VALに応じて比較
20 を行なうことにより、バイパス対象の範囲を絞り込むことができる。

ストアバッファ11-iと後続のストアリクエストSTREQとのストアアドレスSTAR及びストアバイトマークBMKRとの比較結果、ストアリクエストSTREQの操作対象領域と先行するストアリクエストSTREQの操作対象領域に重なりが検出された場合には、同一の領域へのストアを行なおうとしていると判定できる。このとき、重なりが検出されたストアバッファ11-iに
25 対して、ストアリクエストSTREQが持っている識別子STB-IIDがストアフェッチバイパス上限命令識別子SFB-LIMIT-IIDとして設定されるとともに、ID有効情報SFB-LIMIT-VALを立ち上げる。

こうしてストアバッファ11-1～11-nの各ストアバッファからストアフ

エッチャーバイパス対象とすべきフェッチリクエストFC REQの識別子IIDをストアリクエストST REQ発行時に設定する。各ストアバッファ11-iからストアフェッチャーバイパス対象とすべきフェッチリクエストFC REQの識別子FCH-IIDは、ID有効情報SFB-LIMIT-VALが上がっている場合は、ストアバッファに設定された識別子STB-IIDからストアフェッチャーバイパス上限命令識別子SFB-LIMIT-IIDまでの間の識別子IIDとし、ID有効情報SFB-LIMIT-VALが上がっていなければ、ストアバッファ11-1～11-nに設定された識別子STB-IID以降の全識別IIDが対象になる。

次に、ストアバッファ11-1～11-nにフェッチを行なう動作を説明する。
図10に示すようにストアフェッチャーバイパス対象とすべきフェッチリクエストFC REQの範囲が設定される。

それから発行されるフェッチリクエストFC REQは、全ストアバッファ11-1～11-nを対象として、IID、アドレス、バイトマークの比較を行なう。
ストアバッファの識別子STB-IIDとフェッチ命令の識別子FCH-IIDとの比較では、ストアバッファの識別子STB-IIDよりもフェッチ命令の識別子FCH-IIDが後であることを確認する。識別子SFB-LIMIT-IIDと識別子FCH-IIDとの比較では、識別子FCH-IIDよりも識別子SFB-LIMIT-IIDが後の発行順序であることを確認する。

なお、ID有効情報SFB-LIMIT-VALが上がっていない場合は、識別子SFB-LIMIT-IIDと識別子FCH-IIDとを比較する必要はない。

また、他にストアアドレスSTARとフェッチアドレスFCARとを比較し、一致していることを確認する。

また、ストアバイトマークBMKRとフェッチバイトマークBMKRとを比較し、ストアバイトマークBMKRがフェッチバイトマークBMKRを包含しているか否かを判定する。この判定結果によりフェッチリクエストFC REQの全操作対象領域が一つのストアバッファにすべて含まれていることが確認できる。

このようにIID、アドレス、バイトマークBMKRの比較結果を行なうことにより唯一のストアバッファを選択できる。

次にタイミングチャートを用いて本実施例の動作を説明する。

図11は本発明の一実施例のタイミングチャートを示す。

図11(A)はストアST1の実行タイミング、図11(B)はストアST1のストアデータ発行タイミング、図11(C)はストアバッファSTB1のストア許可タイミング、図11(D)はストアバッファSTB1のライトタイミング、
5 図11(E)はフェッチFETCH1の実行タイミング、図11(F)はフェッチFETCH1の待機時間、図11(G)はストアST2の実行タイミング、図11(H)はストアST2のストアデータ発行タイミング、図11(I)はストアバッファSTB2のストア許可タイミング、図11(J)はストアバッファSTB2のストア許可タイミング、図11(K)はフェッチFETCH2の実行タイミング、図11(L)はフェッチFETCH2の待機時間、図11(M)はストアバッファSTB1のストアデータ準備期間、図11(N)はストアバッファSTB2のストアデータ準備期間、図11(O)はフェッチFETCH1のリサイクル実行タイミング、図11(P)はフェッチFETCH1のフェッチ成功タイミング、図11(Q)はフェッチFETCH2のリサイクル実行タイミング、
10 図11(R)はフェッチFETCH2のフェッチ成功タイミング、図11(F)は選択データの出力タイミングを示す。

図11に示すようにストアST1、ST2、フェッチFETCH1、FETCH2は、パイプライン方式で処理される。このとき、図11(M)、(N)に示すようにストアバッファSTB1及びSTB2で、同じアドレスが有効とされても、
20 識別子IIDによりデータが識別され、図11(S)に示すようにストアデータSTRD1、STRD2の順にフェッチすることができる。

以上、本実施例によれば、同時に複数のフェッチ要求が全ストアバッファをストアフェッチバイパス対象とした検索を行なったときにも、各々のフェッチリクエスト毎に適切な異なったストアバッファを選択して、そこからフェッチデータを取り出すことができる。これにより特に、アウトオブオーダ処理を行なうスルーパスカラプロセッサにおいて複数のフェッチ要求、ストア要求処理の投機実行を速やかに行なうことができる。よって、演算装置の処理性能を向上させることができる。

なお、上記実施例では、ストアフェッチバイパス上限命令識別子SFB-LIMIT-IID

の設定をストアバッファ単位で行なったが、バイトマーク単位で行なうことでもできる。

この場合、ストアフェッチバイパス上限命令識別子 SFB-LIMIT- I ID の設定において、操作対象領域の重なりの確認は、ストアバッファ単位ではなく、バイト
5 マーク単位で行なうことになる。また、ストアフェッチバイパス上限命令識別子 SFB-LIMIT- I ID 有効情報 SFB-LIMIT-VAL も、バイトマーク単位で持つことになる。

さらに、フェッチリクエスト FC REQ のチェック時には、全フェッチ対象領域が一つのストアバッファに含まれている必要は無くなり、複数のストアバッ
10 ファをまたがってフェッチすることもできる。

このとき、必要があれば、キャッシュメモリ 1 2 や主記憶装置 5 から読み出したデータとも組み合わせることができる。

また、バイトマークでなく、数バイト毎に行なってもよい。

請求の範囲

1. データを記憶する複数の記憶手段と、
　　発行順序を識別する識別子が付与されたデータ発行要求が供給され、該データ発行要求のうち該識別子に応じて前記複数の記憶手段のうち所定の記憶手段を選択し、アドレスに応じて所定の記憶手段から所定のデータを出力する記憶制御手段とを有することを特徴とする記憶制御装置。

5
2. 前記複数の記憶手段は、データに対応して前記識別子をデータに付与して記憶し、
　　前記記憶制御手段は、前記データ要求に付与された識別子と前記複数の記憶手段に記憶された識別子とを比較し、その比較結果に応じて前記記憶手段を識別することを特徴とする請求項1記載の記憶制御装置。

10
3. 前記記憶手段は、先行するデータに操作対象とする範囲を指定する範囲設定識別子を記憶し、
　　前記記憶制御手段は、前記範囲設定識別子に応じて操作対象とするデータを識別することを特徴とする請求項1又は2記載の記憶制御装置。

15
4. 複数の記憶手段へのデータの記憶を制御する記憶制御方法において、
　　発行順序を識別する識別子が付与されたデータ発行要求が供給され、
　　前記データ発行要求のうち該識別子に応じて前記複数の記憶手段のうち所定の記憶手段を選択し、
　　アドレスに応じて所定の記憶手段から所定のデータを出力することを特徴とする記憶制御方法。

20
25

FIG. 1

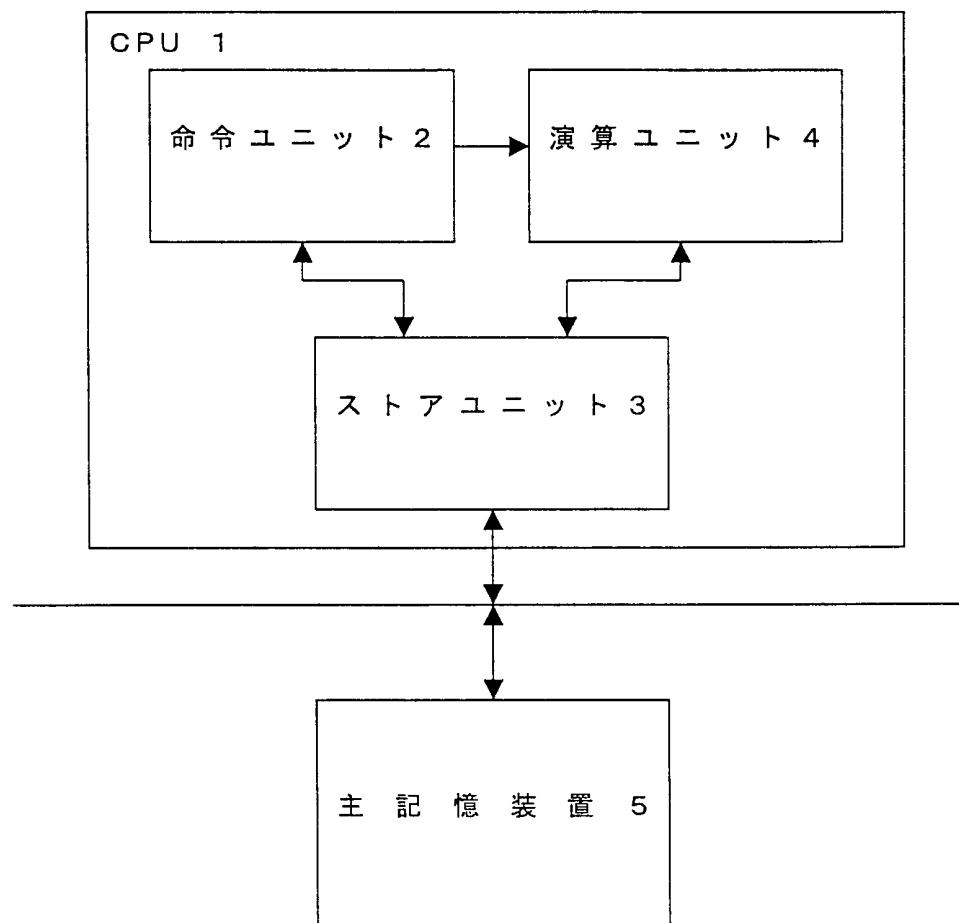
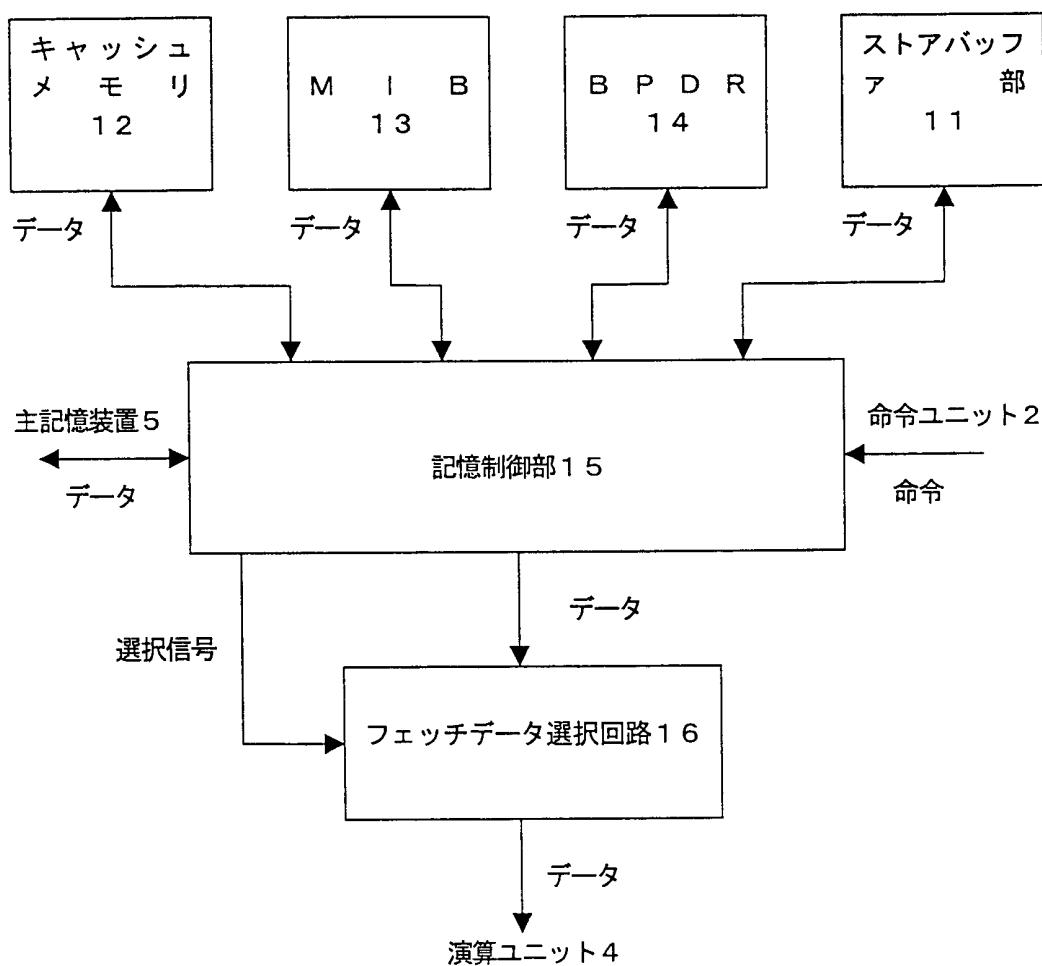
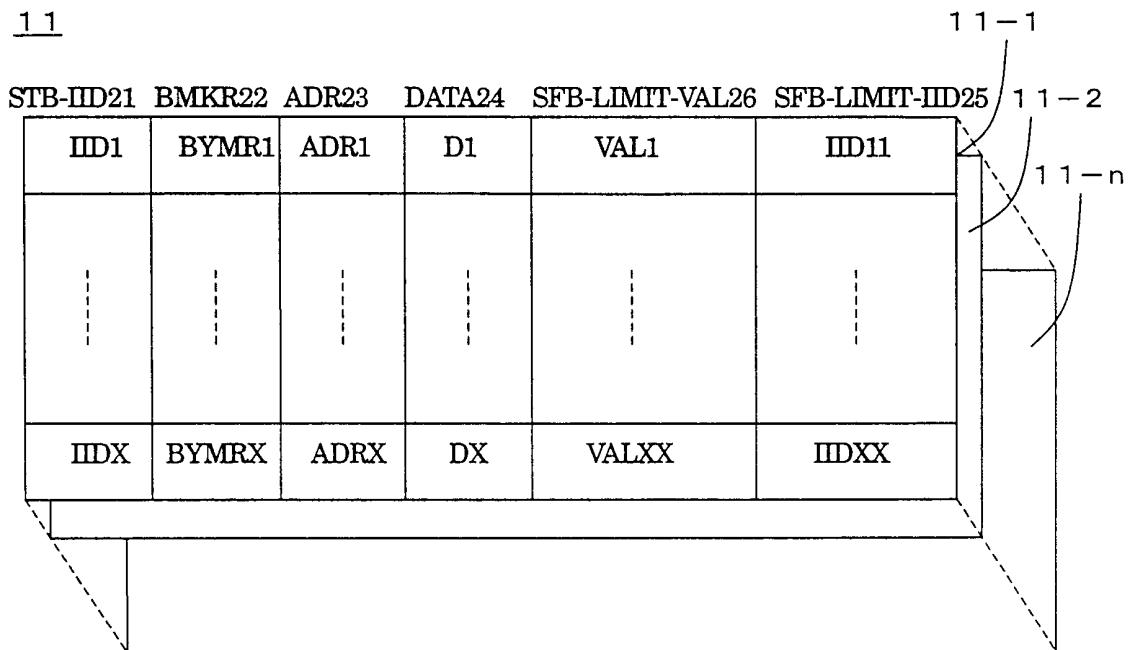


FIG. 2

3

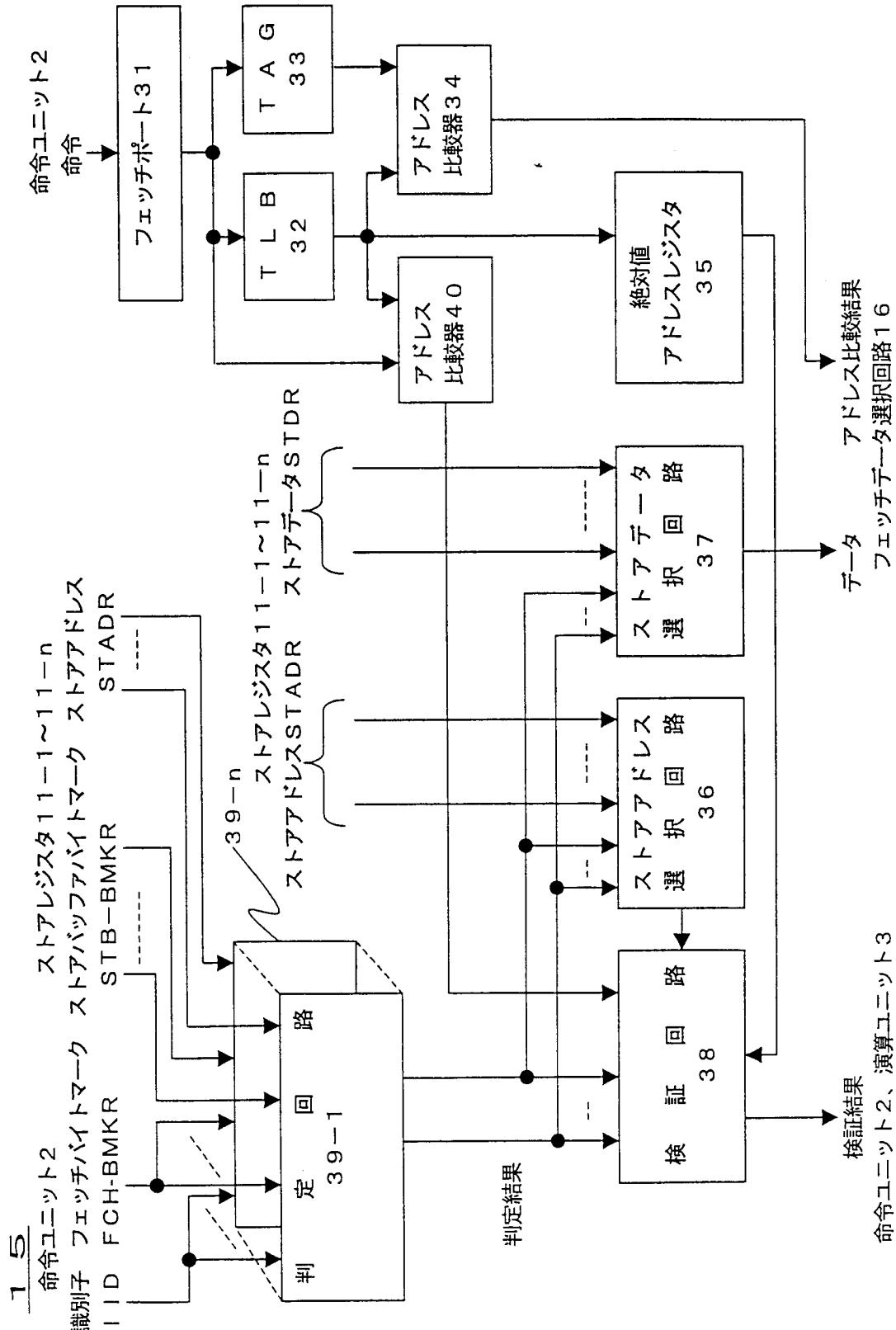
F I G. 3



F I G. 4

IID	命令	要求先アドレス
0		命令MVC
1	FETCH1	ADR1-1
2	STORE1	ADR2-1
3	FETCH2	ADR1-2
4	STORE2	ADR2-2
⋮	⋮	⋮
2m-1	FETCHm-1	ADR1-m
2m	STOREm	ADR2-m

F I G. 5



F I G. 6

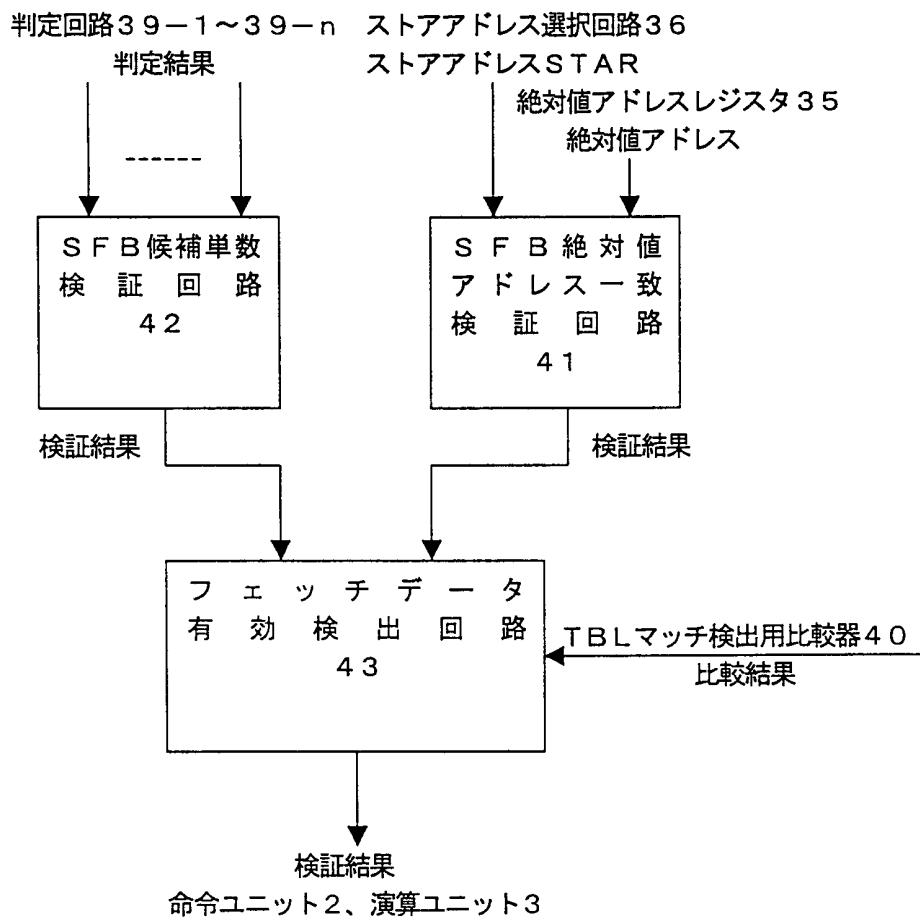
38

FIG. 7

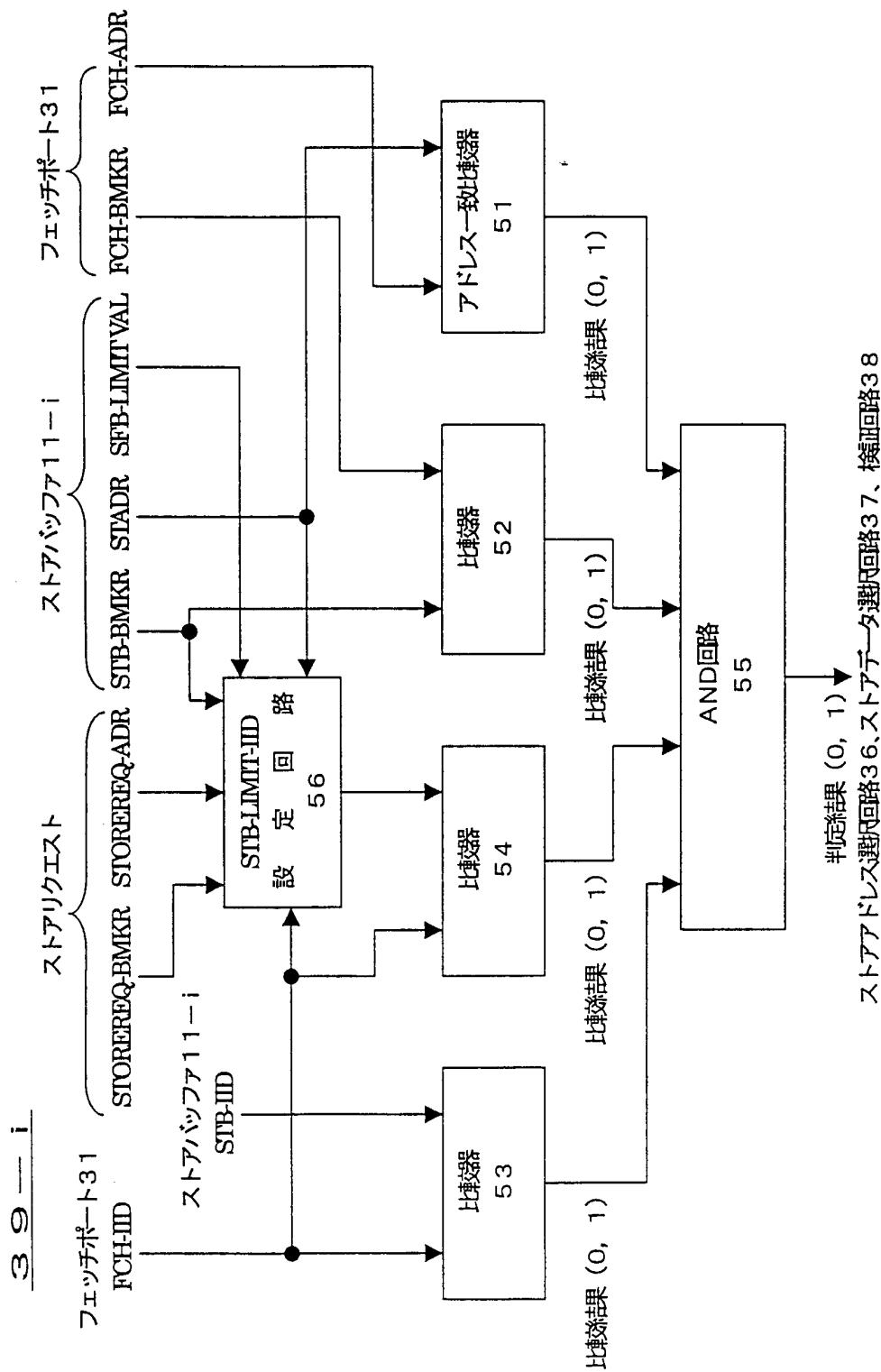


FIG. 8

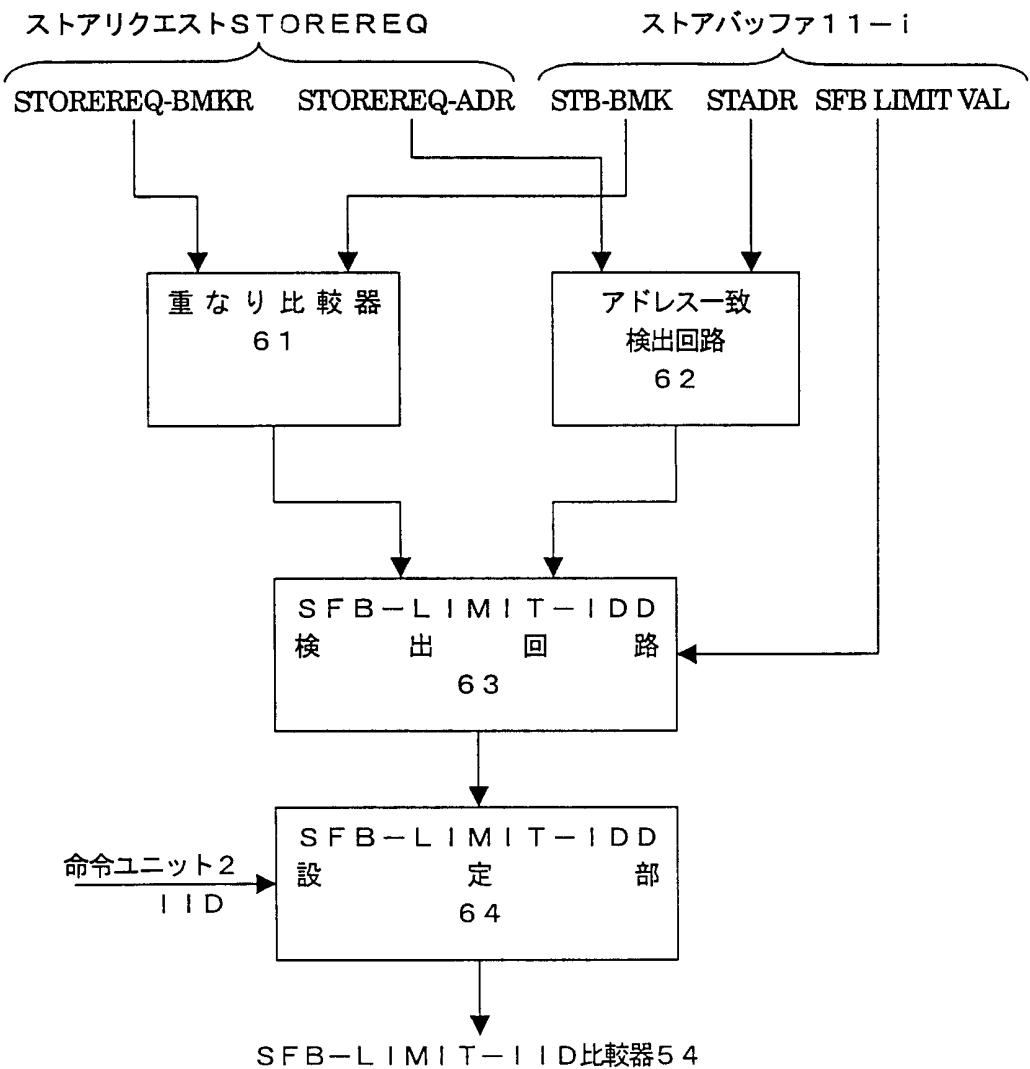
5 6

FIG. 9

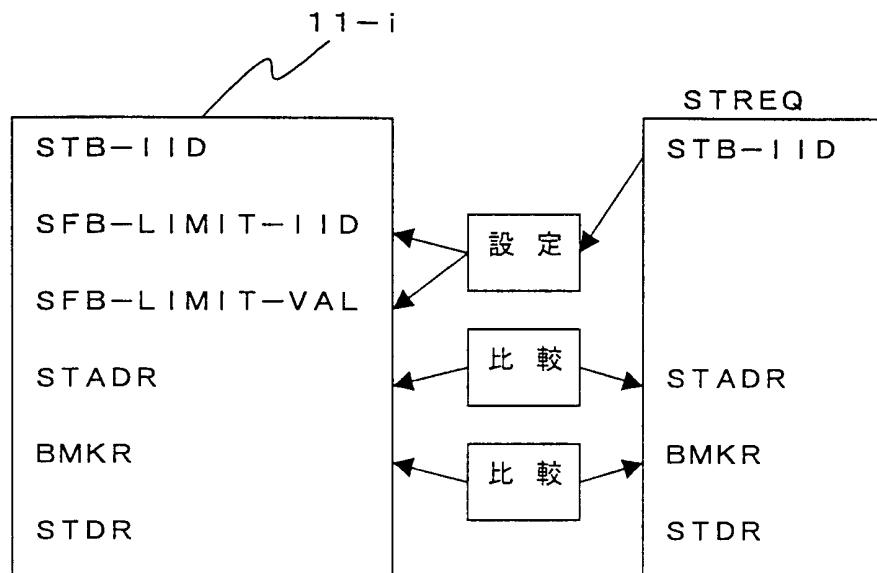
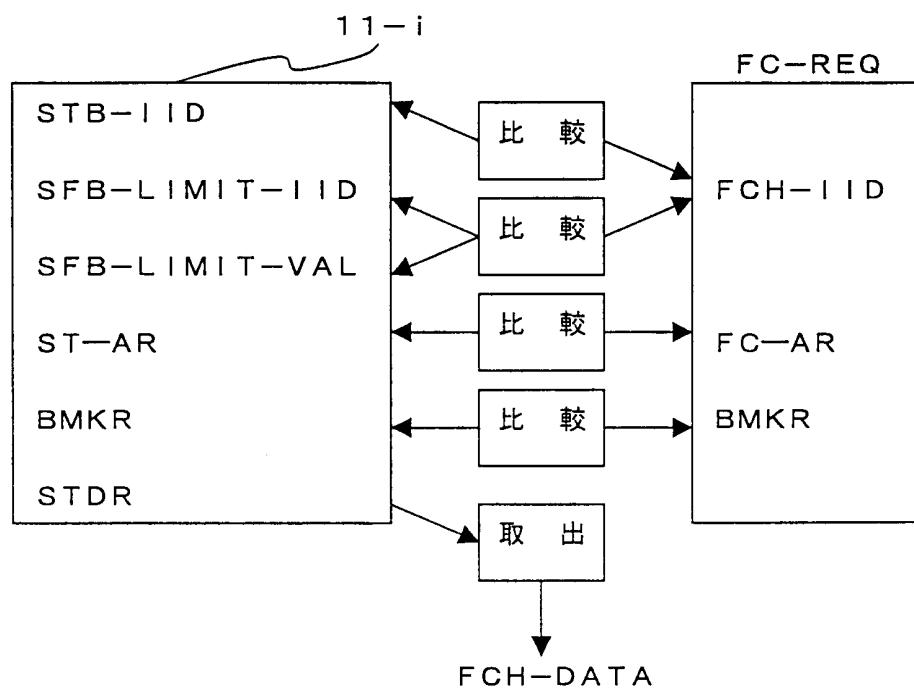
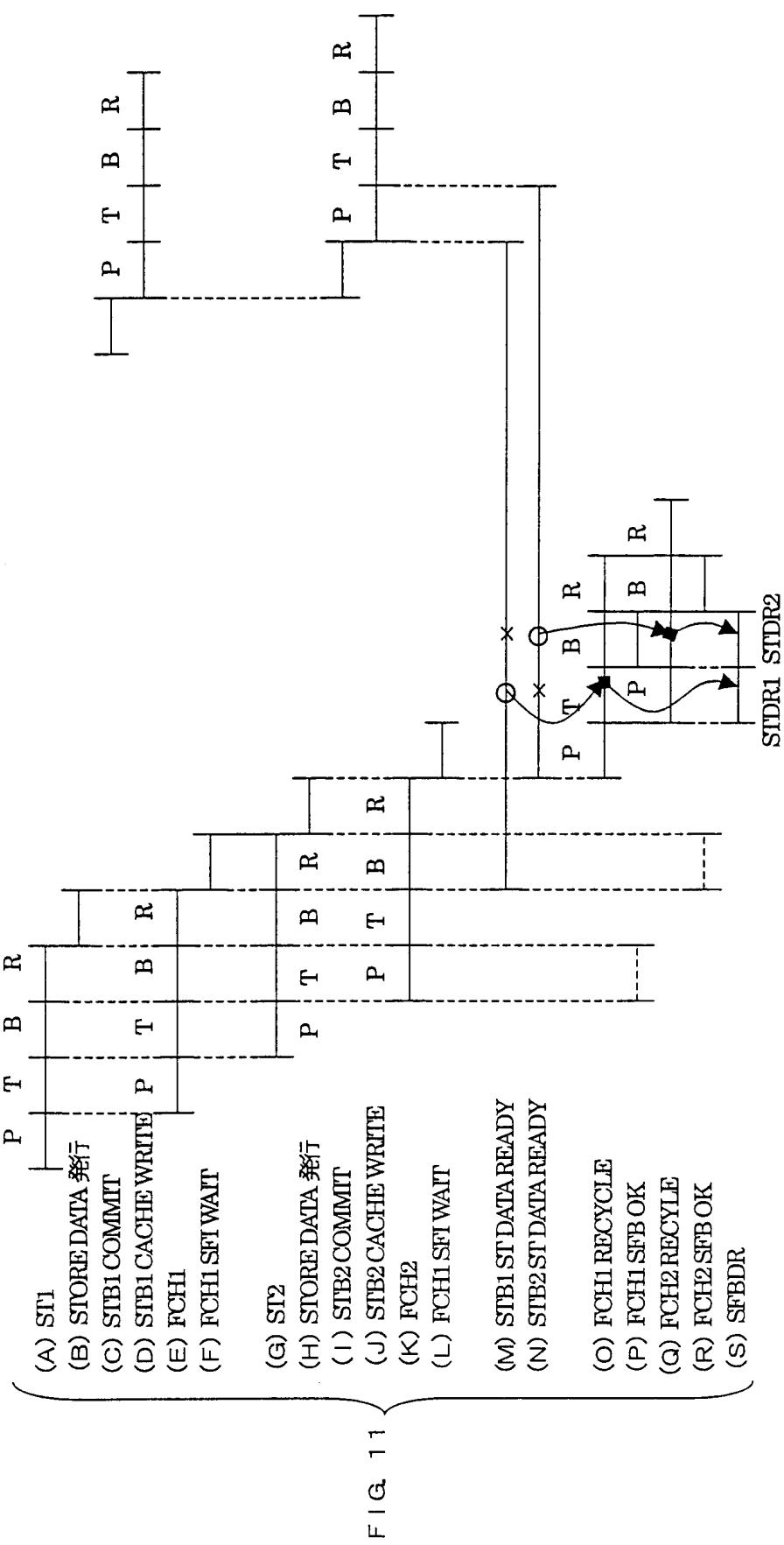


FIG. 10





INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00234

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G06F12/08
G06F 9/38

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G06F12/08
G06F 9/38
G06F12/00-12/06

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US, 5802588, A (Advanced Micro Devices, Inc.), 01 September, 1998 (01.09.98),	1, 2, 4
A	Column 15, line 26 to Column 17, line 38; Figs. 4A, 4C (Family: none)	3
X	US, 5832297, A (Advanced Micro Devices, Inc.), 03 November, 1998 (03.11.98),	1, 2, 4
A	Column 18, line 45 to Column 20, line 57; Figs. 4A, 4C (Family: none)	3
X	JP, 10-116192, A (NEC Corporation), 06 May, 1998 (06.05.98) (Family: none)	1, 2, 4
A		3
A	US, 5467473, A (International Business Machines Corporation), 14 November, 1995 (14.11.95) & JP, 7-160501, A & EP, 605869, A1	1-4
A	JP, 6-214875, A (Hitachi, Ltd.), 05 August, 1994 (05.08.94) (Family: none)	1-4

 Further documents are listed in the continuation of Box C. See patent family annex.

- * Special categories of cited documents:
- "A" document defining the general state of the art which is not considered to be of particular relevance
- "E" earlier document but published on or after the international filing date
- "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)
- "O" document referring to an oral disclosure, use, exhibition or other means
- "P" document published prior to the international filing date but later than the priority date claimed

- "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
- "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
- "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
- "&" document member of the same patent family

Date of the actual completion of the international search
18 April, 2000 (18.04.00)Date of mailing of the international search report
02 May, 2000 (02.05.00)Name and mailing address of the ISA/
Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP00/00234

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP, 57-135492, A (Fujitsu Limited), 21 August, 1982 (21.08.82) (Family: none)	1-4

国際調査報告

国際出願番号 PCT/JP00/00234

A. 発明の属する分野の分類（国際特許分類（IPC））
 Int. Cl' G 06 F 12/08
 G 06 F 9/38

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））
 Int. Cl' G 06 F 12/08
 G 06 F 9/38
 G 06 F 12/00-12/06

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1922-1996年
 日本国公開実用新案公報 1971-2000年
 日本国登録実用新案公報 1994-2000年
 日本国実用新案登録公報 1996-2000年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	U.S. 5802588, A (Advanced Micro Devices, Inc.), 1. 9月. 1998 (01. 09. 98),	1, 2, 4
A	第15欄第26行目-第17欄第38行目, 第4A図, 第4C図, (ファミリーなし)	3
X	U.S. 5832297, A (Advanced Micro Devices, Inc.), 3. 11月. 1998 (03. 11. 98),	1, 2, 4
A	第18欄第45行目-第20欄第57行目, 第4A図, 第4C図, (ファミリーなし)	3

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
 「O」口頭による開示、使用、展示等に言及する文献
 「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であつて出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」特に関連のある文献であつて、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」特に関連のある文献であつて、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」同一パテントファミリー文献

国際調査を完了した日 18. 04. 00	国際調査報告の発送日 02.05.00
国際調査機関の名称及びあて先 日本国特許庁 (ISA/JP) 郵便番号 100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官（権限のある職員） 清木 泰 5N 9643 電話番号 03-3581-1101 内線 3585

C (続き) . 関連すると認められる文献		関連する 請求の範囲の番号
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	
X	J P, 10-116192, A (日本電気株式会社), 6. 5月. 1998 (06. 05. 98) (ファミリーなし)	1, 2, 4
A		3
A	U S, 5467473, A (International Business Machines Corporation), 14. 11月. 1995 (14. 11. 95) & J P, 7-160501, A & E P, 605869, A 1	1-4
A	J P, 6-214875, A (株式会社日立製作所), 5. 8月. 1994 (05. 08. 94) (ファミリーなし)	1-4
A	J P, 57-135492, A (富士通株式会社), 21. 8月. 1982 (21. 08. 82) (ファミリーなし)	1-4