

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2011年10月6日(06.10.2011)

PCT

(10) 国際公開番号

WO 2011/122368 A1

- (51) 国際特許分類:  
C30B 29/36 (2006.01) H01L 21/20 (2006.01)  
C30B 25/20 (2006.01) H01L 21/205 (2006.01)
- (21) 国際出願番号: PCT/JP2011/056518
- (22) 国際出願日: 2011年3月14日(14.03.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-074013 2010年3月29日(29.03.2010) JP  
特願 2010-286949 2010年12月24日(24.12.2010) JP
- (71) 出願人(米国を除く全ての指定国について): エア・ウォーター株式会社(AIR WATER INC.) [JP/JP]; 〒0600003 北海道札幌市中央区北3条西1丁目2番地 Hokkaido (JP).
- (72) 発明者; および
- (75) 発明者/出願人(米国についてのみ): 浅村 英俊(ASAMURA, Hidetoshi) [JP/JP]; 〒5928331 大阪府堺市西区築港新町2丁6番地40エア・ウォーター株式会社 堺事業所内 Osaka (JP). 川村 啓介(KAWAMURA, Keisuke) [JP/JP]; 〒5928331 大阪府堺市西区築港新町2丁6番地40エア・ウォーター株式会社 堺事業所内 Osaka (JP).
- (74) 代理人: 森本 直之(MORIMOTO, Naoyuki); 〒5400026 大阪府大阪市中央区内本町1-3-10内本町ビューハイツ902号 Osaka (JP).
- (81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR,

[続葉有]

(54) Title: METHOD FOR PRODUCING SINGLE CRYSTAL 3C-SiC SUBSTRATE AND RESULTING SINGLE-CRYSTAL 3C-SiC SUBSTRATE

(54) 発明の名称: 単結晶3C-SiC基板の製造方法およびそれによって得られた単結晶3C-SiC基板

図4



AA EXAMPLE 1  
BB SEM SURFACE  
CC CROSS SECTION

(57) Abstract: Provided is a method for producing a single-crystal 3C-SiC substrate with which it is possible to greatly reduce surface defects generated during the epitaxial growth process and thereby simplify subsequent steps while ensuring quality as a semiconductor device. A method for producing a single-crystal 3C-SiC substrate in which a single-crystal 3C-SiC layer is formed by epitaxial growth on a base substrate, said method comprising a first growth step in which the single-crystal 3C-SiC layer is formed so as to have a very flat surface state in which surface pits are scattered, and a second growth step in which the single-crystal 3C-SiC layer obtained by the first growth step is further subjected to epitaxial growth such that the surface pits in the surface are buried in the region where desorption is rate-limited.

(57) 要約:

[続葉有]

WO 2011/122368 A1



GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT,  
NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI  
(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR,  
NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第 21 条(3))
- 補正された請求の範囲及び説明書 (条約第 19 条(1))

---

エピタキシャル成長過程において発生する表面欠陥を大幅に減少させることができ、後工程を簡略化しながら半導体デバイスとしての品質を確保できる単結晶 3C-SiC 基板の製造方法を提供する。ベース基板上にエピタキシャル成長によって単結晶 3C-SiC 層を形成させる単結晶 3C-SiC 基板の製造方法であって、上記単結晶 3C-SiC 層を、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるよう形成する第 1 の成長段階と、上記第 1 の成長段階で得られた単結晶 3C-SiC 層を、脱離律速の領域において表面の上記表面ピットを埋めるようさらにエピタキシャル成長させる第 2 の成長段階とを行う。

## 明細書

単結晶 3 C - S i C 基板の製造方法およびそれによって得られた単結晶  
3 C - S i C 基板

5

## 技術分野

本発明は、表面欠陥を大幅に減少させることができる単結晶 3 C (立  
方晶系) - S i C 基板の製造方法およびそれによって得られた単結晶 3  
C - S i C 基板に関するものである。

10

## 背景技術

単結晶 S i C (炭化シリコン) は、S i に比べて熱的、化学的安定性  
に優れ、機械的強度も強く、放射線照射に対しても損傷しにくいという  
特性から、次世代の半導体デバイス材料として注目を集めている。また、  
15 単結晶 S i C は、G a N と格子定数が近いことから、G a N を成長させ  
るための下地基板としても使用することができる。

従来、単結晶 S i C を得る方法として、昇華法による S i C バルク基  
板を得る方法や、S i 基板や S O I 基板上に単結晶 3 C - S i C をヘテ  
ロエピタキシャル成長させる方法が行われている。S i 基板や S O I 基  
20 板上にエピタキシャル成長させる方法は、S i 基板や S O I 基板を炭化  
処理して薄膜の S i C に変成させ、シラン系ガスと炭化水素ガスを用い  
て単結晶 3 C - S i C を成長することにより、S i C のアモルファス化  
や多結晶化を抑制する手法が考案されている。

単結晶 S i C に欠陥が存在すると、半導体デバイスとしたときの性能  
25 を低下させ、G a N 層の下地基板とした場合にも G a N 層の品質を低下  
させる原因となる。このため、欠陥のできるだけ少ない高品質の単結晶

S i C 基板が要求されている。

#### 先行技術文献

##### 特許文献

- 5 特許文献 1 特開 2003-212694 号公報
- 特許文献 2 特開 2004-039766 号公報
- 特許文献 3 特開 2006-228763 号公報
- 特許文献 4 特開 2007-284298 号公報
- 特許文献 5 特開 2009-256138 号公報

##### 10 非特許文献

非特許文献 1 中嶋一雄(著編), エピタキシャル成長のメカニズム, 共立出版株式会社(2002)

#### 発明の概要

##### 15 発明が解決しようとする課題

しかしながら、エピタキシャル成長により単結晶 S i C を成長させる際、エピタキシャル成長の過程で単結晶 S i C の表面に欠陥が発生しやすいという問題がある。

図 1 は、一般にエピタキシャル成長反応において、反応ガスの流量や  
20 反応圧力を同一の条件としたときに成長速度が温度に依存する関係を表す線図である。なお、図では、横軸を絶対温度の逆数としており、図の右側が低温側、図の左側が高温側である。また、縦軸をエピタキシャル成長速度としており、図の下側が低速側、図の上側が高速側である。

この図からわかるように、エピタキシャル成長は、流量および圧力の  
25 条件が一定であれば、低温領域において温度上昇に伴って成長速度が急激に速くなる表面反応律速の領域と、表面反応律速の領域よりも高温側

で、温度上昇に伴う成長速度の増加が極めて小さい（言い換えれば温度依存性の少ない）輸送律速の領域と、上記輸送律速の領域よりも高温側で、温度上昇に伴って成長速度が急激に減少する脱離律速の領域が存在する（上記非特許文献1）。

- 5 上述した表面反応律速の領域では、化学反応速度が成長速度を支配する。単結晶 3C-SiC を反応律速で成長させた場合には、単結晶 3C-SiC の結晶性が悪く、表面状態も極めて粗になり、現実問題として半導体デバイスの製造に適した品質を得ることができなかった。また、脱離律速の領域では、原料分子が基板以外の場所に付着して原料供給効
- 10 率が低下したり、基板表面に到達した原料分子が結晶化せずに脱離する率が高くなったりする。このため、単結晶 3C-SiC を脱離律速で成長させた場合には、表面反応律速の領域よりも結晶性は改善されるものの、結晶核の一部が異常成長して表面に多数の突起が成長してしまい、結果として表面状態が粗となり、やはり半導体デバイスの製造に適した
- 15 品質を得ることができなかった。

したがって、供給ガスの流量条件および成膜圧力を一定とし、成膜温度を上下に調整することで、成膜の律速段階を任意に選択することが可能である。

- また、成膜温度および成膜圧力を一定として供給ガスの流量を下げて
- 20 いくと、上記成膜温度を上げていく場合と同様に、律速段階は反応律速から輸送律速へ、さらには脱離律速へと変化することも知られている（上記非特許文献1）。これを利用して、成膜温度および成膜圧力を一定とし、供給ガスの流量を上下に調整することで、成膜の律速段階を任意に選択することも可能である。

- 25 さらに、本発明者らは、3C-SiC 成長において、成膜温度および供給ガスの流量条件を一定にし、成膜圧力を下げていくと、上記成膜温

度を上げていく場合と同様に、律速段階は反応律速から輸送律速へ、さらには脱離律速へと変化することを見出している。これを利用して、成膜温度および供給ガスの流量条件を一定とし、成膜圧力を上下に調整することで、成膜の律速段階を任意に選択することも可能である。

- 5 一方、中温域の輸送律速の領域では、原料分子が拡散する過程が支配的となって成長が進行し、反応速度が十分に速い一方、成長速度の温度依存性は小さくなる。

したがって、半導体デバイスやGaNの下地基板として単結晶3C-SiC基板を製造する場合、エピタキシャル成長の条件としては、これ  
10 まで、上記輸送律速の領域を用いざるをえなかった。

ところが、上記輸送律速の領域では、表面反応律速の領域のように結晶性に起因する表面荒れが生じることはなく、脱離律速の領域のような表面突起も発生しないものの、表面に微小なピット欠陥が多数形成されてしまう問題が避けられなかった。

- 15 このように、エピタキシャル成長の過程で単結晶3C-SiC層の表面に微小なピット欠陥が生じると、場合によってはそれを除去する研磨工程のような後工程が必要となる。工程が増えれば、その分のコストアップは避けられず、品質への影響要因が増えることとなり、品質安定性や歩留まり等の面でも不利となる。

- 20 上記各特許文献は、複数段階の温度でエピタキシャル成長をさせることが開示されているものの、いずれも、上述したようなエピタキシャル成長の過程において生じるピットについての言及はなく、ピットによる表面欠陥を十分に防止しうるものではなかった。

- 本発明は、上記のような事情に鑑みなされたもので、エピタキシャル  
25 成長過程において発生する表面欠陥を大幅に減少させることができ、後工程を簡略化しながら半導体デバイスとしての品質を確保できる単結晶

3C-SiC基板の製造方法およびそれによって得られた単結晶3C-SiC基板の提供を目的とする。

#### 課題を解決するための手段

5 上記目的を達成するため、本発明の単結晶3C-SiC基板の製造方法は、ベース基板上にエピタキシャル成長によって単結晶3C-SiC層を形成させる単結晶3C-SiC基板の製造方法であって、

上記単結晶3C-SiC層を、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるよう形成する第1の成長段階と、

10 上記第1の成長段階で得られた単結晶3C-SiC層を、上記表面ピットを埋めるようさらにエピタキシャル成長させる第2の成長段階とを行うことを要旨とする。

上記目的を達成するため、本発明の単結晶3C-SiC基板は、ベース基板上にエピタキシャル成長によって単結晶3C-SiC層が形成された単結晶3C-SiC基板であって、単結晶3C-SiC層の表面に  
15 存在する表面ピットによる欠陥の数が、エピタキシャル成長直後の状態で $8 \times 10^6$ 個/cm<sup>2</sup>以下であることを要旨とする。

#### 発明の効果

20 すなわち、本発明の単結晶3C-SiC基板の製造方法は、上記単結晶3C-SiC層を、平坦性の高い表面の中に表面ピットが形成された表面状態となるようにエピタキシャル成長させる第1の成長段階と、上記第1の成長段階で得られた単結晶3C-SiC層を、表面の上記表面  
25 ピットを埋めるようさらにエピタキシャル成長させる第2の成長段階とを行う。このように、第1の成長段階では表面ピットが形成されるものの、表面ピット以外の部分は平坦性を確保した表面性状の単結晶3C-

S i C層を形成し、第2の成長段階では、表面の平坦性を維持しながら上記表面ピットを埋めて表面ピットを減少させて表面の平坦な単結晶3C-S i C層を形成する。このようにすることにより、エピタキシャル成長の過程で単結晶3C-S i C層の表面に生じる表面ピットによる欠陥が少なくなるため、後工程を簡略化し、その分コストダウンを図り、品質への影響要因を減らして品質安定性や歩留まり等の面でも有利となり、半導体デバイス等の用途として品質を確保できる。

また、本発明の単結晶3C-S i C基板は、単結晶3C-S i C層の表面に存在する表面ピットによる欠陥の数が、エピタキシャル成長直後の状態で $8 \times 10^6$ 個/cm<sup>2</sup>以下である。このため、エピタキシャル成長の過程で単結晶3C-S i C層の表面に生じる表面ピットによる欠陥が少ないため、後工程を簡略化し、その分コストダウンを図り、品質への影響要因を減らして品質安定性や歩留まり等の面でも有利となり、半導体デバイス等の用途として品質を確保できる。

本発明において、上記第1の成長段階は輸送律速の領域でエピタキシャル成長させ、

上記第2の成長段階は脱離律速の領域でエピタキシャル成長させる場合には、

輸送律速の領域では、欠陥原因となる結晶核の異常成長を抑え、平坦面の中に表面ピットが散在した表面性状で結晶性のよい単結晶3C-S i C層を高い成長速度で安定的に得ることができる。そして、脱離律速では、従来のように突起が成長する代わりに、輸送律速の成長で形成された表面ピットが埋まるように単結晶3C-S i Cが成長するとともに、平坦面の平坦性も維持される。このように、表面ピットを埋めながら平坦性を維持した成長を行うことができ、表面ピットを大幅に減少させて平坦性のよい単結晶3C-S i C層を得ることができる。

本発明において、上記第1の成長段階から第2の成長段階への切り替えを、原料ガス流量の引き下げ、成膜圧力の引き下げ、基板温度の引き上げの少なくともいずれかによって行う場合には、

上記第1の成長段階から第2の成長段階への切り替えを原料ガス流量の引き下げによって行なうことにより、設定変更と比較的時間のかかる圧力や温度を変化させず、流量の引き下げだけで速やかに切り替えを行うことができる。

上記第1の成長段階から第2の成長段階への切り替えを成膜圧力の引き下げによって行なうことにより、設定変更と比較的時間のかかる温度を変化させず、圧力の引き下げだけで切り替えを行うことができる。また、原料ガスの流量を変化させないことから、エピタキシャル成長を行う雰囲気により安定し、単結晶3C-SiC層の成長が安定的に行われる。

上記第1の成長段階から第2の成長段階への切り替えを基板温度の引き上げによって行なうことにより、原料ガスの流量を変化させないことから、エピタキシャル成長を行う雰囲気により安定し、単結晶3C-SiC層の成長が安定的に行われる。

本発明において、少なくとも表層部分がSiを含有する半導体結晶からなるベース基板を用いる場合には、

少なくとも表層部分がSiを含有する半導体結晶からなるベース基板に対し、結晶性がよく、表面欠陥を大幅に減少した単結晶3C-SiC層を形成し、半導体デバイスとしての品質を確保した単結晶3C-SiC基板を安価に製造することができる。

本発明において、少なくとも表層部分がSiからなるベース基板を用い、上記ベース基板の表層部のSiを炭化処理してSiC層に変成させ、上記SiC層をシード層として、上記第1の成長段階および第2の成長

段階のエピタキシャル成長を行なう場合には、

少なくとも表層部分がSiからなるベース基板に対し、結晶性がよく、表面欠陥を大幅に減少した単結晶3C-SiC層を形成し、半導体デバイスとしての品質を確保した単結晶3C-SiC基板を安価に製造することができる。

本発明において、上記第1の成長段階で形成される単結晶3C-SiC層の厚みが500nm以上であり、上記第2の成長段階で形成される単結晶3C-SiC層の厚みが500nm以上である場合には、

第1の成長段階で形成する単結晶3C-SiC層の厚みが500nm未  
10 満であると、平坦面の中に散在するように形成される表面ピットの部分において、十分に3C-SiCが形成されずにベース基板が露出する状態となり、その後の第2の成長段階を経ても3C-SiCで表面ピットを埋めることができなくなる。したがって、上記第1の成長段階で形成する単結晶3C-SiC層の厚みを500nm以上とすることにより、  
15 その後の第2の成長段階で表面ピットを埋めて欠陥を消失させ、平坦性を確保しながら欠陥の少ない単結晶3C-SiC層が得られるようになる。

第2の成長段階で形成する単結晶3C-SiC層の厚みが500nm未  
20 満であると、第1の成長段階で平坦面の中に散在するように形成された表面ピットを第2の成長段階で十分に埋めることができなくなる。したがって、上記第2の成長段階で形成する単結晶3C-SiC層の厚みを500nm以上とすることにより、第1の成長段階で形成された表面ピットを埋めて欠陥を消失させ、平坦性を確保しながら欠陥の少ない単結晶3C-SiC層が得られるようになる。

25 本発明において、上記第1の成長段階で形成される単結晶3C-SiC層の厚みが900~2900nmであり、

上記第2の成長段階で形成される単結晶3C-SiC層の厚みが700~3700nmである場合には、

- 第1の成長段階において、十分な平坦面の中に、第2の成長段階で消失できる表面ピットが散在するよう単結晶3C-SiC層を形成でき、
- 5 平坦性を確保しながら欠陥の少ない単結晶3C-SiC層が得られる。

第2の成長段階において、第1の成長段階で形成された表面ピットを埋めて欠陥を消失させ、平坦性を確保しながら欠陥の少ない単結晶3C-SiC層が得られる。

- 本発明において、上記ベース基板上に、エピタキシャル成長によって
- 10 単結晶3C-SiC層を形成する際の原料ガスの主成分がモノメチルシランである場合には、

モノメチルシランは、爆発などの危険性が少ないガスであり、成膜中にガス供給バルブの操作、排気バルブの操作、あるいはヒータ出力の操作を行う際にも危険性が少ない点で極めて優れている。

- 15 本発明において、上記第1の成長段階において、基板温度が970℃以上1120℃以下、上記原料ガス中に含めるウエハ1枚あたりのモノメチルシランの流量が1.0sccm以上30.0sccm以下、成膜圧力が $9 \times 10^{-6}$ Torrを超え $4 \times 10^{-1}$ Torr以下であり、

- 上記第2の成長段階において、上記原料ガス中に含めるウエハ1枚あ
- 20 たりモノメチルシランの流量が6.0sccm以下、基板温度が1100℃以上ベース基板の融点未満、成膜圧力が $1 \times 10^{-7}$ Torr以上、 $6 \times 10^{-5}$ Torr以下である場合には、

- エピタキシャル成長の成長効率を確保し、表面欠陥を大幅に減少した単結晶3C-SiC層を生産性よく製造することができる。また、第1
- 25 の成長段階における成膜圧力を上記のように $4 \times 10^{-1}$ Torr以下とすることで、成長室を加熱する抵抗型ヒータの放電劣化を抑制できる。

本発明において、上記ベース基板上にエピタキシャル成長によって単結晶 3C-SiC 層を形成する際に供給する原料ガスがモノメチルシランのみであり、

上記第 1 の成長段階において、基板温度が 990℃以上 1100℃以下、ウエハ 1 枚あたりのモノメチルシランの流量が 2.0 sccm 以上 10.0 sccm 以下、成膜圧力が  $3 \times 10^{-5}$  Torr 以上  $1 \times 10^{-1}$  Torr 以下であり、

上記第 2 の成長段階において、ウエハ 1 枚あたりのモノメチルシランの流量が 3.0 sccm 以下である場合には、

10 エピタキシャル成長の成長効率を確保し、表面欠陥を大幅に減少した単結晶 3C-SiC 層を生産性よく製造することができる。

本発明において、上記第 1 の成長段階において、成膜圧力が  $1 \times 10^{-4}$  Torr 以下であり、

上記第 1 の成長段階から第 2 の成長段階への切り替えを、原料ガス流量の引き下げ、基板温度の引き上げの少なくともいずれかによって行う場合には、

エピタキシャル成長の成長効率を確保し、表面欠陥を大幅に減少した単結晶 3C-SiC 層を生産性よく製造することができる。

本発明において、上記第 1 の成長段階において、成膜圧力が  $1 \times 10^{-1}$  Torr 以上であり、

上記第 1 の成長段階から第 2 の成長段階への切り替えを、少なくとも成膜圧力の引き下げによって行う場合には、

エピタキシャル成長の成長効率を確保し、表面欠陥を大幅に減少した単結晶 3C-SiC 層を生産性よく製造することができる。

25 本発明において、ベース基板上にエピタキシャル成長によって形成された単結晶 3C-SiC 層の主面方位が (111) である場合には、

主面方位が (1 1 1) 面で平坦性を確保しながら欠陥の少ない単結晶 3 C - S i C 層を得ることができ、半導体デバイスとしての品質を確保した単結晶 3 C - S i C 基板を安価に製造することができる。

ここで、本発明ならびにその説明において、「輸送律速」「脱離律速」

5 「反応律速」は、それぞれつぎのように定義する。

輸送律速：原料ガス、雰囲気、流量、圧力の条件を同一としたエピタキシャル成長において得られる最大成膜速度の 90% 以上の成膜速度が得られる基板温度領域。

10 脱離律速：原料ガス、雰囲気、流量、圧力の条件を同一としたエピタキシャル成長において得られる最大成膜速度の 90% 未満の成膜速度が得られる基板温度領域のうち、輸送律速よりも高温側の基板温度領域。

反応律速：原料ガス、雰囲気、流量、圧力の条件を同一としたエピタキシャル成長において得られる最大成膜速度の 90% 未満の成膜速度が得られる基板温度領域のうち、輸送律速よりも低温側の基板温度領域。

15

図面の簡単な説明

図 1 エピタキシャル成長反応における成長速度の温度依存関係を表す線図である。

図 2 本発明の単結晶 3 C - S i C 基板の製造方法を示す工程図である。

20 図 3 ベース基板の調整工程の一例を説明する図である。

図 4 実施例 1 表面、断面 SEM 写真。

図 5 実施例 2 表面、断面 SEM 写真。

図 6 実施例 3 表面、断面 SEM 写真。

図 7 実施例 4 表面、断面 SEM 写真。

25 図 8 実施例 5 表面、断面 SEM 写真。

図 9 実施例 6 表面、断面 SEM 写真。

- 図 1 0 実施例 7 表面、断面 SEM 写真。
- 図 1 1 比較例 8 表面、断面 SEM 写真。
- 図 1 2 比較例 9 表面、断面 SEM 写真。
- 図 1 3 比較例 1 0 表面、断面 SEM 写真。
- 5 図 1 4 比較例 1 1 表面、断面 SEM 写真。
- 図 1 5 比較例 1 2 表面、断面 SEM 写真。
- 図 1 6 比較例 1 3 表面、断面 SEM 写真。
- 図 1 7 比較例 1 4 表面、断面 SEM 写真。
- 図 1 8 比較例 1 5 表面、断面 SEM 写真。
- 10 図 1 9 比較例 1 6 表面、断面 SEM 写真。
- 図 2 0 実施例 1 7 表面、断面 SEM 写真。
- 図 2 1 実施例 1 8 表面、断面 SEM 写真。
- 図 2 2 実施例 1 9 表面、断面 SEM 写真。
- 図 2 3 原料ガス流量に対する処理チャンバー圧力の変化を示す校正曲  
15 線である。

発明を実施するための形態

つぎに、本発明を実施するための形態を説明する。

- 20 図 2 は、本発明の単結晶 3 C - S i C 基板の製造方法の一実施の形態を示す工程図である。

本発明の方法は、まず、エピタキシャル成長によって単結晶 3 C - S i C 層を形成するためのベースとなるベース基板を調整し、上記ベース基板上にエピタキシャル成長によって単結晶 3 C - S i C 層を形成させる単結晶 3 C - S i C 基板の製造方法である。

- 25 そして、上記エピタキシャル成長は、単結晶 3 C - S i C 層を、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるよ

うにエピタキシャル成長させる第1の成長段階と、

上記第1の成長段階で得られた単結晶3C-SiC層を、表面の上記表面ピットを埋めるようさらにエピタキシャル成長させる第2の成長段階とを行う。

- 5 ベース基板としては、エピタキシャル成長によって3C-SiC層を形成させうるものであれば特に限定するものではなく、各種のものを用いることができる。本発明においては、ベース基板として、単結晶Si基板、SOI基板を用いた場合に、特に大きな効果を得ることができる。また、ベース基板としてMgO基板、昇華法による六方晶SiCバルク
- 10 基板、BP基板、サファイア基板、3C-SiC自立基板、GaN基板、GaAs基板、AlN基板、InN基板、SiGe基板、SiGe on Insulator基板等を用いた場合にも、本発明の効果を得ることができる。

- ベース基板の調整工程の際、後述の変成工程、アニール工程、エピタ
- 15 キシャル工程の前には、必要に応じ、例えばベース基板に対してアンモニア過水洗浄、塩酸過水洗浄、硫酸過水洗浄、希釈HF洗浄、超音波アセトン洗浄、超音波メタノール洗浄等の公知の洗浄を適宜組み合わせて行ない、基板表面を清浄化する。また、表層部分に、Siを含有するベ
- 20 ース基板については、表面酸化膜を除去する。ベース基板としてMgO基板、サファイア基板、BP基板、GaN基板、GaAs基板、AlN基板、InN基板等を用いる場合は、通常は上記のような洗浄工程は不要であるが、必要に応じて行ってもよい。

- ベース基板として、昇華法による六方晶SiCバルク基板や3C-SiC自立基板を用いる場合、ベース基板の調整工程においては、例えば、
- 25 ベース基板をエピタキシャル成長炉内において基板温度1000℃以上、圧力1 Torr未満の真空雰囲気中で10分程度アニールする。あるいは、



表面欠陥を大幅に減少した単結晶 3C-SiC 層を形成し、半導体デバイスとしての品質を確保した単結晶 3C-SiC 基板を安価に製造することができる。

より具体的には、少なくとも表層部分が Si からなるベース基板として Si 基板または SOI 基板を用いることができる。

図 3 は、ベース基板として SOI 基板を用いたときのベース基板の調整工程について説明する図である。

まず、所定厚さの表面 Si 層 3 と埋め込み絶縁層 4 とを有する SOI 基板 1 を準備する。ついで、目標とする基板構造に応じ、上記 SOI 基板 1 の表面 Si 層 3 の厚みを 6 nm 以上の所定厚みまで薄膜化する。なお、この薄膜化工程は行わなくてもよい。つぎに、上記 SOI 基板 1 を炭化水素系ガス雰囲気中で加熱して上記表面 Si 層 3 を単結晶 3C-SiC 層 5 に変成させる。そして、上記単結晶 3C-SiC 層 5 をシード層 5 として、エピタキシャル成長工程を行う。

上記 SOI 基板 1 は、Si 母材 2 の表面近傍に、埋め込み絶縁層 4 として所定厚みの SiO<sub>2</sub> 層が形成され、表面に所定厚さの表面 Si 層 3 が形成されたものである。上記埋め込み絶縁層 4 の厚みは、約 1 ~ 200 nm 程度の厚みになるよう設定されている。

ついで、目標とする基板構造に応じ、上記 SOI 基板 1 の表面 Si 層 3 の厚みを 6 nm 以上の所定の膜厚まで薄膜化する。この薄膜化は、例えば、SOI 基板 1 を酸化雰囲気中で加熱処理することにより、埋め込み絶縁層 4 との界面近傍に所望厚みの Si 層を残存させるよう、表面 Si 層 3 の表面から所定深さを酸化させたのち、表面に生成した酸化物層をフッ化水素酸等でエッチングして除去することにより行われる。なお、この薄膜化工程は行わなくてもよい。

このとき、薄膜化した表面 Si 層 3 の厚みは、6 nm 以上にするのが

好ましい。これは、2インチ口径以上のベース基板全面にわたって上記薄膜化した表面Si層3の厚みを6nm未満とすることが現実的に困難であり、基板の一部で表面Si層3の欠損をまねくことが多いからである。

- 5 ついで、SOI基板1を、炭化水素系ガス雰囲気中で加熱して上記表面Si層3を単結晶3C-SiC層5に変成させる。

上記変成工程は、例えば、雰囲気制御が可能な加熱炉において、加熱炉内に導入される雰囲気ガス（水素ガスおよび炭化水素ガス）を切り換えながら温度調節することにより行うことができる。

- 10 上記のような装置により、上記SOI基板1を加熱炉内に設置し、上記加熱炉内に水素ガスと炭化水素系ガスとの混合ガスを供給しながら、加熱炉内の雰囲気温度を上昇させて、上記SOI基板1の表面Si層3を単結晶3C-SiC層5に変成させることが行われる。

- 具体的には、上記SOI基板1を加熱炉内に設置して、加熱炉内に水素ガスに対して炭化水素系ガスを1体積%の割合で混合した混合ガスを供給する。また、この混合ガスの供給と同じくして、加熱炉内の雰囲気温度を1100～1405℃に加熱する。より好ましくは1150～1300℃に加熱する。この加熱によって、SOI基板1の表面Si層3を単結晶3C-SiC層5に変成させる。

- 20 ここで、前記水素ガスはキャリアガスであり、炭化水素ガスとしては例えばプロパンガスを使用することができる。例えば、水素ガスのボンベからの供給量が1000cc/分であったならば、炭化水素ガスのボンベからの供給量を10cc/分とする。

- 上記変成工程によって形成される単結晶3C-SiC層5の厚みは、同層の欠損欠陥の低減ならびに3次元成長による結晶性の劣化を抑制するため、3nm～20nm程度に設定するのが好ましく、より好ましい

のは、4～10 nmであり、さらに好ましいのは5 nm～7 nm程度である。

変成された単結晶3C-SiC層5の厚みが、20 nmを超えると、単結晶3C-SiC層5の上部が局所的に核成長を起こして粒塊が形成され、表面状態が荒れて好ましくない状態となる。従って、上記表面荒れの影響により、変成処理後のエピタキシャル成長による単結晶3C-SiC膜の品質が劣化するのを防ぐために、単結晶3C-SiC層5の厚みは、20 nm以下に設定するのが必須となり、より好ましいのは10 nm以下であり、さらに好ましいのは7 nm以下である。

10 一方、変成された単結晶3C-SiC層5の厚みを3 nmに設定すると、変成処理後の単結晶SiC層5のエピタキシャル成長の初期に単結晶3C-SiC層5を昇華して好ましくない状況となる。従って、上記昇華の影響により、変成処理後のエピタキシャル成長による単結晶3C-SiC膜の品質が劣化するのを防ぐために、単結晶3C-SiC層5  
15 の厚みは、3 nm以上に設定するのが必須となり、より好ましいのは4 nm以上であり、さらに好ましいのは5 nm以上である。

上記炭化処理を行ったSOI基板1に対し、上記単結晶3C-SiC層5をシード層としてエピタキシャル成長させることにより、上記シード層の上に単結晶3C-SiC層を成長させる。

20 また、ベース基板としてSOI基板ではなくSi基板を使用し、上述したような炭化処理を行うことにより、その表層部にシード層となる単結晶3C-SiC層を形成し、上記シード層の上にエピタキシャル成長により単結晶3C-SiC層を成長させるようにすることもできる。

上記エピタキシャル成長工程は、例えば、単結晶3C-SiC層5が  
25 形成されたベース基板を処理チャンバー内に配置し、上記処理チャンバー内にモノメチルシランガスを含む原料ガスを所定の流量（例えば約1

s c c m程度) のガス流量で供給しながら、所定の成長温度で処理することにより、上記単結晶 3 C - S i C 層 5 をシード層として単結晶 3 C - S i C をエピタキシャル成長させる。なお、シランガスおよびプロパンなどの原料ガスを供給した場合、あるいは更に水素などをキャリアガスとして加えた場合にも全く同様に本発明の効果を得ることができる。

このとき、本発明では、上記エピタキシャル成長を、成長する単結晶 3 C - S i C 層が、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるようにエピタキシャル成長させる第 1 の成長段階と、上記第 1 の成長段階で得られた単結晶 3 C - S i C 層における上記表面ピットを埋めるようさらにエピタキシャル成長させる第 2 の成長段階とを行う。

ここで、上記平坦性の高い表面とは、エピタキシャル成長で得られる単結晶 3 C - S i C 層の表面のうち表面ピットを除く滑らかな表面であり、基板表面の最小二乗平面に対して  $10^\circ$  以下の緩やかな傾斜によって構成されるうねりを含んでもよい趣旨である。上記最小二乗平面は、単結晶 3 C - S i C 表面を A F M ( a t o m i c f o r c e m i c r o s c o p e ) 測定し、得られた面の形状データを最小二乗フィッティングして得られる基準平面とする。A F M 測定は、 $1 \sim 50 \mu\text{m}$  角の範囲で行うこととする。

上記第 1 の成長段階により、シード層 5 の上に第 1 の単結晶 3 C - S i C 層 6 を形成し、上記第 2 の成長段階でさらに第 2 の単結晶 3 C - S i C 層 7 を形成する。

具体的には、上記第 1 の成長段階は、エピタキシャル成長における輸送律速の領域でエピタキシャル成長させ、上記第 2 の成長段階は、エピタキシャル成長における脱離律速の領域でエピタキシャル成長させる。

より詳しく説明すると、図 1 で説明したように、一般にエピタキシャ

ル成長反応において、反応ガスの流量や反応圧力を同一の条件としたときに、成長速度は温度に依存する関係を示す。

すなわち、エピタキシャル成長は、流量および圧力の条件が一定であれば、低温領域において温度上昇に伴って成長速度が急激に速くなる表面反応律速の領域と、表面反応律速の領域よりも高温側で、温度上昇に伴う成長速度の増加が極めて小さい(言い換えれば温度依存性の少ない)輸送律速の領域と、上記輸送律速の領域よりも高温側で、温度上昇に伴って成長速度が急激に減少する脱離律速の領域が存在する。

上述した表面反応律速の領域では、化学反応速度が成長速度を支配する。単結晶 3C-SiC を反応律速で成長させた場合には、単結晶 3C-SiC の結晶性が悪く、表面状態も極めて粗になり、現実問題として半導体デバイスの製造に適した品質を得ることができなかった。また、脱離律速の領域では、原料分子が基板以外の場所に付着して原料供給効率が低下したり、基板表面に到達した原料分子が結晶化せずに脱離する率が高くなったりする。このため、単結晶 3C-SiC を脱離律速で成長させた場合には、表面反応律速の領域よりも結晶性は改善されるものの、結晶核の一部が異常成長して表面に多数の突起が成長してしまい、結果として表面状態が粗となり、やはり半導体デバイスの製造に適した品質を得ることができなかった。

したがって、上述したように、従来は、半導体デバイスや GaN の下地基板として単結晶 3C-SiC 基板を製造する場合、エピタキシャル成長の条件としては、上記輸送律速の領域のみを用いざるをえなかった。

ところが、上記輸送律速の領域では、表面反応律速の領域のように結晶性に起因する表面粗れが生じることはなく、脱離律速の領域のような表面突起も発生しないものの、表面に微小な表面ピットが多数形成されてしまい、表面ピットによる表面欠陥が避けられなかった。

本発明者らは、従来行われていた単純に低温から高温に段階的に基板温度を上げるだけでは、表面ピットを減少させるようにエピタキシャル成長させることが十分にできないことを確認した。そして、単結晶 3 C - S i C 層成長の過程で表面に生じる表面ピットを減少させるようなエ

5 ピタキシャル成長の特別な条件設定が存在するのではないかと鋭意研究を重ねた。その過程で、従来、輸送律速の領域だけで行われていたエピタキシャル成長を、他の律速領域におけるエピタキシャル成長と複合することによって表面ピットの減少が図れるのではないかという着想に基づき、繰り返し試験を実施した。

10 その結果、第 1 段階としてエピタキシャル成長における輸送律速の領域でエピタキシャル成長させ、単結晶 3 C - S i C 層の表面が、上述した平坦性の高い表面とその中に点在する表面ピットからなる表面状態とし、その後、第 2 段階として、エピタキシャル成長における脱離律速の領域を利用することにより、上記表面ピットを埋めるよう単結晶 3 C -

15 S i C がさらにエピタキシャル成長し、その結果、表面が平坦でかつ表面ピットが少なく、しかも結晶性のよい単結晶 3 C - S i C 層が得られることを見出し、本発明を完成した。

ここで、第 1 の成長段階で形成される表面ピットの平面形状は、成長させる単結晶 3 C - S i C 層の結晶構造と、表面に配置する結晶面（す

20 なわち結晶の方位）との関係で決定する。例えば、成長させる単結晶 3 C - S i C の主面方位が ( 1 1 1 ) である場合、平面視三角形状の表面ピットが形成される。あるいは、例えば、成長させる単結晶 3 C - S i C の主面方位が ( 1 0 0 ) である場合、平面視四角形状の表面ピットが形成される。

25 また、上記第 1 の成長段階で形成する単結晶 3 C - S i C 層の厚みは 5 0 0 n m 以上とするのが好ましく、上記第 2 の成長段階で形成する単

結晶 3 C - S i C 層の厚みを 5 0 0 n m 以上とするのが好ましい。

すなわち、第 1 の成長段階で形成する単結晶 3 C - S i C 層の厚みが 5 0 0 n m 未満であると、平坦性の高い面の中に散在するように形成される表面ピットの部分において、十分に 3 C - S i C が形成されずにベース基板が露出する状態となり、その後の第 2 の成長段階を経ても 3 C - S i C で表面ピットを埋めることができなくなる。したがって、上記第 1 の成長段階で形成する単結晶 3 C - S i C 層の厚みを 5 0 0 n m 以上とすることにより、その後の第 2 の成長段階で表面ピットを埋めて欠陥を消失させ、平坦性を確保しながら欠陥の少ない単結晶 3 C - S i C 層が得られるようになる。

また、第 2 の成長段階で形成する単結晶 3 C - S i C 層の厚みが 5 0 0 n m 未満であると、第 1 の成長段階で平坦性の高い面の中に散在するように形成された表面ピットを第 2 の成長段階で十分に埋めることができなくなる。したがって、上記第 2 の成長段階で形成する単結晶 3 C - S i C 層の厚みを 5 0 0 n m 以上とすることにより、第 1 の成長段階で形成された表面ピットを埋めて欠陥を消失させ、平坦性を確保しながら欠陥の少ない単結晶 3 C - S i C 層が得られるようになる。

特に、成長させる単結晶 3 C - S i C の主面方位が ( 1 1 1 ) である場合、平面視三角形の表面ピットが形成され、5 0 0 n m 未満の厚みで十分に表面平坦性のよい 3 C - S i C 層が形成されず、第 2 の成長段階で表面ピットを十分に埋めることができなくなる傾向がある。

さらに、上記第 1 の成長段階で形成する単結晶 3 C - S i C 層の厚みは 9 0 0 ~ 2 9 0 0 n m とするのが好ましく、上記第 2 の成長段階で形成する単結晶 3 C - S i C 層の厚みを 7 0 0 ~ 3 7 0 0 n m とするのが好ましい。

すなわち、第 1 の成長段階において、十分な平坦性の高い面の中に、

第2の成長段階で消失できる表面ピットが散在するよう単結晶3C-SiC層を形成でき、平坦性の高さを確保しながら欠陥の少ない単結晶3C-SiC層が得られる。

また、第2の成長段階において、第1の成長段階で形成された表面ピットを埋めて欠陥を消失させ、平坦性の高さを確保しながら欠陥の少ない単結晶3C-SiC層が得られる。

ここで、第1の成長段階は、上述した輸送律速の領域でエピタキシャル成長させることができればよい。第1の成長段階として輸送律速の領域でエピタキシャル成長させるには、原料ガス、雰囲気、流量、圧力、温度をはじめとする諸条件を限定する趣旨ではないが、おおむね下記の条件下での処理を採用することができる。

雰囲気 : 主成分がモノメチルシランである原料ガス

基板温度 : 970~1120℃

流量 : 1.0~30.0 sccm (上記原料ガスに含めるウエハ1枚あたりのモノメチルシランの流量)

圧力 :  $1 \times 10^{-4} \sim 4 \times 10^{-1}$  Torr

後述する図24による校正後の圧力条件は、下記の値となる。

圧力 :  $9 \times 10^{-6} \sim 4 \times 10^{-1}$  Torr

また、第2の成長段階も、上述した脱離律速の領域でエピタキシャル成長させることができれば、原料ガス、雰囲気、流量、圧力、温度をはじめとする諸条件を限定する趣旨ではないが、第2の成長段階として脱離律速の領域でエピタキシャル成長させるには、おおむね下記の条件下での処理を採用することができる。

雰囲気 : 主成分がモノメチルシランである原料ガス

基板温度 : 1100℃以上ベース基板の融点未満

流量 : 0.1~6.0 sccm (上記原料ガスに含めるウエハ

1枚あたりのモノメチルシランの流量)

圧力 :  $1 \times 10^{-5} \sim 5 \times 10^{-4} \text{ Torr}$

後述する図24による校正後の圧力条件は、下記の値となる。

圧力 :  $1 \times 10^{-7} \sim 6 \times 10^{-5} \text{ Torr}$

- 5 なお、第1の成長段階における成膜圧力を上記のように  $4 \times 10^{-1} \text{ Torr}$  以下とすることで、成長室を加熱する抵抗型ヒータの放電劣化を抑制できる。しかしながら、誘導加熱など他の加熱方式を採用する場合は、この制約は取り除くことが可能であり、さらに成膜圧力を上げ、かつ輸送律速の領域で成膜した場合にも、本発明の効果を得ることができる。
- 10

- ここで、上記成膜圧力の下限值である  $1 \times 10^{-5} \text{ Torr}$  (後述する校正後は  $1 \times 10^{-7} \text{ Torr}$  である) は、実験に使用した成長室排気用のターボ分子ポンプの最大能力を記しただけであり、さらに成膜圧力を下げた脱離律速の領域で成膜した場合にも、本発明の効果を得ることができる。
- 15

- ここで、モノメチルシランは、爆発などの危険性が少ないガスであり、特に本発明のように、成膜中にガス供給バルブの操作、排気バルブの操作、あるいはヒータ出力の操作を必要とする成膜においては、危険性が少ない点で極めて優れている。しかしながら、本発明のSiC品質改善効果自体は、シランガスおよびプロパンガスなどの他の原料ガスを使用した場合にも、同様に得ることができる。
- 20

第1の成長段階および第2の成長段階において、それぞれエピタキシャル成長させる単結晶3C-SiCの厚みは、処理時間の長短によって調節することができる。

- 25 第1成長段階から第2成長段階への切り換えは、原料ガス流量の引き下げ、成膜圧力の引き下げ、基板温度の引き上げの少なくともいずれか

によって行うことができ、従来技術のように、単純に低温成長から高温成長に切り換えるものではない。

すなわち、原料ガスの組成または原料ガスとキャリアガスの組成と混合比率、圧力、温度を一定にしておき、原料ガスの流量を引き下げること  
5 とで、第1成長段階の輸送律速から第2成長段階の脱離律速へ切り換えることができる。

このように、上記第1の成長段階から第2の成長段階への切り替えを原料ガス流量の引き下げによって行なうことにより、設定変更に比較的  
10 時間のかかる圧力や温度を変化させず、流量の引き下げだけで速やかに切り替えを行うことができる。

また、原料ガスの組成または原料ガスとキャリアガスの組成と混合比率、流量、温度を一定にしておき、成膜圧力を引き下げること  
15 成長段階の輸送律速から第2成長段階の脱離律速へ切り換えることもできる。

このように、上記第1の成長段階から第2の成長段階への切り替えを成膜圧力の引き下げによって行なうことにより、設定変更  
20 にかける温度を変化させず、圧力の引き下げだけで切り替えを行うことができる。また、原料ガスの流量を変化させないことから、エピタキシャル成長を行う雰囲気がより安定し、単結晶3C-SiC層の成長が安定的に行われる。

また、原料ガスの組成または原料ガスとキャリアガスの組成と混合比率、流量、圧力を一定にしておき、基板温度を引き上げることで、第1  
成長段階の輸送律速から第2成長段階の脱離律速へ切り換えることも  
25 できる。

このように、上記第1の成長段階から第2の成長段階への切り替えを基板温度の引き上げによって行なうことにより、原料ガスの流量を変化

させないことから、エピタキシャル成長を行う雰囲気により安定し、単結晶 3 C - S i C 層の成長が安定的に行われる。なお、第 1 段階の輸送律速から第 2 段階の脱離律速への切り替えを、上記原料ガスの流量変更、成膜圧力の変更、基板温度の変更を組み合わせることによって行ってもよい。

このようにして得られた単結晶 3 C - S i C 基板は、ベース基板上にエピタキシャル成長によって単結晶 3 C - S i C 層が形成され、単結晶 3 C - S i C 層の表面に存在する表面ピット欠陥の数を、エピタキシャル成長直後の状態で  $8 \times 10^6$  個 /  $\text{cm}^2$  以下とすることができる。

10 このため、エピタキシャル成長の過程で単結晶 3 C - S i C 層の表面に生じる表面ピット欠陥が少ないため、後工程を簡略化し、その分コストダウンを図り、品質への影響要因を減らして品質安定性や歩留まり等の面でも有利となり、半導体デバイス等の用途として品質を確保できる。

そして、必要に応じて、エピタキシャル成長によって形成された単結晶 3 C - S i C 層の上に、さらにエピタキシャル成長により G a N 層等の他の半導体膜を形成させることが行われる。すなわち、例えば、エピタキシャル成長で得られた単結晶 3 C - S i C 基板を処理チャンバー内に配置し、上記処理チャンバー内にアンモニアガスを 1 0 0 ~ 1 0 0 0 0 s c c m 程度のガス流量で供給し、トリエチルガリウムやトリメチルガリウム等の有機 G a 系ガス、あるいは有機 A l 系ガスを約 1 s c c m 程度のガス流量で供給しながら、温度 8 0 0 ~ 1 4 0 5 ° C で処理することにより、上記単結晶 3 C - S i C 層の上に A l N 層、G a N 層、A l G a N 層等のいずれかもしくはそれらの積層構造の窒化物半導体層を形成させることができる。

25 以上のように、本実施形態の単結晶 3 C - S i C 基板の製造方法は、上記単結晶 3 C - S i C 層を、平坦性の高い表面とその中に点在する表

面ピットからなる表面状態となるよう形成する第1の成長段階と、上記第1の成長段階で得られた単結晶3C-SiC層を、上記表面ピットを埋めるようさらにエピタキシャル成長させる第2の成長段階とを行う。このように、第1の成長段階では表面ピットが形成されるものの、表面ピット以外の部分は平坦性を確保した表面性状の単結晶3C-SiC層を形成し、第2の成長段階では、表面の平坦性を維持しながら上記表面ピットを埋めて表面ピットを減少させて表面の平坦な単結晶3C-SiC層を形成する。このようにすることにより、エピタキシャル成長の過程で単結晶3C-SiC層の表面に生じる表面ピットによる欠陥が少なくなるため、後工程を簡略化し、その分コストダウンを図り、品質への影響要因を減らして品質安定性や歩留まり等の面でも有利となり、半導体デバイス等の用途として品質を確保できる。

#### 実施例

つぎに、本発明の単結晶3C-SiC基板の製法の実施例について説明する。

ベース基板としてSOI基板およびSi基板を準備し、それぞれ下記の条件で処理を行ってベース基板の調整を行った。

#### ◆SOI基板

基板厚み：725 μm

表面Si層厚み：11～25 μm

埋め込み絶縁層厚み：100～200 nm

炭化処理条件：雰囲気ガス プロパン、水素（キャリアガス）

温度 1200～1405℃、時間 10～30分

単結晶3C-SiCシード層厚み：5～7 nm

#### ◆Si基板

基板厚み：500～1000 μm

炭化処理条件：雰囲気ガス プロパン、水素（キャリアガス）

プロパン：水素＝1：100

温度 1200～1405℃、時間 10～30分

5 単結晶 3C-SiC シード層厚み：5～7 nm

引き続き、上記のようにして調整したベース基板にエピタキシャル成長により単結晶 3C-SiC 層を成長させた。本実施例では、上記エピタキシャル成長において、1回の処理につきベース基板を1枚エピタキシャル成長できる装置を用いた。ただし、本発明は、このような枚葉タイプのエピタキシャル装置に限るものではない。

下記の表1は、上記のようにして調整したベース基板について、エピタキシャル成長により単結晶 3C-SiC 層を成長させた処理条件の一覧である。

実施例1～3は、SOI基板をベース基板とし、圧力条件およびウエハ1枚あたりのモノメチルシランの流量を一定にし、温度条件を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

実施例4は、SOI基板をベース基板とし、圧力条件を一定にし、温度条件およびウエハ1枚あたりのモノメチルシランの流量を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

実施例5～6は、Si基板をベース基板とし、圧力条件およびウエハ1枚あたりのモノメチルシランの流量を一定にし、温度条件を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

実施例7は、Si基板をベース基板とし、圧力条件を一定にし、温度

条件およびウエハ1枚あたりのモノメチルシランの流量を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

5 実施例17は、SOI基板をベース基板とし、温度条件は一定、圧力条件は $5 \times 10^{-4} \sim 9 \times 10^{-4}$  Torr（後述する校正後は $3 \times 10^{-5} \sim 1 \times 10^{-4}$  Torrである）とほぼ一定にし、ウエハ1枚あたりのモノメチルシランの流量を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

10 実施例18は、SOI基板をベース基板とし、温度条件を一定にし、圧力およびウエハ1枚あたりのモノメチルシランの流量を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

15 実施例19は、Si基板をベースとし、圧力条件を $2 \times 10^{-4} \sim 5 \times 10^{-4}$  Torr（後述する校正後は $1 \times 10^{-5} \sim 3 \times 10^{-5}$  Torrである）とほぼ一定にし、温度条件およびウエハ1枚あたりのモノメチルシランの流量を変化させることで第1成長段階（輸送律速）→第2成長段階（脱離律速）の切り替えを行ってそれぞれエピタキシャル成長させたものである。

20 すなわち、上記第1の成長段階において、成膜圧力が $9 \times 10^{-4}$  Torr（後述する校正後は $1 \times 10^{-4}$  Torrである）以下であり、上記第1の成長段階から第2の成長段階への切り替えを、原料ガス流量の引き下げ、基板温度の引き上げの少なくともいずれかによって行った。

25 また、上記第1の成長段階において、成膜圧力が $1 \times 10^{-1}$  Torr以上であり、上記第1の成長段階から第2の成長段階への切り替えを、少なくとも成膜圧力の引き下げによって行った。

なお、律速段階はつぎのようにして決定した。

すなわち、3C-SiCシード層上に、原料ガス、雰囲気、流量、圧力、温度を固定して約1 $\mu$ m厚の3C-SiCエピタキシャル層を成長させた。この際、原料ガス、雰囲気、流量、圧力は、実施例および比較例に記載の第1成長段階および第2成長段階で使用した各々の条件とし、10~50 $^{\circ}$ C刻みの様々な基板温度で成長を行った。

ついで、各々の成膜条件について、SiC層の厚みを保持時間で割ることにより平均成長速度を算出した。基板温度については、あらかじめ熱電対付きの基板などを用いて基板温度とヒーター温度の校正曲線を取得し、成長時のヒーター温度から上記校正曲線を用いて各々の成長条件について求めた。得られた平均成長速度と基板温度のデータから、図1に示すような律速段階を判定する曲線を作成した。作成した曲線と実施例および比較例に記載の第1成長段階および第2成長段階の条件を比較し、「発明の効果」の項で述べた律速判定条件により、各々の成長条件の律速段階を決定した。

比較例は、いずれもSOI基板をベース基板としたものである。

比較例8は、輸送律速の第1段階のみでエピタキシャル成長を行ったものである。

比較例9は、脱離律速の第1段階のみでエピタキシャル成長を行ったものである。

比較例10は、第1段階を反応律速で、第2段階を脱離律速でエピタキシャル成長したものである。

比較例11は、第1段階を輸送律速でエピタキシャル成長した後、モノメチルシランの流量を変化させて第2段階も輸送律速でエピタキシャル成長したものである。

比較例12は、第1段階を脱離律速で、第2段階は輸送律速でエピタ

キシャル成長し、第1段階終了後の単結晶3C-SiC層の厚みを500nm未満にしたものである。

比較例13は、輸送律速の第1段階のみを高圧力条件でエピタキシャル成長を行ったものである。

- 5 比較例14は、第1段階を脱離律速で、第2段階は輸送律速でエピタキシャル成長し、第1段階終了後の単結晶3C-SiC層の厚みを500nm未満にしたものである。

比較例15、比較例16は、脱離律速のみでエピタキシャル成長したものである。

10

表1

	第1成長段階						第2成長段階						結果	
	ベース基板	基板温度 (°C)	成膜圧力 (Torr)	モノメチルシラン (sccm)	律速段階	SIC膜厚 X (nm)	基板温度 (°C)	成膜圧力 (Torr)	モノメチルシラン (sccm)	律速段階	SIC膜厚 Y (nm)	SIC膜厚 X+Y (nm)	ビット密度 (個/cm <sup>2</sup> )	品質判定
実施例1	SOI	990	5*10 <sup>-4</sup>	3.0	輸送	1300	1100	5*10 <sup>-4</sup>	3.0	脱離	1300	2600	8*10 <sup>6</sup>	◎
実施例2	SOI	990	5*10 <sup>-4</sup>	3.0	輸送	1300	1100	5*10 <sup>-4</sup>	3.0	脱離	2000	3300	4*10 <sup>6</sup>	◎
実施例3	SOI	1010	5*10 <sup>-4</sup>	3.0	輸送	1300	1100	5*10 <sup>-4</sup>	3.0	脱離	3700	5000	<10 <sup>6</sup>	◎
実施例4	SOI	990	5*10 <sup>-4</sup>	3.0	輸送	1900	1100	5*10 <sup>-4</sup>	1.5	脱離	1500	3400	2*10 <sup>6</sup>	◎
実施例5	Si	990	5*10 <sup>-4</sup>	3.0	輸送	1500	1100	5*10 <sup>-4</sup>	3.0	脱離	1400	2900	4*10 <sup>6</sup>	◎
実施例6	Si	990	5*10 <sup>-4</sup>	3.0	輸送	2200	1100	5*10 <sup>-4</sup>	3.0	脱離	1400	3600	6*10 <sup>6</sup>	◎
実施例7	Si	990	5*10 <sup>-4</sup>	3.0	輸送	2200	1100	5*10 <sup>-4</sup>	1.5	脱離	1200	3400	8*10 <sup>6</sup>	◎
比較例8	SOI	990	5*10 <sup>-4</sup>	3.0	輸送	1300	-	-	-	-	-	1300	>10 <sup>6</sup>	X
比較例9	SOI	1070	5*10 <sup>-4</sup>	3.0	脱離	800	-	-	-	-	-	800	表面荒れ	X X
比較例10	SOI	950	5*10 <sup>-4</sup>	3.0	反応	N.D.	1100	5*10 <sup>-4</sup>	3.0	脱離	N.D.	1800	>10 <sup>6</sup>	X
比較例11	SOI	1050	5*10 <sup>-4</sup>	3.0	輸送	1100	1050	9*10 <sup>-4</sup>	10.0	輸送	1000	2100	>10 <sup>6</sup>	X
比較例12	SOI	1100	5*10 <sup>-4</sup>	2.0	脱離	<500	990	5*10 <sup>-4</sup>	3.0	輸送	1800	1600	>10 <sup>6</sup>	X
比較例13	SOI	1100	1*10 <sup>-1</sup>	3.0	輸送	1500	-	-	-	-	-	1500	>10 <sup>6</sup>	X
比較例14	SOI	1100	5*10 <sup>-4</sup>	2.0	脱離	<500	1070	1*10 <sup>-1</sup>	2.0	輸送	1500	1500	>10 <sup>6</sup>	X
比較例15	SOI	990	5*10 <sup>-4</sup>	0.3	脱離	<500	-	-	-	-	-	<500	>10 <sup>6</sup>	X
比較例16	SOI	1070	5*10 <sup>-4</sup>	1.0	脱離	<500	-	-	-	-	-	<500	表面荒れ	X X
実施例17	SOI	1100	9*10 <sup>-4</sup>	10.0	輸送	1700	1100	5*10 <sup>-4</sup>	3.0	脱離	1700	3400	<10 <sup>6</sup>	◎
実施例18	SOI	1100	1*10 <sup>-1</sup>	2.0	輸送	900	1100	5*10 <sup>-4</sup>	3.0	脱離	1700	2600	<10 <sup>6</sup>	◎
実施例19	Si	1010	5*10 <sup>-4</sup>	3.0	輸送	2900	1100	2*10 <sup>-4</sup>	1.5	脱離	700	3600	2*10 <sup>6</sup>	◎

◎ : ビット密度 <8\*10<sup>6</sup>(個/cm<sup>2</sup>)  
 ○ : ビット密度 >8\*10<sup>6</sup><1\*10<sup>7</sup>(個/cm<sup>2</sup>)  
 △ : ビット密度 >1\*10<sup>7</sup><1\*10<sup>8</sup>(個/cm<sup>2</sup>)  
 X : ビット密度 >1\*10<sup>8</sup>(個/cm<sup>2</sup>)  
 X X : 表面荒れ、平坦面なし

ここで、上記表1の成膜圧力については、バラトロン真空計による読み取り値であり、精度的な信頼度がそれほど高くないと思われ、特に低圧側においてその傾向が強いと思われた。そこで、成膜圧力について校正

5 正曲線を取得し、値の校正を行った。

校正曲線は、測定値の信頼性が高い熱陰極真空計を併用し、950℃～1100℃の所定温度において、処理チャンバー内に各流量で原料ガスを供給したときの処理チャンバー出口の圧力を計測し、各温度を基板温度として、原料ガスの流量に対する圧力変化をプロットすることにより取得した。

図23は、上記のようにして得た構成曲線である。

このようにして得られた校正曲線から、表1の成膜圧力について必要な校正を行ったものが下記の表2である。

## 10 表2

	第1成長段階			第2成長段階			結果			備考					
	基板温度 (°C)	成膜圧力 (Torr)	モノメチルシラン (sccm)	律速段階	SIC膜厚 X (nm)	基板温度 (°C)	成膜圧力 (Torr)	モノメチルシラン (sccm)	律速段階		SIC膜厚 Y (nm)	SIC膜厚 X+Y (nm)	表面ビット密度 (個/cm <sup>2</sup> )	品質判定	
実施例1	SOI	990	3*10 <sup>-5</sup>	3.0	輸送	1300	1100	3*10 <sup>-5</sup>	3.0	脱離	1300	2600	8*10 <sup>6</sup>	◎	温度変化で輸送⇒脱離
実施例2	SOI	990	3*10 <sup>-5</sup>	3.0	輸送	1300	1100	3*10 <sup>-5</sup>	3.0	脱離	2000	3300	4*10 <sup>6</sup>	◎	温度変化で輸送⇒脱離
実施例3	SOI	1010	3*10 <sup>-5</sup>	3.0	輸送	1300	1100	3*10 <sup>-5</sup>	3.0	脱離	3700	5000	<10 <sup>6</sup>	◎	温度変化で輸送⇒脱離
実施例4	SOI	980	3*10 <sup>-5</sup>	3.0	輸送	1900	1100	1*10 <sup>-5</sup>	1.5	脱離	1500	3400	2*10 <sup>6</sup>	◎	温度・流量変化で輸送⇒脱離
実施例5	Si	990	3*10 <sup>-5</sup>	3.0	輸送	1500	1100	3*10 <sup>-5</sup>	3.0	脱離	1400	2900	4*10 <sup>6</sup>	◎	温度変化で輸送⇒脱離
実施例6	Si	990	3*10 <sup>-5</sup>	3.0	輸送	2200	1100	3*10 <sup>-5</sup>	3.0	脱離	1400	3600	6*10 <sup>6</sup>	◎	温度変化で輸送⇒脱離
実施例7	Si	990	3*10 <sup>-5</sup>	3.0	輸送	2200	1100	1*10 <sup>-5</sup>	1.5	脱離	1200	3400	8*10 <sup>6</sup>	◎	温度・流量変化で輸送⇒脱離
比較例8	SOI	990	3*10 <sup>-5</sup>	3.0	輸送	1300	-	-	-	-	-	1300	>10 <sup>6</sup>	X	輸送第1のみ
比較例9	SOI	1070	3*10 <sup>-5</sup>	3.0	脱離	800	-	-	-	-	-	800	表面荒れ	X X	脱離第1のみ
比較例10	SOI	950	2*10 <sup>-5</sup>	3.0	反応	N.D.	1100	3*10 <sup>-5</sup>	3.0	脱離	N.D.	1800	>10 <sup>6</sup>	X	反応第1+脱離第2
比較例11	SOI	1050	3*10 <sup>-5</sup>	3.0	輸送	1100	1050	1*10 <sup>-4</sup>	10.0	輸送	1000	2100	>10 <sup>6</sup>	X	輸送第1+輸送第2(流量高)
比較例12	SOI	1100	2*10 <sup>-5</sup>	2.0	脱離	<500	990	3*10 <sup>-5</sup>	3.0	輸送	1600	1600	>10 <sup>6</sup>	X	脱離第1(第1層膜厚<500nm)+輸送第2
比較例13	SOI	1100	1*10 <sup>-1</sup>	3.0	輸送	1500	-	-	-	-	-	1500	>10 <sup>6</sup>	X	輸送第1のみ(圧力高)
比較例14	SOI	1100	2*10 <sup>-5</sup>	2.0	脱離	<500	1070	1*10 <sup>-1</sup>	2.0	輸送	1500	1500	>10 <sup>6</sup>	X	脱離第1(第1層膜厚<500nm)+輸送第2
比較例15	SOI	990	2*10 <sup>-6</sup>	0.3	脱離	<500	-	-	-	-	-	<500	>10 <sup>6</sup>	X	脱離第1のみ(流量低)
比較例16	SOI	1070	9*10 <sup>-6</sup>	1.0	脱離	<500	-	-	-	-	-	<500	表面荒れ	X X	脱離第1のみ(温度高、流量低)
実施例17	SOI	1100	1*10 <sup>-4</sup>	10.0	輸送	1700	1100	3*10 <sup>-5</sup>	3.0	脱離	1700	3400	<10 <sup>6</sup>	◎	流量変化で輸送⇒脱離
実施例18	SOI	1100	1*10 <sup>-1</sup>	2.0	輸送	900	1100	3*10 <sup>-5</sup>	3.0	脱離	1700	2600	<10 <sup>6</sup>	◎	圧力・流量変化で輸送⇒脱離
実施例19	Si	1010	3*10 <sup>-5</sup>	3.0	輸送	2900	1100	1*10 <sup>-5</sup>	1.5	脱離	700	3600	2*10 <sup>6</sup>	◎	温度・流量変化で輸送⇒脱離

◎ : 表面ビット密度 <8\*10<sup>6</sup>(個/cm<sup>2</sup>)  
 ○ : 表面ビット密度 >8\*10<sup>6</sup><1\*10<sup>7</sup>(個/cm<sup>2</sup>)  
 △ : 表面ビット密度 >1\*10<sup>7</sup><1\*10<sup>8</sup>(個/cm<sup>2</sup>)  
 X : 表面nビット密度 >1\*10<sup>8</sup>(個/cm<sup>2</sup>)  
 X X : 表面荒れ、平坦面なし

図4～図10は、それぞれ実施例1、2、3、4、5、6、7で得ら

れた単結晶 3C-SiC 基板の表面状態および表層部の 3C-SiC 層の断面 SEM 写真を示す。

図 11~19 は、それぞれ比較例 8、9、10、11、12、13、14、15、16 で得られた単結晶 3C-SiC 基板の表面状態および表層部の 3C-SiC 層の断面 SEM 写真を示す。

図 20~22 は、実施例 17~19 で得られた単結晶 3C-SiC 基板の表面状態および表層部の 3C-SiC 層の断面 SEM 写真を示す。

上記表 1 および表 2 には、上記各条件による実施例 1~7、実施例 17~19、比較例 8~16 について、第 1 段階による単結晶 3C-SiC 層の膜厚 (X)、第 2 段階による単結晶 3C-SiC 層の膜厚 (Y)、それらの合計膜厚 (X+Y)、表面の三角形状欠陥 (表面ピット) の密度 (個/cm<sup>2</sup>)、単結晶 3C-SiC 基板の表面状態を品質判定した結果を示している。

なお、単結晶 3C-SiC 層の膜厚は、断面 SEM 写真から計測して求めた。単結晶 3C-SiC 層の表面ピット密度は、表面 SEM 写真から単位面積当たりのピット数を計測して求めた。

実施例 1~7、17~19 の結果をみると、ベース基板として SOI 基板を使用した場合も、Si 基板を使用した場合も、いずれも表面ピット数、表面ピット密度が少なく、結晶性のよい十分な膜厚の単結晶 3C-SiC 層が得られていることがわかる。

これに対し、比較例 8~16 の結果をみると、いずれも表面に多くの表面ピットや突起が存在して表面状態が明らかに悪く、結晶性も悪い SiC 層であることがわかる。

## 25 産業上の利用可能性

本発明は、大規模集積回路等に用いる半導体基板の製造等に適用する

ことができる。

符号の説明

	1	S O I 基板
5	2	S i 母材
	3	表面 S i 層
	4	埋め込み絶縁層 (酸化物層)
	5	シード層 (単結晶 3 C - S i C 層)
	6	一次単結晶 3 C - S i C 層
10	7	二次単結晶 3 C - S i C 層

## 請求の範囲

1. ベース基板上にエピタキシャル成長によって単結晶 3C-SiC 層を形成させる単結晶 3C-SiC 基板の製造方法であって、
- 5 上記単結晶 3C-SiC 層を、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるよう形成する第 1 の成長段階と、  
上記第 1 の成長段階で得られた単結晶 3C-SiC 層を、上記表面ピットを埋めるようさらにエピタキシャル成長させる第 2 の成長段階とを行うことを特徴とする単結晶 3C-SiC 基板の製造方法。
- 10
2. 上記第 1 の成長段階は輸送律速の領域でエピタキシャル成長させ、  
上記第 2 の成長段階は脱離律速の領域でエピタキシャル成長させる請求項 1 記載の単結晶 3C-SiC 基板の製造方法。
- 15 3. 上記第 1 の成長段階から第 2 の成長段階への切り替えを、原料ガス流量の引き下げ、成膜圧力の引き下げ、基板温度の引き上げの少なくともいずれかによって行う請求項 1 または 2 記載の単結晶 3C-SiC 基板の製造方法。
- 20 4. 少なくとも表層部分が Si を含有する半導体結晶からなるベース基板を用いる請求項 1 ~ 3 のいずれか一項に記載の単結晶 3C-SiC 基板の製造方法。
- 25 5. 少なくとも表層部分が Si からなるベース基板を用い、上記ベース基板の表層部の Si を炭化处理して SiC 層に変成させ、上記 SiC 層をシード層として、上記第 1 の成長段階および第 2 の成長段階のエピタ

- キシャル成長を行なう請求項 1～4 のいずれか一項に記載の単結晶 3 C - S i C 基板の製造方法。
6. 上記ベース基板上に、エピタキシャル成長によって単結晶 3 C - S i C 層を形成する際の原料ガスの主成分がモノメチルシランである請求項 1～5 のいずれか一項に記載の単結晶 3 C - S i C 基板の製造方法。
7. 上記第 1 の成長段階において、基板温度が 9 7 0 ° C 以上 1 1 2 0 ° C 以下、上記原料ガス中に含めるウエハ 1 枚あたりのモノメチルシランの流量が 1 . 0 s c c m 以上 3 0 . 0 s c c m 以下、成膜圧力が  $9 \times 1 0^{-6}$  T o r r を超え  $4 \times 1 0^{-1}$  T o r r 以下であり、
- 上記第 2 の成長段階において、上記原料ガス中に含めるウエハ 1 枚あたりのモノメチルシランの流量が 6 . 0 s c c m 以下、基板温度が 1 1 0 0 ° C 以上ベース基板の融点未満、成膜圧力が  $1 \times 1 0^{-7}$  T o r r 以上、 $6 \times 1 0^{-5}$  T o r r 以下である請求項 6 記載の単結晶 3 C - S i C 基板の製造方法。
8. ベース基板上にエピタキシャル成長によって形成された単結晶 3 C - S i C 層の主面方位が ( 1 1 1 ) である請求項 1～7 のいずれか一項に記載の単結晶 3 C - S i C 基板の製造方法。
9. ベース基板上にエピタキシャル成長によって単結晶 3 C - S i C 層が形成された単結晶 3 C - S i C 基板であって、単結晶 3 C - S i C 層の表面に存在する表面ピットによる欠陥の数が、エピタキシャル成長直後の状態で  $8 \times 1 0^6$  個 /  $\text{cm}^2$  以下であることを特徴とする単結晶 3 C - S i C 基板。

## 補正された請求の範囲

[2011年7月8日 (08.07.2011) 国際事務局受理]

1. ベース基板上にエピタキシャル成長によって単結晶 3 C - S i C 層を形成させる単結晶 3 C - S i C 基板の製造方法であって、
- 5 上記単結晶 3 C - S i C 層を、平坦性の高い表面とその中に点在する表面ピットからなる表面状態となるよう形成する第 1 の成長段階と、
- 上記第 1 の成長段階で得られた単結晶 3 C - S i C 層を、上記表面ピットを埋めるようさらにエピタキシャル成長させる第 2 の成長段階とを行うことを特徴とする単結晶 3 C - S i C 基板の製造方法。
- 10
2. 上記第 1 の成長段階は輸送律速の領域でエピタキシャル成長させ、
- 上記第 2 の成長段階は脱離律速の領域でエピタキシャル成長させる請求項 1 記載の単結晶 3 C - S i C 基板の製造方法。
- 15
3. 上記第 1 の成長段階から第 2 の成長段階への切り替えを、原料ガス流量の引き下げ、成膜圧力の引き下げ、基板温度の引き上げの少なくともいずれかによって行う請求項 1 または 2 記載の単結晶 3 C - S i C 基板の製造方法。
- 20
4. 少なくとも表層部分が S i を含有する半導体結晶からなるベース基板を用いる請求項 1 ~ 3 のいずれか一項に記載の単結晶 3 C - S i C 基板の製造方法。
5. 少なくとも表層部分が S i からなるベース基板を用い、上記ベース
- 25 基板の表層部の S i を炭化处理して S i C 層に変成させ、上記 S i C 層をシード層として、上記第 1 の成長段階および第 2 の成長段階のエピタ

キシヤル成長を行なう請求項 1～4 のいずれか一項に記載の単結晶 3 C  
- S i C 基板の製造方法。

6. 上記ベース基板上に、エピタキシヤル成長によって単結晶 3 C - S  
5 i C 層を形成する際の原料ガスの主成分がモノメチルシランである請求  
項 1～5 のいずれか一項に記載の単結晶 3 C - S i C 基板の製造方法。

7. 上記第 1 の成長段階において、基板温度が 9 7 0 °C 以上 1 1 2 0 °C  
以下、上記原料ガス中に含めるウエハ 1 枚あたりのモノメチルシランの  
10 流量が 1. 0 s c c m 以上 3 0. 0 s c c m 以下、成膜圧力が  $9 \times 1 0$   
 $- 6$  T o r r を超え  $4 \times 1 0^{-1}$  T o r r 以下であり、

上記第 2 の成長段階において、上記原料ガス中に含めるウエハ 1 枚あ  
たりのモノメチルシランの流量が 6. 0 s c c m 以下、基板温度が 1 1  
0 0 °C 以上ベース基板の融点未満、成膜圧力が  $1 \times 1 0^{-7}$  T o r r 以上、  
15  $6 \times 1 0^{-5}$  T o r r 以下である請求項 6 記載の単結晶 3 C - S i C 基  
板の製造方法。

8. ベース基板上にエピタキシヤル成長によって形成された単結晶 3 C  
- S i C 層の主面方位が ( 1 1 1 ) である請求項 1～7 のいずれか一項  
20 に記載の単結晶 3 C - S i C 基板の製造方法。

9. (補正後) ベース基板上にエピタキシヤル成長によって単結晶 3 C -  
S i C 層が形成された単結晶 3 C - S i C 基板であって、単結晶 3 C -  
S i C 層の表面に存在する表面ピットによる欠陥の数が、エピタキシヤ  
25 ル成長直後の状態で  $8 \times 1 0^6$  個 /  $c m^2$  以下であり、主面方位が ( 1 0  
0 ) 以外であることを特徴とする単結晶 3 C - S i C 基板。

10. (追加) ベース基板の上にエピタキシャル成長によって形成された単結晶 3C-SiC 層の主面方位が (111) である請求項 9 記載の単結晶 3C-SiC 基板。

## 条約19条(1)に基づく説明書

請求の範囲第9項は、ベース基板上にエピタキシャル成長によって形成された単結晶3C-SiC層の主面方位が(100)以外であることを明確にした。

請求の範囲第10項は、ベース基板上にエピタキシャル成長によって形成された単結晶3C-SiC層の主面方位が(111)であることを明確にした。

引用文献は、エピタキシャル成長によって形成される3C-単結晶SiC層に関し、主面方位が(100)以外であること、主面方位が(111)であることについての開示がない。

本願発明は、主面方位が(100)以外の(111)面で平坦性を確保しながら欠陥の少ない単結晶3C-SiC層を得ることができ、半導体デバイスとしての品質を確保した単結晶3C-SiC基板を安価に製造することができる。

図 1

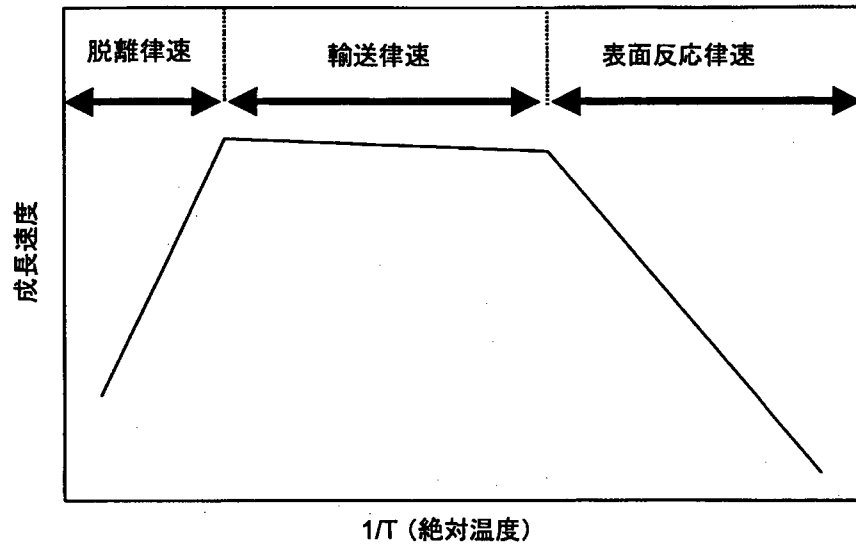


図 2

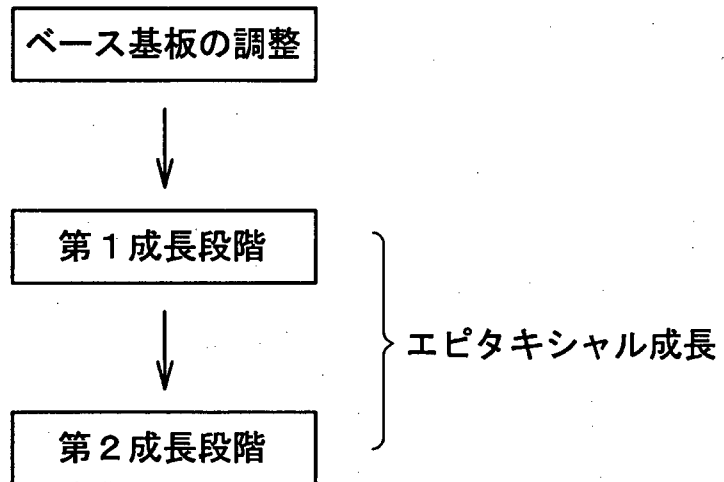


図 3

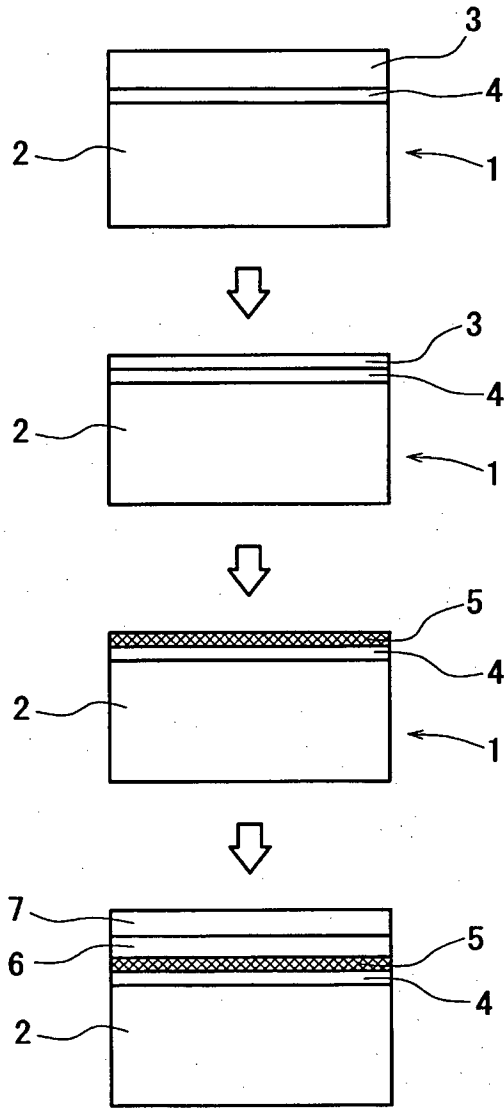


図 4

実施例 1 SEM表面、断面

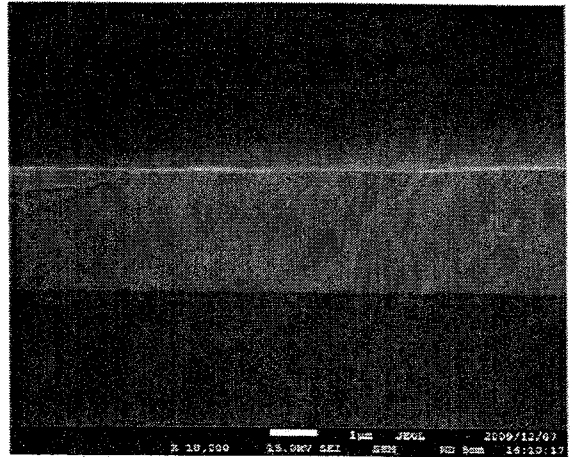
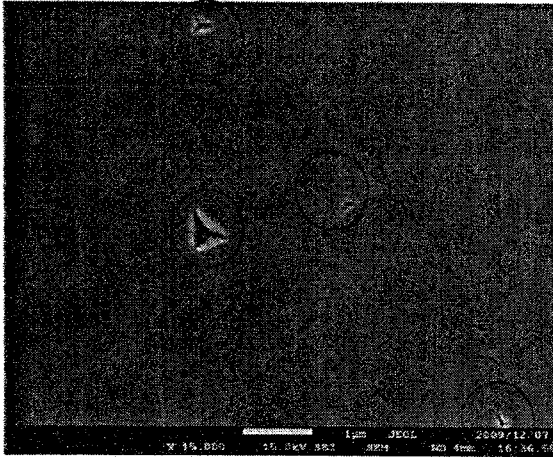


図 5

実施例 2 SEM表面、断面

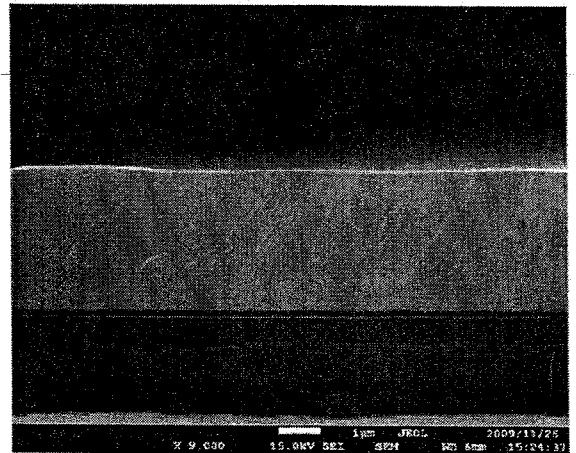


图 6

实施例 3 SEM 表面、断面

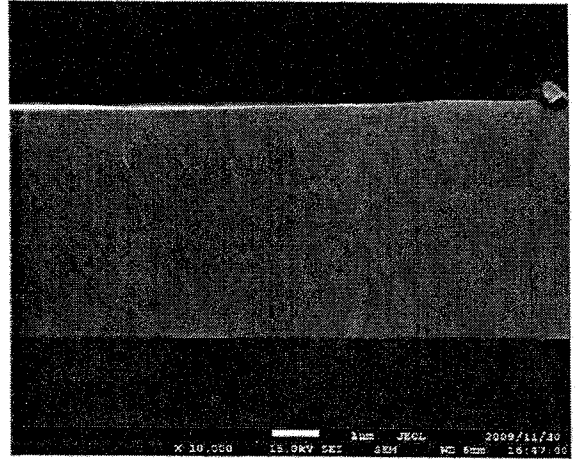
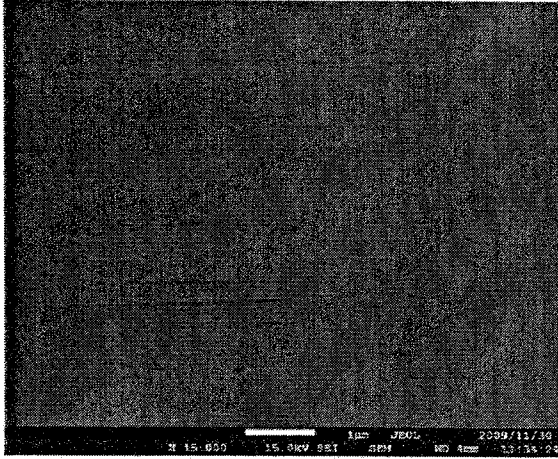


图 7

实施例 4 SEM 表面、断面

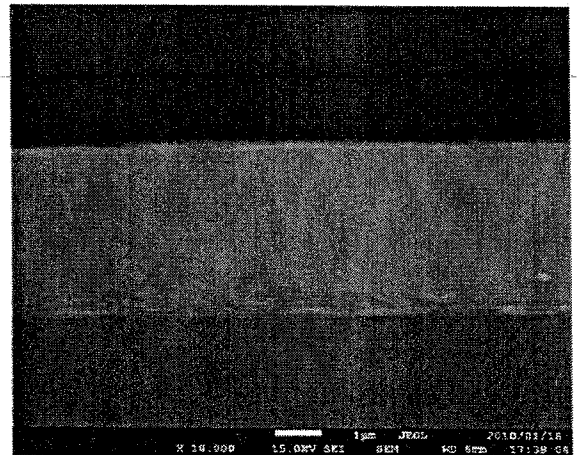
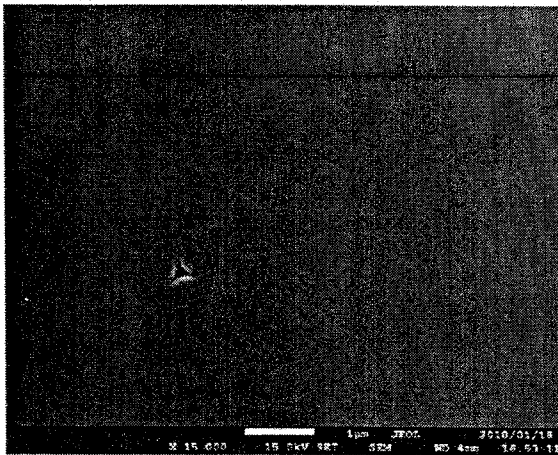


図 8

実施例 5 SEM 表面、断面

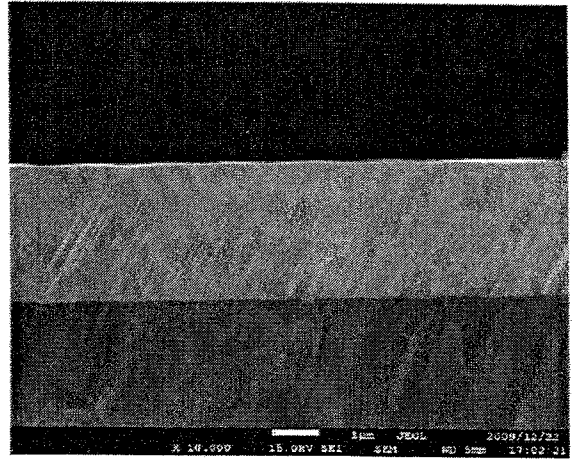
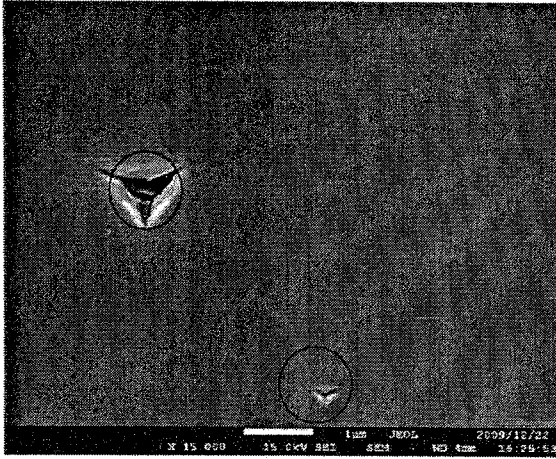


図 9

実施例 6 SEM 表面、断面

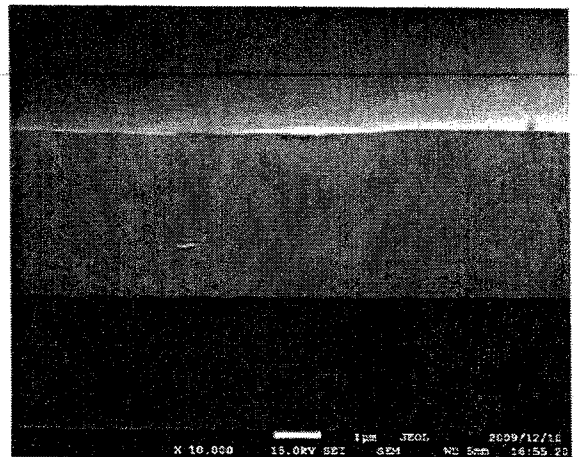
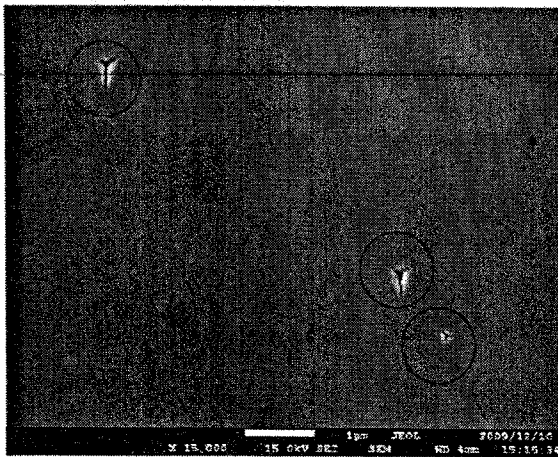


図 1 0

実施例 7 SEM 表面、断面

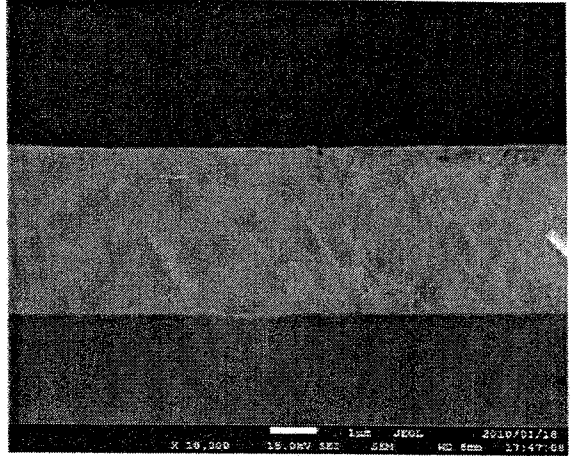
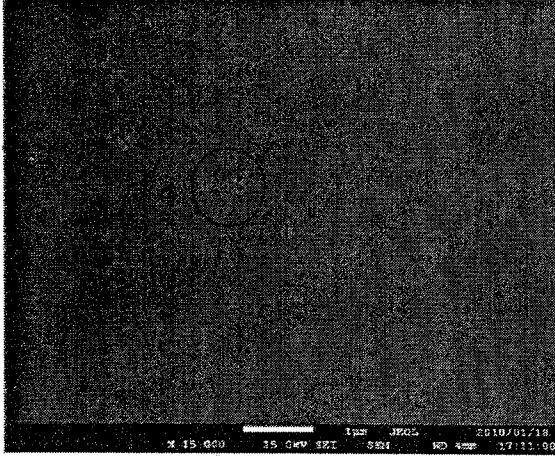


図 1 1

比較例 8

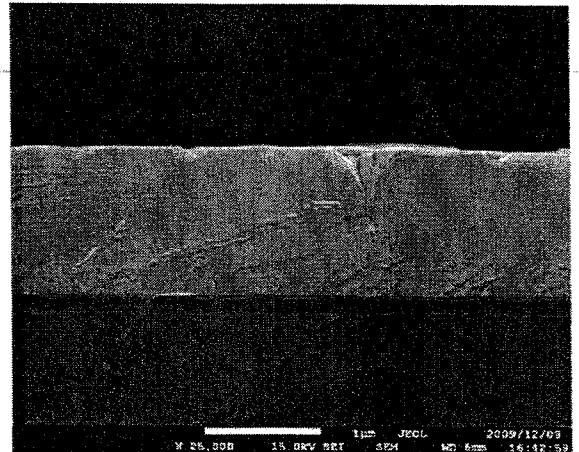
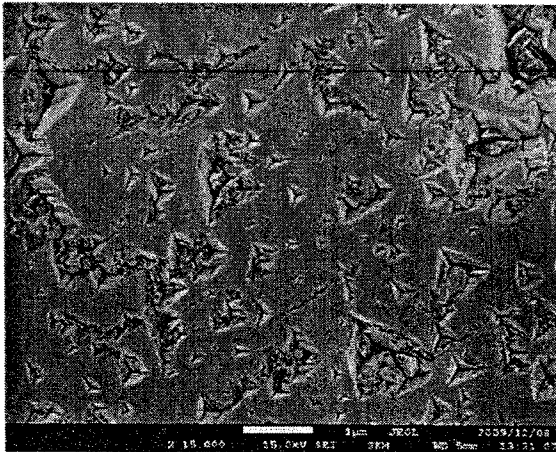


図 1 2

比較例 9

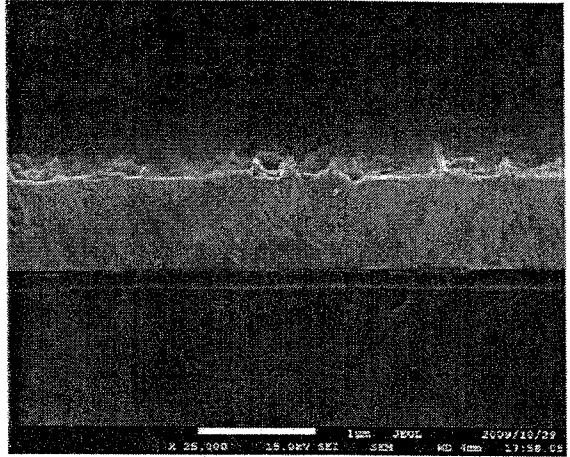
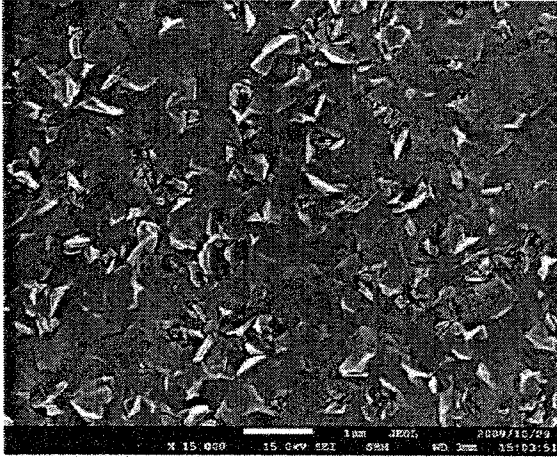


図 1 3

比較例 10 SEM 表面、断面

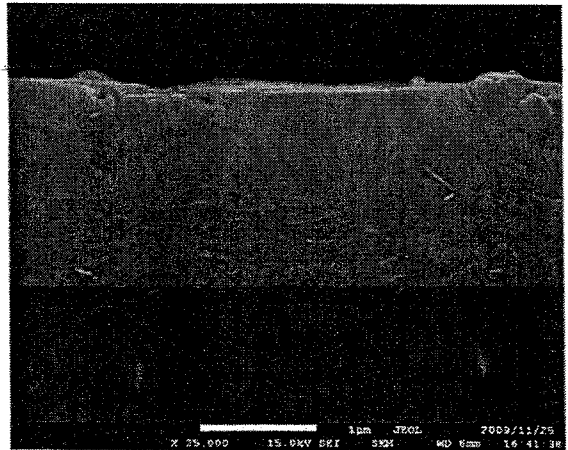
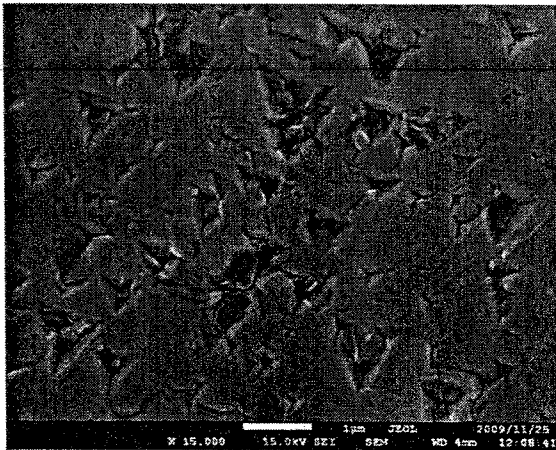


図 1 4

比較例 11 SEM 表面、断面

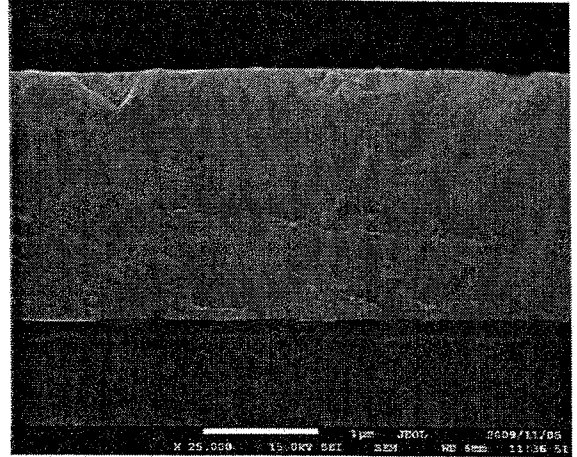
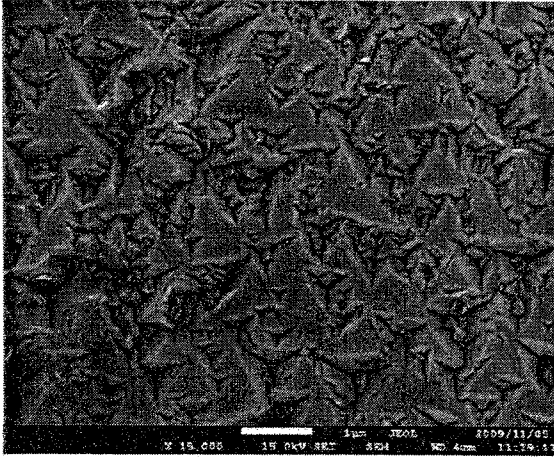


図 1 5

比較例 12 SEM 表面、断面

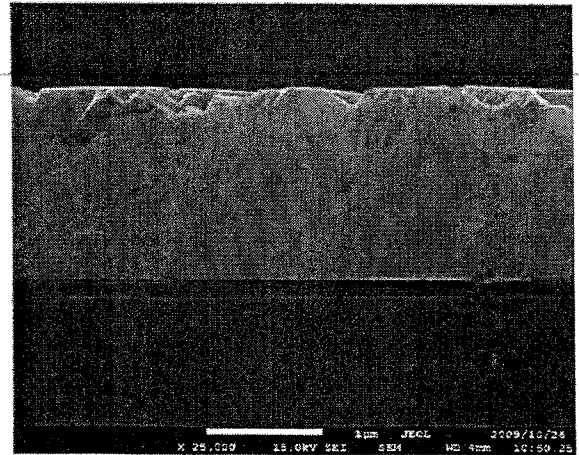
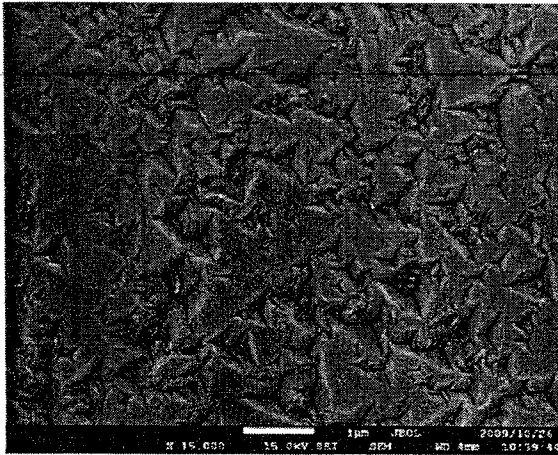


図 1 6

比較例 13 SEM 表面、断面

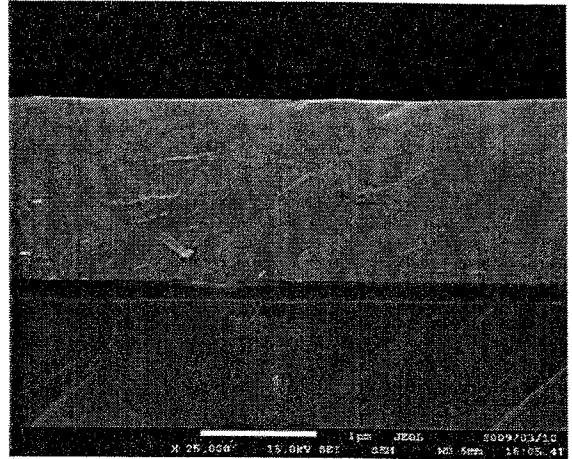
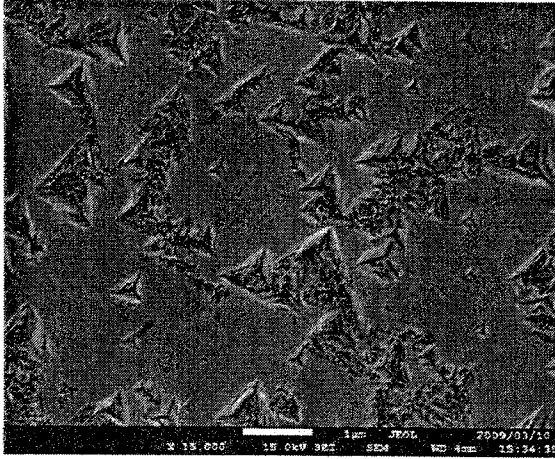


図 1 7

比較例 14 SEM 表面、断面

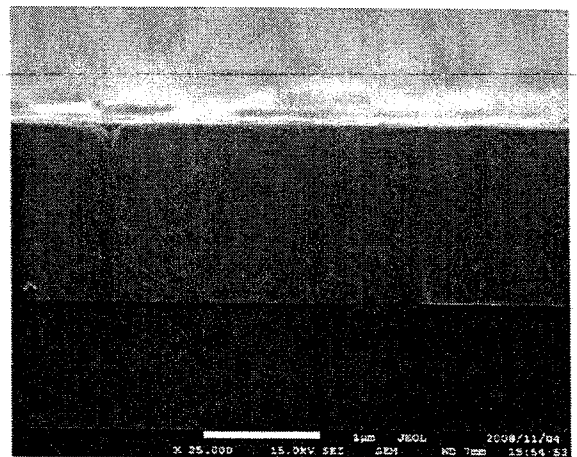
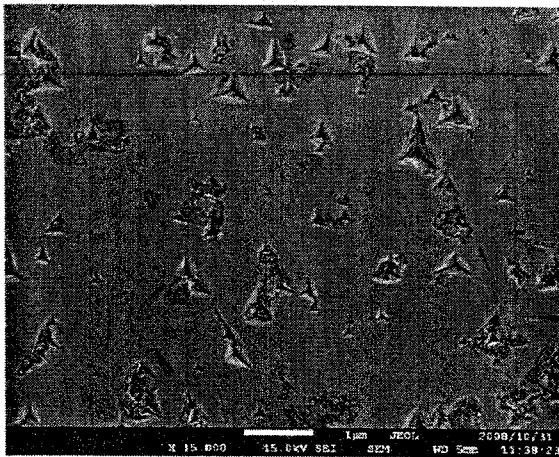


図 1 8

比較例 15 SEM 表面、断面

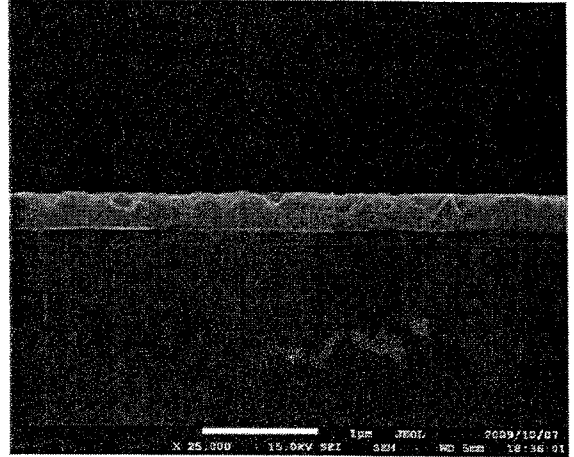
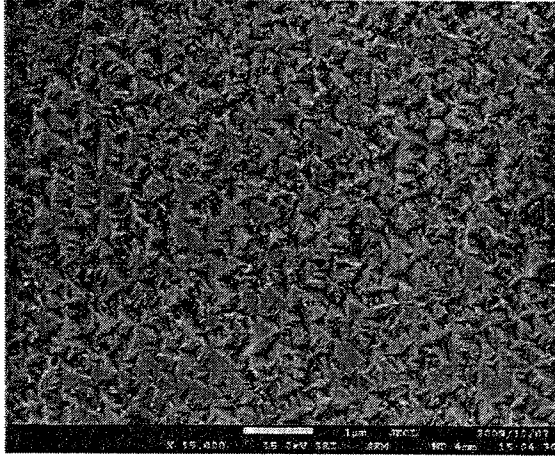


図 1 9

比較例 16 SEM 表面、断面

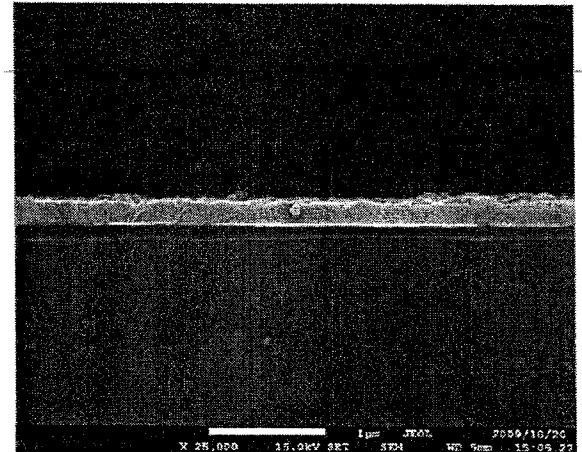
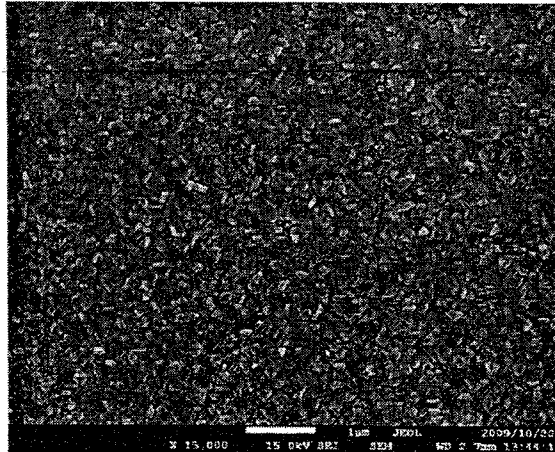


图 2 0

实施例 17 SEM 表面、断面

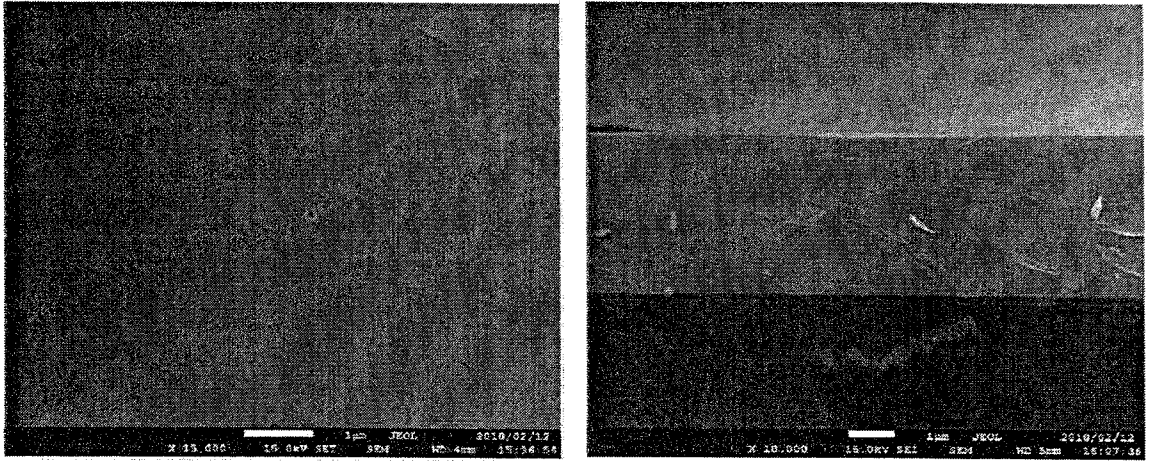


图 2 1

实施例 18 SEM 表面、断面

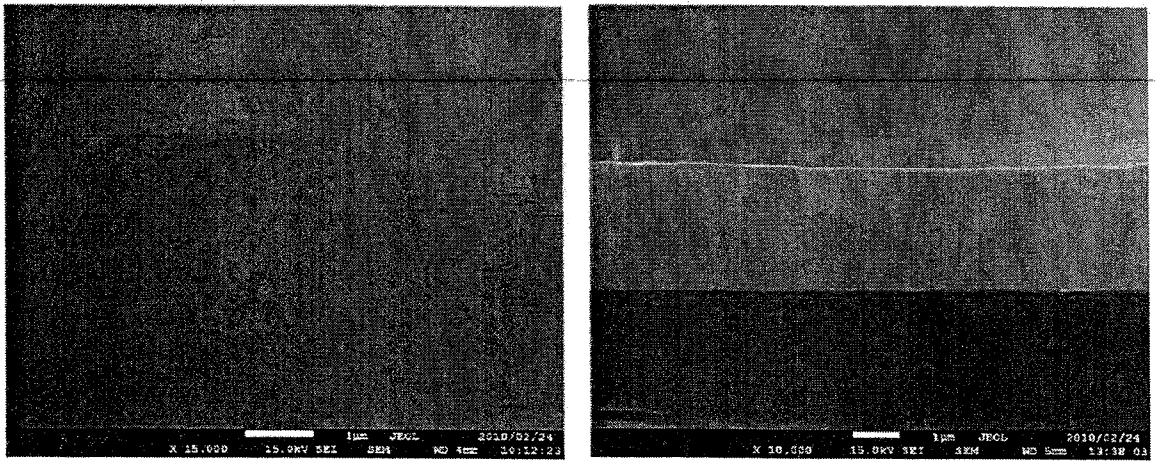


図 2 2

実施例19 SEM 表面、断面

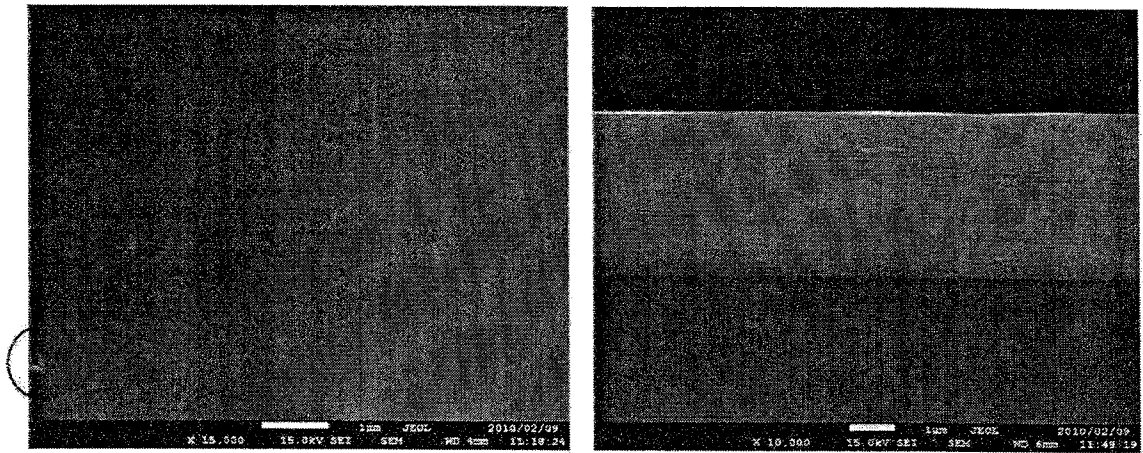
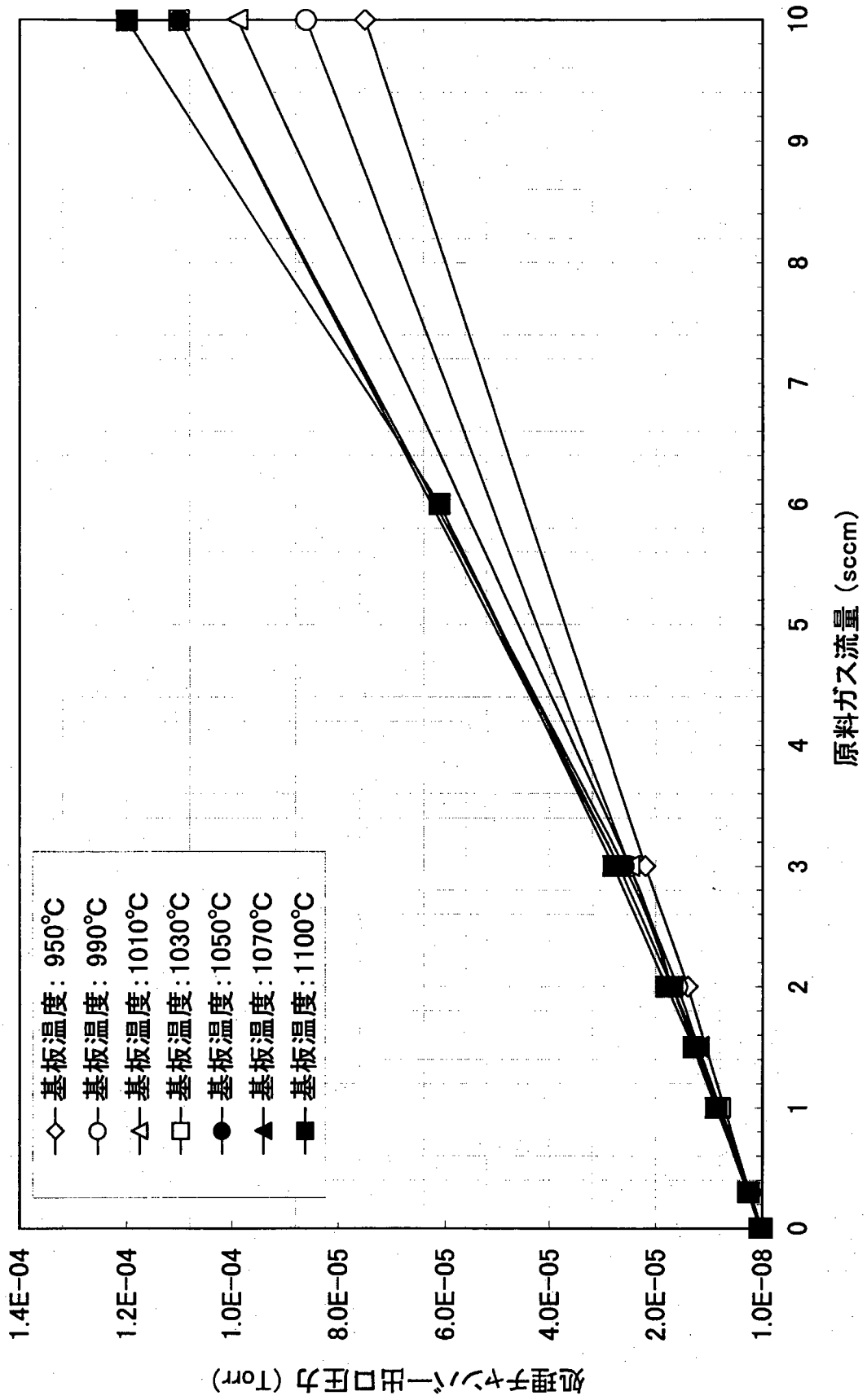


図 2 3



## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056518

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> C30B29/36(2006.01) i, C30B25/20(2006.01) i, H01L21/20(2006.01) i, H01L21/205(2006.01) i  According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) C30B29/36, C30B25/20, H01L21/20, H01L21/205  Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011 Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011  Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	Tomoaki HATAYAMA et al., "Low-temperature heteroepitaxy of 3C-SiC on Si using dimethylgermane", Extended Abstracts, Japan Society of Applied Physics and Related Societies 1997 Supring, no.1, The Japan Society of Applied Physics, 28 March 1997 (28.03.1997), page 283, 29a-SS-4	9
X	JP 2002-338395 A (Hoya Corp.), 27 November 2002 (27.11.2002), paragraphs [0040] to [0041] & US 2003/0040167 A1 & EP 1258544 A1 & DE 60200261 D	9
<input checked="" type="checkbox"/> Further documents are listed in the continuation of Box C. <input type="checkbox"/> See patent family annex.		
* Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 25 May, 2011 (25.05.11)		Date of mailing of the international search report 07 June, 2011 (07.06.11)
Name and mailing address of the ISA/ Japanese Patent Office		Authorized officer
Facsimile No.		Telephone No.

## INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/056518

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2004-336079 A (Hoya Corp.), 25 November 2004 (25.11.2004), paragraphs [0043] to [0045] (Family: none)	9
A	JP 59-203799 A (Sharp Corp.), 17 November 1984 (17.11.1984), examples 1, 2 & US 4623425 A & DE 3415799 A	1-9
A	JP 2006-253617 A (Toshiba Ceramics Co., Ltd.), 21 September 2006 (21.09.2006), claims; example 1 (Family: none)	1-9
A	JP 2006-228763 A (Air Water Inc.), 31 August 2006 (31.08.2006), claims; examples (Family: none)	1-9
A	Yuki ISHIDA et al., "Growth Mechanism of 3C-SiC Heteroepitaxial Layer on Si Substrates and Its Schottky Barrier Characteristics", Bulletin of the Electrotechnical Laboratory, vol.62, no.10, 11, 1998, pages 5 to 10	1-9

A. 発明の属する分野の分類 (国際特許分類 (IPC)) Int.Cl. C30B29/36(2006.01)i, C30B25/20(2006.01)i, H01L21/20(2006.01)i, H01L21/205(2006.01)i		
B. 調査を行った分野 調査を行った最小限資料 (国際特許分類 (IPC)) Int.Cl. C30B29/36, C30B25/20, H01L21/20, H01L21/205		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2011年 日本国実用新案登録公報 1996-2011年 日本国登録実用新案公報 1994-2011年		
国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	畑山 智亮, 他, ジメチルゲルマンを用いたSi上への高品質3C-SiCの低温ヘテロエピタキシー, 応用物理学関係連合講演会講演予稿集1997春, No. 1, (社)応用物理学会, 1997.03.28, p.283, 29a-SS-4	9
X	JP 2002-338395 A (ホーヤ株式会社) 2002.11.27, 【0040】 - 【0041】 & US 2003/0040167 A1 & EP 1258544 A1 & DE 60200261 D	9
<input checked="" type="checkbox"/> C欄の続きにも文献が列挙されている。 <input type="checkbox"/> パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す) 「O」 口頭による開示、使用、展示等に言及する文献 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの 「&」 同一パテントファミリー文献		
国際調査を完了した日 25.05.2011	国際調査報告の発送日 07.06.2011	
国際調査機関の名称及びあて先 日本国特許庁 (ISA/J P) 郵便番号100-8915 東京都千代田区霞が関三丁目4番3号	特許庁審査官 (権限のある職員) 安齋 美佐子 電話番号 03-3581-1101 内線 3416	4G 9439

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2004-336079 A (HOYA株式会社) 2004. 11. 25, 【0043】 - 【0045】 (ファミリーなし)	9
A	JP 59-203799 A (シャープ株式会社) 1984. 11. 17, 実施例 1, 2 & US 4623425 A & DE 3415799 A	1 - 9
A	JP 2006-253617 A (東芝セラミックス株式会社) 2006. 09. 21, 特許請求の範囲, 実施例 1 (ファミリーなし)	1 - 9
A	JP 2006-228763 A (エア・ウォーター株式会社) 2006. 08. 31, 特許請求の範囲, 実施例 (ファミリーなし)	1 - 9
A	石田 夕起, 他, Si 基板上 3C-SiC へテロエピタキシャル膜 の成膜機構及びそのショットキー障壁特性, 電子技術総合研究所彙 報, vol. 62, no. 10, 11, 1998, p. 5-10	1 - 9