

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利说明书

专利号 ZL 03119849. X

H01L 23/52 (2006.01)  
H01L 21/768 (2006.01)  
H01L 21/28 (2006.01)  
H01L 21/027 (2006.01)

[45] 授权公告日 2007 年 8 月 1 日

[11] 授权公告号 CN 1329982C

[22] 申请日 2003.3.4 [21] 申请号 03119849. X

[30] 优先权

[32] 2002. 3. 15 [33] JP [31] 072737/2002

[32] 2002. 9. 30 [33] JP [31] 286687/2002

[73] 专利权人 富士通株式会社

地址 日本神奈川

[72] 发明人 渡边健一 河野通有 难波浩司  
助川和雄 长谷川巧 泽田丰治  
三谷纯一

[56] 参考文献

CN1325545A 2001.12.5

US4591945 1986.3.27

审查员 赵百令

[74] 专利代理机构 中国国际贸易促进委员会专利  
商标事务所

代理人 朱海波

权利要求书 6 页 说明书 28 页 附图 37 页

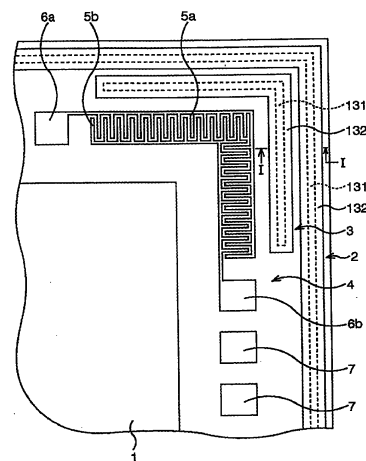
[54] 发明名称

半导体器件及其制造方法以及相移掩膜

[57] 摘要

提供一个主壁面部分以包围集成电路部分。

“L”形状的副壁面部分被提供在主壁面部分和集成电路部分的每个边角之间。因此，即使由于热处理等原因导致应力集中，该应力被分散到主壁面部分和副壁面部分中，从而与现有技术相比不容易出现层面之间的剥离和裂缝。另外，即使在边角处出现裂缝等情况，则当主壁面部分和副壁面部分相互接合时，来自外部的潮气也不容易进入该集成电路部分。因此，可以保证极高的防潮性。



1. 一种半导体器件，其中包括：  
其中形成有多个集成电路的集成电路部分；  
包括在所述集成电路部分周围的金属膜的主壁面部分；以及  
包括有选择地形成在所述集成电路部分和所述主壁面部分之间的金属膜的多个副壁面部分，  
其中所述集成电路部分、所述主壁面部分和所述副壁面部分共用：  
一个半导体基片；以及  
形成在所述半导体基片之上的一个或两个或更多个层间绝缘膜，其中有选择地形成开孔，并且  
其中构成所述集成电路的一部分布线和被提供到所述主壁面部分和所述副壁面部分中的每一个的一部分所述金属膜被形成成为相同的层面。  
所述副壁面部分部分地屏蔽所述集成电路使之与所述主壁面部分隔开，  
所述主壁面部分包围所述半导体基片上的全部所述集成电路，以及  
所述副壁面部分间断地包围所述集成电路。
2. 根据权利要求1所述的半导体器件，其中所述布线和被提供给每个所述主壁面部分和所述副壁面部分的所述金属膜被形成在所述层间绝缘膜上和所述开孔中。
3. 根据权利要求2所述的半导体器件，其中被提供到每个所述主壁面部分和所述副壁面部分的所述金属膜被连接到在其下方的一个所述金属膜，或者连接到所述半导体基片。
4. 根据权利要求1所述的半导体器件，其中进一步包括：  
扩散层，其形成在所述金属膜与所述半导体基片相接触的区域中。

5. 根据权利要求 1 所述的半导体器件, 其中:  
该半导体器件的平面形状为一个多边形, 以及  
其中所述副壁面部分被设置在所述多边形的顶点和所述集成电路部分之间。

6. 根据权利要求 1 所述的半导体器件, 其中进一步包括:  
一个阻值测量部分, 其中包括:  
一对电极, 其设置在所述副壁面部分和所述集成电路部分之间的区域中; 以及  
焊盘, 用于把来自外部的信号提供到该对电极的每一个电极。

7. 根据权利要求 1 所述的半导体器件, 其中:  
在所述副壁面部分中的所述层间绝缘膜和所述金属膜的叠放次序与所述主壁面部分中的所述层间绝缘膜和所述布线的叠放次序相同。

8. 根据权利要求 6 所述的半导体器件, 其中:  
所述阻值测量部分包括层间绝缘膜和金属膜, 其叠放次序与构成所述主壁面部分的所述层间绝缘膜和所述金属膜的叠放次序相同。

9. 根据权利要求 1 所述的半导体器件, 其中:  
所述副壁面部分包括一对电极, 以及  
该半导体器件进一步包括用于把来自外部的信号提供到所述电极对的每个电极的焊盘。

10. 根据权利要求 1 所述的半导体器件, 其中:  
所述副壁面部分中的所述金属膜的宽度具有两级的变化, 从而在所述半导体基片侧的部分较窄, 并且所述部分存在于所述开孔中。

11. 根据权利要求 1 所述的半导体器件, 其中:

形成在所述主壁面部分和所述副壁面部分的所述层间绝缘膜中的所述各个开孔的位置在平面示图中相同。

12. 根据权利要求 1 所述的半导体器件，其中：  
所述副壁面部分的一部分连接到所述主壁面部分。

13. 根据权利要求 1 所述的半导体器件，其中：  
所述副壁面部分包括第一壁面块，其在平面示图中与所述主壁面部分相距固定的距离。

14. 根据权利要求 13 所述的半导体器件，其中所述第一壁面块连接到所述主壁面部分。

15. 根据权利要求 13 所述的半导体器件，其中多个所述第一壁面块被设置为与所述主壁面部分之间具有等间距。

16. 根据权利要求 13 所述的半导体器件，其中所述副壁面块包括第二壁面块，其形成在所述第一壁面块和所述集成电路部分之间，并且与所述第一壁面部分相距固定的距离。

17. 根据权利要求 16 所述的半导体器件，其中所述第二壁面块的长度小于所述第一壁面块的长度。

18. 根据权利要求 16 所述的半导体器件，其中所述第一壁面块和所述第二壁面块相互连接。

19. 根据权利要求 16 所述的半导体器件，其中所述副壁面部分包括第三壁面块，其在两点连接到所述主壁面部分，并且与所述主壁面部分一同包围所述第一壁面块和所述第二壁面块。

20. 根据权利要求 1 所述的半导体器件，其中所述副壁面部分包括第四壁面块，其包围在所述集成电路部分和所述主壁面部分之间的任意区域。

21. 根据权利要求 20 所述的半导体器件，其中所述副壁面部分包括包围所述第四壁面块的第五壁面块。

22. 根据权利要求 21 所述的半导体器件，其中所述第四壁面块和所述第五壁面块相互连接。

23. 根据权利要求 1 所述的半导体器件，其中所述副壁面部分包括第六壁面块，其在两点连接到所述主壁面部分，并且与所述主壁面部分一同包围所述主壁面部分和所述集成电路部分之间的任意区域。

24. 根据权利要求 23 所述的半导体器件，其中所述副壁面部分包括第四壁面块，其包围所述集成电路部分和所述主壁面部分之间的任意区域，并且所述第四壁面块被所述主壁面部分和所述第六壁面块所包围。

25. 根据权利要求 23 所述的半导体器件，其中所述副壁面部分包括包围所述第四壁面块的第五壁面块，并且所述第五壁面块被所述主壁面部分和第六壁面块所包围。

26. 一种制造半导体器件的方法，该半导体器件具有形成多个集成电路的集成电路部分和包括在该集成电路部分周围的金属膜的主壁面部分。该方法包括如下步骤：

与在半导体基片上形成所述集成电路部分和所述主壁面部分相并行，有选择地在所述集成电路部分和所述主壁面部分形成包括金属膜的多个副壁面部分，

其中所述副壁面部分部分地屏蔽所述集成电路使之与所述主壁面部分隔开，

所述主壁面部分包围所述半导体基片上的全部所述集成电路，以及所述副壁面部分间断地包围所述集成电路。

27. 根据权利要求 26 所述的半导体器件的制造方法，其中有选择地形成所述副壁面部分的步骤包括如下步骤：

同时形成所述集成电路中的一部分布线和一部分所述金属膜，该金属膜被提供到半导体基片上的所述主壁面部分和所述副壁面部分的每一个。

28. 根据权利要求 27 所述的半导体器件的制造方法，其中有选择地形成所述副壁面部分的步骤包括如下步骤：

在所述半导体基片的整个表面上形成层间绝缘膜；以及

在所述层间绝缘膜中要成为所述集成电路部分、所述主壁面部分和所述副壁面部分的每个区域中形成至少一个开孔，

其中所述布线和所述金属膜被形成在所述层间绝缘膜和所述开孔中。

29. 根据权利要求 26 所述的半导体器件的制造方法，其中该半导体器件的平面形状为多边形，以及

其中所述副壁面部分形成在所述多边形的顶点与所述集成电路部分之间。

30. 根据权利要求 26 所述的半导体器件的制造方法，其中进一步包括如下步骤：

与形成所述集成电路部分、所述主壁面部分和所述副壁面部分相并行地，形成阻值测量部分，其包括：

一对电极，其设置在所述副壁面部分和所述集成电路部分之间

的区域中；以及

焊盘，用于把来自外部的信号提供到该对电极的每一个电极。

31. 根据权利要求 26 所述的半导体器件的制造方法，其中所述副壁面部分的一部分连接到所述主壁面部分。

## 半导体器件及其制造方法以及相移掩膜

### 技术领域

本发明涉及一种提高在多层布线结构中的防潮性能的半导体器件及其制造方法，以及可用于制造该半导体器件的相移掩膜。

### 背景技术

最近几年，随着大规模集成电路的发展，多层布线结构的设计规格倾向于减小尺寸。因此，通过形成用于金属布线材料的薄膜并且直接蚀刻该薄膜而形成的一些布线太细而不能够制造。因此，采用下述方法作为形成该布线的方法。也就是说，在形成层间绝缘膜之后，在该层间绝缘膜中形成沟槽图案或通孔图案，并且把布线材料镶嵌在该图案的开口区域，从而形成布线。这种形成布线的方法被称为镶嵌方法。

当通过蚀刻而形成布线时，W、Al 或 Al 合金通常被用作为布线材料。但是，当采用镶嵌方法时，通常使用 Cu，因为它具有低电阻率和对电子迁移具有高抵抗力。

在制造该半导体器件中，例如晶体管、接头、布线、焊盘这样的元件被形成在一个半导体晶片上。在此之后，该半导体晶片被分为多个芯片，每个芯片使用陶瓷或塑料来封装。

为了加速信号的传输速率，这对于布线的性能是重要的，减小布线之间的电容以及在不同层面中提供的布线之间的寄生电容是有效的。因此，最近开发的重点被置于降低存在于相同层面中提供的布线之间的绝缘膜的介电常数和存在于不同层面中的布线之间的层间绝缘膜的介电常数，以及降低布线本身的电阻。另外，为了降低介电常数，除了氧化硅膜之外，氟掺杂的氧化硅膜、无机绝缘膜、有机绝缘膜等等最近被用作层间绝缘膜，以取代氧化硅膜。通常，当材料的原子或分子之间的距

离变大时，由于薄膜密度的降低导致介电常数变小。

但是，具有低介电常数的上述层间绝缘膜的热膨胀系数基本上与例如基片这样的其它构成材料的热膨胀系数不同。由于热膨胀系数的差别，导致随后的热处理产生较大热应力。热应力被集中在该芯片的边角上而造成应力集中，并且可能在芯片的边角出现层面之间的剥离或裂纹，潮气容易进入该芯片。由于上述热膨胀系数的差别导致的应力集中在采用镶嵌方法的半导体器件中特别显著。其原因是，根据该镶嵌方法存在热膨胀系数具有显著差别的大量部分，由于层间绝缘膜形成在平整的布线层等等上，沟槽图案等等被形成在层间绝缘膜中，并且在此之后，布线材料被嵌入在该开口区域中。因此，采用镶嵌方法的常规半导体器件具有难以保证足够的防潮性能的缺点。

#### 发明内容

本发明考虑到上述缺点而作出，其目的是提供一种半导体器件及其制造方法，其可以避免芯片面积增加和保证高防潮性，并且防止在外围边缘部分脱离，以及提供一种用于制造这种半导体器件的相移掩膜。

经过研究，本发明的发明人获得下文所述的本发明的各种形式。

根据本发明的一种半导体器件，其中包括：其中形成有多个集成电路的集成电路部分；包括在所述集成电路部分周围的金属膜的主壁面部分；以及包括有选择地形成在所述集成电路部分和所述主壁面部分之间的金属膜的多个副壁面部分，其中所述集成电路部分、所述主壁面部分和所述副壁面部分共用：一个半导体基片；以及形成在所述半导体基片之上的一个或两个或更多个层间绝缘膜，其中有选择地形成开孔，并且其中构成所述集成电路的一部分布线和被提供到所述主壁面部分和所述副壁面部分中的每一个的一部分所述金属膜被形成为相同的层面。所述副壁面部分部分地屏蔽所述集成电路使之与所述主壁面部分隔开，所述主壁面部分包围所述半导体基片上的全部所述集成电路，以及所述副壁面部分间断地包围所述集成电路。

根据本发明，由于副壁面部分被有选择地形成在主壁面部分和集成电路部分之间，一个壁面部分有选择地具有主壁面部分和副壁面部分的双重结构。因此，即使当由于采用镶嵌方法导致较大应力集中在半导体基片等等的一角上时，应力也被分散到副壁面部分上，通过把副壁面部

分置于应力容易集中的位置处。从而，弹性结构形成在不会由于层面之间的剥离、破裂等等而导致应力释放的位置处。因此，随着出现破裂情况的减少，可以保持潮气的进入比例，并且保证较高的防潮性能。另外，由于一部分布线和一部分金属膜基本上被形成相同的层面，因此可以与布线同时地形成该金属膜。因此，可以避免处理步骤增加。

根据本发明的一种制造半导体器件的方法，该半导体器件具有形成多个集成电路的集成电路部分和包括在该集成电路部分周围的金属膜的主壁面部分。该方法包括如下步骤：与在半导体基片上形成所述集成电路部分和所述主壁面部分相并行，有选择地在所述集成电路部分和所述主壁面部分形成包括金属膜的多个副壁面部分，其中所述副壁面部分部分地屏蔽所述集成电路使之与所述主壁面部分隔开，所述主壁面部分包围所述半导体基片上的全部所述集成电路，以及所述副壁面部分间断地包围所述集成电路。根据本发明的相移掩膜是包括形成在透明基片上的相移膜和形成在该透明基片的划线（scribe line）区域中的遮光膜的相移掩膜。由划线区域所包围的区域包括要形成集成电路部分的集成电路区域，以及要形成在集成电路部分的外围的外围边缘部分的外围边缘区域。遮光膜至少形成在一部分外围边缘区域和集成电路区域中。

#### 附图说明

图 1 为示出根据本发明第一实施例的半导体器件的结构的布局；

图 2 为示出第一实施例的集成电路部分的结构的面视图；

图 3 为示出沿着图 1 中的 I-I 线截取的截面的面视图；

图 4 为示出第一实施例的阻值测量部分的结构的布局；

图 5 为沿着图 4 中的 II-II 线截取的截面面视图；

图 6 为示出根据本发明第二实施例的半导体器件的壁面部分的结构的面视图；

图 7 为示出根据本发明第三实施例的半导体器件的壁面部分的结构的面视图；

图 8 为示出根据本发明第四实施例的半导体器件的壁面部分的结构的面视图；

图 9 为示出根据本发明第五实施例的半导体器件的壁面部分的结构的面视图；

图 10 为示出根据本发明第六实施例的半导体器件的壁面部分的结构  
的布局;

图 11 为示出根据本发明第七实施例的半导体器件的壁面部分的结构  
的布局;

图 12 为示出根据本发明第八实施例的半导体器件的壁面部分的结构  
的布局;

图 13 为示出根据本发明第九实施例的半导体器件的壁面部分的结构  
的布局;

图 14 为示出根据本发明第十实施例的半导体器件的壁面部分的结构  
的布局;

图 15 为示出根据本发明第十一实施例的半导体器件的壁面部分的结构  
的布局;

图 16 为示出根据本发明第十二实施例的半导体器件的壁面部分的结构  
的布局;

图 17 为示出根据本发明第十三实施例的半导体器件的壁面部分的结构  
的布局;

图 18A 至图 18M 为按照处理次序示出制造根据本发明第一实施例的  
半导体器件的方法的截面示图;

图 19 为示出在形成焊盘之后的晶片的平面示图;

图 20 为示出放大由图 19 中的虚线所示的区域的布局;

图 21 为示出主壁面部分 2 和副壁面部分 3 的结构的一个例子的截面  
示图; 以及

图 22 为示出当对图 16 中所示的第十二实施例执行替换时的结构的  
布局;

图 23A 和 23B 为示出根据本发明第十四实施例的相移掩膜的平面示  
图和截面示图;

图 24A 和 24B 为示出根据本发明第十四实施例的相移掩膜的放大示  
图;

图 25A 至 25C 为示出根据本发明第十五实施例的相移掩膜的放大示

图;

图 26A 和 26B 为示出根据本发明第十五实施例的相移掩膜的放大示意图;

图 27A 和 27B 为示出根据本发明第十六实施例的相移掩膜的放大示意图;

图 28A 和 28B 为示出根据本发明第十七实施例的相移掩膜的放大示意图;

图 29A 和 29B 为示出根据本发明第十八实施例的相移掩膜的放大示意图;

图 30A 和 30B 为示出一种相移掩膜的平面示图和截面示图;

图 31 为示出一个旁瓣 (No.1) 的示意图; 以及

图 32 为示出一个旁瓣 (No.2) 的示意图。

### 具体实施方式

在下文中, 将参照附图具体描述根据本发明的实施例的半导体器件及其制造方法。

#### -第一实施例-

首先, 将描述本发明的第一实施例。图 1 为示出根据本发明第一实施例的半导体器件的结构的布局。图 2 为示出第一实施例的集成电路部分的结构截面示图, 以及图 3 为示出沿着图 1 中的 I-I 线截取的截面的截面示图。图 4 为示出第一实施例的阻值测量部分的结构布局, 以及图 5 为沿着图 4 中的 II-II 线截取的截面示图。

根据第一实施例, 如图 1 中所示, 提供例如矩形的主壁面部分 2, 以包围形成有半导体集成电路的集成电路部分 1。根据本实施例的半导体器件被在主壁面部分 2 的外侧沿着主壁面部分 2 切割为小块, 其在平面示图中为矩形。例如“L”形状的副壁面部分 3 被提供在主壁面部分 2 和集成电路部分 1 的每个角落之间。相互垂直的副壁面部分 3 的部分分别与相互垂直的主壁面部分 2 的部分相平行地延伸, 即, 对应于其侧边的部分。主壁面部分 2 和副壁面部分 3 之间的间距例如大约为 1 微米。另外,

副壁面部分 3 的弯曲被置于最接近主壁面部分 2 的弯曲部分，即，对应于一个顶点的部分。另外，阻值测量部分（阻值测量装置）4 被提供在副壁面部分 3 和集成电路部分 1 之间，用于测量该区域的阻值。在本实施例中，副壁面部分 3 为第一壁面块。

在集成电路部分 1 中，如图 2 中所示形成多个 MOS 晶体管等等。例如，硅基片这样的半导体基片 101 被元件隔离绝缘膜 102 分为多个元件活性区。然后，栅绝缘膜 103 和栅极 104 被形成在半导体基片 101 上。在栅绝缘膜 103 和栅极 104 的侧面上，形成侧壁绝缘膜 105。在半导体基片 101 的表面上，形成源/漏扩散层 106，以在平面示图中把栅绝缘膜 103 和栅极 104 夹住。

另外，氮化硅膜 107 和氧化硅膜 108 例如形成在整个表面上，到达源/漏扩散层 106 的接触孔形成在氮化硅膜 107 和氧化硅膜 108 中。该接触孔的直径例如为大约 0.10 至 0.20 微米。另外，例如 TiN 膜 109 被形成成为胶层，以覆盖接触孔的侧表面和底表面，每个接触孔中嵌有 W 膜 110。

另外，例如有机绝缘膜 111 和氧化硅膜 112 形成在整个表面上，并且到达 TiN 膜 109 和 W 膜 110 的沟槽 135 形成在有机绝缘膜 111 和氧化硅膜 112 中。例如，Ta 膜 113 被形成成为阻挡金属膜，以覆盖沟槽 135 的侧表面和底表面，在每个沟槽中嵌有由 Cu 所制成的布线。

另外，氮化硅膜 115 和氧化硅膜 116 例如形成在整个表面上作为层间绝缘膜，并且到达作为布线 114 的下层布线的接触孔 136 形成在氮化硅膜 115 和氧化硅膜 116 中。该接触孔的直径例如约为 0.15 至 0.25 微米。

另外，有机绝缘膜 117 和氧化硅膜 118 例如形成在整个表面上，并且连接到形成于氮化硅膜 115 和氧化硅膜 116 中的接触孔 136 的沟槽 137 被形成在有机绝缘膜 117 和氧化硅膜 118 中。例如，Ta 膜 119 被形成成为阻挡金属膜，以覆盖接触孔 136 和沟槽 137 的侧表面和下表面，在该沟槽中嵌入有由 Cu 等所制成的布线 120。

与上文所述相同，提供多个基本结构体 121。每一个基本结构体由氮化硅膜 115、氧化硅膜 116、有机绝缘膜 117、氧化硅膜 118、Ta 膜 119 和布线 120 所构成，在本实施例中总共有 3 个基本结构体 121。

另外，氮化硅膜 122 和氧化硅膜 123 被形成在最上方的基本结构体 121 上，并且到达构成最上方的基本结构体 121 的布线 120 的接触孔 138 被形成在氮化硅膜 122 和氧化硅膜 123 中。该接触孔例如具有大约 1.00 至 1.10 微米的直径。另外，形成阻挡金属膜 124，以覆盖接触孔 138 的侧表面和底表面，并且覆盖氧化硅膜 123 的一部分表面，以及 Al 或 Al 合金膜（在下文中称为 Al 膜）125 和阻挡金属膜 126 被形成在阻挡金属膜 124 上。另外，氧化硅膜 127 形成在整个表面上，以覆盖阻挡金属膜 124、Al 膜 125 和阻挡金属膜 126，并且氮化硅膜 128 例如被形成在氧化硅膜 127 上，作为一个覆盖膜。

顺便提及，当图 2 中所示的两个 MOS 晶体管构成一个 CMOS 晶体管时，在各个 MOS 晶体管之间扩散层 106 的导电类型各不相同，并且阱（未示出）被适当地形成在半导体基片 101 的表面中。

同时，如图 3 中所示，扩散层 106a 被形成在主壁面部分 2 和副壁面部分 3 的半导体基片 101 的表面中。扩散层 106a 的导电类型没有特别地限制。另外，类似于集成电路部分 1，例如氮化硅膜 107 和氧化硅膜 108 被形成在整个表面上，并且到达扩散层 106a 的沟槽被形成在氮化硅膜 107 和氧化硅膜 108 中。该沟槽例如具有大约 0.15 至 0.30 微米的厚度。TiN 膜 109 例如被形成为胶层，以覆盖该沟槽的侧表面和底表面，每个沟槽中嵌有 W 膜 110。

另外，类似于集成电路部分 1，有机绝缘膜 111 和氧化硅膜 112 例如形成在整个表面上，并且到达 TiN 膜 109 和 W 膜 110 的沟槽被形成在有机绝缘膜 111 和氧化硅膜 112 中。该沟槽例如具有大约 2 微米的宽度。每个沟槽例如被形成为使得 TiN 膜 109 和 W 膜 110 被置于其中央。Ta 膜 113 例如被形成为阻挡金属膜，以覆盖该沟槽的侧表面和底表面，在每个沟槽中嵌入有由 Cu 等所制成的金属膜 114a。

另外，类似于集成电路部分 1，氮化硅膜 115 和氧化硅膜 116 例如形成在整个表面上，并且到达作为金属膜 114a 的下层金属膜的沟槽被形成在氮化硅膜 115 和氧化硅膜 116 中。该沟槽例如具有大约 0.20 至 0.35 微米的宽度。每个沟槽被形成为置于例如形成在有机绝缘膜 111 和氧化硅

膜 112 中的沟槽的中央。因此，在平面示图中，该沟槽例如处于与形成在氮化硅膜 107 和氧化硅膜 108 中的沟槽相同的位置处。

另外，类似于集成电路部分 1，有机绝缘膜 117 和氧化硅膜 118 被形成在整个表面上，并且与形成于氮化硅膜 115 和氧化硅膜 116 中的沟槽相连接的沟槽被形成在有机绝缘膜 117 和氧化硅膜 118 中。该沟槽的宽度大约为 2 微米。该沟槽被形成为使得，形成在氮化硅膜 115 和氧化硅膜 116 中的沟槽被置于其中部。因此，在平面示图中，该沟槽例如处于与形成于有机绝缘膜 111 和氧化硅膜 112 中的沟槽相同的位置处。Ta 膜 119 被形成为阻挡金属膜，以覆盖形成在氮化硅膜 115 和氧化硅膜 116 中的沟槽和形成在有机绝缘膜 117 和氧化硅膜 118 中的沟槽的侧表面和底表面上，在每个沟槽中嵌入有由 Cu 膜等等所制成的金属膜 120a。

类似于集成电路部分 1，与上文所述相同，提供多个基本结构体 121a。每一个基本结构体由氮化硅膜 115、氧化硅膜 116、有机绝缘膜 117、氧化硅膜 118、Ta 膜 119 和布线 120 所构成，在本实施例中总共有 3 个基本结构体 121a。

另外，类似于集成电路部分 1，氮化硅膜 122 和氧化硅膜 123 被形成在最上方的基本结构体 121a 上，并且到达构成最上方的基本结构体 121a 的金属膜 120a 的沟槽被形成在氮化硅膜 122 和氧化硅膜 123 中。该沟槽例如具有大约 1.15 至 1.25 微米的宽度。另外，形成阻挡金属膜 124，以覆盖该沟槽的侧表面和底表面，并且覆盖氧化硅膜 123 的一部分表面，以及 Al 膜 125 和阻挡金属膜 126 被形成在阻挡金属膜 124 上。另外，氧化硅膜 127 形成在整个表面上，以覆盖阻挡金属膜 124、Al 膜 125 和阻挡金属膜 126，并且氮化硅膜 128 例如被形成在氧化硅膜 127 上，作为一个覆盖膜。

在副壁面部分 3 中，形成于氮化硅膜 115 和氧化硅膜 116 中的沟槽和形成于氮化硅膜 122 和氧化硅膜 123 中的窄沟槽 131 比形成于有机绝缘膜 111 和氧化硅膜 112 中的沟槽和形成于有机绝缘膜 117 和氧化硅膜 118 中的宽沟槽 132 更短，如图 1 中所示，窄沟槽 131 的两端被置于宽沟槽 132 的两端的内部。

如图 1 和图 4 中所示，两个梳状电极 5a 和 5b 被提供在阻值测量部分 4 中。梳状电极 5a 和 5b 的齿被以交替的方式设置。用于检查以保证防潮性的每个监控焊盘 6a 和 6b 连接到每个梳状电极 5a 和 5b 的一端。另外，在集成电路部分 1 和主壁面部分 2 之间不形成副壁面部分 3 和阻值测量部分 4 的区域中，在评估形成于集成电路部分 1 中的集成电路中，以适当的间隔提供用于从外部输入信号的多个评估焊盘 7。

如图 5 中所示，梳状电极 5a 和 5b 的截面结构与主壁面部分 2 和副壁面部分 3 的截面结构相同，只是该金属膜不连接到该基片。但是，沟槽的宽度不同。也就是说，在梳状电极 5a 和 5b 中，形成于氮化硅膜 115 和氧化硅膜 116 中的沟槽以及形成于氮化硅膜 122 和氧化硅膜 123 中的窄沟槽 133 例如具有大约 0.20 至 0.35 微米的宽度，并且形成于有机绝缘膜 111 和氧化硅膜 112 中的沟槽以及形成于有机绝缘膜 117 和氧化硅膜 118 中的宽沟槽 134 例如具有大约 0.6 微米的宽度。另外，梳状电极 5a 和 5b 的齿之间的间距例如约为 0.2 微米。一部分 Al 膜 125 被从氮化硅膜 128 和氧化硅膜 127 暴露出来，以形成焊盘 6a 和 6b。

在如此构成的第一实施例中，在平面示图中，“L”形状的副壁面部分 3 被有选择地提供在矩形的主壁面部分 2 的内部，并且在应力最集中的主壁面部分 2 的四个角处，构成主壁面部分 2 和副壁面部分 3 的多个金属膜被连接到半导体基片 101，因此应力容易被分布在该角处。因此，与常规技术相比，即使由于热处理等等而导致应力集中，也不容易出现层面之间的剥离和裂缝。另外，由于主壁面部分 2 和副壁面部分 3 具有双重结构，因此即使在该角处出现裂缝，来自外部的潮气也不容易到达集成电路部分 1。从而，根据本实施例，可以保证极高的防潮性。

另外，由于形成副壁面部分 3 的位置是不形成焊盘等等的区域，并且特别影响半导体器件的功能的元件不存在于现有技术中，因此即使当副壁面部分 3 被提供在该位置时，也不容易增加芯片面积。

另外，主壁面部分 2 和副壁面部分 3 可以通过改变形成构成集成电路部分 1 的氮化硅膜、氧化硅膜、有机绝缘膜、布线等等的掩膜形状而形成，因此，还可以避免制造处理步骤的增加。

另外，互不相同的电势可以被施加到阻值测量部分 4 中的焊盘 6a 和 6b，从而测量它们之间的阻值。如果有潮气进来，则出现短路并且阻值减小。通过测量该阻值，可以确定是否有潮气进来。因此，可以获得高度可靠性。

### -第二实施例-

接着，将描述本发明的第二实施例。图 6 为示出根据本发明第二实施例的半导体器件的壁面部分的结构的布局。

根据第二实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 6 中所示，相对于弯折点，在副壁面部分 3a 中窄沟槽 131 的长度和宽沟槽 132 的长度为相同，并且各个末端部分在平面示图中处于相同的位置。除了上述沟槽的长度之外，与沟槽延伸方向垂直相交的副壁面部分 3a 的每个位置的截面的结构与第一实施例中的副壁面部分 3 相同。在本实施例中，副壁面部分 3a 是第一壁面块。

根据上述第二实施例，也可以获得与第一实施例相同的效果。

### -第三实施例-

下面，将描述本发明的第三实施例。图 7 为示出根据本发明第三实施例的半导体器件的壁面部分的结构的布局。

根据第三实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 7 中所示，副壁面部分 3b 具有一种平面形状，其中第一实施例的副壁面部分 3 的两个末端部分被垂直地弯向主壁面部分 2 侧，并且连接到主壁面部分 2。另外，在副壁面部分 3b 中的窄沟槽 131 连接到主壁面部分 2 中的窄沟槽 131，并且副壁面部分 3b 中的宽沟槽 132 连接到主壁面部分 2 中的宽沟槽 132。除了上述平面形状之外，与沟槽延伸方向垂直相交的副壁面部分 3b 的每个位置的截面的结构与第一实施例中的副壁面部分 3 相同。在本实施例中，副壁面部分 3b 是第一壁面块。

根据上述第三实施例，也可以获得与第一实施例相同的效果。另外，由于副壁面部分连接到主壁面部分，因此裂缝不容易发展。从而，容易进入潮气的绝缘膜被完全在副壁面部分的内部和外部之间切断，从而不容易出现剥离。

#### -第四实施例-

接着，将说明本发明的第四实施例。图 8 为示出根据本发明第四实施例的半导体器件的壁面部分的结构的布局。

根据第四实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 8 中所示，副壁面部分 3c 的平面形状为矩形。除了上述平面形状之外，与沟槽延伸方向垂直相交的副壁面部分 3c 的每个位置的截面的结构与第一实施例中的副壁面部分 3 相同。另外，构成阻值测量部分 4 的梳状电极 5a 和 5b（未在图 8 中示出）例如被设置为把副壁面部分 3c 夹在主壁面部分 2 与它们之间。更加具体来说，梳状电极 5a 和 5b 被沿着构成平面示图中矩形的副壁面部分 3c 的 4 边中远离主壁面部分 2 的顶点的两边而设置。在本例中，副壁面部分 3c 为四个壁面块。

根据上述第四实施例，也可以获得与第一实施例相同的效果。

#### -第五实施例-

接着，将描述本发明的第五实施例。图 9 为示出根据本发明第五实施例的半导体器件的壁面部分的结构的布局。

根据第五实施例，副壁面部分的结构不同于第一实施例。具体来说，如图 9 中所示，多个壁面块，在本实施例中为两个矩形壁面块 3d1 和 3d2，被提供作为副壁面部分 3d。在本实施例中，壁面块 3d2 是第四壁面块，并且壁面块 3d1 是第五壁面块。构成与向着沟槽的延伸方向垂直相交的副壁面部分 3d 的壁面块 3d1 和 3d2 的每个部分的截面结构与在第一实施例中的副壁面部分 3 相同，除了上述平面形状之外。

根据上述第五实施例，可以获得较高的防潮性。

顺便提及，副壁面部分 3d 可以由三个或多个壁面块所构成。

#### -第六实施例-

接着，将描述本发明的第六实施例。图 10 为示出根据本发明第六实施例的半导体器件的壁面部分的结构的布局。

根据第六实施例，副壁面部分的结构不同于第一实施例。具体来说，如图 10 中所示，例如三个壁面块 3e1 至 3e3 被设置为相对主壁面部分 2 的角在集成电路部分 1 的侧面上以等间距排列。每个壁面块 3e1 至 3e3

具有与第一实施例的副壁面部分 3 相同的结构。在本实施例中，壁面块 3e1 至 3e3 为第一壁面块。

根据上述第六实施例，类似于第五实施例，可以获得较高的防潮性。

顺便提及，副壁面部分 3e 可以由两个或四个或者更多个壁面块所构成，每个壁面块具有与副壁面部分 3 相同的结构。

#### -第七实施例-

接着，将描述本发明的第七实施例。图 11 为示出根据本发明第七实施例的半导体器件的壁面部分的结构的布局。

根据第七实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 11 中所示，比壁面块 3f2 更短的壁面块 3f1 被设置在集成电路部分 1 上，在具有与第一实施例的副壁面部分 3 相同结构的壁面块 3f2 的旁边，以构成一个壁面块 3f。与沟槽的延伸方向垂直相交的壁面块 3f1 的每个部分的截面结构与在第一实施例中的副壁面部分 3 相同。在本实施例中，壁面块 3f2 为第一壁面块，并且壁面块 3f1 为第二壁面块。

根据上述第七实施例，类似于第五和第六实施例，也可以获得较高的防潮性。

#### -第八实施例-

接着，将描述本发明的第八实施例。图 12 为示出根据本发明第八实施例的半导体器件的壁面部分的结构的布局。

根据第八实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 12 中所示，围绕着第七实施例的壁面块 3f1 和 3f2 的壁面块 3g1 与主壁面部分 2 构成一个副壁面块 3g。与沟槽的延伸方向垂直相交的壁面块 3g1 的每个部分的截面结构与在第一实施例中的副壁面部分 3 相同。在本实施例中，壁面块 3g1 为第三壁面块。

根据上述第 8 实施例，类似于第五至第七实施例，也可以获得较高的防潮性。

#### -第九实施例-

接着，将描述本发明的第九实施例。图 13 为示出根据本发明第九实施例的半导体器件的壁面部分的结构的布局。

根据第九实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 13 中所示，与第七实施例的壁面块 3f1 和 3f2 的沟槽 132 相同的宽沟槽 132a 被形成在壁面块 3f1 和 3f2 之间的有机绝缘膜 117 和氧化硅膜 118 中，并且 Ta 膜 119 和金属 120a 被嵌入沟槽 132a 中，以构成副壁面部分 3h。

根据上述第 9 实施例，类似于第五至第八实施例，也可以获得较高的防潮性。

#### -第十实施例-

接着，将描述本发明的第十实施例。图 14 为示出根据本发明第十实施例的半导体器件的壁面部分的结构布局。

根据第十实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 14 中所示，与第七实施例的壁面块 3f1 和 3f2 的沟槽 132 相同的宽沟槽 132a 被形成在壁面块 3f1 和 3f2 之间的有机绝缘膜 117 和氧化硅膜 118 中。另外，与壁面块 3f1 和 3f2 的沟槽 132 相同的窄沟槽 131a 被形成在壁面块 3f1 和 3f2 之间的氮化硅膜 115 和氧化硅膜 118 中。Ta 膜 119 和金属 120a 被嵌入沟槽 131a 和 132a 中，以构成副壁面部分 3i。

根据上述第 10 实施例，类似于第五至第九实施例，也可以获得较高的防潮性。

#### -第十一实施例-

接着，将描述本发明的第十一实施例。图 15 为示出根据本发明第十一实施例的半导体器件的壁面部分的结构布局。

根据第十一实施例，副壁面部分的结构与第一实施例不同。具体来说，如图 15 中所示，提供“L”形状并且两端连接到主壁面部分 2 的副壁面部分 3j。与沟槽的延伸方向垂直相交的壁面块 3j 的每个部分的截面结构与在第一实施例中的副壁面部分 3 相同。在本实施例中，壁面块 3j 为第六壁面块。

根据上述第十一实施例，类似于第五至第十实施例，也可以获得较高的防潮性。

#### -第十二实施例-

接着，将描述本发明的第十二实施例。图 16 为示出根据本发明第十二实施例的半导体器件的壁面部分的结构的布局。

根据第十二实施例，副壁面部分具有第一实施例的副壁面块 3d 和第十一实施例的副壁面块 3j 的组合而得的结构。具体来说，如图 16 中所示，第五实施例的壁面块 3d1 和 3d2 被置于与第十一实施例的副壁面部分 3j 相同结构的壁面部分 3k1 与主壁面部分 2 之间的方形区域中，以构成一个副面部分 3k。在本实施例中，该壁面 3k1 为第六壁面块。

根据上述第 12 实施例，类似于第五至第十一实施例，也可以获得较高的防潮性。

#### -第十三实施例-

接着，将描述本发明的第十三实施例。图 17 为示出根据本发明第十三实施例的半导体器件的壁面部分的结构的布局。

根据第十三实施例，副壁面部分具有与第十二实施例不同的结构。具体来说，如图 17 中所示，宽沟槽 132 延伸到存在于构成第 12 实施例的副壁面部分 3k 的壁面块 3d1 和 3d2 之间的有机绝缘膜 117 和氧化硅膜 118，并且进一步延伸到壁面部分 3d2 的方形区域内部。Ta 膜 119 和金属膜 120a 被嵌于沟槽 132 中，以构成一个副壁面部分 3m。

根据上述第 13 实施例，类似于第五至第十二实施例，也可以获得较高的防潮性。

#### -制造半导体器件的方法-

接着，将描述根据第一实施例的半导体器件的制造方法。图 18A 至图 18M 为按照处理次序示出制造根据本发明第一实施例的半导体器件的方法的截面示图。顺便提及，在图 18A 至图 18M 中示出对应于主壁面部分 2 的区域。

首先，例如通过 LOCOS 方法、STI 方法等等，在处于晶片的状态中的半导体基片 101 的表面上形成元件隔离绝缘膜 102。然后，在集成电路部分 1 中形成栅绝缘膜 103、栅极 104、侧壁绝缘膜 105 和源/漏扩散层 106。另外，在主壁面部分 2 和副壁面部分 3 中，与源/漏扩散层 106 的形成同时有选择地形成扩散层 106a 和 106b。接着，例如通过等离子

体 CVD 方法在整个表面上形成氮化硅膜 107 和氧化硅膜 108。氮化硅膜 107 和氧化硅膜 108 例如分别具有 70 纳米和 1000 纳米的厚度。接着，例如通过化学机械抛光 (CMP) 方法平整氧化硅膜 108，从而消除高度差。在平整处理之后，该氧化硅膜 108 的厚度例如为 700 纳米。然后，把光刻胶 201 施加到氧化硅膜 108 上，并且光刻胶 201 被曝光和显影。从而，用于在集成电路部分 1 中形成接触孔以及在主壁面部分 2 和副壁面部分 3 中形成窄沟槽 131 和 133 的图案 201a 形成在光刻胶 201 上。顺便提及，对于阻值测量部分 4，与元件隔离绝缘膜 102 的形成同时，元件隔离绝缘膜可以形成在 101 的表面上，覆盖阻值测量部分 4 的整个表面。另外，在半导体基片 101 的表面上，元件隔离绝缘膜仅仅形成在要形成电极 5a 和 5b 的区域中。

然后，如图 18B 所示，通过使用光刻胶 201 作掩膜，使用 CF 气体对氧化硅膜 108 和氮化硅膜 107 进行各向异性蚀刻。从而在集成电路部分 1 中形成接触孔，并且窄沟槽 131 和 133 形成在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中。然后，除去光刻胶 201，并且例如通过溅射、CVD 方法等等把 TiN 膜 109 被形成在接触孔、窄沟槽 131 和 133 以及氧化硅膜 108 中，作为胶层。另外，例如通过 CVD 方法等等在 TiN 膜 109 上形成 W 膜 110。TiN 膜 109 例如具有 50 纳米的厚度，并且 W 膜 110 例如具有 400 纳米的厚度。然后，CMP 等等除去氧化硅膜 108 上的 TiN 膜 109 和 W 膜 110，从而 TiN 膜 109 和 W 膜 110 仅仅被保留在接触孔和窄沟槽 130 和 133 中。

下面描述在氧化硅膜 108 和氮化硅膜 107 的蚀刻过程中或者在光刻胶 201 的除去过程中对半导体基片 101 造成破坏的情况。首先，通过调节 CF 型气体的 C 含量与 F 含量的比值、C 含量与 H 含量的比值、氧气或氩气的流量、总气压、分压比、温度、等离子体能量、基片电势等等这样的处理条件而适当地调节氧化硅膜 108 和氮化硅膜 107 的蚀刻选择比。然后，氧化硅膜 108 受到蚀刻。接着，通过使用氧气进行灰化而除去光刻胶 201，然后，在不容易造成对半导体基片 101 的破坏的条件下对氮化硅膜 107 进行蚀刻。

在除去不必要的 TiN 膜 109 和 W 膜 110 之后，如图 18C 所示，例如通过在整个表面上进行旋涂而施加有机绝缘膜材料。然后，例如在 400 度的温度下对该有机绝缘膜材料进行 60 分钟的热处理。从而，该有机绝缘膜材料变硬，并且形成有机绝缘膜 111。另外，在有机绝缘膜 111 上形成氧化硅膜 112。有机绝缘膜 111 和氧化硅膜 112 例如具有 250 纳米的厚度。然后，把光刻胶 202 施加到氧化硅膜 112 上，并且该光刻胶被曝光和显影。从而，在光刻胶 202 中形成图案 202a，用于在集成电路部分 1 中形成布线的沟槽 135 和在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中形成宽沟槽 132 和 134。

从而，如图 18D 所示，通过使用光刻胶 202 作为掩膜对氧化硅膜 112 进行各向异性蚀刻，然后使用氢气和氮气的混合气体对有机绝缘膜 111 进行蚀刻。从而，在集成电路部分 1 中形成沟槽 135，并且在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中形成宽沟槽 132 和 134。在此时，与有机绝缘膜 111 一同除去光刻胶 202，但是在其下方的氧化硅膜 112 受到蚀刻。接着，例如通过溅射等方法在氧化硅膜 112 上形成 Ta 膜 113 作为阻挡金属膜。另外，例如通过电镀方法等等，在 Ta 膜 113 上形成用于成为布线 114 的布线材料和金属膜 114a 的薄膜，例如 Cu 膜。应当指出，当通过电镀方法形成用于布线材料的薄膜时，最好通过溅射方法在形成 Ta 膜 113 之后，形成一个种子层，以形成用布线材料的薄膜。Ta 膜 113 例如具有 30 纳米的厚度，并且用于布线材料的薄膜例如具有 1800 纳米的厚度。

从而，通过 CMP 方法等等除去 Ta 膜 113 和用于在氧化硅膜 112 上的布线材料的薄膜，从而，Ta 膜 113 和用于布线材料的薄膜仅仅被保留在沟槽 135、132 和 134 中。结果，如图 18E 中所示，形成布线 114 和金属膜 114a。

然后，如图 18F 所示，氮化硅膜 115 和氧化硅膜 116 顺序地形成在整个表面上。氮化硅膜 115 例如具有 50 纳米的厚度，并且氧化硅膜 116 具有 800 纳米的厚度。氮化硅膜 115 作为一个阻蚀层和扩散防止层。然后，例如通过 CMP 方法平整该氧化硅膜 116，从而消除高度差。在平整

处理之后，氧化硅膜 116 例如具有 400 纳米的厚度。顺便提及，具有大约 400 纳米厚度的氧化硅膜 116 可以形成的氮化硅膜 115 上，以省略 CMP 处理。接着，有机绝缘膜 117 和氧化硅膜 118 顺序地形成在氧化硅膜 116 上。如上文所述，可以通过旋涂施加有机绝缘膜材料，使得该有机绝缘膜材料受到适当的热处理，并且使该有机绝缘膜材料硬化而形成有机绝缘膜 117。有机绝缘膜 117 和氧化硅膜 118 例如具有 250 纳米的厚度。

在此之后，被用作为形成沟槽的硬膜的金属膜 203 形成在氧化硅膜 118 上。金属膜 203 例如为 TiN 膜，并且其厚度为 100 纳米。另外，光刻胶 204 被施加在金属膜 203 上，并且光刻胶 204 被曝光和显影。从而，用于在集成电路部分 1 中形成沟槽 137 和在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中形成宽沟槽 132 和 134 的图案 204a 形成在光刻胶 204 中。

随后，如图 18G 中所示，通过使用光刻胶 204 作为掩膜，使用 Cl 型气体对金属膜 203 进行蚀刻。从而，图案 204a 转印到金属膜 203 上，以形成图案 203a。然后，通过灰化除去光刻胶 204。接着，光刻胶 205 被施加在整个表面上，并且光刻胶 205 被曝光和显影。从而，用于在集成电路部分 1 中形成接触孔 136 和用于在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中形成窄沟槽 131 和 133 的图案 205a 被形成在光刻胶 205 上。

随后，如图 18H 所示，使用光刻胶 205 作为掩膜对氧化硅膜 118 进行蚀刻。另外，通过使用氧化硅膜 118 作为掩膜，使用氢气和氮气的混合气体对有机绝缘膜 117 进行蚀刻，从而在集成电路部分 1 中形成接触孔 136 以及主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中形成窄沟槽 131 和 133。在此时，与有机绝缘膜 117 一同除去光刻胶 205，但是在其下方的金属膜 203 和氧化硅膜 118 不受到蚀刻。应当指出，如果在金属膜 203 上形成图案 203a 中没有造成偏移，则最好在蚀刻氧化硅膜 118 之前使用光刻胶 205 作为掩膜除去金属膜 203 不需要部分。

随后，如图 18I 中所示，通过使用金属膜 203 和有机绝缘膜 117 作为掩膜对氧化硅膜 118 和 116 进行蚀刻。结果，图案 203a 被转印到氧化

硅膜 118 上，并且在氧化硅膜 118 和有机绝缘膜 117 中形成的图案被转印到氧化硅膜 116 上。在此时，氧化硅膜 118 的蚀刻停止于有机绝缘膜 117，并且氧化硅膜 116 的蚀刻停止于作为阻蚀层的氮化硅膜 115 上。

随着，如图 18J 所示，使用金属膜 203 和氧化硅膜 118 作为掩膜对有机绝缘膜 117 进行各向异性蚀刻。然后，使用氧化硅膜 118 作为掩膜对氮化硅膜 115 进行各向异性蚀刻。结果，接触孔 136 和沟槽 137 被形成在集成电路部分 1 上，沟槽 131 和 133 形成在主壁面部分 2 和副壁面部分 3 上，并且沟槽 132 和 134 形成在阻值测量部分 4 上。顺便提及，在氮化硅膜 115 的各向异性蚀刻之后，可以执行有机绝缘膜 117 的各向异性蚀刻。

随后，如图 18K 所示，例如通过溅射方法把 Ta 膜 119 形成在沟槽 131 和 135 中，接触孔 136 中和金属膜 203 上作为阻挡金属膜。另外，通过电镀方法等等，把用于作为布线 120 的布线材料和金属膜 120a 的薄膜，例如 Cu 膜，形成在 Ta 膜 119 上。应当指出，当通过电镀方法形成用于布线材料的薄膜时，最好在通过溅射方法形成 Ta 膜 119 之后，形成一个种子层，然后，形成用于布线材料的薄膜。Ta 膜 119 例如具有 30 纳米的厚度，并且用于布线材料的薄膜具有 1800 纳米的厚度。

随后，通过 CMP 方法等等除去在氧化硅膜 118 上金属膜 203、Ta 膜 119 和用于布线材料的薄膜，从而 Ta 膜 119 和用于布线材料的薄膜仅仅保留在沟槽 131 至 135 中以及在接触孔 136 中。结果，如图 18L 所示，金属膜 120a 形成在主壁面部分 2、副壁面部分 3 和阻值测量部分 4 中，并且布线 120（未在图 18L 示出）形成在集成电路部分 1 中。接着，氮化硅膜 115 再次形成在整个表面上，并且图 18F 中所示的处理到图 18L 中所示的处理被重复预定的次数。

然后，如图 18M 所示，在形成最上方的基本结构体 121 和 121a 之后，氮化硅膜 122 和氧化硅膜 123 形成在整个表面上。然后，使用形成有预定图案的光刻胶（未示出）把沟槽 131 和 133 以及接触孔 138 形成在氧化硅膜 123 和氮化硅膜 122 中。接着，在沟槽 131 和 133、接触孔 138 中和氧化硅膜 123 上形成阻挡金属膜 124 和铝膜 125，并且阻挡金属

膜 126 形成在铝膜 125 上。接着，阻挡金属膜 126、铝膜 125 和阻挡金属膜 124 被构图为预定形状，氧化硅膜 127 形成在形状的整个表面上。然后，氮化硅膜 128 形成在氧化硅膜 127 上，作为覆盖膜。

随后，开口形成在氮化硅膜 128 和氧化硅膜 127 中的预定位置处，从而有选择地曝露阻挡金属膜 126。另外，曝露的阻挡金属膜 126 受到蚀刻，从而曝露铝膜 125。该被曝露部分变为用于检查以保证防潮性的监视焊盘 6a 和 6b 和评估焊盘 7。图 19 为示出在形成焊盘之后的晶片的平面示图，以及图 20 为示出放大由图 19 中的虚线所示的区域的布局。当形成用于检查以保证防潮性的监视焊盘 6a 和 6b 和评估焊盘 7 时，存在与该晶片的外围相距固定距离或更远的有效芯片区域（由图 19 中的阴影区域所示）。然后，沿着作为相邻的主壁面部分 2 之间的中线的切割线 9 划分该有效芯片区域 8，从而把该晶片分割为多个芯片。

因此，可以制造根据第一实施例的半导体器件。

请注意，当制造第二至第十三实施例的半导体器件时，可以改变用于形成副壁面部分 3 和阻值测量部分 4 的图案。

#### -第十四实施例-

在制造上述半导体器件的方法中，例如在光刻胶构图时使用一个相移掩膜，例如一个半色调型掩膜。

下面将使用图 30A 和 30B 说明该半色调相移掩膜。图 30A 和 30B 为示出该相移掩膜的平面示图和截面示图。图 30A 为平面示图，并且图 30B 为沿着图 30A 的 III-III 线截取的截面示图。

如图 30A 和 30B 中所示，透明的相移掩膜 402 形成在透明基片 400 上。例如使用使透射光的相位偏移 180 度的相移掩膜作为相移掩膜 402。

在要形成集成电路部分的集成电路区域 404 中，相移掩膜 402 具有形成在其中的接触孔图案 407。接触孔图案 407 用于形成接触孔。

在要形成集成电路部分外围的外围边缘部分的外围边缘区域 406 中，相移掩膜 402 具有形成于其中的主壁面部分图案 408 和副壁面部分图案 410。主壁面部分图案 408 为用于形成主壁面部分 2 的图案（参见图 1）。副壁面部分图案 410 为用于形成副壁面部分 3 的图案（参见图 1）。

在划线区域 412 中，一个遮光膜 414 形成在相移掩膜 402 上。请注意，划线区域 412 是当使用一个分档器顺序地进行转印和曝光时在晶片上相互重叠的相邻照射区域（多次曝光区域）。

如此构成半色调相移掩膜。

半色调相移掩膜的使用导致通过相移掩膜 402 的光线与通过透射区域的光线之间具有 180 度的相位差，从而由于光的干涉可增加图案边缘附近的对比度。这样可以形成微小的集成电路部分。

但是，在常规的半色调相移掩膜中，当多个图案相邻时，有时在这些图案附近产生被称为旁瓣的不希望出现的异常图案。该问题是半色调相移掩膜所特有的。旁瓣是由于通过透明的相移掩膜所构成的图案的光线相互干涉所产生的。由于主壁面部分图案 408 和副壁面部分图案 410 被形成成为直线，因此与接触孔图案 407 相比，曝光量较大。相应地，在主壁面部分和副壁面部分容易出现旁瓣。

下面将通过图 31 和图 32 说明当使用图 30A 和 30B 的半色调相移掩膜进行曝光时所产生的旁瓣。图 31 为示出一个旁瓣（No.1）的示意图。图 32 为示出一个旁瓣（No.2）的示意图。

如图 31 和图 32 的箭头所示，在具有 L 形图案的部分以及具有 T 形图案部分附近产生旁瓣。另外，有时还在具有直线形状图案中产生一个旁瓣，这未在图中示出。

同时，日本专利公开 No.8-279452 公开一种通过形成伪开口区域而防止旁瓣的产生的技术。但是，当使用在该参考文件中描述的技术时，需要优化每次光刻的曝光条件等等，这需要大量的工作。另外，在该参考文献所述的技术中，难以避免在具有直线图案的部分中产生旁瓣。

通过研究，本发明的发明人发现使用上述结构的相移掩膜可以制造上述半导体器件，并且防止出现旁瓣。

下面使用图 23A、图 23B、图 24A 和 24B 说明根据本发明的第十四实施例的相移掩膜。图 23A 和 23B 为示出根据本发明的相移掩膜平面示图和截面示图。图 23A 为平面示图，图 23B 为沿着图 23A 的 III-III 截取的截面示图。图 24A 和 24B 为示出根据本实施例的相移掩膜放大示图。

图 24A 和 24B 示出图 23A 中的圆圈区域的放大示图。图 24A 为平面示图，图 24B 为沿着图 24A 的 III-III 截取的截面示图。尽管在图 23A 和 23B 中省略了一部分壁面部分块 309b（参见图 24A 和 24B），但是，在图 23A 和 23B 中省略的壁面部分块 309b 被在图 24A 和 24B 中示出。相同的参考标号和符号被用于表示与图 1 至图 22 中所示的第一至第十三实施例的半导体器件及其制造方法相同的构成部件，并且将省略或简化对它们的描述。

下面将以对图 18A 中所示的光刻胶 201 进行构图所用的相移掩膜为例描述本实施例。具体来说，以一个相移掩膜为例来说明本实施例，该相移掩膜被用于在光刻胶 201 中形成图案 201a 等等，以形成到达源/漏扩散层 106（参见图 2）的接触孔以及到达扩散层 106a（参见图 3）的沟槽 131（参见图 1）。

在本实施例中，将以用于对图 18A 中所示的光刻胶 201 进行构图的相移掩膜为例进行说明，但是本发明的原理可以用于对例如光刻胶 202（参见图 18C）、光刻胶 204（参见图 18F）、光刻胶 205（参见图 18G）这样所有其它光刻胶进行构图。

如图 23A 和 23B 所示，一个相移膜 302 形成在透明基片 300 上。作为相移膜 302 的材料，例如可以使用光透射率约为 4% 至 30% 并且使光相位偏移 180 度的材料。更加具体来说，作为相移膜 302 的材料，例如可使用 MoSi（硅化钼）等等。

在要形成集成电路部分的集成电路区域 304 中，即在主区域中，相移膜 302 具有形成于其中的接触孔图案 307。接触孔图案 307 为用于形成上述接触孔的图案。

在要形成集成电路部分外围的外围边缘部分的一个外围边缘区域 306 中，相移膜 302 具有形成于其中的主壁面部分图案 308 和副壁面部分图案 310。主壁面部分图案 308 是用于形成上述主壁面部分 2（参见图 1）的图案。副壁面部分图案 310 是用于形成上述副壁面部分 3（参见图 1）的图案。

如图 24A 和图 24B 所示，副壁面部分图案 310 包括壁面部分块 309a

和壁面部分块 309b。在外侧上的壁面部分块 309a 整体上为 L 形状。在内侧上形成多个壁面部分块 309b。在内侧上的每个壁面部分块 309b 的形状近似为接触孔图案 307 的形状。多个壁面部分块 309b 整体上被排列为“方形”。顺便提及，整体上排列为方形的多个壁面部分块 309b 被排列为单个方形，但是整体上排列为方形的多个壁面部分块 309b 的结构不限于单个方形，并且可以是排列为二个方形或更多的方形。在外侧的壁面部分块 309a 连接到主壁面部分图案 308，并且副壁面部分图案 310 的壁面部分块 309a 相互连接为 T 形图案。

在划线区域 312 中，形成由 Cr 所构成的遮光膜 314。

遮光膜 314 也形成在外围边缘区域 306 中。在本实施例中也在外围边缘区域 306 中形成遮光膜 314 的原因在下文中描述。遮光膜 314 防止光线通过相移膜 302，从而可以减小在外围边缘区域 306 中出现光的干涉。这防止在外围边缘区域 306 中出现旁瓣。如图 23A 和 23B 所示，形成遮光膜 314 以覆盖从副壁面部分图案 310 的角向内延伸约 1 微米至 5 微米的范围。

在外围边缘区域 306 中形成的图案尺寸比在集成电路区域 304 中形成的图案尺寸更大。在外围边缘区域 306 中形成的图案除了主壁面部分图案 308 和副壁面部分图案 310 之外还包括接触孔图案（未示出）等等。在下文中描述使外围边缘区域中的图案尺寸比集成电路区域的图案尺寸更大的理由。也就是说，在遮光膜 314 不覆盖的集成电路区域 304 的区域中，获得高分电率以形成微小的开口，另一方面，被遮光膜 314 所覆盖的相移膜 302 的区域具有低分辨率，从而难以形成微小的开口。结果，在作为图像平面的晶片上，主壁面部分 2（参见图 1）和副壁面部分 3（参见图 1）的宽度约为 0.2 微米至 10 微米，并且集成电路部分 1 的接触孔（未示出）的直径约为 0.1 微米至 0.3 微米。请注意，当减小比例为 1/5 时，作为图像平面的晶片上的尺寸变为比相移掩膜上的尺寸大 5 倍，并且当减小比例为 1/4 时，该尺寸比相移掩膜上的尺寸大四倍。

如此构成根据本实施例的半色调相移掩膜。

根据本实施例的相移掩膜的主要特征在于遮光膜 314 也被形成在上

述外围边缘区域 306 中。

当使用图 30A 和 30B 中所示的相移掩膜时，光线通过相移膜 302，在主壁面和副壁面部分的附近相互干涉，以在主壁面部分和副壁面部分附近产生旁瓣。

另一方面，在本实施例中，遮光膜 314 也形成在外围边缘区域 306 中，从而遮光膜 314 可以防止光通过外围边缘区域 306 中的相移膜 302。因此，根据本实施例，可以减少在主壁面部分 2 和副壁面部分 3 附近的光线的相互干涉，以防止旁瓣的产生。

另外，由于在外围边缘区域 306 中形成的遮光膜 314 是与在划线区域 312 中形成的遮光膜 314 相同的薄膜，因此可以制造该相移掩膜而不增加制造的步骤数。

#### -第十五实施例-

下面将使用图 25A 至 25C、图 26A 和 26B 说明根据本发明第十五实施例的相移掩膜。图 25A 至 25C 为示出根据本实施例的相移掩膜的平面示图和截面示图。图 25A 为平面示图，图 25B 为沿着图 25A 中的 III-III 线截取的截面示图，以及图 25C 为沿着图 25A 中的 IV-IV 线截取的截面示图。图 26A 和 26B 为示出根据本实施例的相移掩膜放大示图。图 26A 和 26B 示出图 25A 中的圆圈部分的放大示图。图 26A 为平面示图，以及图 26B 为沿着图 26A 的 III-III 线截取的截面示图。尽管在图 25A 和 25C 中省略一部分壁面部分块图案 309b (参见图 26A 和 26B)，但是在图 25A 至 25C 中省略的壁面部分块图案 309b 在图 26A 和 26B 中示出。另外，尽管在图 25A 至图 25C 中省略一部分接触孔图案 316 (参见图 26A 和 26B)，但是在图 25A 至 25C 中省略的接触孔图案 316 在图 26A 和 26B 中示出。相同的参考标号和符号被用于表示与图 1 至图 24B 中所示的第一至第十四实施例相同的半导体器件、其制造方法以及相移掩膜，并且将省略和简化对它们的描述。

根据本实施例的相移掩膜的主要特征在于遮光膜 314 仅仅被有选择地形成在主壁面部分图案 308 和副壁面部分图案 310 附近。

如图 25A 至 25C 中所示，遮光膜 314 仅仅被有选择地形成在主壁面

部分图案 308 和副壁面部分图案 310 附近的外围边缘区域 306 中。遮光膜 314 被形成为从主壁面部分图案 308 和副壁面部分图案 310 的边缘向内约 1 微米至约 5 微米的范围。

应当指出，形成遮光膜 314 的范围不限于从主壁面部分图案 308 和副壁面部分图案 310 的边缘向内 1 微米至 5 微米的范围。形成遮光膜 314 的范围可以被适当地设置为能够防止旁瓣产生的范围。

除了主壁面部分图案 308 和副壁面部分图案 310 附近之外，遮光膜 314 不形成在外围边缘区域 306 的区域中。

如图 26A 和图 26B 所示，接触孔图案 316 形成在没有形成遮光膜 314 的外围边缘区域 306 的区域中。接触孔图案 316 被构图，被用于形成到达 MOS 的源/漏扩散成的接触孔（未示出）。

类似于上文所述，遮光膜 314 形成在划线区域 312 中。

根据本实施例的相移掩膜的主要特征在于遮光膜 314 仅仅形成在主壁面部分图案 308 和副壁面部分图案 310 附近的相移膜 302 上。

在根据第十四实施例的相移掩膜中，遮光膜 314 形成在整个外围边缘区域 306 上。由于在形成遮光膜 314 的区域中的分辨率较低，因此当使用第十四实施例的相移掩膜时，不能够在外围边缘部分内形成微小的接触孔。相应地，当使用根据第十四实施例的相移掩膜时，不能够形成微小的 MOS 晶体管。

在另一方面，在本实施例中，遮光膜 314 仅仅被形成在外围区域中的主壁面部分图案 308 和副壁面部分图案 310 的附近。因此，根据本实施例，可以在不形成遮光膜 314 的外围边缘区域 306 中获得高分辨率。从而，根据本实施例，还可在外围边缘部分中形成微小的接触孔。因此，根据本实施例，还可以在外围边缘部分形成例如 MOS 晶体管这样的微小元件。根据本实施例，可以保证用于形成例如 MOS 晶体管这样的微小元件的宽区域，这可有助于减小芯片尺寸。

#### -第十六实施例-

下面将使用图 27A 和 27B 说明根据本发明第十六实施例的相移掩膜。图 27A 和 27B 示出根据本实施例的相移掩膜平面示图和截面示图。

相同的参考标号和符号被用于表示与图 1 至图 26B 中所示的第一至第十五实施例相同的半导体器件、其制造方法以及相移掩膜，并且将省略和简化对它们的描述。

根据本实施例的相移掩膜的主要特征在于遮光膜 314 不形成在外围边缘区域 306 中，使得主壁面部分图案 308a 和副壁面部分图案 310a 不具有直角而具有钝角，并且主壁面部分图案 308a 和副壁面部分图案 310a 被形成为相互隔离。

如图 27A 和 27B 中所示，在本实施例中，遮光膜 314 不被形成在外围边缘区域 306 中。

主壁面部分图案 308a 的边角部分不是直角而是钝角。具体来说，主壁面部分图案 308a 的边角部分的夹角为 135 度。

副壁面部分图案 310a 由壁面部分块图案 309c 和壁面部分块图案 309b 所构成。壁面部分块图案 309c 的边角部分不是直角而是钝角。具体来说，壁面部分图案 309c 的边角部分的夹角为 135 度。

在本实施例中，主壁面部分图案 308a 和副壁面部分图案 310a 不具有直角而具有钝角的原因是要消除具有 L 形图案的部分，以防止旁瓣的产生。

应当指出，尽管在此把主壁面部分图案 308a 和副壁面部分图案 310a 的边角部分的夹角设置为 135 度，但是它不限于 135 度。当边角部分的夹角变钝时，可以在一定程度上减小旁瓣的产生。具体来说，当该边角部分的夹角为 100 度或更大时，可以有效地减小旁瓣的产生。当边角部分的夹角为 110 度或更大时，可以更加有效地减少旁瓣的产生。另外，当边角部分的夹角为 120 度或更大时，可以进一步减少旁瓣的产生。

主壁面部分图案 308a 和副壁面部分图案 310a 被形成为相互分离。

在本实施例中，主壁面部分图案 308a 和副壁面部分图案 310a 相互分离的原因是要消除具有 T 形图案的部分，以防止旁瓣的产生。

从而，根据本实施例，由于主壁面部分图案 308a 和副壁面部分图案 310a 的边角部分不是直角而是钝角，另外主壁面部分图案 308a 和副壁面部分图案 310a 被形成为相互分离，因此即使当遮光膜 314 不形成在主壁

面部分图案 308a 和副壁面部分图案 310a 附近时，也可以防止在主壁面部分 2 和副壁面部分 3 附近产生旁瓣。

#### -第十七实施例-

下面将使用图 28A 和 28B 说明根据本发明第十七实施例的相移掩膜。图 28A 和 28B 示出根据本实施例的相移掩膜平面示图和截面示图。图 28A 为平面示图，以及图 28B 为沿着图 28A 的 III-III 线截取的截面。相同的参考标号和符号被用于表示与图 1 至图 27B 中所示的第一至第十六实施例相同的半导体器件、其制造方法以及相移掩膜，并且将省略和简化对它们的描述。

根据本实施例的相移掩膜的主要特征在于副壁面部分图案 310b 由相互隔离的多个壁面部分块图案 309b、309d、309e 所构成。

如图 28A 和 28B 中，副壁面部分图案 310b 由相互隔离的多个壁面部分块图案 309b、309d、309e 所构成。每个壁面部分块图案 309d、309e 形成为直线形状。

在本实施例中如此形成副壁面部分图案 310b 和原因是为了有效地避免在副壁面部分图案 310b 的边角部分中产生旁瓣。

因此，根据本实施例，由于副壁面部分图案 310b 由相互隔离的多个壁面部分块图案 309b、309d、309e 所构成，因此可以形成没有任何边角部分的副壁面部分图案 310b。因此，根据本实施例，可以更加有效地防止旁瓣的产生。

#### -第十八实施例-

下面将使用图 29A 和 29B 说明根据本发明第十八实施例的相移掩膜。图 29A 和 29B 示出根据本实施例的相移掩膜平面示图和截面示图。图 29A 为平面示图，以及图 29B 为沿着图 29A 的 III-III 线截取的截面。相同的参考标号和符号被用于表示与图 1 至图 28B 中所示的第一至第十七实施例相同的半导体器件、其制造方法以及相移掩膜，并且将省略和简化对它们的描述。

根据本实施例的相移掩膜的主要特征在于不但形成在内侧的壁面部分块图案 309b 而且形成在外侧的壁面部分块图案 309f 被形成为点状。

如图 29A 和 29B 中，副壁面部分图案 310c 由点状壁面部分块图案 309f 和点状壁面部分块图案 309b 所构成。形成多个壁面部分块图案 309f。壁面部分块图案 309f 整体上被排列为 L 形状。壁面部分块图案 309b 与上文所述类似地排列为方形。与壁面部分块图案 309b 相类似，壁面部分块图案 309f 具有近似于接触孔图案 316 的形状。

根据本实施例，由于可以消除具有 L 形状图案和 T 形状图案的部分，因此可以防止旁瓣的产生。

-变型-

本发明不限于上述实施例，并且可以作出各种变型。

例如，构成阻值测量部分的梳状电极的位置和图案没有特别的限制。例如，它们可以被设置为把副壁面部分夹在主壁面部分与它们之间的位置处，从而由主壁面部分包围该副壁面部分。另外，根据本发明，不需要提供该阻值测量部分。另外，可以使副壁面部分作为该阻值测量部分。在这种情况下，例如副壁面部分被形成为包括一对电极，并且用于提供来自外部的信号的焊盘可以被提供到该对电极的每个电极上。但是，在电连接到该焊盘的副壁面部分内的金属膜需要与该基片和主壁面部分相绝缘。

另外，尽管根据本发明的半导体器件的平面形状没有特别的限制，但是为了方便生产，最好使用例如矩形这样的多边形。在这种情况下，最好把侧壁部分设置在多边形的顶点和集成电路部分之间。这是因为应力容易集中在多边形的顶点上。

另外，对于根据本发明的主壁面部分和副壁面部分的叠层结构，宽沟槽和窄沟槽不一定在该平面示图中的相同位置处。例如，如图 21 中所示，可以构造为使得窄沟槽在平面示图中交替地处于相同的位置处。

另外，上述第一至第十三实施例可以适当地组合。

另外，在上述第一至第十三实施例中，如图 22 中所示，在副壁面部分 3n 中的沟槽 131 的一部分可以由与集成电路部分 1 中的接触孔相同的接触孔 139 所代替。图 22 为示出当对图 16 中所示的第十二实施例进行替换时的结构的平面示图。

另外，一部分有机绝缘膜可以由铜层所代替。

另外，在上述实施例中，遮光膜被形成在主壁面部分图案和副壁面部分图案的附近，但是遮光膜不一定总是形成在主壁面部分图案和副壁面部分图案两者的附近。例如，遮光膜可以仅仅形成在主壁面部分图案附近。

另外，在上述实施例中，遮光膜被形成在主壁面部分图案和副壁面部分图案附近的所有区域上，但是遮光膜可以仅仅形成在主壁面部分图案和副壁面部分图案附近的一部分区域上。换句话说，遮光膜可以仅仅形成在容易产生旁瓣的位置处。例如，遮光膜可以被有选择地仅仅形成在具有 L 形图案和具有 T 形图案的位置的附近。

另外，在上述实施例中，已经描述避免在主壁面部分和副壁面部分附近产生旁瓣的例子，但是本发明可应用于防止在不限于主壁面部分和副壁面部分附近的任何位置产生旁瓣的情况。例如，本发明可用于防止在熔丝图案附近产生旁瓣的情况。

另外，在上述实施例中，壁面部分块图案 309b 形成为点状，但是壁面部分块图案 309b 的形状不限于点状，例如可以是直线形状。

如上文所述，根据本发明，由于应力容易在具有副壁面部分的区域附近分散，因此不容易造成层面之间的剥离和裂纹。因此，随着裂纹的出现率被极大地降低，因此可以防止潮气进入，以保证极高的防潮性。另外，可以避免用于形成这种结构的处理步骤数目增加。另外，通过把主壁面部分和副壁面部分相互连接，可以防止裂纹的进一步发展和潮气的入侵。

另外，根据本发明，由于在相移掩膜中，遮光膜被形成在要形成外围边缘部分的外围边缘区域中，因此遮光膜可以防止光线通过外围边缘区域中的相移掩膜。从而，根据本发明，可以减少主壁面部分和副壁面部分附近的光线的相互干涉，以防止旁瓣的产生。

上述实施例被认为是说明性而非限制性的，并且可以在权利要求的等价表述的范围内作出所有改变。本发明可以体现在其它具体的形式中，而不脱离其精神实质。

图1

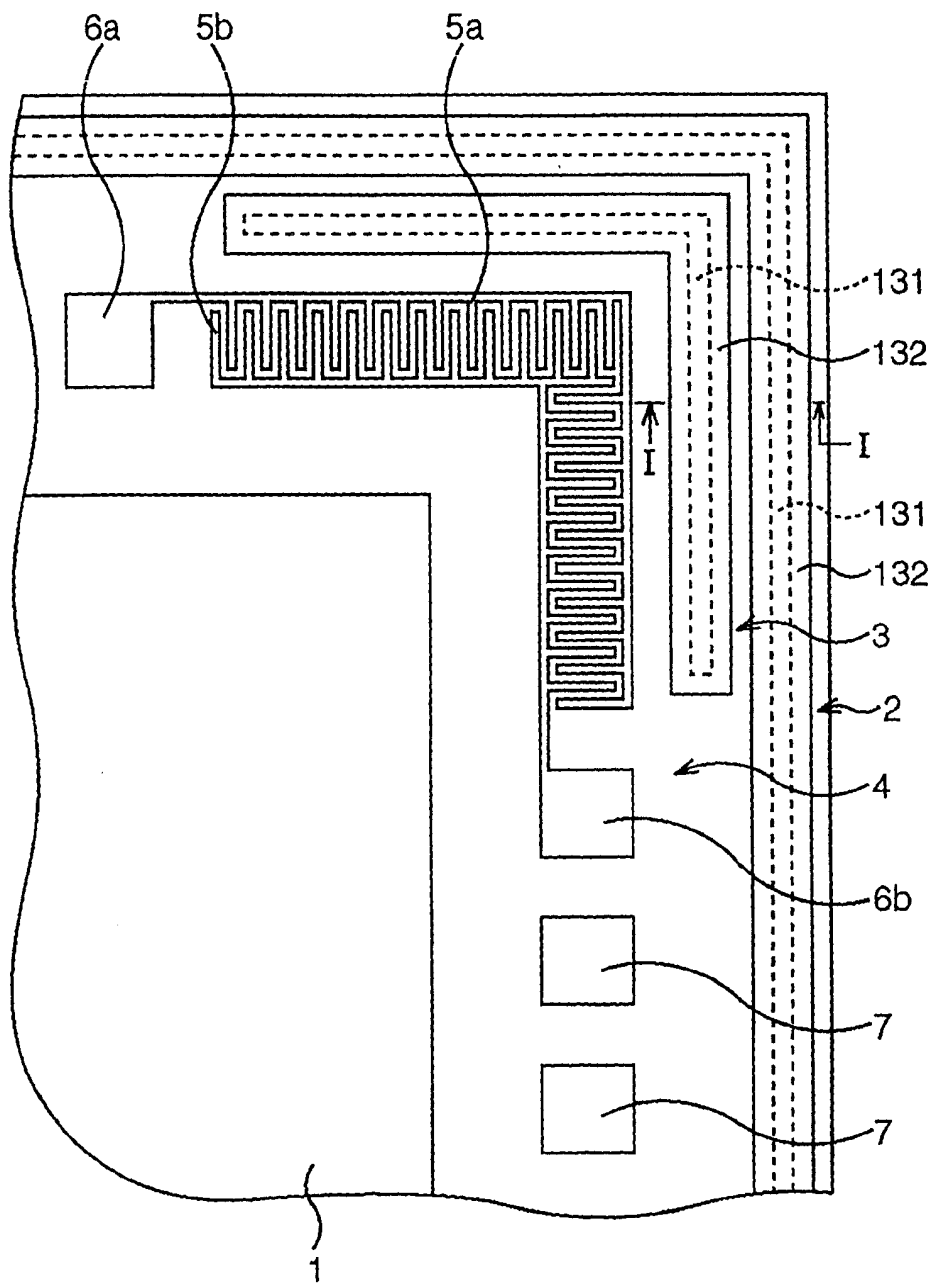
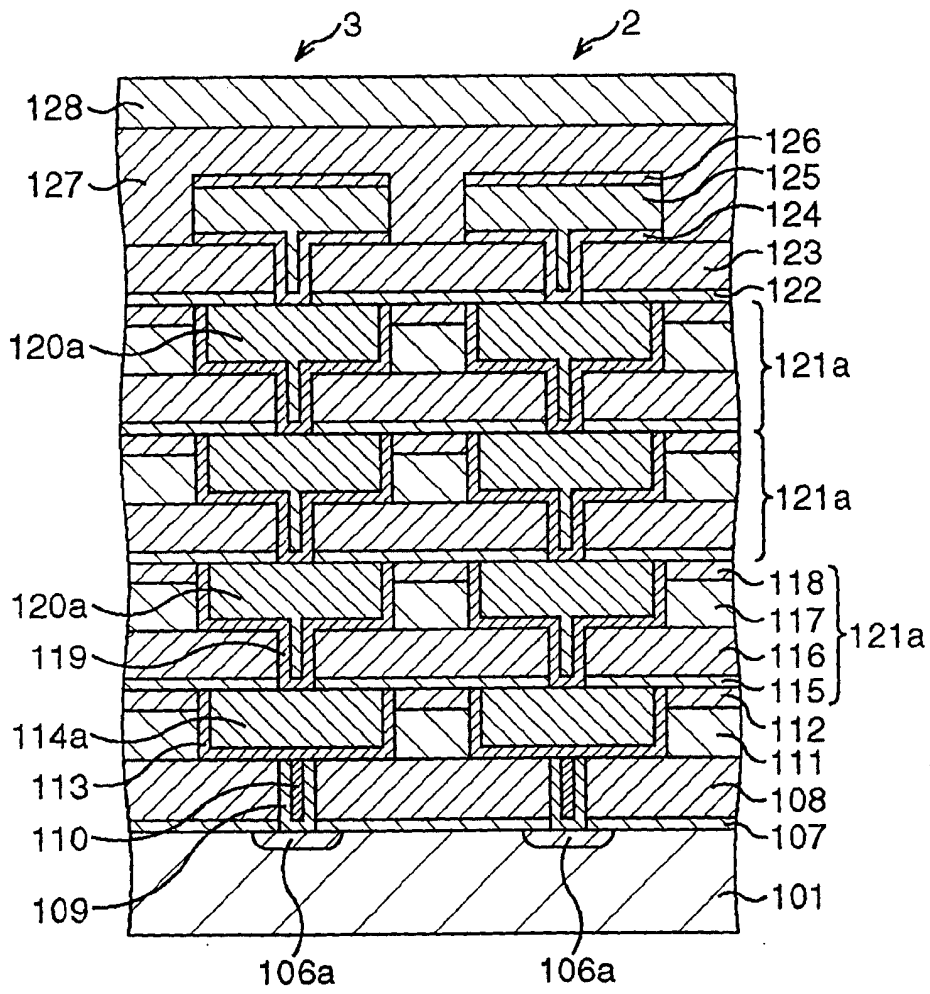




图 3



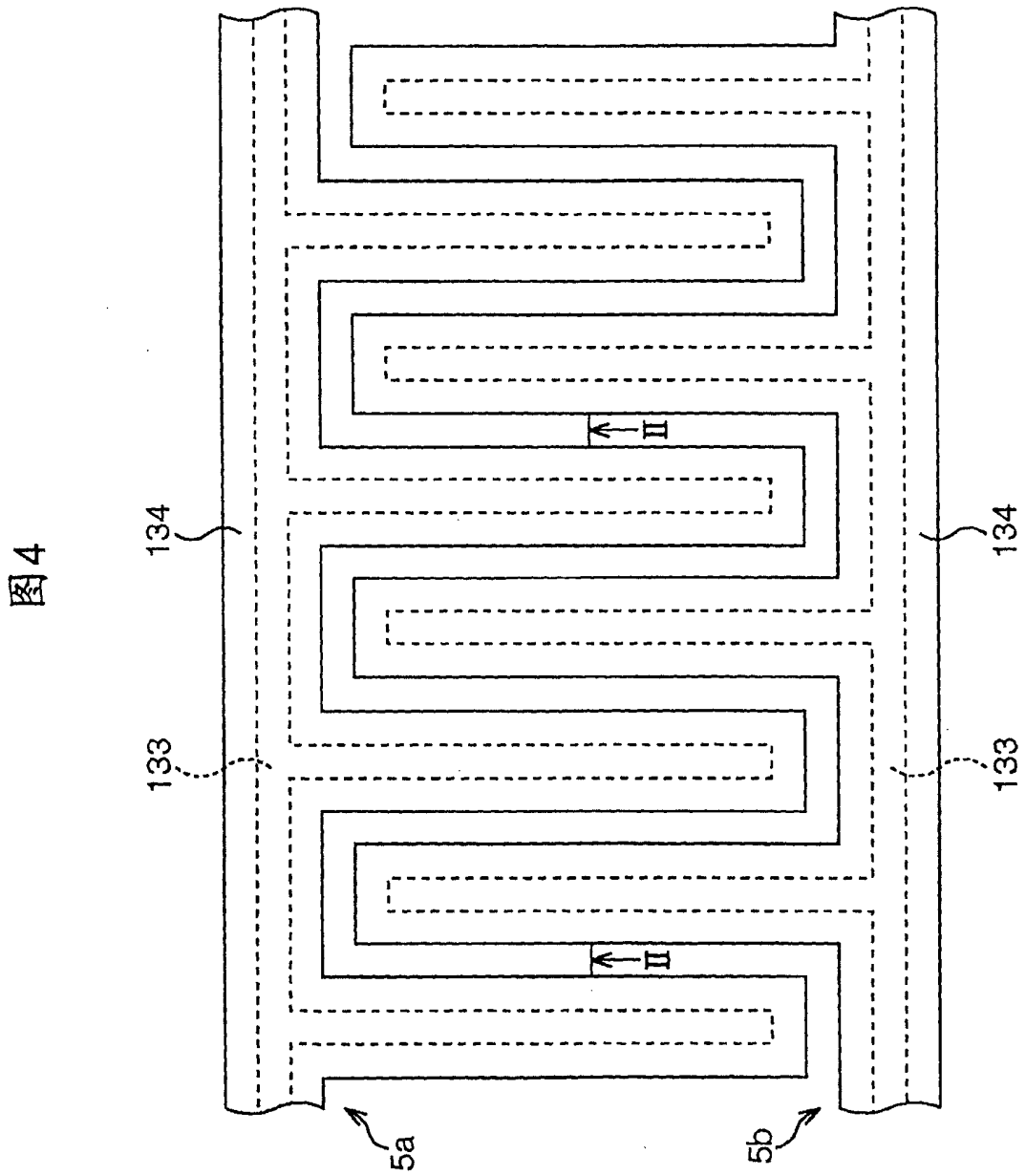


图5

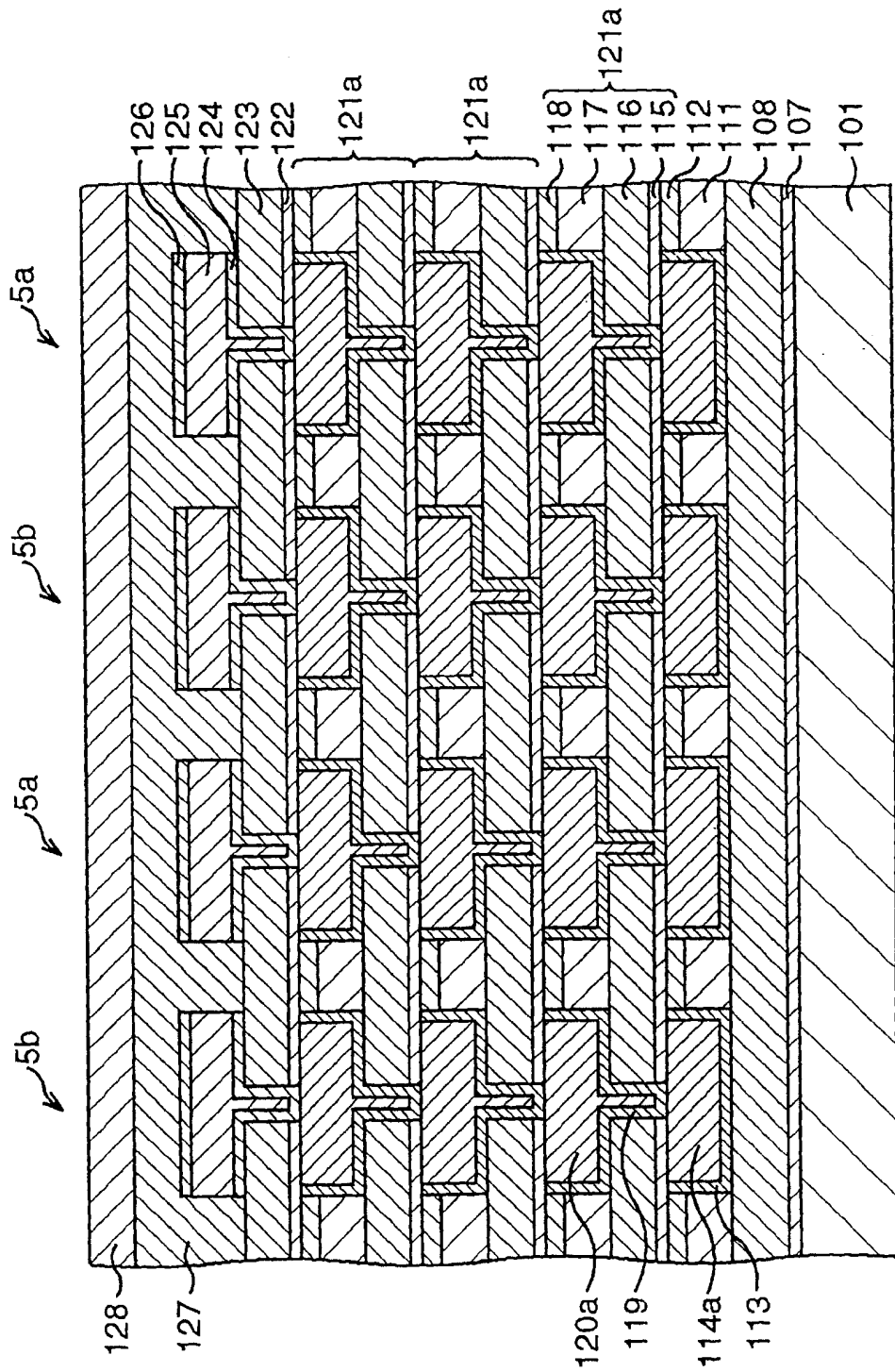


图6

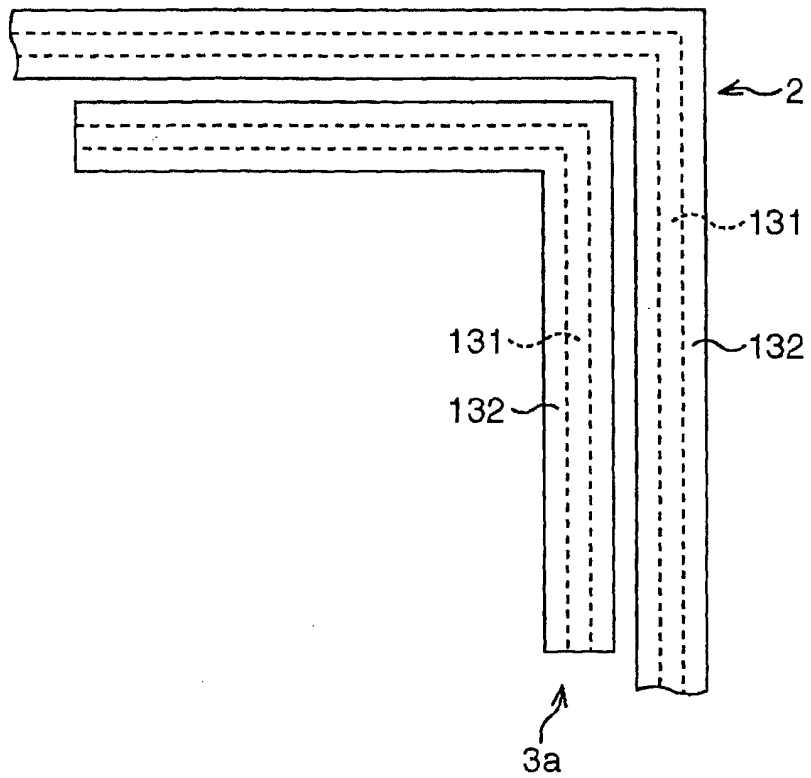


图7

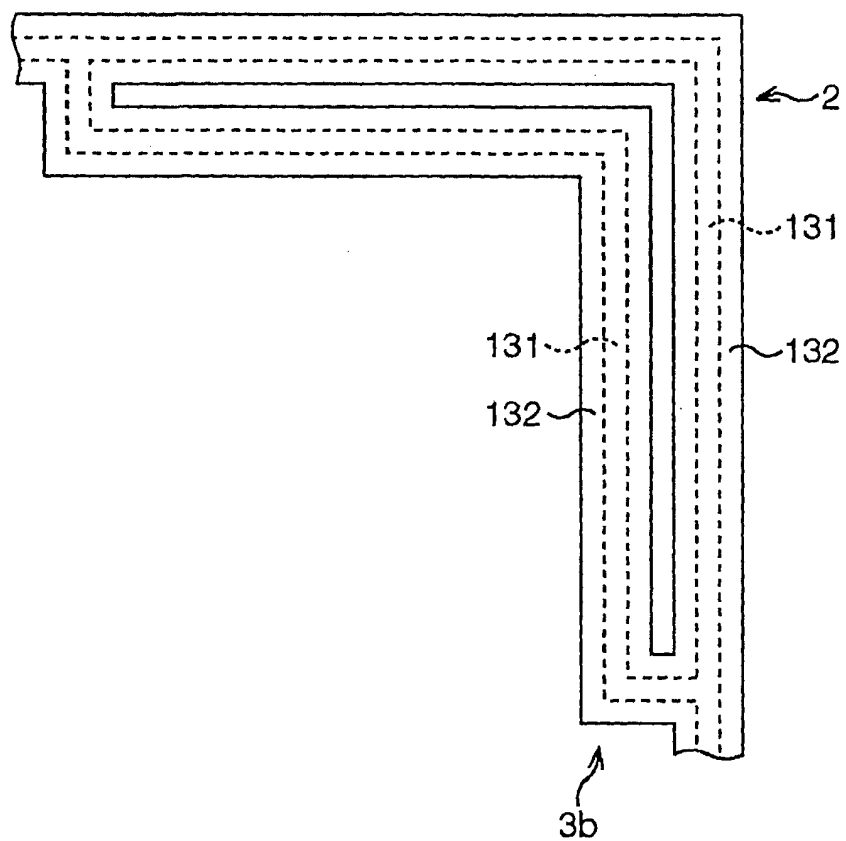


图8

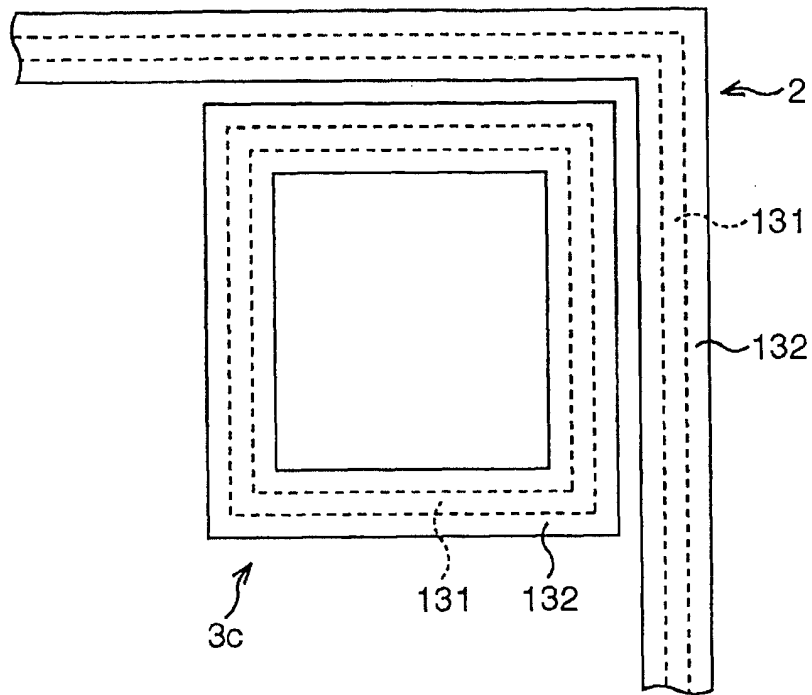


图9

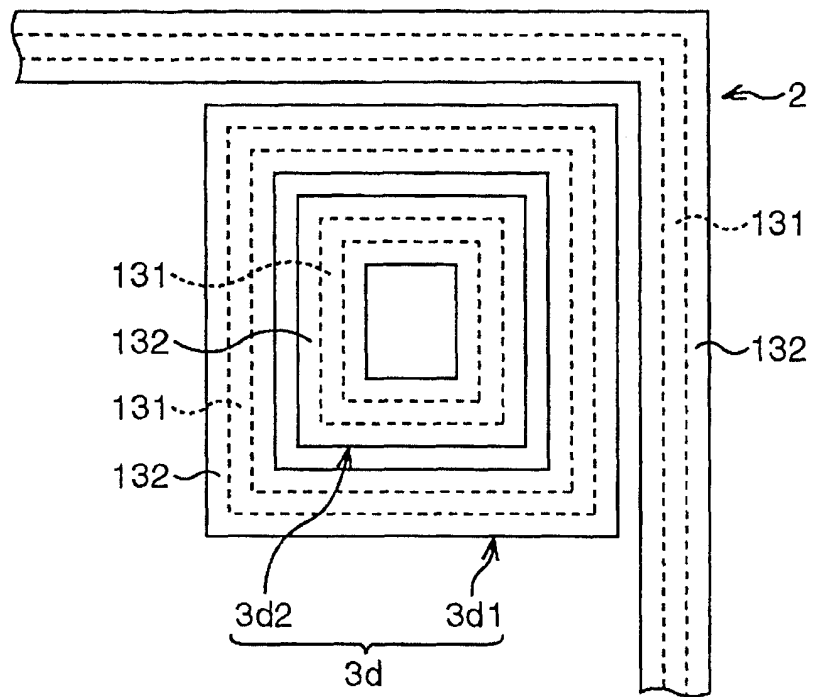


图10

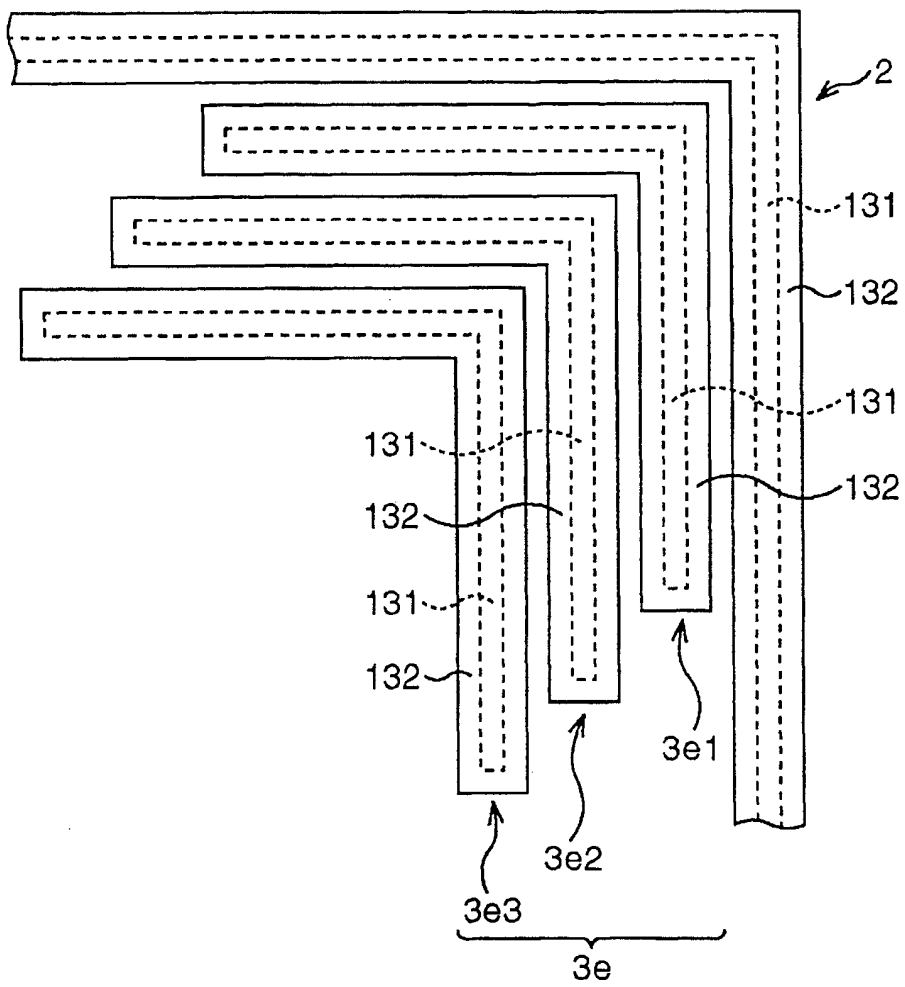


图11

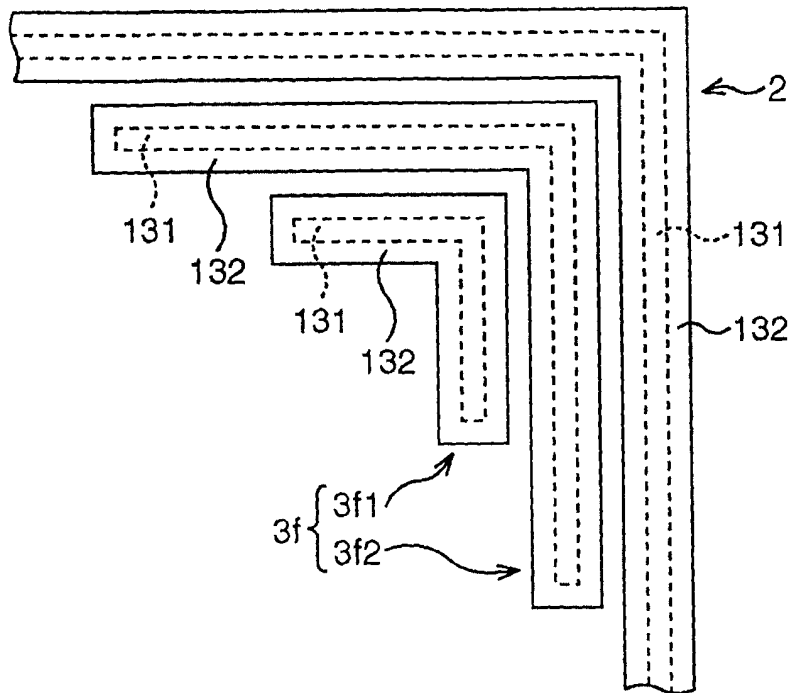


图12

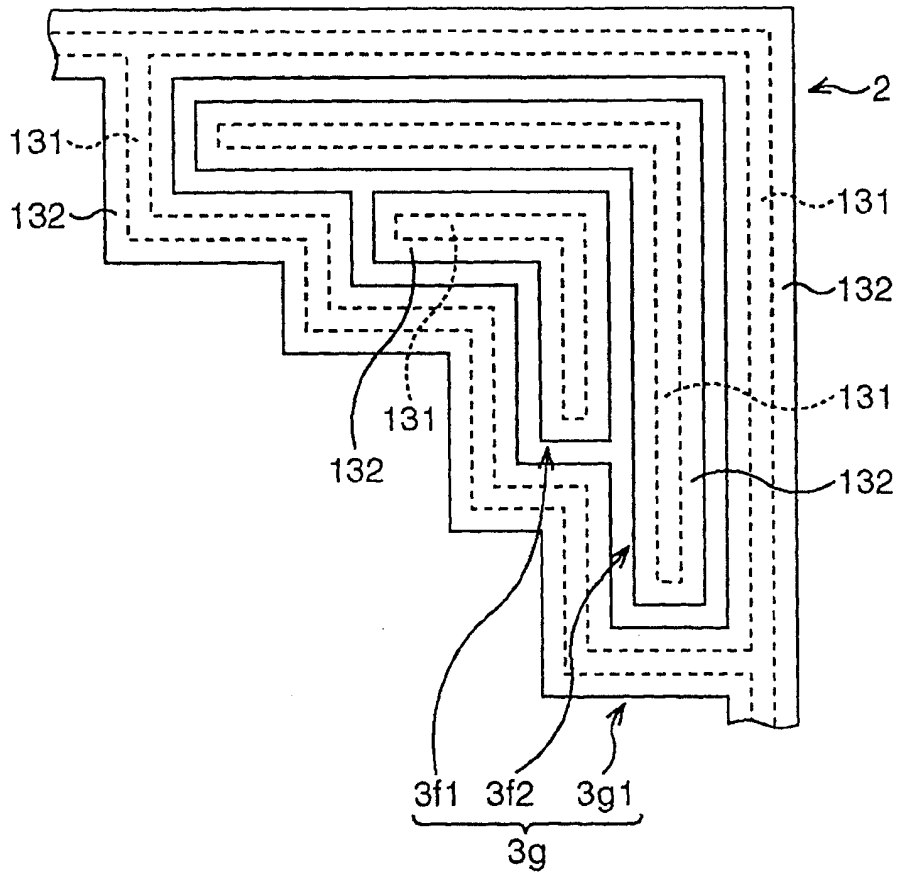




图14

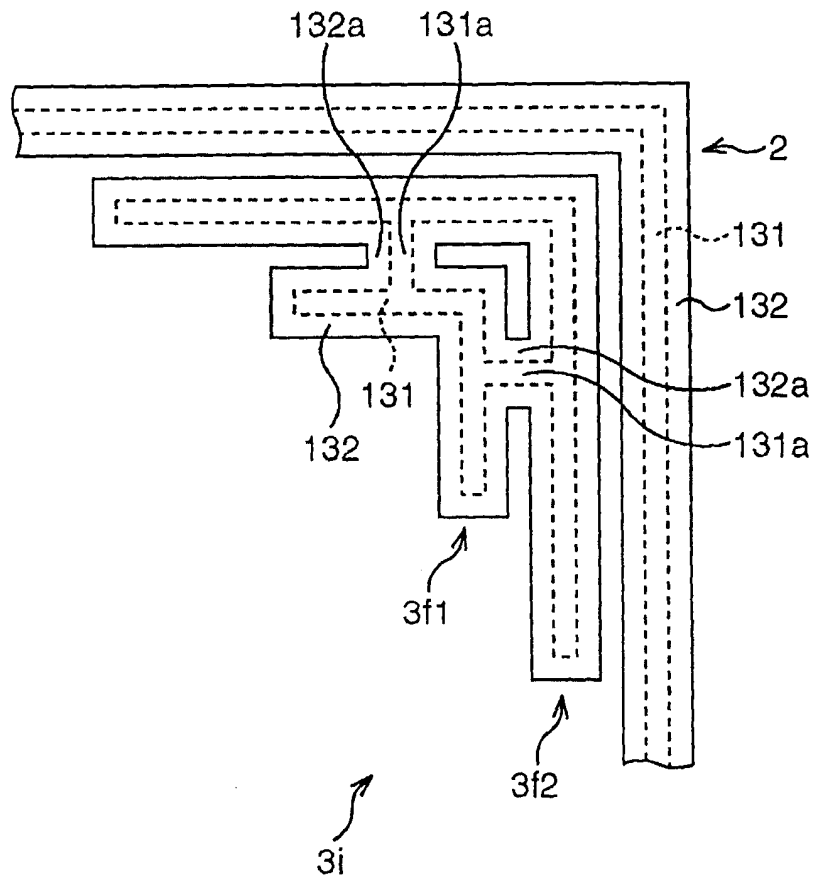


图15

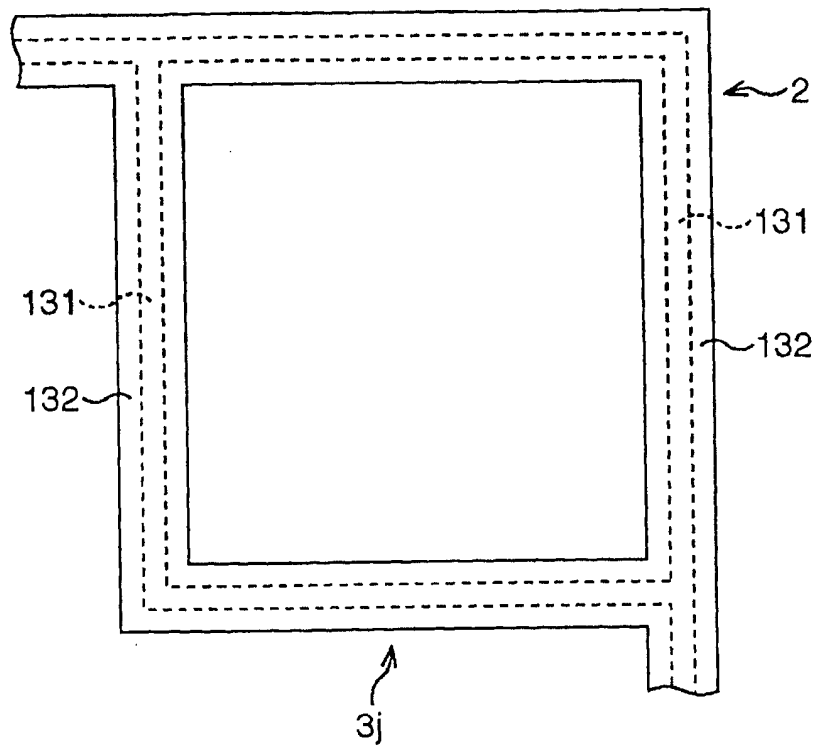


图16

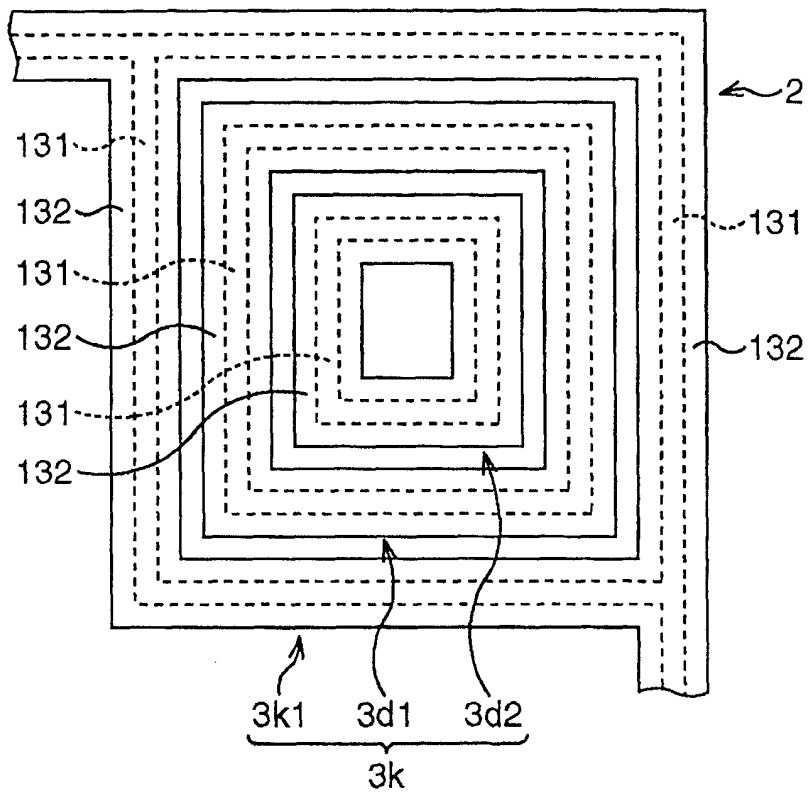


图17

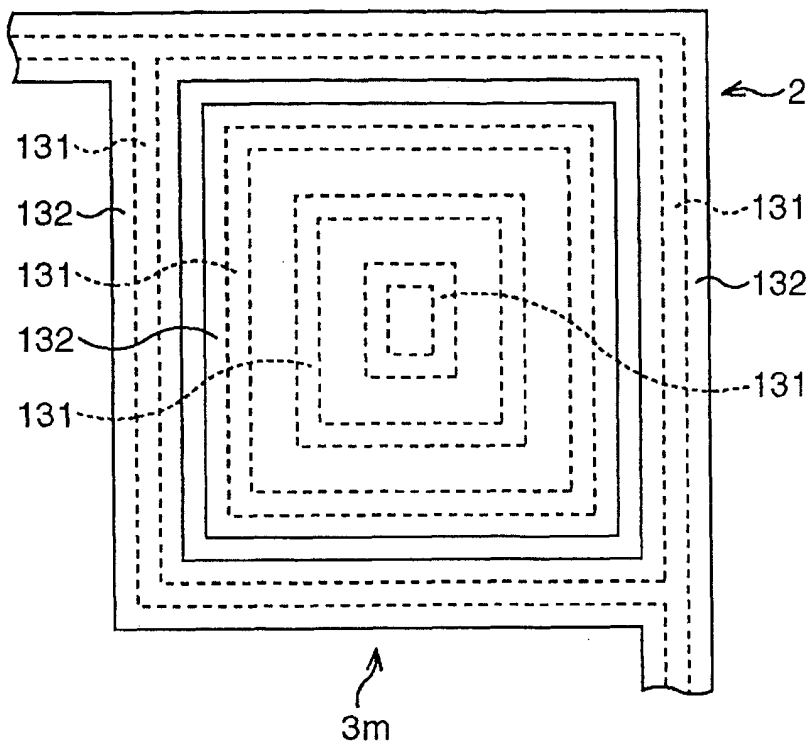


图18A

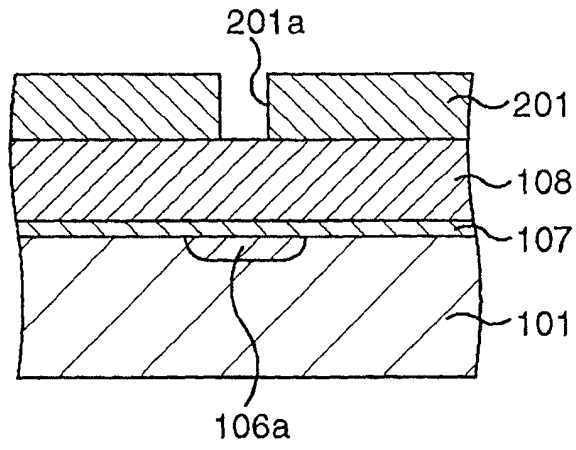


图18B

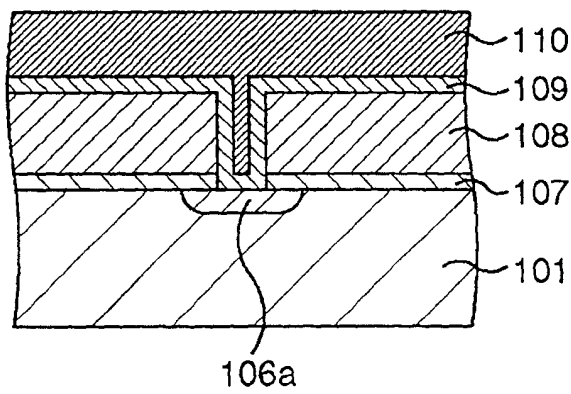


图18C

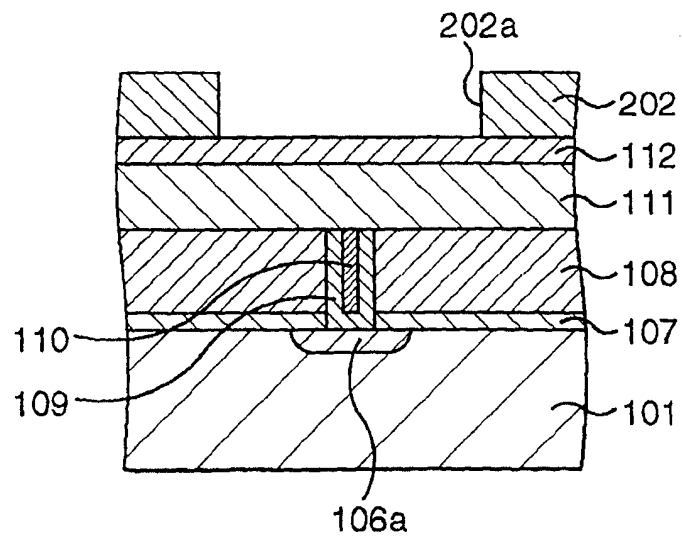


图18D

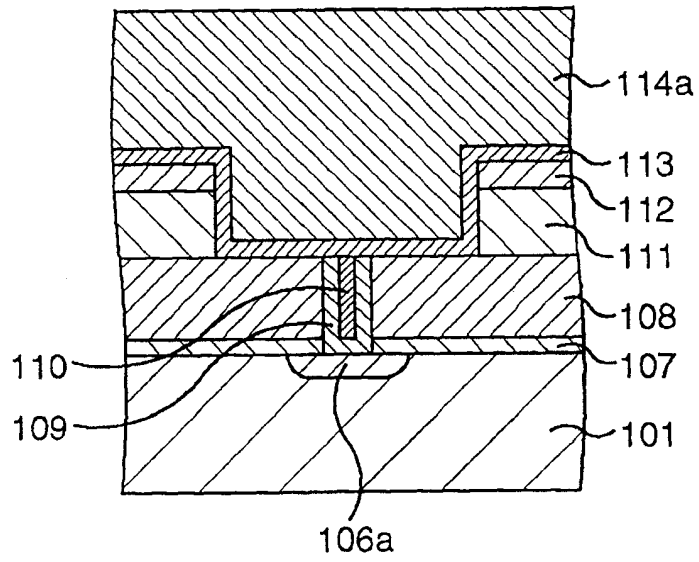


图18E

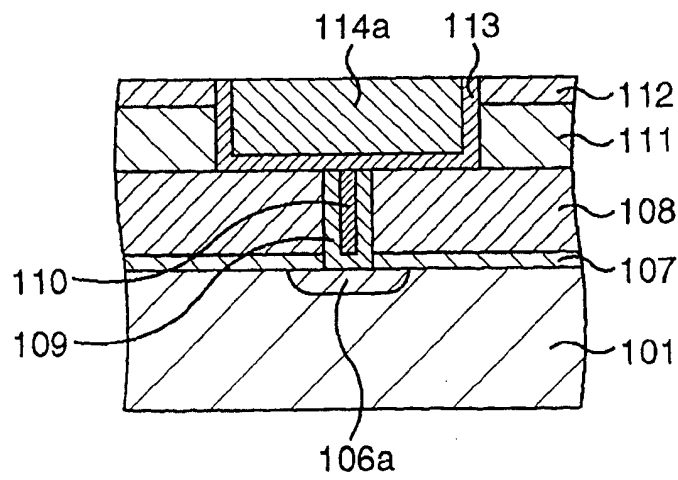


图18F

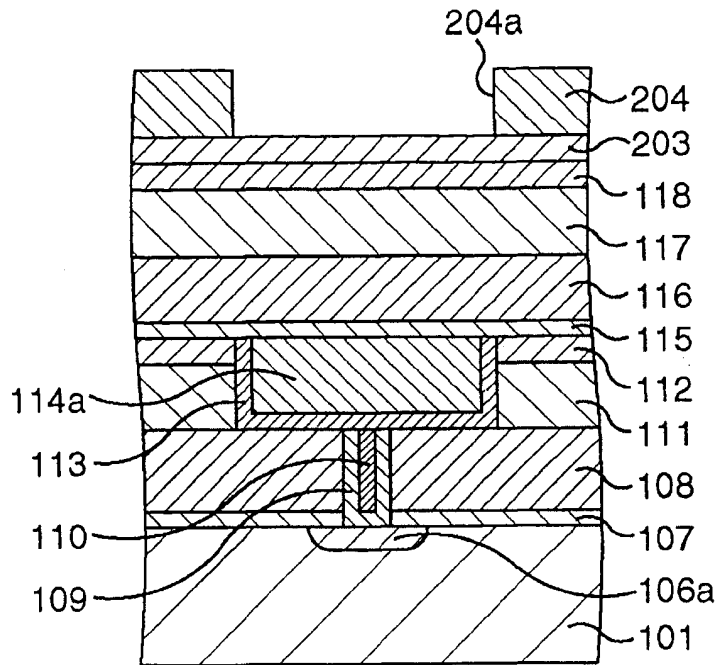


图18G

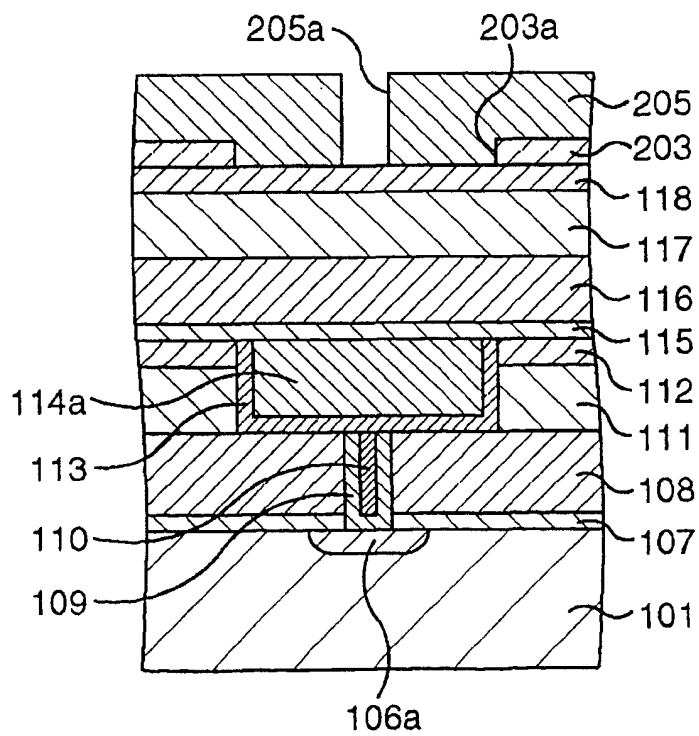


图18H

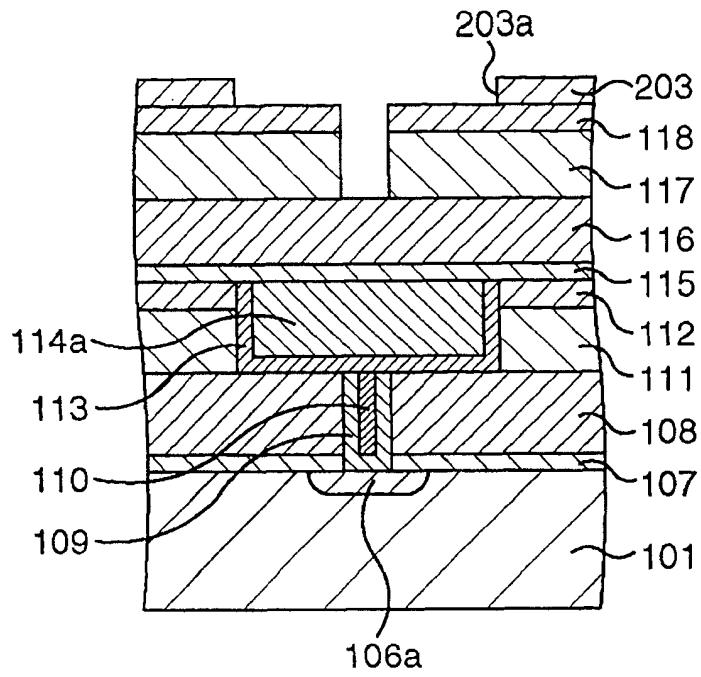


图18I

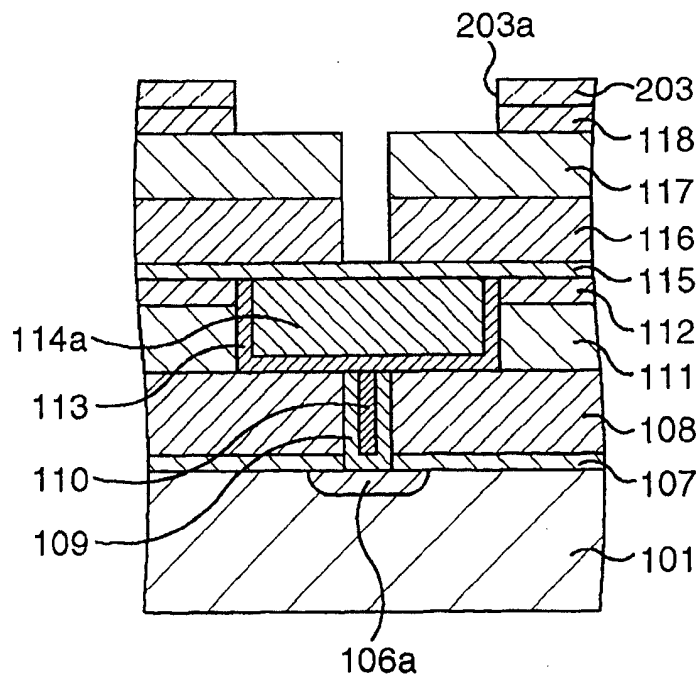


图18J

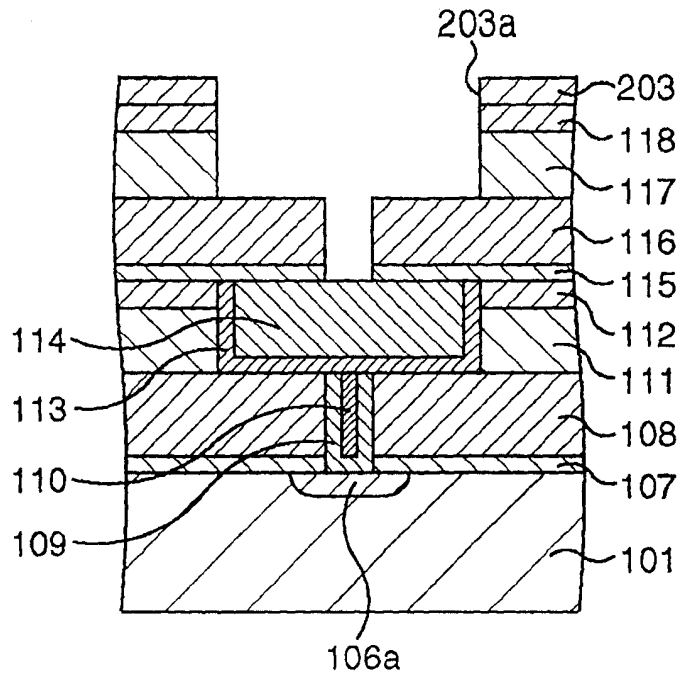


图18K

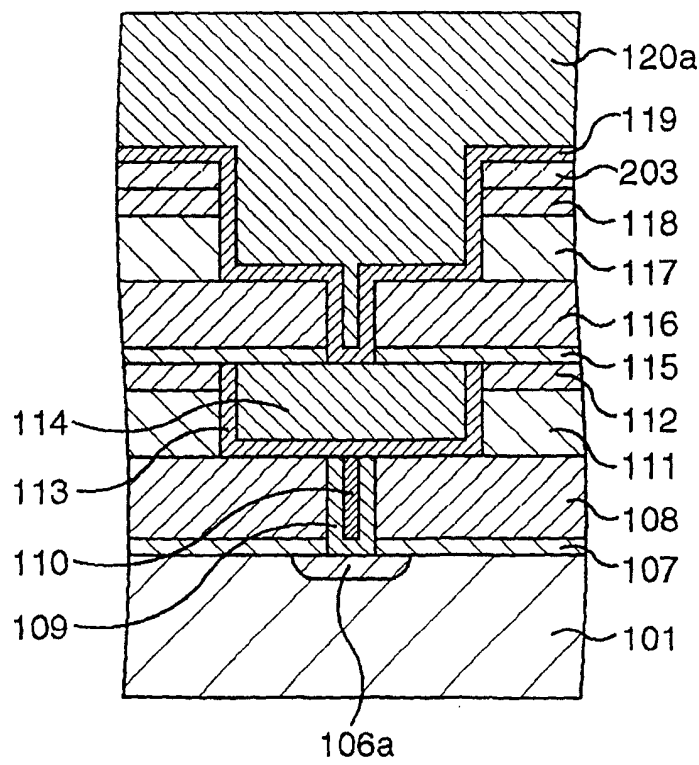


图18L

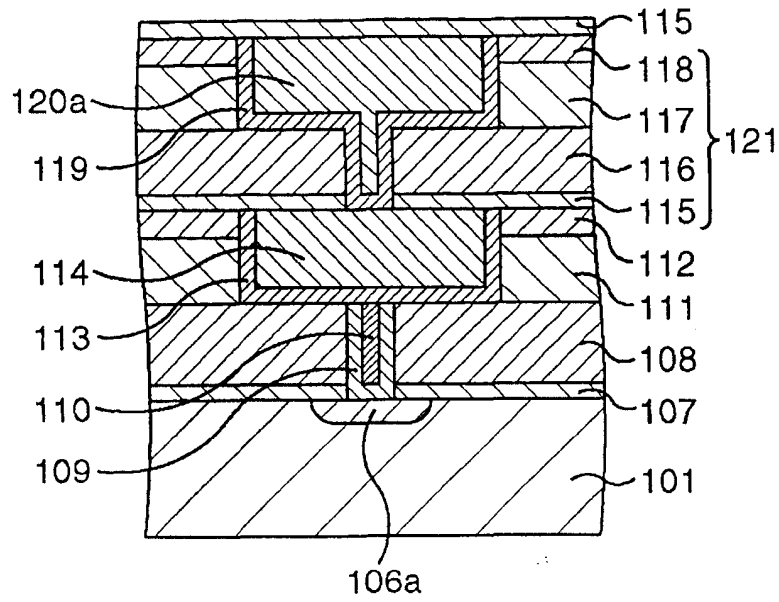


图18M

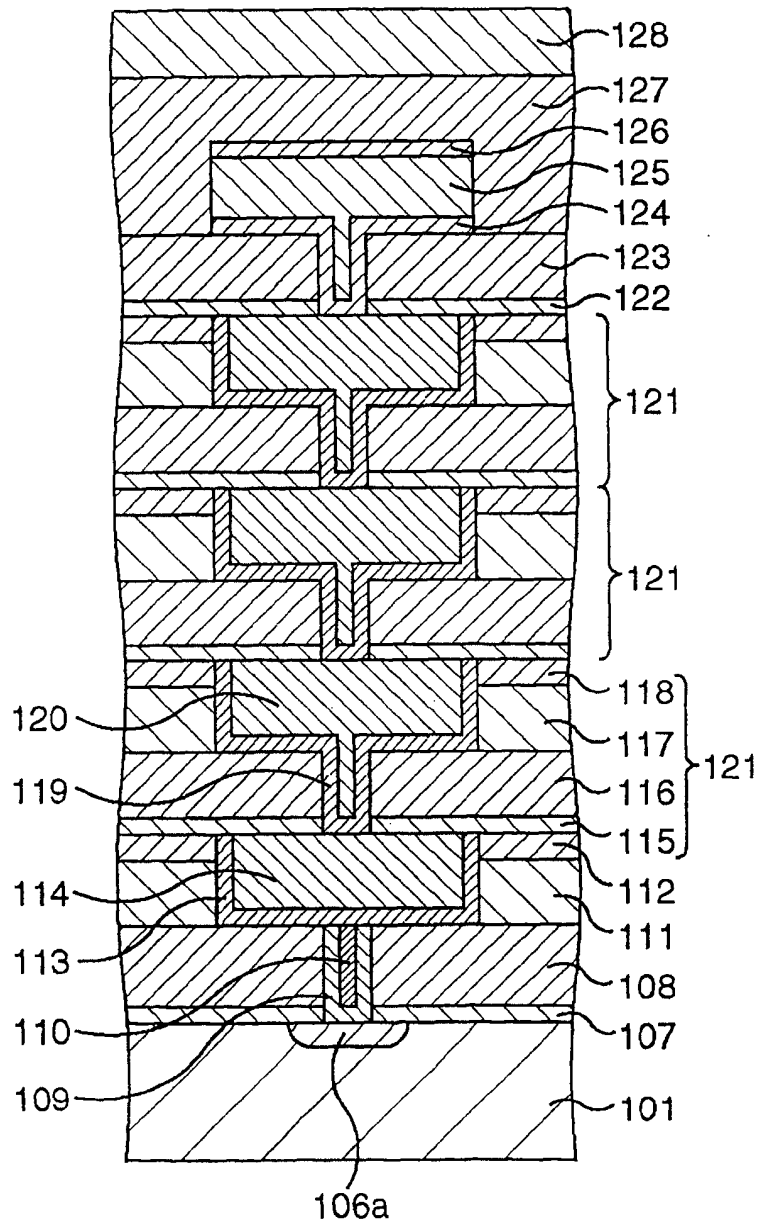


图19

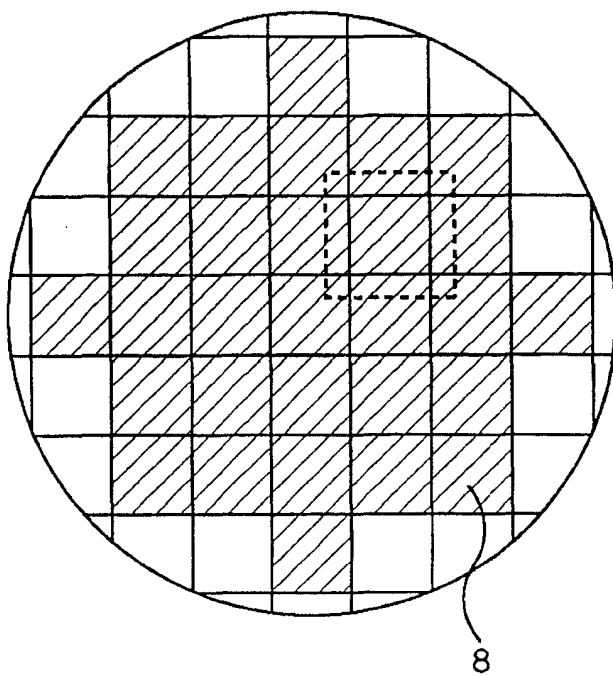


图 20

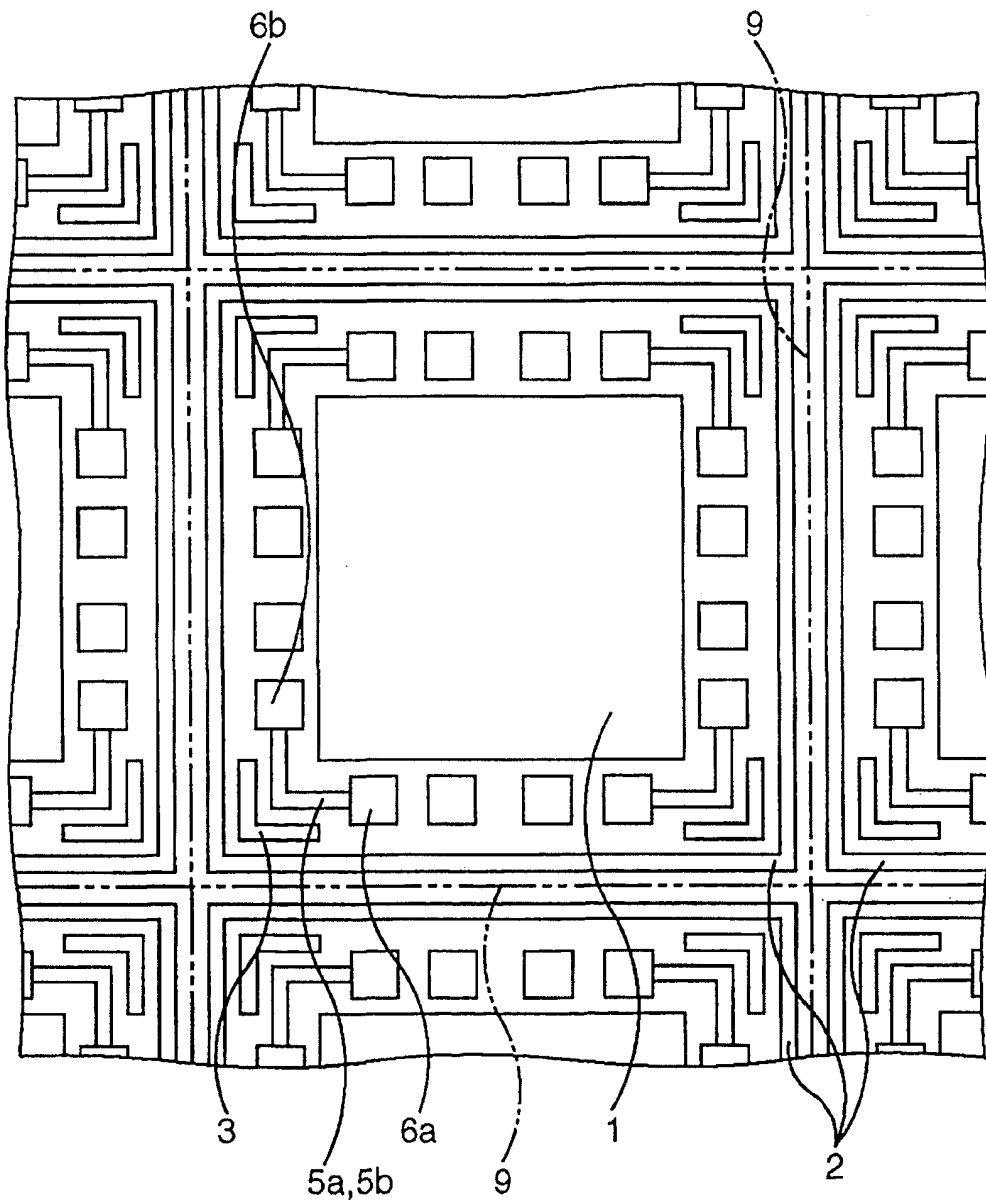


图21

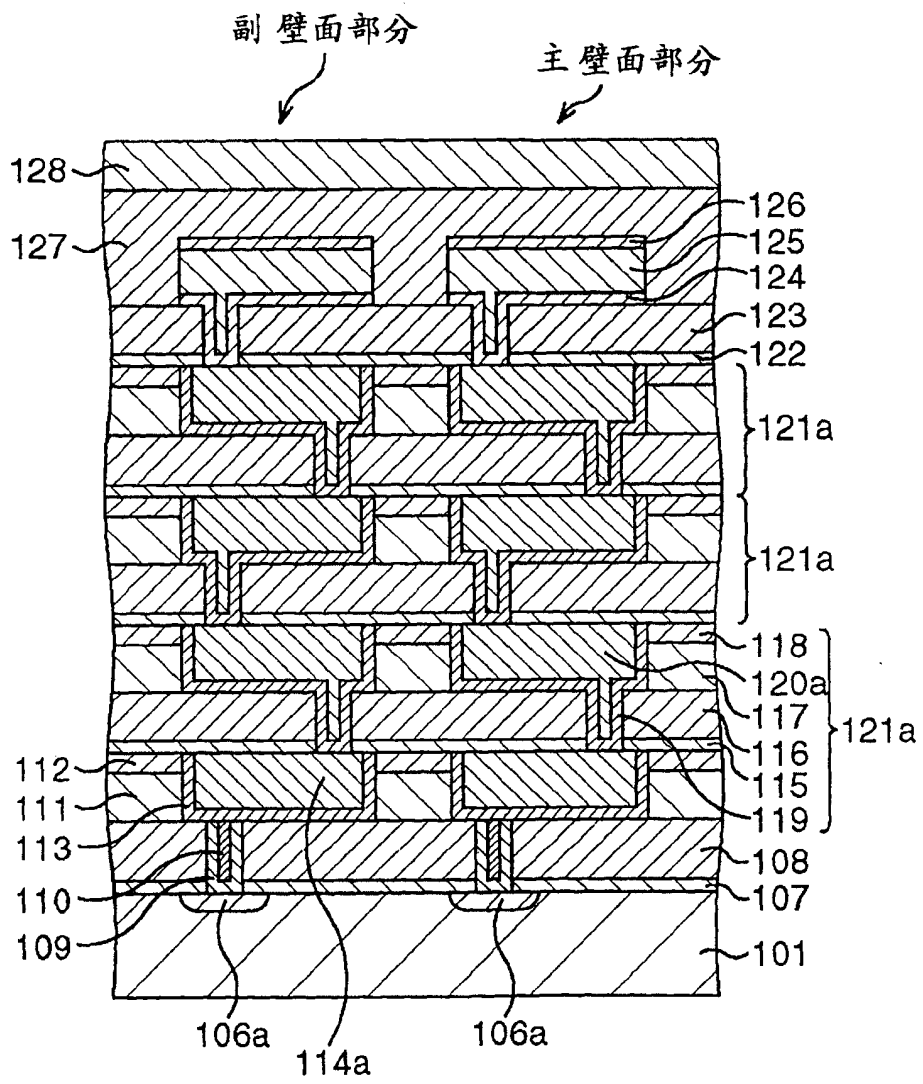


图 22

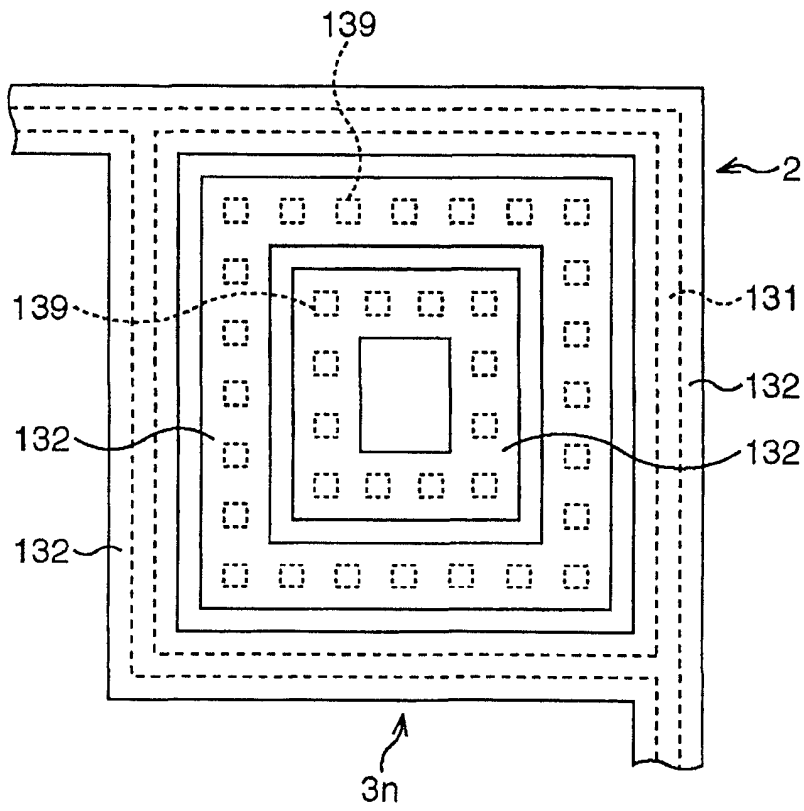


图23A

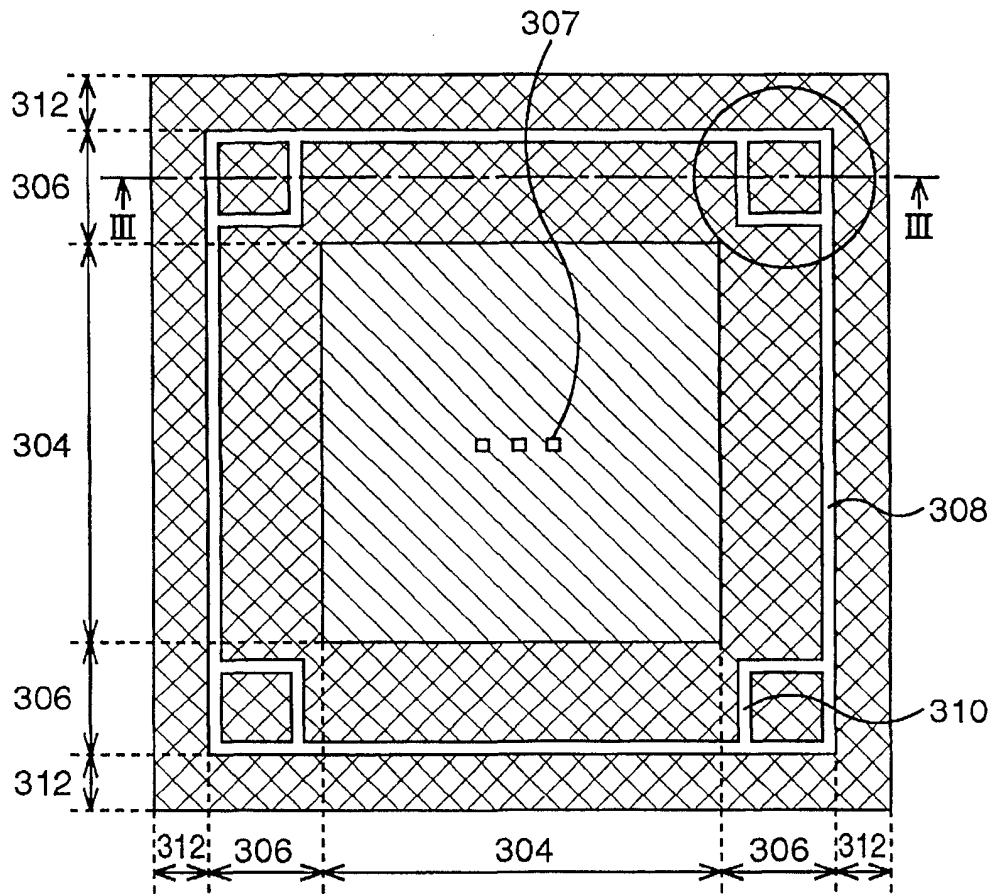


图23B

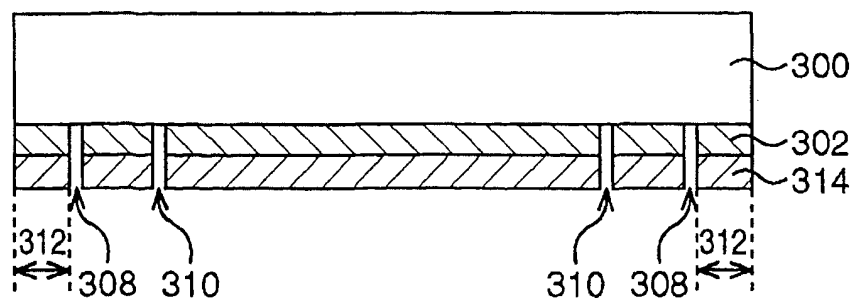


图24A

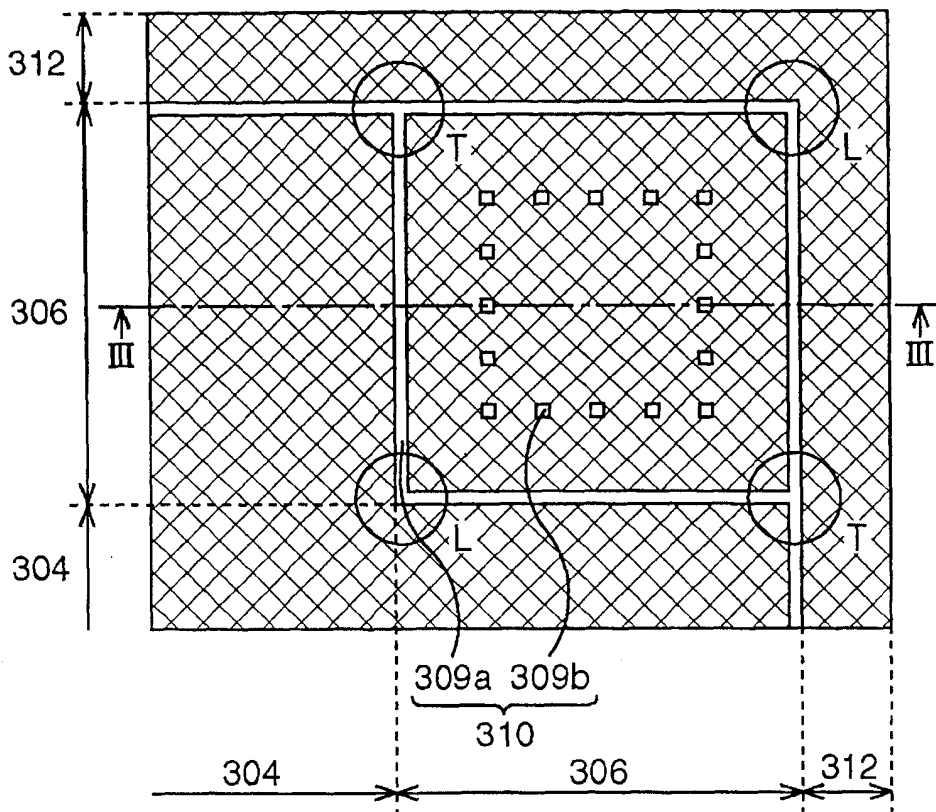


图24B

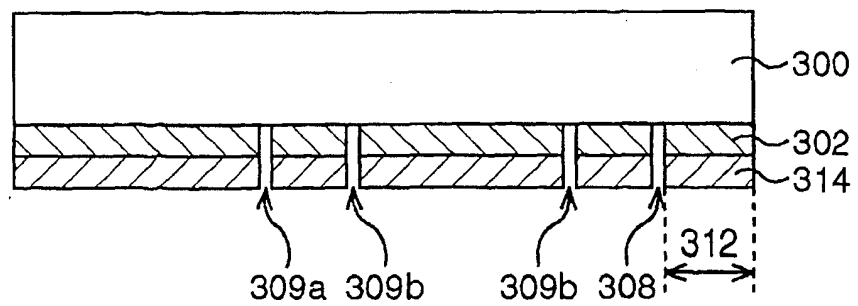


图25A

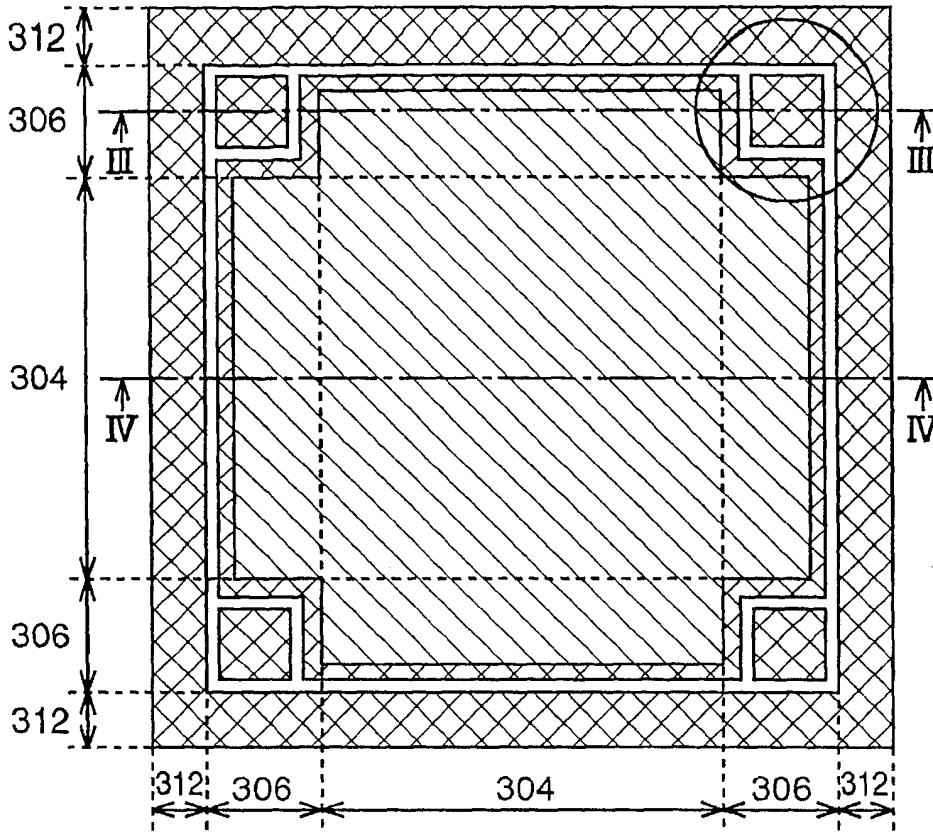


图25B

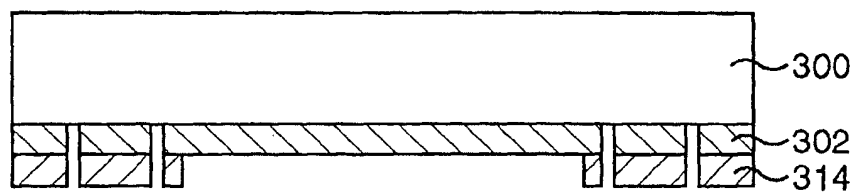


图25C

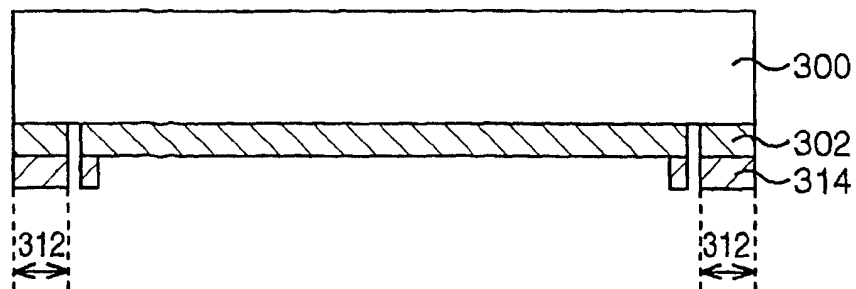


图26A

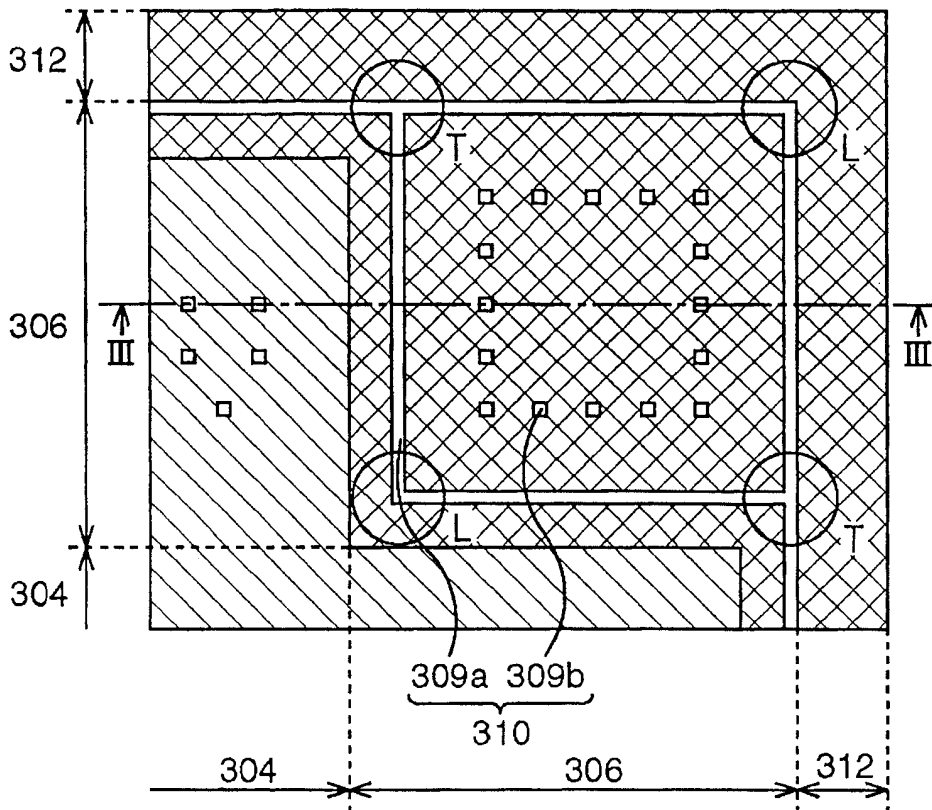


图26B

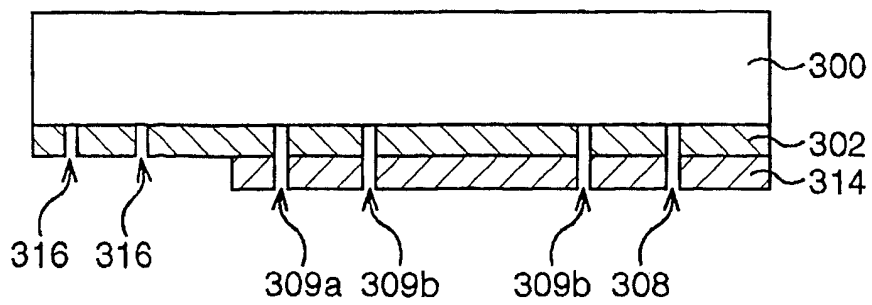


图27A

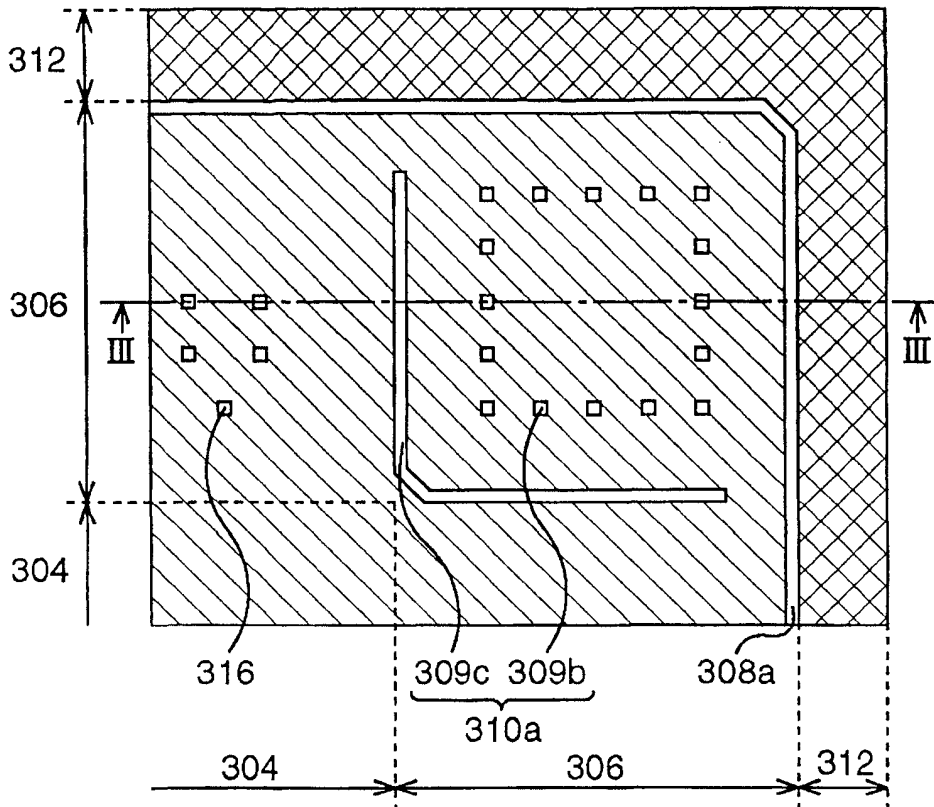


图27B

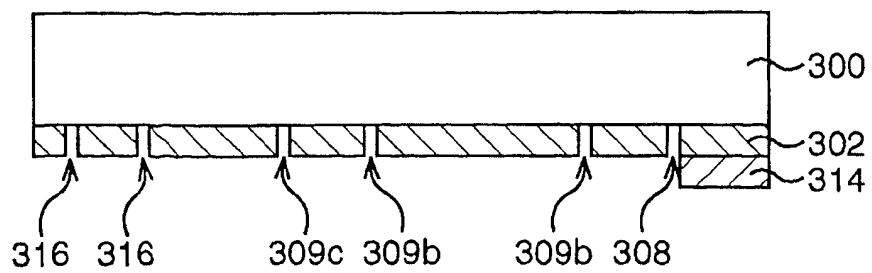


图28A

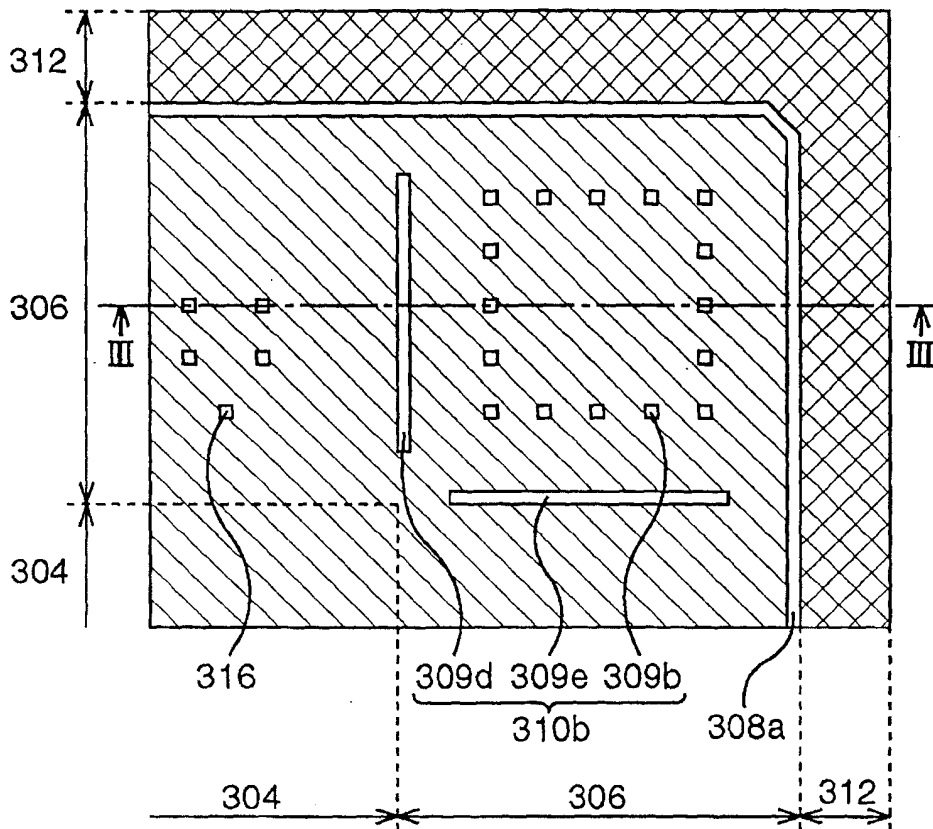


图28B

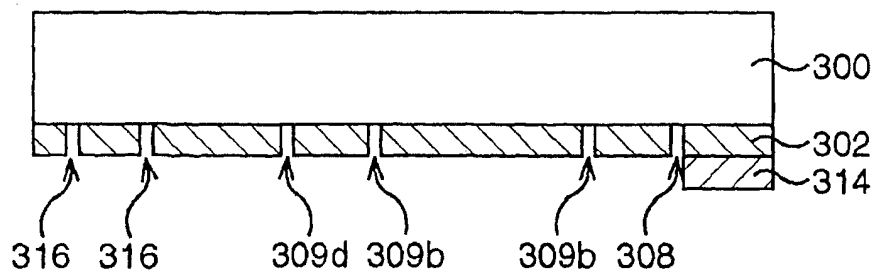


图29A

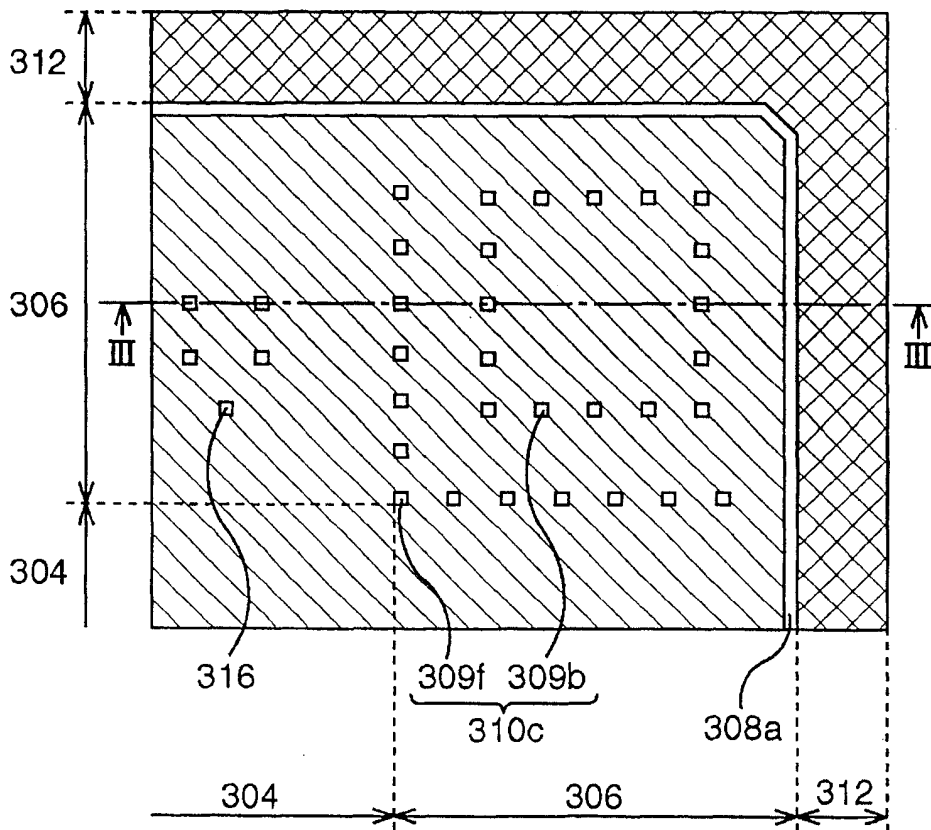


图29B

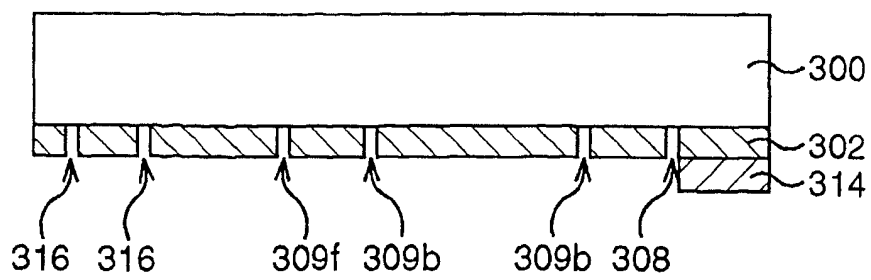


图30A

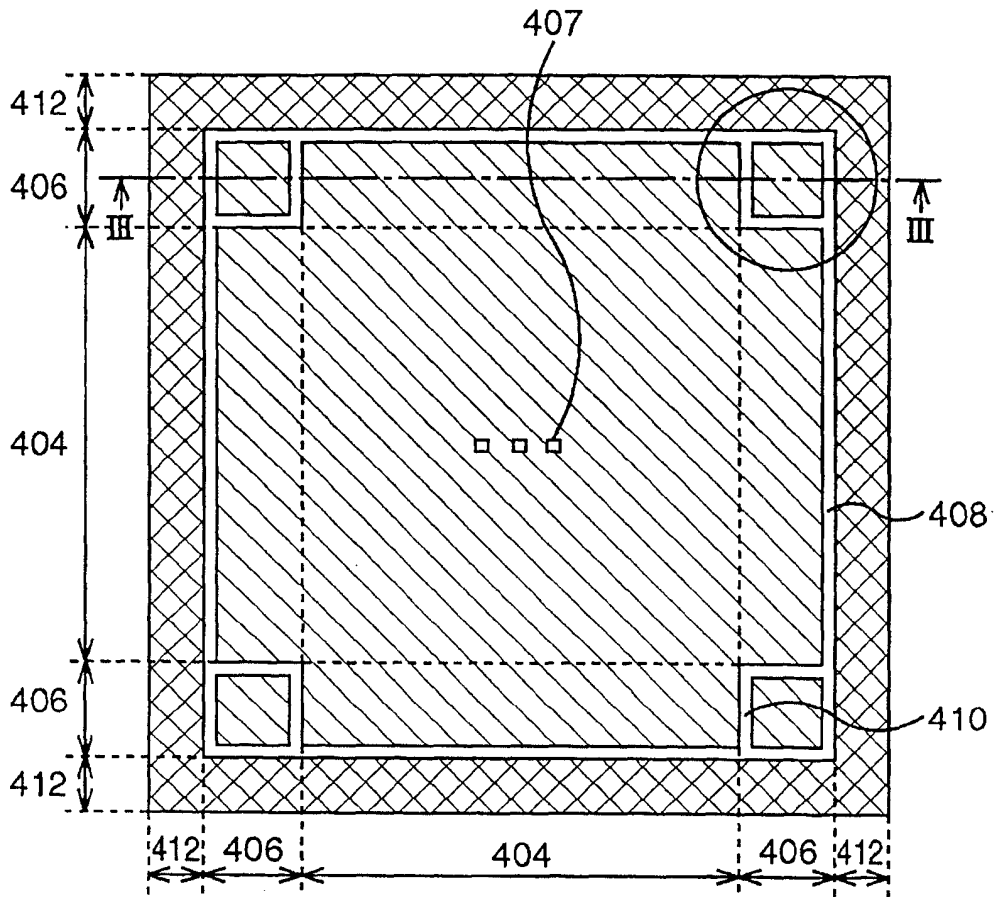


图 30B

