

【公報種別】特許法第 17 条の 2 の規定による補正の掲載
 【部門区分】第 6 部門第 3 区分
 【発行日】平成31年2月7日 (2019.2.7)

【公開番号】特開2018-181378(P2018-181378A)
 【公開日】平成30年11月15日 (2018.11.15)
 【年通号数】公開・登録公報2018-044
 【出願番号】特願2018-146132(P2018-146132)
 【国際特許分類】

G 0 6 F 12/1027 (2016.01)

【 F I 】

G 0 6 F 12/1027 1 0 0

【手続補正書】

【提出日】平成30年12月17日 (2018.12.17)

【手続補正 1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項 1】

ハードウェア内で変換索引バッファ (T L B) シュートダウンを指示および追跡するための方法であって、

1 つ以上のプロセッサコアをそれぞれ備える 1 つ以上のプロセッサによって、第 1 プロセッサコア上で実行中のプロセスが 1 つ以上の仮想メモリページと以前に関連付けられた 1 つ以上の物理メモリアドレスとの関連性を失わせたことを検出するステップと、

前記第 1 プロセッサコアによって、 T L B シュートダウン要求を生成するステップと、

前記第 1 プロセッサコアによって、前記 T L B シュートダウン要求を前記 1 つ以上のプロセッサコアのうち他のプロセッサコアに送信するステップとを含み、

前記 T L B シュートダウン要求は、

関連性が喪失され且つ前記他のプロセッサコアに対応する T L B からフラッシュされる必要のある仮想メモリページを示すシュートダウンアドレスと、

前記他のプロセッサコアが前記 T L B シュートダウン要求の処理完了を通知する場所を示す通知アドレスと、

識別情報とを含み、

前記他のプロセッサコアの識別情報が前記 T L B シュートダウン要求に含まれる前記識別情報と一致し、且つ前記他のプロセッサコアの T L B が前記 T L B シュートダウン要求内の前記シュートダウンアドレスを含む場合、前記シュートダウンアドレスは、無効化され、

前記他のプロセッサコアの識別情報が前記 T L B シュートダウン要求に含まれる前記識別情報と一致しない場合、前記シュートダウンアドレスは、無視される、方法。

【請求項 2】

前記方法は、前記他のプロセッサコアが前記 T L B シュートダウン要求の処理を完了した場合、前記他のプロセッサコアから通知を受信するステップをさらに含み、

前記通知は、前記通知アドレスで受信される、請求項 1 に記載の方法。

【請求項 3】

前記 1 つ以上のプロセッサは、 1 つ以上の仮想マシンを実行し、

前記仮想マシンは、 1 つ以上の仮想コンピュータプロセッサ (V C P U) を含み、

前記プロセスは、前記 1 つ以上の V C P U 上で実行される第 1 プロセスである、請求項

1 または 2 に記載の方法。

【請求項 4】

電力管理ユニットによって、前記 T L B シュートダウン要求を受信した第 2 コアが低電力状態にあるか否かを判断するステップと、

前記第 2 コアが低電力状態にある場合、前記電力管理ユニットによって、前記 T L B シュートダウン要求を通知するステップとをさらに含む、請求項 1 ~ 3 のいずれか 1 項に記載の方法。

【請求項 5】

高度なプログラム可能な割込みコントローラ (A P I C) によって、前記 T L B シュートダウン要求を受信した第 2 コアが低電力状態にあるか否かを判断するステップと、

前記第 2 コアが低電力状態にある場合、前記 A P I C によって、前記 T L B シュートダウン要求を通知するステップとをさらに含む、請求項 1 ~ 4 のいずれか 1 項に記載の方法。

【請求項 6】

前記識別情報は、構成要素の識別子を含み、

前記構成要素は、V M、前記 V M に含まれた V C P U、プロセッサコア、および / または、V C P U もしくはプロセッサコア内で実行されるプロセスのうち 1 種以上を含む、請求項 3 に記載の方法。

【請求項 7】

前記識別情報によって識別された前記構成要素のすべてが前記 T L B シュートダウン要求を通知するまで、前記識別された構成要素から受信した通知の数を追跡するステップと、

前記識別情報によって識別された前記構成要素のすべてから通知を受信した場合、前記第 1 プロセッサコアによって、前記 T L B シュートダウン要求を完了するステップとをさらに含む、請求項 6 に記載の方法。

【請求項 8】

ハードウェア内で変換索引バッファ (T L B) シュートダウンを指示および追跡するためのシステムであって、

1 つ以上のプロセッサを備え、各プロセッサは 1 つ以上のプロセッサコアを含み、

前記 1 つ以上のプロセッサは、

第 1 プロセッサコア上で実行中のプロセスが 1 つ以上の仮想メモリページと以前に関連付けられた 1 つ以上の物理メモリアドレスとの関連性を失わせたことを決定し、

T L B シュートダウン要求を生成し、

前記 T L B シュートダウン要求を前記 1 つ以上のプロセッサコアのうち他のプロセッサコアに送信するように構成され、

前記 T L B シュートダウン要求は、

関連性が喪失され且つ前記他のプロセッサコアに対応する T L B からフラッシュされる必要のある仮想メモリページを示すシュートダウンアドレスと、

前記他のプロセッサコアが前記 T L B シュートダウン要求の処理完了を通知する場所を示す通知アドレスと、

識別情報とを含み、

前記他のプロセッサコアの識別情報が前記 T L B シュートダウン要求に含まれる前記識別情報と一致し、且つ前記他のプロセッサコアの T L B が前記 T L B シュートダウン要求内の前記シュートダウンアドレスを含む場合、前記シュートダウンアドレスは、無効化され、

前記他のプロセッサコアの識別情報が前記 T L B シュートダウン要求に含まれる前記識別情報と一致しない場合、前記シュートダウンアドレスは、無視される、システム。

【請求項 9】

前記 1 つ以上のプロセッサは、前記他のプロセッサコアが前記 T L B シュートダウン要求の処理を完了した場合、前記他のプロセッサコアから通知を受信するように構成され、

前記通知は、前記通知アドレスで受信される、請求項 8 に記載のシステム。

【請求項 10】

前記 1 つ以上のプロセッサは、1 つ以上の仮想マシンを実行するように構成され、
前記仮想マシンは、1 つ以上の仮想コンピュータプロセッサ（V C P U）を含み、
前記プロセスは、前記 1 つ以上の V C P U 上で実行される第 1 プロセスである、請求項 8 または 9 に記載のシステム。

【請求項 11】

前記システムは、電力管理ユニットをさらに備え、
前記電力管理ユニットは、前記 T L B シュートダウン要求を受信した第 2 コアが低電力状態にあるか否かを判断し、前記第 2 コアが低電力状態にある場合、前記 T L B シュートダウン要求を通知するように構成される、請求項 8 ～ 10 のいずれか 1 項に記載のシステム。

【請求項 12】

高度なプログラム可能な割込みコントローラ（A P I C）をさらに備え、
前記 A P I C は、前記 T L B シュートダウン要求を受信した第 2 コアが低電力状態にあるか否かを判断し、前記第 2 コアが低電力状態にある場合、前記 T L B シュートダウン要求を通知するように構成される、請求項 8 ～ 11 のいずれか 1 項に記載のシステム。

【請求項 13】

前記識別情報は、構成要素の識別子を含み、
前記構成要素は、V M、前記 V M に含まれた V C P U、プロセッサコア、および / または、V C P U もしくはプロセッサコア内で実行されるプロセスのうち 1 種以上を含む、請求項 10 に記載のシステム。

【請求項 14】

前記 1 つ以上のプロセッサは、前記識別情報によって識別された前記構成要素のすべてが前記 T L B シュートダウン要求を通知するまで、前記識別された構成要素から受信した通知の数を追跡し、前記識別情報によって識別された前記構成要素のすべてから通知を受信した場合、前記 T L B シュートダウン要求を完了するように構成される、請求項 13 に記載のシステム。

【請求項 15】

請求項 1 ～ 7 のいずれか 1 項に記載の方法をコンピュータに実行させる、プログラム。