(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2009-0015506
(43) 공개일자 2009년02월12일

(51) Int. Cl.
G11C 29/12 (2006.01)
(21) 출원번호 10-2007-0079873
(22) 출원일자 2007년08월09일
심사청구일자 2007년08월09일

(71) 출원인
울산대학교 산학협력단
울산 남구 무거2동 산29
(72) 발명자
강동철
울산 울주군 삼남면 교동리 1110-1
조상복
울산 울주군 웅촌면 대복리 장백아파트 703-1605
(74) 대리인
김수진, 윤의섭

전체 청구항 수 : 총 14 항

(54) 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장검출을 위한 자가 테스트 내장회로 및 이를 이용한 자가테스트 방법

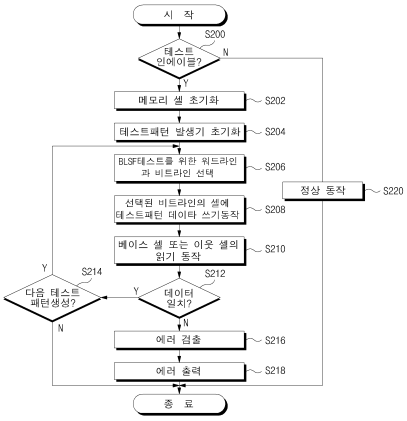
(57) 요 약

본 발명은 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로 및 이를 이용한 자가 테스트 방법에 관한 것이다.

더욱 상세하게는, 4-셀 물리적 이웃구조를 갖도록 레이아웃된 램 메모리의 이웃 패턴 민감 고장과 본 발명에서 제시된 이웃 비트라인 민감 고장 검출을 위한 테스트 방법을 제공하며, 따라서 기존의 5-셀 또는 9-셀 물리적 이웃구조에 비해 더 적은 테스트 패턴 수, 더 쉬운 하드웨어 구현, 더 적절한 이웃 패턴 민감 고장 검출 및 이웃 비트라인 민감 고장 검출을 제공하며, 고정 고장 검출, 천이 고장 검출, 센스 증폭기 복구 고장 검출, 어드레스 고장 검출 기능을 더 포함한다.

본 발명에 따르면, 메모리 셀을 4-셀 물리적 이웃구조로 레이아웃하여 5-셀 또는 9-셀 물리적 이웃구조보다 이웃 패턴 민감 고장 검출을 위한 테스트 패턴 수를 감소시켜 메모리 테스트 기간을 줄이는 장점과, 4-셀 물리적 이웃 구조를 이용하여 이웃 비트라인 민감 고장 검출 알고리즘을 구현하고, 이를 이용하여 비트라인 결합노이즈 검출 및 병렬 비교기 테스팅에 유용한 장점이 있다.

대 표 도 - 도12



특허청구의 범위

청구항 1

4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장회로에 있어서,

상기 램의 자가 테스트를 위하여 4-비트 테스트 패턴을 생성하는 테스트 패턴 발생기;

상기 램의 셀에 어드레스 비트에 의하여 어드레스 할당하고, 어드레스 할당된 셀 중 워드라인을 선택 제어하는 로우 디코더에 의해 1개의 워드라인을 선택하고, 논리 제어값에 따라 비트라인의 셀 중 동일한 라벨(label)로 라벨링된 셀을 병렬로 선택하기 위하여 4개의 비트라인당 1개의 NMOS 트랜지스터를 구비하여 NMOS 트랜지스터가 온 상태에서 상기 논리 제어값에 따라 해당 비트라인의 셀을 병렬로 선택제어하는 칼럼 디코더를 포함하는 디코더 회로;

상기 테스트 패턴 발생기를 동작 제어하고, 상기 테스트 패턴 발생기로부터 생성된 테스트 패턴을 이용하여 상기 디코더 회로로부터 선택된 셀의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 테스트를 제어하는 제어회로; 및

상기 제어회로의 테스트 제어에 따라 상기 디코더 회로에 의해 선택된 셀의 데이터를 읽기/쓰기 동작하는 입출력버퍼를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로.

청구항 2

제 1 항에 있어서,

입력신호로 CAS 신호와 RAS 신호를 입력받아 테스트 인에이블 모드를 활성화 또는 비활성화하도록 제어하는 테스트 인에이블 회로를 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로.

청구항 3

제 1 항에 있어서,

상기 디코더 회로로부터 선택된 셀에 따라 해당 셀의 데이터 변경 여부를 판단하기 위하여 4개의 비트라인마다 4개의 PMOS트랜지스터가 구비되어, 논리 제어에 의해 상기 디코더 회로로부터 선택된 비트라인의 셀 데이터를 병렬로 비교하는 병렬 비교기;

상기 디코더 회로로부터 선택된 셀에 의해 상기 병렬비교기로부터 워드라인 또는 비트라인의 셀의 데이터의 변경 여부를 판단하여 변경되면 에러상태로 검출하는 에러 검출기; 및

상기 에러 검출기로부터 검출된 에러 상태를 외부에 출력하는 에러 홀더를 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로.

청구항 4

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 이웃 패턴 민감 고장 검출은 상기 램의 셀 중 베이스 셀을 선택하여 선택된 베이스 셀에 이웃하는 셀의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키는 능동형 이웃패턴 민감 고장과,

선택된 베이스 셀에 이웃하는 셀의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키지 않는 수동형 이웃 패턴 민감 고장과,

선택된 베이스 셀의 이웃 셀의 데이터 패턴에 따라 베이스 셀이 일정한 데이터를 유지하는 정적형 이웃패턴 민감 고장에 의하여 고장 검출하는 것을 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로.

청구항 5

제 1 항 내지 제 3 항 중 어느 한 항에 있어서,

상기 이웃 비트라인 민감 고장 검출은 상기 램 셀 중 베이스 셀을 선택하고, 선택된 베이스 셀에 이웃하는 비트

라인의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키는 능동형 이웃 비트라인 민감 고장과,

선택된 베이스 셀에 이웃하는 비트라인의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키지 않는 수동형 이웃 비트라인 민감 고장에 의하여 고장 검출하되,

상기 디코더 회로를 통하여 4개의 이웃하는 비트라인을 병렬로 선택하고, 상기 병렬비교기를 통하여 4개의 비트라인 데이터를 입력받아 병렬 비교에 의해 고장 검출하는 것을 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로.

청구항 6

제 1 항 내지 제 3 항 중 어느 한 항에 있어서, 상기 자가 테스트 내장 회로는

고정(Stuck-at) 고장 검출, 천이(Transition) 고장 검출, 개방(Stuck-open) 고장 검출과,

상기 램의 선택된 셀 데이터 증폭을 위하여 구비되는 센스 증폭기에 의해 동일값의 긴 비트 스트링을 읽기/쓰기에 따라 센스 증폭기가 포화상태 됨에 따라 센스 증폭기 고장 패턴을 분석하여 센스증폭기 복구 고장을 검출하는 센스 증폭기 복구 고장(SAFs) 검출과,

상기 디코더 회로의 고장 여부 판단을 위하여 어드레스가 할당된 셀의 비-억세스 또는 어드레스 할당되지 않은 셀을 억세스하는 비-억세스 고장과, 어드레스 할당된 셀을 포함하여 다수의 셀을 억세스하는 멀티-억세스 고장을 검출하는 어드레스 디코더 고장(AFs) 검출 기능을 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로.

청구항 7

4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장 회로를 이용한 테스트 방법에 있어서,

(A) 테스트 인에이블 모드에 따라 테스트 인에이블 모드 활성화 상태에서 상기 램의 셀 데이터를 초기화하고, 테스트 패턴 데이터를 생성하는 단계;

(B) 이웃패턴 민감 고장 검출을 위하여 상기 램의 셀 중 비트라인에 이웃하는 3개의 셀과, 3개의 셀 중 가운데 위치한 셀의 워드라인에 이웃한 1개의 셀을 선택하는 단계;

(C) 선택된 4개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계;

(D) 상기 램 내부에 병렬비교기가 구비되어 상기 쓰기 동작 후 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계; 및

(E) 상기 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 8

제 7 항에 있어서, 상기 (D) 단계는

(D-1) 상기 램 내부에 병렬비교기가 구비되지 않는 경우, 상기 (C)단계로부터 쓰기 동작 후, 셀에 저장된 데이터를 유지하기 위하여 리프레쉬(refresh) 동작하는 단계; 및

(D-2) 상기 리프레쉬 동작 이후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계를 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 9

제 7 항에 있어서, 상기 (E) 단계는

(E-1) 데이터 변경이 없으면, 다음 테스트 패턴 데이터를 생성하는 단계;

(E-2) 기 선택된 4개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계;

(E-3) 상기 램 내부에 병렬비교기가 구비되어 상기 쓰기 동작 후, 상기 베이스 셀 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계; 및

(E-4) 상기 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 10

제 9 항에 있어서, 상기 (E-3) 단계는

(E-31) 상기 병렬비교기가 구비되지 않는 경우, 상기 (E-2) 단계에서 쓰기 동작에 의해 셀에 저장된 데이터를 유지하기 위하여 리프레쉬 동작하는 단계; 및

(E-32) 상기 리프레쉬 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계를 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 11

4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장 회로를 이용한 테스트 방법에 있어서,

(a) 테스트 인에이블 모드에 따라 테스트 인에이블 모드 활성화 상태에서 상기 램의 셀 데이터를 초기화하고, 테스트 패턴 데이터를 생성하는 단계;

(b) 이웃 비트라인 민감 고장 검출을 위하여 하나의 워드라인에 이웃한 비트라인의 3개의 셀을 선택하는 단계;

(c) 선택된 3개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계;

(d) 상기 램 내부에 병렬비교기를 구비하여 상기 쓰기 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터의 변경여부를 판단하는 단계; 및

(e) 상기 베이스 셀의 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 12

제 11 항에 있어서, 상기 (d)단계는

(d-1) 상기 램 내부에 병렬비교기를 구비하지 않는 경우, 상기 (c)단계에서 쓰기 동작에 의해 저장된 데이터를 유지하기 위하여 리프레쉬 동작하는 단계;

(d-2) 상기 리프레쉬 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계를 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 13

제 11 항에 있어서, 상기 (e)단계는

(e-1) 데이터 변경이 없으면, 다음 테스트 패턴 데이터를 생성하는 단계;

(e-2) 기 선택된 3개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계;

(e-3) 상기 램 내부에 병렬비교기를 구비하여 상기 쓰기 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계; 및

(e-4) 상기 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 더 포함하는 것을 특징으로 하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

청구항 14

제 13 항에 있어서, 상기 (e-3) 단계는

(e-31) 상기 램 내부에 병렬비교기를 구비하지 않는 경우, 상기 (e-2) 단계에서 쓰기동작에 의해 저장된 데이터를 유지하기 위하여 리프레쉬 동작하는 단계; 및

(e-32) 상기 리프레쉬 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계를 더 포함하는 것을 특징으로 하는 램의 이웃패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법.

명 세 서

발명의 상세한 설명

기 술 분 야

<1> 본 발명은 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로 및 이를 이용한 자가 테스트 방법에 관한 것이다.

배 경 기 술

<2> 종래에 테스트 알고리즘을 이용하기 위한 적절한 셀 이웃구조가 제시되었다.

<3> 도 1에 도시된 바와 같은 종래의 5-셀 이웃구조 및 9-셀 이웃구조로 셀들 사이의 상호작용만을 고려하면 9-셀 이웃구조가 5-셀 이웃구조보다 우수한 고장 범위를 갖는다.

<4> 종래에 P.Mazumder는 "병렬비교기 및 에러검출기"를 추가하여 테스트 복잡성이 $O\sqrt{n}$ 으로 감소하는 PSF에 대한 병렬 테스트 알고리즘에 대하여 소개하였다.

<5> 또한, 이러한 알고리즘들은 셀들 사이의 상호 작용에 초점을 두고 있으며, 부분적으로 C_g(게이트 커패시턴스), C_{bb}(비트라인 간 결합 커패시턴스), $C_{pull-down}$ 및 C_{bw}(비트라인과 워드라인 간 결합 커패시턴스)를 통한 결합 노이즈를 고려한다.

<6> [문헌 1] KR 10-2001-0074847 2001.08.09

<7> [문헌 2] US 005222067 A 1993.06.22

발명의 내용

해결 하고자하는 과제

<8> 기존의 고장 모델들은 C_{bb}로 인하여 고장들을 마스크할 수 있다. 따라서, 메모리의 정상적인 읽기 및 쓰기 작용에 있어서 테스트 알고리즘 내에서 최대 결합 노이즈를 고려하는 것은 쉬운 일이 아니다.

<9> 한편, 도 1에 도시된 바와 같은 5-셀 이웃구조 및 9-셀 이웃구조를 통하여 보다 많은 이웃 셀들이 고려될수록, 이웃하는 셀들 사이에서 보다 많은 상호작용을 할 수 있는 반면, PSF 검출에 대한 테스트 패턴 수의 증가로 인한 메모리 셀 테스트 기간이 길어질 수밖에 없었다.

<10> 따라서, 도 1에 도시된 5-셀 구조나 9-셀 구조는 본 발명에서 제시된 4-셀 이웃 구조보다 많은 테스트 패턴이 필요하며, 또한, 비트-라인 결합노이즈를 고려하는데 적당하지 않다.

<11> 왜냐하면, 비트라인 결합노이즈는 이웃 유효 사이즈에 의해 이웃 셀들이 많을수록 비트라인 결합노이즈를 고려하기 어렵기 때문이다.

<12> 본 발명은 전술한 문제점을 해결하기 위하여 안출된 것으로 본 발명에 따르면, 4-셀 이웃구조로 레이아웃된 램의 이웃 패턴 민감 고장과, 이웃 비트라인 민감 고장 검출 알고리즘을 이용하여 병렬 비교기 테스팅과 비트라인 결합노이즈 검출에 적합한 자가 테스트 내장회로를 구현하는 데 목적이 있다.

과제 해결수단

<13> 상술한 목적을 달성하기 위한 본 발명의 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로 및 자가 테스트 방법에 따르면, 4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장회로에 있어서, 상기 램의 자가 테스트를 위하여 4-비트 테스트 패턴을 생성하는 테스트 패턴 발생기;상기 램의 셀에 어드레스 비트에 의하여 어드레스 할당하고, 어드레스 할당된 셀 중 워드라인을 선택 제어하는 로우 디코더에 의해 1개의 워드라인을 선택하고, 논리 제어값에 따라 비트라인의 셀 중 동일한 라벨(label)로 라벨링된 셀을 병렬로 선택하기 위하여 4개의 비트라인당 1개의 NMOS 트랜지스터를 구비하여 NMOS 트랜지스터가 온 상태에서 상기 논리 제어값에 따라 해당 비트라인의 셀을 병렬로 선택제어하는 칼럼 디코더를 포함하는 디코더 회로; 상기 테스트 패턴 발생기를 동작 제어하고, 상기 테스트 패턴 발생기로부터 생성된 테스트 패턴을 이용하여 상기 디코더 회로로부터 선택된 셀의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 테스트를 제어하는 제어회로; 상기 제어회로의 테스트 제어에 따라 상기 디코더 회로에 의해 선택된 셀의 데이터를 읽기/쓰기 동작하는 입출력버퍼를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로와, 4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장 회로를 이용한 테스트 방법에 있어서, (A) 테스트 인에이블 모드에 따라 테스트 인에이블 모드 활성화 상태에서 상기 램의 셀 데이터를 초기화하고, 테스트 패턴 데이터를 생성하는 단계; (B) 이웃패턴 민감 고장 검출을 위하여 상기 램의 셀 중 비트라인에 이웃하는 3개의 셀과, 3개의 셀 중 가운데 위치한 셀의 워드라인에 이웃한 1개의 셀을 선택하는 단계; (C) 선택된 4개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계; (D) 상기 램 내부에 병렬비교기가 구비되어 상기 쓰기 동작 후 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터 변경여부를 판단하는 단계; (E) 상기 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법을 제공한다.

<14> 본 발명의 다른 특징에 따른 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법에 따르면, 4-셀 물리적 이웃구조로 레이아웃된 램의 자가 테스트 내장 회로를 이용한 테스트 방법에 있어서, (a) 테스트 인에이블 모드에 따라 테스트 인에이블 모드 활성화 상태에서 상기 램의 셀 데이터를 초기화하고, 테스트 패턴 데이터를 생성하는 단계; (b) 이웃 비트라인 민감 고장 검출을 위하여 하나의 워드라인에 이웃한 비트라인의 3개의 셀을 선택하는 단계; (c) 선택된 3개의 셀 중 1개의 셀을 베이스 셀로 선택하고, 상기 생성된 테스트 패턴 데이터를 쓰기 동작하는 단계; (d) 상기 램 내부에 병렬비교기를 구비하여 상기 쓰기 동작 후, 상기 베이스 셀의 데이터 또는 상기 베이스 셀에 이웃한 셀의 데이터를 읽기 동작하여 해당 데이터의 변경여부를 판단하는 단계; (e) 상기 베이스 셀의 데이터 변경시, 에러 상태 검출로 판단하여 에러 상태를 출력하는 단계를 포함하는 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법을 제공한다.

<15> 이때, 상기 자가 테스트 내장회로는 입력신호로 CAS 신호와 RAS 신호를 입력받아 테스트 인에이블 모드를 활성화 또는 비활성화하도록 제어하는 테스트 인에이블 회로를 더 포함하는 것이 바람직하다.

<16> 또한, 상기 자가 테스트 내장회로는 상기 디코더 회로로부터 선택된 셀에 따라 해당 셀의 데이터 변경 여부를 판단하기 위하여 4개의 비트라인마다 4개의 PMOS트랜지스터가 구비되어, 논리 제어에 의해 상기 디코더 회로로부터 선택된 비트라인의 셀 데이터를 병렬로 비교하는 병렬 비교기; 상기 디코더 회로로부터 선택된 셀에 의해 상기 병렬비교기로부터 워드라인 또는 비트라인의 셀의 데이터의 변경 여부를 판단하여 변경되면 에러상태로 검출하는 에러 검출기; 상기 에러 검출기로부터 검출된 에러 상태를 외부에 출력하는 에러 홀더를 더 포함하는 것이 바람직하다.

<17> 또한, 상기 이웃 패턴 민감 고장 검출은 상기 램의 셀 중 베이스 셀을 선택하여 선택된 베이스 셀에 이웃하는 셀의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키는 능동형 이웃패턴 민감 고장과, 선택된 베이스 셀에 이웃하는 셀의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키지 않는 수동형 이웃 패턴 민감 고장과, 선택된 베이스 셀의 이웃 셀의 데이터 패턴에 따라 베이스 셀이 일정한 데이터를 유지하는 정적형 이웃패턴 민감 고장에 의하여 고장 검출하는 것을 더 포함하는 것이 바람직하다.

<18> 또한, 상기 이웃 비트라인 민감 고장 검출은 상기 램 셀 중 베이스 셀을 선택하고, 선택된 베이스 셀에 이웃하는 비트라인의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키는 능동형 이웃 비트라인 민감 고장과, 선택된 베이스 셀에 이웃하는 비트라인의 데이터 패턴에 따라 베이스 셀의 데이터를 변경시키지 않는 수동형 이웃 비트라인 민감 고장에 의하여 고장 검출하되, 상기 디코더회로를 통하여 4개의 비트라인을 병렬로 선택하고, 상기 병렬비교기를 통하여 4개의 비트라인 데이터를 입력받아 병렬 비교에 의해 고장 검출하는 것을 특징으로 하는 것이 바람직하다.

<19> 또한, 상기 자가 테스트 내장 회로는 고정(Stuck-at) 고장 검출, 천이(Transition) 고장 검출, 개방(Stuck-open) 고장 검출과, 상기 램의 선택된 셀 데이터 증폭을 위하여 구비되는 센스 증폭기에 의해 동일값의 긴 비트 스트링을 읽기/쓰기에 따라 센스 증폭기가 포화상태 됨에 따라 센스 증폭기 고장 패턴을 분석하여 센스증폭기 복구 고장을 검출하는 센스 증폭기 복구 고장(SAFs) 검출과, 상기 디코더 회로의 고장 여부 판단을 위하여 어드레스가 할당된 셀의 비-억세스 또는 어드레스 할당되지 않은 셀을 억세스하는 비-억세스 고장과, 어드레스 할당된 셀을 포함하여 다수의 셀을 억세스하는 멀티-억세스 고장을 검출하는 어드레스 디코더 고장(AFs) 검출 기능을 더 포함하는 것이 바람직하다.

효 과

<20> 이상에서 설명한 바와 같은 본 발명의 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로 및 이를 이용한 자가 테스트 방법은, 메모리 셀을 4-셀 이웃구조로 레이아웃하여 5-셀 이웃구조 또는 9-셀 이웃구조보다 이웃 패턴 민감 고장 검출을 위한 테스트 패턴 수를 감소시켜, 메모리 테스트 기간을 줄이는 장점이 있다.

<21> 다른 장점으로는 4-셀 이웃구조를 이용하여 이웃 비트라인 민감 고장 검출 알고리즘을 구현하고, 이를 이용하여 비트라인 결합노이즈 검출 및 병렬 비교기 테스팅에 유용한 장점이 있다.

발명의 실시를 위한 구체적인 내용

<22> 이하, 본 발명의 바람직한 일실시예를 도면을 참조하여 상세하게 설명하면 다음과 같다.

<23> 도 2는 본 발명의 바람직한 일실시예에 따른 메모리 셀의 4-셀 물리적 이웃구조에 대한 구성도이다.

<24> 도 3은 도 2의 메모리 셀의 물리적 이웃구조를 적용한 메모리 레이아웃을 나타낸 실시예이다.

<25> 도 4는 도 2의 메모리 셀의 물리적 이웃구조에 의한 유효 사이즈를 설명하기 위한 설명도이다.

<26> 도 2 내지 도 4를 참조하여 더욱 상세하게 설명하면,

<27> 본 발명의 램 메모리 셀(10)은 도 2에 도시된 바와 같은 4-셀 물리적 이웃구조를 갖도록 레이아웃하는 것이 바람직하다.

<28> 이때, 4-셀 물리적 이웃구조는 도 2에 도시된 변형된 이웃구조로 변경할 수 있지만 이는 본 발명의 당업자가 용이하게 실시변경할 수 있다.

<29> 4-셀 물리적 이웃구조를 이용하여 이웃 패턴 민감 고장(physical neighborhood pattern-sensitive faults 또는 NPSF)과 이웃 비트라인 민감 고장(physical neighborhood bit-line sensitive faults 또는 NBLSF) 검출은 결론적으로 도 1에 도시된 5-셀 또는 9-셀 이웃구조보다 테스트 패턴 수를 감소시키고, 병렬테스팅 및 비트라인 결합 노이즈 검출에 유용한 특징을 갖도록 한다.

<30> 4-셀 물리적 이웃구조로 레이아웃된 메모리는 도 3 및 도 4에 도시된 바와 같이, 메모리 내의 셀 번호(1,2,3,4) 할당에 의해 2개의 그룹(A그룹 또는 B그룹)으로 나누어진다.

<31> 이때, 하나의 그룹에서 그룹에 포함된 이웃셀들은 다른 그룹에 포함된 이웃셀들과 서로 간섭이 없는 상태에서 독립적이다. 1,2,3 또는 4로 표시된 모든 셀들은 베이스 셀이 될 수 있으며, 그에 따라 각각의 그룹은 4개의 베이스 셀에 따라 4개의 서브그룹을 갖는다.

<32> 또한, 도 4에 도시된 바와 같이 4-셀 구조로 레이아웃된 메모리는 이웃구조 유효 물리 사이즈를 형성하는데, 이는 도 1에 도시된 5-셀 구조와 동일한 사이즈를 형성하는 것을 의미하며, 하나의 셀은 이웃구조 유효 물리 사이즈 내의 모든 셀들에 의하여 고장 범위에 영향을 받을 수 있다.

<33> 상기 4-셀 물리적 이웃구조로 레이아웃된 메모리의 이웃 패턴 민감 고장 및 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장 회로 및 자가 테스트 방법은 아래에서 상세하게 후술하기로 한다.

<34> 도 5는 본 발명의 바람직한 일실시예에 따른 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로의 블록도이다.

<35> 도 6은 도 5의 자가 테스트 내장회로에 구비된 테스트 인에이블 회로의 구성도이다.

<36> 도 7은 도 5의 자가 테스트 내장회로에 구비된 테스트 패턴 발생기에 대한 설명도이다.

<37> 도 8은 도 5의 자가 테스트 내장회로에 구비된 디코더회로의 구성도이다.

<38> 도 9는 도 8의 디코더회로의 점선부분을 확대하여 도시한 확대도이다.

<39> 도 10은 도 5의 자가 테스트 내장회로에 구비된 병렬비교기 및 에러검출기를 나타낸 구성도이다.

<40> 도 5 내지 도 9 및 도 10을 참조하여 상세하게 설명하면,

<41> 램의 자가 테스트 내장회로는 도 5에 도시된 바와 같이, 테스트 인에이블 회로(TE, 100), 테스트 패턴 발생기(Test Pattern Generator 또는 TPG, 200), 칼럼 디코더(Column Decoder, 300), 로우 디코더(Row Decoder, 400), 어드레스 제너레이터(Address Generator, 500), 제어회로(Control, 600), 병렬 비교기 및 에러 검출기(Parallel Comparator and Error Detector, 700), 에러 홀더(Error Holder, 800), 입출력 버퍼(I/O Buffer, 900) 및 메모리 셀(Memory Cells, 10)을 포함하는 구성이다.

<42> 상기 테스트 인에이블 회로(100)는 도 6을 참조하여 설명하면, RAS 반전신호와 CAS 반전신호를 입력신호로 하고, JK-플립플롭 회로를 구성하여 외부로부터 테스트 인에이블 신호(Test Enable) 및 클럭 신호(CLK)를 입력받을 수 있도록 구성된다.

<43> 이때 동작 상태를 보면 RAS신호가 로우(LOW) 상태로 구동되기 이전에 CAS 신호가 로우 상태로 입력되어 테스트 인에이블 모드가 활성화되며, 외부로부터 테스트 인에이블 신호와 테스트 모드를 수행하기 위해 클럭신호를 입력받는다.

<44> 또한 테스트 인에이블 모드가 비활성화되기 위해서는 CAS 신호가 로우 상태로 구동되기 이전에 RAS 신호가 로우 상태로 입력되는 시점이다.

<45> 상기 테스트 패턴 발생기(200)는 오일러 시퀀스(Eulerian sequence)에 의하여 64개의 4-비트 그레이코드의 테스트 패턴을 발생시킨다. 도 7에 도시된 4-비트 카운터와 XOR 게이트를 통하여 테스트 패턴을 생성할 수 있는데, 예를 들면, C0 = 1, C1 = C2 = C3 = 0 일 때, 첫번째 16개의 테스트 패턴이 생성되고, B3 = G3, B2 = G2, B1 = G1, B0 = G0가 된다.

<46> 마찬가지로, 다음 16개의 테스트 패턴은 C1 = 1, C0 = C2 = C3 =0 일 때, 생성될 수 있다.

<47> 상기 칼럼 디코더(300)는 상기 어드레스 제너레이터(500)로부터 발생된 어드레스 비트에 의해 어드레스 할당된 칼럼(비트라인)을 선택하도록 제어한다.

<48> 도 8 및 도 9에 도시된 디코더 회로를 참조하면, NMOS 트랜지스터가 4개의 비트라인마다 제공되어 있다. NMOS 트랜지스터는 4 비트라인마다 신호 4($\Phi 4$)에 의하여 제어된다. 정상 모드에서는 신호 4는 "0"이며, 테스트 모드에서는 신호 4는 "1"이 된다.

<49> 즉, 테스트 모드에서 E0 트랜지스터는 ON 상태가 되고, 디코더의 최종 출력은 A0 및 A1에 의하여 결정된다. A0 및 A1 이외의 어드레스 비트는 디코딩되며, 신호 4 동안에 A2~An-1은 "0"으로 구동된다. A0 및 A1 어드레스 비트들에 의하여, 번호(1,2,3,4 … n-1)가 부여된 셀을 선택하게 된다. 결과적으로 디코더 회로는 선택된 셀의 데이터를 읽기 또는 쓰기 동작을 수행하게 된다.

<50> 이때, 비트라인 디코더(칼럼 디코더(300))만이 선택된 워드 라인에 대하여 셀의 멀티 억세스를 가능하게 한다.

<51> 상기 로우 디코더(400)는 상기 어드레스 제너레이터(500)로부터 발생된 어드레스 비트에 의해 어드레스 할당된 워드라인을 선택하도록 제어한다.

<52> 상기 어드레스 제너레이터(500)는 상기 메모리 셀(10)에 발생되는 어드레스 비트를 이용하여 어드레스를 할당하도록 하며, 상기 칼럼 디코더(300) 및 상기 로우 디코더(400)와 함께 상기 메모리 셀(10)에 포함되어 구성되는 것이 일반적이다.

<53> 여기에서, 상기 칼럼 디코더(300), 상기 로우 디코더(400) 및 상기 어드레스 제너레이터(500)는 하나의 디코더 회로를 구성할 수도 있다.

<54> 상기 제어회로(600)는 상기 테스트 패턴 발생기(200)를 동작 제어하고, 상기 테스트 패턴 발생기(200)로부터 생성된 테스트 패턴을 이용하여 상기 컬럼 디코더 회로 및 상기 로우 디코더(400)로부터 선택된 셀의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 테스트를 제어하는 역할을 수행한다.

<55> 특히, 상기 테스트 인에이블 회로(100)로부터 테스트 모드 여부를 판단하여, 테스트 모드시, 상기 테스트 패턴

발생기(200)를 초기화하여, 테스트 패턴을 생성하도록 제어하고, 상기 메모리 셀(10) 중 어드레스 비트에 의해 할당된 셀의 이웃패턴 민감 고장 및 이웃 비트라인 민감 고장 검출을 위한 테스트 패턴 데이터 쓰기 동작 및 읽기 동작을 수행하도록 제어하고, 상기 병렬비교기를 통하여 에러 상태를 확인하여 에러 출력 여부를 판단하도록 제어한다.

<56> 이때, 상기 제어회로(600)는 상기 테스트 인에이블 회로(100)를 더 포함하여 구성될 수도 있다.

<57> 상기 병렬 비교기 및 에러 검출기(700)는 상기 테스트 모드에서 테스트 패턴 발생기(200)에 생성된 테스트 패턴을 이용하여 이웃 패턴 민감 고장 또는 이웃 비트라인 민감 고장 검출을 위하여 선택된 셀의 비트라인 또는 워드라인의 데이터 값의 변경 여부를 확인하고, 변경 상태에 따라 에러 검출기로부터 에러 상태를 검출한다.

<58> 상기 병렬 비교기 및 에러 검출기(700)는 도 10을 참고하여 설명하면, 입력단에 짝수 및 홀수 비트를 입력받아 각각의 구성된 트랜지스터는 4비트라인 마다 4개의 PMOS 트랜지스터에 연결되어 있다.

<59> 논리값 L1, L2, L3 및 L4에 따라 하나의 워드라인에서 이웃한 셀들(라벨 1, 2, 3 또는 4)를 선택하여 비교하도록 한다.

<60> 정상모드에서 논리값 L1, L2, L3 및 L4는 모두 "1"이 된다.

<61> 페이즈 1($\Phi 1$)동안에 트랜지스터 P_1~P_{m-1} 및 T_1~T_{m-1}이 미리 충전된다.

<62> 페이즈 2($\Phi 2$)동안에 데이터 일치성 여부를 판단하기 위하여 S3 트랜지스터를 통하여 에러 증폭기(ERROR AMP)에 연결된다.

<63> 페이즈 3($\Phi 3$)동안에 S1 트랜지스터 및 S2 트랜지스터가 컷-오프 상태가 되고, 선택된 비트라인의 데이터가 동일하지 않을 때, 에러 출력은 "1"이 된다.

<64> 상기 에러 홀더(800)는 상기 에러 검출기로부터 에러 검출 여부에 따라 에러 상태이면 "1"을, 에러 상태가 아니면 "0"을 외부에 출력시킨다.

<65> 상기 입출력 버퍼(900)는 일반적으로 상기 메모리 셀에 포함되어 구성되며, 정상 동작 시 읽기/쓰기 동작을 위한 전압을 인가하거나, 테스트 모드 동작시 테스트 패턴 읽기/쓰기 동작을 위한 전압을 인가하여 입출력을 제어하는 역할을 한다.

<66> 상기 자가 테스트 내장회로를 이용하여 램 메모리 고장 검출을 위한 자가 테스트 방법은 다음과 같다.

<67> 도 11은 본 발명의 바람직한 일실시예에 따른 램의 이웃 패턴 민감 고장 검출을 위한 자가 테스트 방법의 순서도이다.

<68> 도 11를 참조하여 상세하게 설명하면,

<69> 먼저, 본 발명에서 제안된 4-셀 레이아웃된 램의 이웃 패턴 민감 고장을 검출하는 방법은 자기 테스트 내장 회로를 통하여 테스트 인에이블 여부를 판단한다(S100).

<70> 테스트 인에이블 모드가 활성화 상태가 되면, 테스트 모드에 의해 메모리 셀을 "0"값으로 초기화 한다(S102).

<71> 이때, 테스트 인에이블 모드가 비활성화 상태에서 메모리 셀은 정상 읽기/쓰기 동작을 수행하도록 제어된다(S120).

<72> 또한, 테스트 패턴을 생성하는 테스트 패턴 발생기(200)를 초기화하여 새로운 테스트 패턴을 생성하도록 한다(S104).

<73> 이웃 패턴 민감 고장 검출을 위하여 어드레스 제너레이터(500)에 의해 어드레스 할당된 셀을 선택하도록 컬럼 디코더 및 로우 디코더(400)에 의해 제어한다(S106).

<74> 특히, 4-셀 레이아웃된 물리적 이웃구조에 이웃 패턴 민감 고장 검출을 위하여 4개의 셀을 선택한다.

<75> 이때, 4개의 셀은 이웃한 셀로 구성되며, 3개의 비트라인에 이웃한 셀과, 선택된 3개의 셀 중 워드라인에 이웃한 1개의 셀을 선택하도록 하여, 이웃 패턴 민감 고장 검출할 수 있다.

<76> 선택된 워드라인 및 비트라인의 셀에 상기 테스트 패턴 발생기(200)에 의해 생성된 테스트 패턴 데이터를 쓰기

동작한다(S108).

<77> 쓰기 동작 완료 후, 이웃 패턴 민감 고장 검출을 판단하기 위하여, 상기 선택된 셀 중 하나의 베이스 셀을 기준으로 베이스 셀 또는 이웃 셀의 데이터 읽기 동작을 수행한다(S110).

<78> 이때, 베이스 기준으로 베이스 셀의 데이터 읽기 동작 수행은 수동형 이웃 패턴 민감 고장(Passive Neighborhood Pattern Sensitive Faults, PNPSF) 검출 또는 정적형 이웃 패턴 민감 고장(Static Neighborhood Pattern Sensitive Faults, SNPSF) 검출을 위해 수행되며, 이웃 셀의 데이터 읽기 동작 수행은 능동형 이웃 패턴 민감 고장(Active Neighborhood Pattern Sensitive Faults, ANPSF) 검출시 수행된다.

<79> 나아가, 능동형 이웃 패턴 민감 고장 검출은 이웃 셀 각각에 대하여 읽기 동작을 수행하여 데이터 변경 여부를 판단하여 에러 상태를 확인하는 것이 바람직하다(S112).

<80> 상기 읽기 동작 완료 후, 읽기 동작된 셀의 데이터 변경 여부에 따라 에러 상태를 검출한다(S116).

<81> 즉, 셀의 데이터가 변경되면 에러 검출로 에러 상태를 출력한다(S116).

<82> 상기 S112단계에서 데이터 일치시, 다음 테스트 패턴 데이터를 생성하는지 판단한다(S114).

<83> 다음 테스트 패턴 데이터가 생성되면, 상기 S106단계로 복귀하여, 이웃 패턴 민감 고장 검출을 위한 테스트를 속행한다(S106~S112).

<84> 상기 S114단계에서 모든 가능한 테스트 패턴 데이터 생성이 완료되면, 이웃 패턴 민감 고장 검출을 위한 테스트를 종료한다.

<85> 여기에서, 상기 정적형 이웃 패턴 민감 고장, 수동형 이웃 패턴 민감 고장 및 능동형 이웃 패턴 민감 고장을 검출에 필요한 테스트 패턴은 아래 표와 같다.

표 1

TP#	B3 B2 B1 B0	TP#	B3 B2 B1 B0	TP#	B3 B2 B1 B0	TP#	B3 B2 B1 B0
1	0 0 0 0	17	1 0 0 1	33	0 1 0 1	49	0 0 1 1
2	0 0 0 1	18	0 0 0 1	34	0 0 0 1	50	0 0 0 1
3	0 0 1 1	19	0 0 0 0	35	1 0 0 1	51	0 1 0 1
4	0 0 1 0	20	1 0 0 0	36	1 1 0 1	52	0 1 1 1
5	0 1 1 0	21	1 0 1 0	37	1 1 0 0	53	1 1 1 1
6	0 1 1 1	22	0 0 1 0	38	1 0 0 0	54	1 1 0 1
7	0 1 0 1	23	0 0 1 1	39	0 0 0 0	55	1 0 0 1
8	0 1 0 0	24	1 0 1 1	40	0 1 0 0	56	1 0 1 1
9	1 1 0 0	25	1 1 1 1	41	0 1 1 0	57	1 0 1 0
10	1 1 0 1	26	0 1 1 1	42	0 0 1 0	58	1 0 0 0
11	1 1 1 1	27	0 1 1 0	43	1 0 1 0	59	1 1 0 0
12	1 1 1 0	28	1 1 1 0	44	1 1 1 0	60	1 1 1 0
13	1 0 1 0	29	1 1 0 0	45	1 1 1 1	61	0 1 1 0
14	1 0 1 1	30	0 1 0 0	46	1 0 1 1	62	0 1 0 0
15	1 0 0 1	31	0 1 0 1	47	0 0 1 1	63	0 0 0 0
16	1 0 0 0	32	1 1 0 1	48	0 1 1 1	64	0 0 1 0

<86>

<87> 표 1은 상기 테스트 패턴 발생기(200)에 의하여 16개의 4비트 그레이 코드를 발생시켜 표 1에 나타낸 바와 같이, 모두 64개의 테스트 패턴을 발생시킬 수 있다.

<88> 표 1에서, B3,B2, B1, B0는 각각 도 2에 도시된 메모리 셀의 라벨 4, 3, 2, 1을 가리키는 것을 의미한다.

표 2

Base Cell	SNPs	Test Patterns	Base Cell	SNPs	Test Patterns
Label 1	0 0 1 - 0 0 0 - 0 1 1 - 0 1 0 - 1 0 1 - 1 0 0 - 1 1 1 - 1 1 0 -	TP#22- TP23 TP#1 - TP#2 TP#5 - TP#6 TP#30- TP#31 TP#12- TP#13 TP#16- TP#17 TP#44- TP#45 TP#9 - TP#10	Label 2	0 0 - 0 0 0 - 1 0 1 - 0 0 1 - 1 1 0 - 0 1 0 - 1 1 1 - 0 1 1 - 1	TP#63-TP#64 TP#2 -TP#3 TP#40-TP#41 TP#51-TP#52 TP#20-TP#21 TP#55-TP#56 TP#59-TP#60 TP#10-TP#11
Label 3	0 - 0 0 0 - 0 1 0 - 1 0 0 - 1 1 1 - 0 0 1 - 0 1 1 - 1 0 1 - 1 1	TP#39- TP#40 TP#50- TP#51 TP#4 - TP#5 TP#47-TP#48 TP#58-TP#59 TP#35-TP#36 TP#43-TP#44 TP#24-TP#25	Label 4	- 0 0 0 - 0 0 1 - 0 1 0 - 0 1 1 - 1 0 0 - 1 0 1 - 1 1 0 - 1 1 1	TP#19-TP#20 TP#34-TP#35 TP#42-TP#43 TP#23-TP#24 TP#8 - TP#9 TP#31-TP#32 TP#27-TP#28 TP#52-TP#53

<89>

<90> 표 1에 의한 테스트 패턴을 이용하여 정적형 이웃 패턴 민감 고장 검출을 위한 테스트 패턴은 표 2에 나타낸 바와 같다.

<91> 베이스 셀을 도 2에 도시된 바와 같은 라벨(Label) 4, 3, 2, 1로 라벨링된 4-셀 이웃구조에서 선택함에 따라, 정적형 이웃 패턴 민감 고장 검출을 위하여 표 2와 같은 테스트 패턴을 적용한다.

<92> 예를 들어 구체적으로 설명하면, 라벨 1을 베이스 셀로 선택한 상태에서, 이웃 패턴을 표 1의 테스트 패턴 #22(0010)와 테스트 패턴 #23(0011)을 베이스 셀을 포함한 4개의 이웃하는 셀의 라벨 4, 3, 2, 1에 각각 쓰기 동작한다.

<93> 쓰기 동작 후, 베이스 셀(라벨 1)의 읽기 동작을 통하여 상기 쓰기 동작에 의해 입력된 데이터가 변경하는지 여부를 판단하여 변경되면 에러 검출로 판단하게 된다.

<94> 상기 정적형 이웃 패턴 민감 고장 검출에 필요한 테스트 패턴 수는 32 개이다.

표 3

Base Cell	PNPs	Test Patterns	Base Cell	PNPs	Test Patterns
Label 1	0 0 0 - 0 0 1 - 0 1 1 - 0 1 0 - 1 0 1 - 1 0 0 - 1 1 0 - 1 1 1 -	TP#1-2, TP#18-19 TP#22-23, TP#3-4 TP#5-6, TP#26-27 TP#30-31, TP#7-8 TP#12-13, TP#56-57 TP#16-17, TP#15-16 TP#9-10, TP#36-37 TP#44-45, TP#11-12	Label 2	0 0 - 0 0 0 - 1 0 1 - 0 0 1 - 1 1 0 - 0 1 0 - 1 1 1 - 0 1 1 - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#40-41, TP#61-62 TP#51-52, TP#6-7 TP#20-21, TP#57-58 TP#55-56, TP#14-15 TP#59-60, TP#28-29 TP#10-11, TP#53-54
Label 3	0 - 0 0 0 - 0 1 0 - 1 0 0 - 1 1 1 - 0 0 1 - 0 1 1 - 1 0 1 - 1 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#4-5, TP#41-42 TP#47-48, TP#48-49 TP#58-59, TP#37-38 TP#35-36, TP#54-55 TP#43-44, TP#12-13 TP#24-25, TP#45-46	Label 4	- 0 0 0 - 0 0 1 - 0 1 0 - 0 1 1 - 1 0 0 - 1 0 1 - 1 1 0 - 1 1 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#42-43, TP#21-22 TP#23-24, TP#46-47 TP#8-9, TP#29-30 TP#31-32, TP#32-33 TP#27-28, TP#60-61 TP#52-53, TP#25-26

<95>

<96> 표 1에 의한 테스트 패턴을 이용하여 수동형 이웃 패턴 민감 고장 검출을 위한 테스트 패턴은 표 3에 나타낸 바와 같다.

<97> 수동형 이웃 패턴 민감 고장 검출에 필요한 테스트 패턴 수는 32개이다.

표 4

Base Cell	ANPs	Test Patterns	Base Cell	ANPs	Test Patterns
Label 1	0 0 - 0 0 0 - 1 0 1 - 0 0 1 - 1 1 0 - 0 1 0 - 1 1 1 - 0 1 1 - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#40-41, TP#61-62 TP#51-52, TP#6-7 TP#20-21, TP#57-58 TP#55-56, TP#14-15 TP#59-60, TP#28-29 TP#10-11, TP#53-54	Label 2	0 0 1 - 0 0 0 - 0 1 1 - 0 1 0 - 1 0 1 - 1 0 0 - 1 1 1 - 1 1 0 -	TP#1-2, TP#3-4 TP#22-23, TP#18-19 TP#5-6, TP#26-27 TP#30-31, TP#7-8 TP#12-13, TP#56-57 TP#16-17, TP#15-16 TP#44-45, TP#11-12 TP#9-10, TP#36-37
	0 - 0 0 0 - 0 1 0 - 1 0 0 - 1 1 1 - 0 0 1 - 0 1 1 - 1 0 1 - 1 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#4-5, TP#41-42 TP#47-48, TP#48-49 TP#58-59, TP#37-38 TP#35-36, TP#54-55 TP#43-44, TP#12-13 TP#24-25, TP#45-46		0 - 0 0 0 - 0 1 0 - 1 0 0 - 1 1 1 - 0 0 1 - 0 1 1 - 1 0 1 - 1 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#4-5, TP#41-42 TP#47-48, TP#48-49 TP#58-59, TP#37-38 TP#35-36, TP#54-55 TP#43-44, TP#12-13 TP#24-25, TP#45-46
	- 0 0 0 - 0 0 1 - 0 1 0 - 0 1 1 - 1 0 0 - 1 0 1 - 1 1 0 - 1 1 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#42-43, TP#21-22 TP#23-24, TP#46-47 TP#8-9, TP#29-30 TP#31-32, TP#32-33 TP#27-28, TP#60-61 TP#52-53, TP#25-26		- 0 0 0 - 0 0 1 - 0 1 0 - 0 1 1 - 1 0 0 - 1 0 1 - 1 1 0 - 1 1 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#42-43, TP#21-22 TP#23-24, TP#46-47 TP#8-9, TP#29-30 TP#31-32, TP#32-33 TP#27-28, TP#60-61 TP#52-53, TP#25-26
Base Cell	ANPs	Test Patterns	Base Cell	ANPs	Test Patterns
Label 3	0 0 1 - 0 0 0 - 0 1 1 - 0 1 0 - 1 0 1 - 1 0 0 - 1 1 1 - 1 1 0 -	TP#1-2, TP#3-4 TP#22-23, TP#18-19 TP#5-6, TP#26-27 TP#30-31, TP#7-8 TP#12-13, TP#56-57 TP#16-17, TP#15-16 TP#44-45, TP#11-12 TP#9-10, TP#36-37	Label 4	0 0 1 - 0 0 0 - 0 1 1 - 0 1 0 - 1 0 1 - 1 0 0 - 1 1 1 - 1 1 0 -	TP#1-2, TP#3-4 TP#22-23, TP#18-19 TP#5-6, TP#26-27 TP#30-31, TP#7-8 TP#12-13, TP#56-57 TP#16-17, TP#15-16 TP#44-45, TP#11-12 TP#9-10, TP#36-37
	0 0 - 0 0 0 - 1 0 1 - 0 0 1 - 1 1 0 - 0 1 0 - 1 1 1 - 0 1 1 - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#40-41, TP#61-62 TP#51-52, TP#6-7 TP#20-21, TP#57-58 TP#55-56, TP#14-15 TP#59-60, TP#28-29 TP#10-11, TP#53-54		0 - 0 0 0 - 0 1 0 - 1 0 0 - 1 1 1 - 0 0 1 - 0 1 1 - 1 0 1 - 1 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#4-5, TP#41-42 TP#47-48, TP#48-49 TP#58-59, TP#37-38 TP#35-36, TP#54-55 TP#43-44, TP#12-13 TP#24-25, TP#45-46
	- 0 0 0 - 0 0 1 - 0 1 0 - 0 1 1 - 1 0 0 - 1 0 1 - 1 1 0 - 1 1 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#42-43, TP#21-22 TP#23-24, TP#46-47 TP#8-9, TP#29-30 TP#31-32, TP#32-33 TP#27-28, TP#60-61 TP#52-53, TP#25-26		0 0 - 0 0 0 - 1 0 1 - 0 0 1 - 1 1 0 - 0 1 0 - 1 1 1 - 0 1 1 - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#40-41, TP#61-62 TP#51-52, TP#6-7 TP#20-21, TP#57-58 TP#55-56, TP#14-15 TP#59-60, TP#28-29 TP#10-11, TP#53-54

<98>

<99> 표 4는 표 1에 도시된 테스트 패턴에 대하여 능동형 이웃 패턴 민감 고장 검출을 위해 필요한 테스트 패턴을 나타낸 것이다.

<100> 능동형 이웃 패턴 민감 고장 검출을 위하여 테스트 패턴에 의해 쓰기 동작된 셀 중 베이스 셀의 이웃 셀 각각에 대하여 읽기 동작을 수행하여 데이터 변경 여부를 판단하는 것이 바람직하다.

<101> 따라서, 표 4와 같이 필요한 테스트 패턴 수는 96 개이다.

<102> 도 12는 본 발명의 바람직한 일실시예에 따른 램의 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법의 순서도이다.

<103> 도 13은 램의 기생 커패시턴스 구조에 대한 설명도이다.

<104> 도 14는 도 13의 기생 커패시턴스에 의하여 발생되는 결합 노이즈의 최소 또는 최대 조건에 대한 설명도이다.

<105> 도 12 내지 도 14를 참조하여 상세하게 설명하면,

<106> 이웃 비트라인 민감 고장 검출은 앞에서 소개된 4-셀 이웃 구조로 레이아웃된 램 메모리 테스트시, 테스트 패턴 수에 있어서 효율적으로 이용될 수 있다.

<107> 또한, 이웃 비트라인 민감 고장 검출이 테스트에 이용되는 병렬비교기와 램 메모리의 기생 커패시턴스에 의해 발생하는 결합 노이즈(Coupling Noise)에 대하여 유용한 특징이 있다.

<108> 도 13에 도시된 바와 같이, 램 메모리 셀의 비트라인과 워드라인 간 이웃한 셀에는 기생 커패시턴스가 존재한다.

<109> 기생 커패시턴스는 메모리 셀의 쓰기/읽기 작용을 지연시킬 수 있는데, 비트라인(B_{n+1})과 반전된 이웃 비트라인 ($/B_n$) 간에 결합 커패시턴스 차이로 인한 결합 노이즈가 원인이 될 수 있다.

<110> 또한, 비트라인 간 결합 커패시턴스(C_{bb})에 의하여 램 메모리의 읽기/쓰기 동작 동안에 크로스토크(Crosstalk)를 발생시킨다.

<111> 상기 크로스토크는 전하 공유 및 센스 증폭기(Sense Amplifier)에 의한 전압 증폭시 발생하며, 도 14에 도시된 바와 같이, 이웃한 비트라인 간 데이터가 달라질 때 최대가 될 수 있다.

<112> 상기 비트라인 간 결합 커패시턴스(C_{bb})는 이웃한 비트라인 간의 거리가 감소하면 증가하는데, 이는 크로스토크, 전압강하, 전압상승을 발생시켜 고속도의 읽기/쓰기 동작에 영향을 준다.

<113> 도 14는 인근 비트 라인들의 데이터 값들이 서로에 대하여 반대일 때 비트라인들 사이의 크로스토크가 리프레쉬 이후에 최대가 되는 것을 보여준다.

<114> 이와 같은 조건에서 주파수 특성은 더욱 나빠지며, 리프레쉬(Refresh) 모드에서 셀은 이웃한 비트라인의 셀에 의하여 영향을 받으며, 리프레쉬 시간과 결합 노이즈에 따라 셀 전압은 기대하던 값에 미치지 못하게 된다.

<115> 다음의 읽기 작용에서의 셀은 이웃 비트라인들의 잔류 전압으로 인하여 결합 노이즈 환경에서 수행된다.

<116> 결과적으로 센스증폭기는 적절한 시간 기간 동안에 증폭하지 못하며, 상기 셀은 일정 시간 동안 억세스되지 못한다. 이와 같은 고장은 DRFs(Data Retention Faults: 데이터 리텐션 고장)으로 분류될 수 있다.

<117> 비트라인의 결합 노이즈로 인한 고장을 테스트하기 위하여 쓰기 동작은 리프레쉬 작용 이후에 일어나는 현상과 같이, 이웃 비트라인 민감 고장 검출을 이용한 테스트로서 병렬 비교기에 의한 병렬 테스트로 구현할 수 있다.

<118> 나아가, 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법에 대하여 도 12를 참조하여 설명하면,

<119> 먼저 테스트 모드를 활성화하기 위해서 상기 테스트 인에이블 회로(100)를 통하여 테스트 인에이블 신호 입력 여부를 판단한다(S200).

<120> 테스트 인에이블 신호 입력에 의하여 테스트 모드 활성화 상태에서, 메모리 셀을 초기화한다(S202).

<121> 테스트 모드가 비활성화 상태에서 램 메모리는 정상 읽기/쓰기 동작을 수행하도록 제어된다(S220).

<122> 또한, 테스트 패턴 발생기(200)를 초기화하여 테스트 패턴을 생성하도록 한다(S204).

<123> 다음으로 이웃 비트라인 민감 고장 검출을 위하여 하나의 워드라인을 선택하여 해당 워드라인에서 3개의 이웃하는 비트라인의 셀을 선택한다(S206).

<124> 상기 선택된 3개의 비트라인의 셀에 상기 테스트 패턴 발생기(200)에 의하여 생성된 테스트 패턴을 쓰기 동작을 수행한다(S208).

<125> 쓰기 동작 후, 베이스 셀의 읽기 동작 또는 베이스 셀에 이웃한 비트라인의 셀을 선택하여 읽기 동작을 수행할 수 있다(S210).

<126> 이때, 베이스 셀의 읽기 동작은 수동형 이웃 비트라인 민감 고장 검출을 위하여 수행될 수 있고, 베이스 셀에 이웃한 비트라인의 셀을 선택한 읽기동작은 능동형 비트라인 민감 고장 검출시 수행된다.

<127> 읽기 동작에 의해 기 입력된 데이터의 변경 여부를 판단하여 데이터 일치여부를 판단한다(S212).

<128> 데이터가 일치하지 않으면, 에러 검출로 판단하고 에러 상태를 외부에 출력한다(S216,S218).

<129> 상기 S212단계에서 데이터가 일치하면, 다음 테스트 패턴 데이터 생성 여부를 판단한다(S214).

<130> 다음 테스트 패턴 데이터가 있으면, 상기 S206단계로 복귀하여 이웃 비트라인 민감 고장 검출을 속행하고, 다음 테스트 패턴 데이터가 없으면, 테스트를 종료시킨다.

<131> 여기에서, 상기 능동형 이웃 비트라인 민감 고장 검출과, 상기 수동형 이웃 비트라인 민감 고장 검출에 필요한 테스트 패턴에 대한 표는 아래와 같다.

표 5

Base Cell	PNPs	Test Patterns	Base Cell	PNPs	Test Patterns
Label 1	0 x 0 - 0 x 1 - 1 x 0 - 1 x 1 -	TP#1-2, TP#18-19 TP#22-23, TP#3-4 TP#16-17, TP#15-16 TP#13-14, TP#56-57	Label 2	x 0 - 0 x 0 - 1 x 1 - 0 x 1 - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#40-41, TP#61-62 TP#51-52, TP#6-7
Base Cell	PNPs	Test Patterns	Base Cell	PNPs	Test Patterns
Label 3	0 - 0 x 0 - 1 x 1 - 0 x 1 - 1 x	TP#39-40, TP#62-63 TP#4-5, TP#41-42 TP#58-59, TP#37-38 TP#43-44, TP#12-13	Label 4	- 0 x 0 - 0 x 1 - 1 x 0 - 1 x 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#8-9, TP#29-30 TP#31-32, TP#32-33

<132>

<133> 표 5는 표 1을 참조하여 수동형 이웃 비트라인 민감 고장 검출에 필요한 테스트 패턴을 나타내며, 표 5에 나타낸 대로 3개의 비트라인 셀이 입력된 테스트 패턴에 따라 베이스 셀의 읽기 동작시 베이스 셀의 데이터 변경 여부를 판단하여 수동형 이웃 비트라인 민감 고장을 검출한다.

<134> "X"로 표시된 부분은 3개의 비트라인 셀에 패턴 데이터 입력에 의해 필요하지 않는 패턴 값으로, 테스트에 이용되지 않는 것이 바람직하다.

표 6

Base Cell	ANPs	Test Patterns	Base Cell	ANPs	Test Patterns
Label 1	0 x - 0 0 x - 1 1 x - 0 1 x - 1	TP#63-64, TP#64-1 TP#2-3, TP#49-50 TP#20-21, TP#57-58 TP#55-56, TP#14-15	Label 2	x 0 0 - x 0 1 - x 1 0 - x 1 1 -	TP#1-2, TP#18-19 TP#22-23, TP#3-4 TP#30-31, TP#7-8 TP#5-6, TP#26-27
	- x 0 0 - x 0 1 - x 1 0 - x 1 1	TP#19-20, TP#38-39 TP#34-35, TP#17-18 TP#42-43, TP#21-22 TP#23-24, TP#46-47		x - 0 0 x - 0 1 x - 1 0 x - 1 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#4-5, TP#41-42 TP#47-48, TP#48-49
Base Cell	ANPs	Test Patterns	Base Cell	ANPs	Test Patterns
Label 3	0 0 - x 0 1 - x 1 0 - x 1 1 - x	TP#63-64, TP#64-1 TP#40-41, TP#61-62 TP#20-21, TP#57-58 TP#59-60, TP#28-29	Label 4	0 0 x - 0 1 x - 1 0 x - 1 1 x -	TP#1-2, TP#18-19 TP#30-31, TP#7-8 TP#16-17, TP#15-16 TP#9-10, TP#36-37
	- 0 0 x - 0 1 x - 1 0 x - 1 1 x	TP#19-20, TP#38-39 TP#42-43, TP#21-22 TP#8-9, TP#29-30 TP#27-28, TP#60-61		0 - x 0 0 - x 1 1 - x 0 1 - x 1	TP#39-40, TP#62-63 TP#50-51, TP#33-34 TP#58-59, TP#37-38 TP#35-36, TP#54-55

<135>

<136> 표 6은 표 1에 나타낸 모든 가능한 테스트 패턴에 대하여 능동형 이웃 비트라인 민감 고장 검출시 필요한 테스트 패턴을 나타낸다.

<137> 표 6에 나타낸 바와 같이, 능동형 이웃 비트라인 민감 고장 검출에 필요한 테스트 패턴 수는 32개이다.

<138> 한편, 상기 자가 테스트 내장회로는 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출과 함께 기본적으로 고정(Stuck-at) 고장, 천이(Transition) 고장, 개방(Stuck-open) 고장, 센스증폭기 복구 고장(SAFs), 어드레스 디코더 고장(AFs) 검출 알고리즘도 포함하여 구현된다.

<139> 상기 개방 고장은 오픈 워드라인으로 인하여 하나의 셀이 억세스될 수 없는 것을 의미한다. 읽기 동작이 하나의 셀에 대하여 수행될 때 미분 센스 증폭기는 셀의 비트라인 사이의 전압 차이를 검출한다. 개방 고장의 경우에 두 비트라인들은 동일한 전압을 갖는다.

<140> 상기 센스증폭기 복구 고장은 동일한 값(0/1)의 긴 비트 스트링을 읽기/쓰기를 수행한 이후에 센스 증폭기가 포화상태가 되는 고장을 의미한다.

<141> 동일한 칼럼에서 긴 스트링(long string)을 읽고 난 후에 늦은 동작으로 인한 고장 센스 증폭기를 갖는 메모리는 반대편 값을 읽기에 충분하게 빠르지 않게 된다.

<142> 센스증폭기 복구 고장 검출을 위한 테스트 순서는 아래 표 7과 같다.

표 7

CASE For S/A recovery Faults	Operations
1 : Write(a long sting) - Read	TP#7(write) - TP#13(read) TP#13(write) - TP#7(read)
2 : Read(a long sting) - read	TP#13(read) - TP#7(read) TP#7(read) - TP#13(read)

<143>

<144> 상기 어드레스 고장 검출은 각각의 주어진 램 어드레스에 대한 셀을 선택하는 어드레스 디코더 동작에 의해 발생한다.

<145> 고장 어드레스 디코더에 적용된 원인은 비-억세스와 멀티-억세스에 의해 발생할 수 있다.

<146> 비-억세스에 의한 고장 어드레스 디코더는 어드레스 할당된 셀을 억세스하지 않는다.

<147> 또한, 어드레스 할당되지 않은 셀에 억세스하기도 한다.

<148> 멀티-억세스에 의한 고장 어드레스 디코더는 어드레스 할당된 셀을 포함하여 다수의 셀에 억세스할 수 있다.

<149> 즉, 멀티-억세스에 의한 고장은 셀들 간의 램-메트릭스 결합 고장이다.

<150> 또한, 본 발명의 4-셀 물리적 이웃구조로 레이아웃된 메모리 셀에 의해 도 1에 도시된 5-셀(type-1)과 9-셀(type-2) 물리적 이웃구조로 레이아웃된 메모리 셀에 의한 자가 테스트 비교 및 병렬비교기에 의한 병렬테스트의 하드웨어 구현 유효성에 대한 비교를 아래의 표 8과 표 9에 각각 나타낸다.

표 8

	Type-1	Type-2	Proposed Type
number of neighborhood cells = k	5	9	4
Test Patterns = ($k \times 2^k$)	160	4608	64
Transition Faults	√	√	√
SNPSFs ANPSFs PNPSFs	√	√	√
Stuck-at Faults	√	√	√
Stuck-open Faults	√	√	√
Test Complexity 2(read & write) X Test patterns X ($\sqrt{n}$)	$320\sqrt{n}$	$9216\sqrt{n}$	$256\sqrt{n}$ $128\sqrt{n} \times 2(group A and B)$
A degree of easiness to implement Hardware for parallel testing	Low	Low	High
ANBLSFs PNBLSFs	Not used	Not used	√
Test Complexity for NBLSFs (Except initial value)	Not used	Not used	$128\sqrt{n}$ (Transition)

<151>

<152> 표 8은 도 1에 도시된 5-셀 물리적 이웃구조 및 9-셀 물리적 이웃구조와 본 발명의 4-셀 물리적 이웃구조와 자가 테스트 비교를 나타낸 것으로, 4-셀 물리적 이웃구조가 5-셀 및 9-셀의 이웃 셀의 수가 적음으로 인해 테스트 패턴수가 적음을 알 수 있으며, 앞에서 설명된 이웃 패턴 민감 고장(NPSF)과, 고정(Stuck-at) 고장, 천이(Transition) 고장, 개방(Stuck-open) 고장, 센스증폭기 복구 고장(SAFs) 및 어드레스 디코더 고장(AFs) 및 이웃 비트라인 민감고장(NBLSF) 검출도 가능함을 나타낸다.

<153> 또한, 테스트 복잡성은 $256\sqrt{n}$ (n = 메모리의 모든 셀 수)이며, 또한 테스트 복잡성이 $16\sqrt{n}+32$인 센스증폭기 복구 고장을 테스트하기에도 편리하여 실제로 테스트 시간 및 오버헤드에 있어서 기존의 레이아웃 구조보다 효과적이다.

표 9

Table 9. Comparison of extra hardware.

	P. Mazumder [6]	This Work
Transistors for Parallel Comparator	2b+12 (b=number of bit-lines)	1.5b+12
Transistors added to Modified Decoder	$2\log_2 b$	b/4

<154>

<155> 표 9는 본 발명이 종래의 P.Mazumder의 병렬비교기 및 디코더 회로와 비교하여 이웃 패턴 민감 고장 및 이웃 비트라인 민감 고장 검출을 위한 변형된 병렬비교기의 트랜지스터 수와 변형된 디코더회로에 추가된 트랜지스터 수를 비교하여 나타낸 것으로 상기 표 9와 같이, 기존의 병렬비교기 및 디코더 회로에 비하여 4-셀 레이아웃된 메모리 셀 구조에서 자가 테스트 내장 회로 구현시 보다 적은 수의 트랜지스트를 필요로 함을 알 수 있다.

<156> 즉, 전체 칩 면적 확대를 줄임으로써, 메모리 밀도가 증가하더라도 비트라인 간의 결합 노이즈 뿐만 아니라 셀 간 상호간섭을 줄이는 효과를 갖는다.

<157> 이상에서 본 발명의 바람직한 일 실시예를 설명하였으나, 본 발명은 다양한 변화와 변경 및 균등물을 사용할 수 있고, 상기 실시예를 적절히 변형하여 동일하게 응용할 수 있음이 명확하다. 따라서 상기 기재 내용은 하기 특허청구범위의 한계에 의해 정해지는 본 발명의 범위를 한정하는 것이 아니다.

도면의 간단한 설명

<158> 도 1은 종래의 메모리 셀의 5-셀 및 9-셀 물리적 이웃구조에 대한 구성도이다.

<159> 도 2는 본 발명의 바람직한 일실시예에 따른 메모리 셀의 4-셀 물리적 이웃구조에 대한 구성도이다.

<160> 도 3은 도 2의 메모리 셀의 물리적 이웃구조를 적용한 메모리 레이아웃을 나타낸 실시예이다.

<161> 도 4는 도 2의 메모리 셀의 물리적 이웃구조에 의한 유효 사이즈를 설명하기 위한 설명도이다.

<162> 도 5는 본 발명의 바람직한 일실시예에 따른 램의 이웃 패턴 민감 고장과 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 내장회로의 블록도이다.

<163> 도 6은 도 5의 자가 테스트 내장회로에 구비된 테스트 인에이블 회로의 구성도이다.

<164> 도 7은 도 5의 자가 테스트 내장회로에 구비된 테스트 패턴 발생기에 대한 설명도이다.

<165> 도 8은 도 5의 자가 테스트 내장회로에 구비된 디코더회로의 구성도이다.

<166> 도 9는 도 8의 디코더회로의 점선부분을 확대하여 도시한 확대도이다.

<167> 도 10은 도 5의 자가 테스트 내장회로에 구비된 병렬비교기 및 에러검출기를 나타낸 구성도이다.

<168> 도 11은 본 발명의 바람직한 일실시예에 따른 램의 이웃 패턴 민감 고장 검출을 위한 자가 테스트 방법의 순서도이다.

<169> 도 12는 본 발명의 바람직한 일실시예에 따른 램의 이웃 비트라인 민감 고장 검출을 위한 자가 테스트 방법의 순서도이다.

<170> 도 13은 램의 기생 커패시턴스 구조에 대한 설명도이다.

<171> 도 14는 도 13의 기생 커패시턴스에 의하여 발생되는 결합 노이즈의 최소 또는 최대 조건에 대한 설명도이다.

<172> <도면의 주요 부분에 대한 참조부호의 설명>

<173> 10 : 메모리 셀 100 : 테스트 인에이블 회로

<174> 200 : 테스트 패턴 발생기 300 : 컬럼 디코더

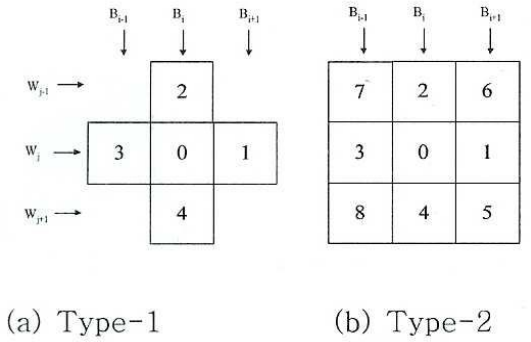
<175> 400 : 로우 디코더 500 : 어드레스 제너레이터

<176> 600 : 제어회로 700 : 병렬비교기 및 에러검출기

<177> 800 : 에러 홀더 900 : 입출력버퍼

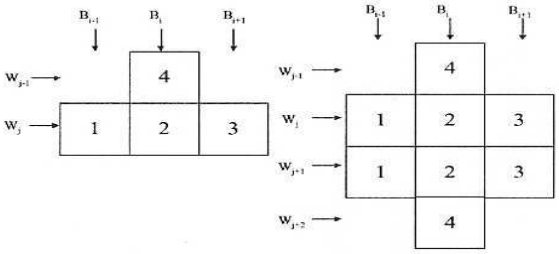
도면

도면1

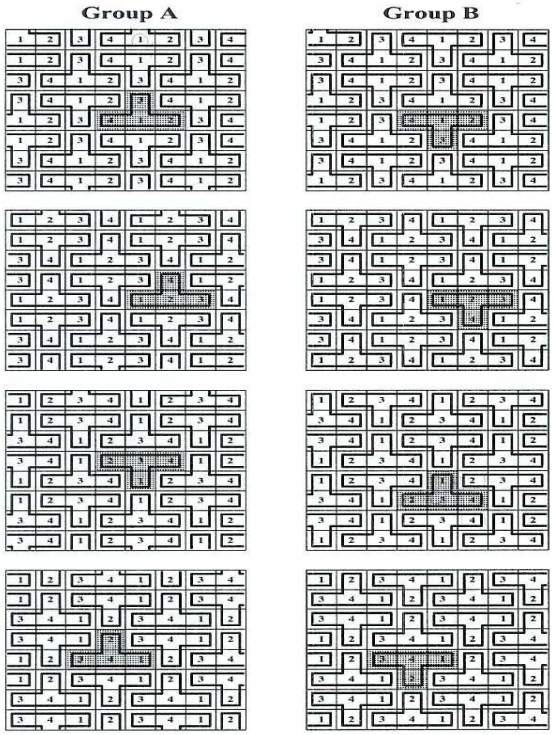


(a) Type-1 (b) Type-2

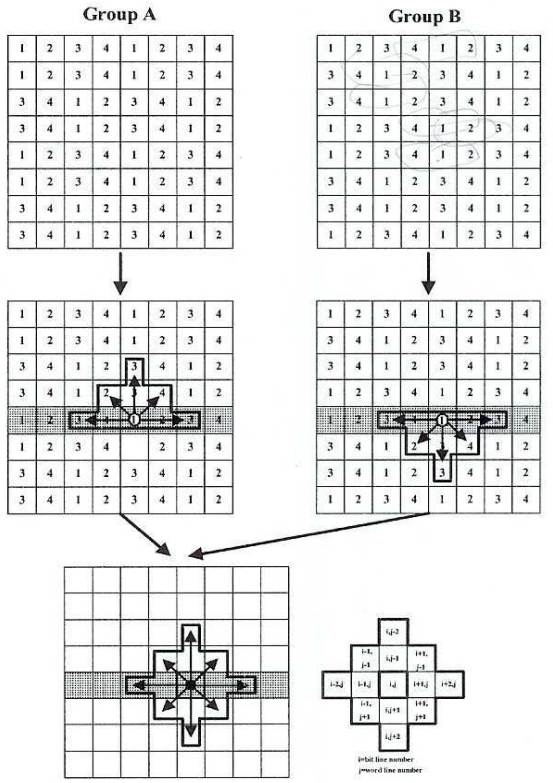
도면2



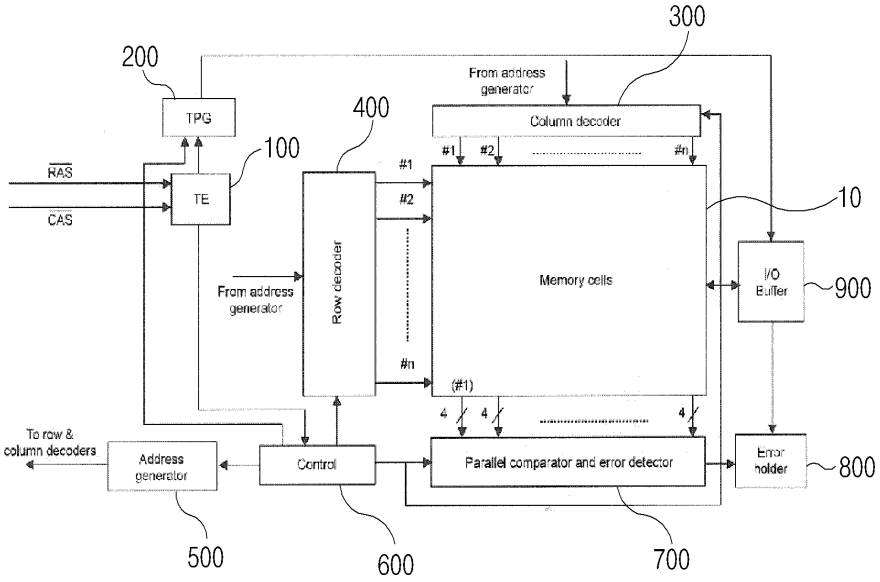
도면3



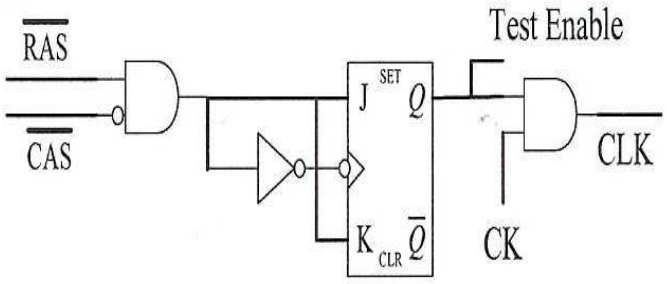
도면4



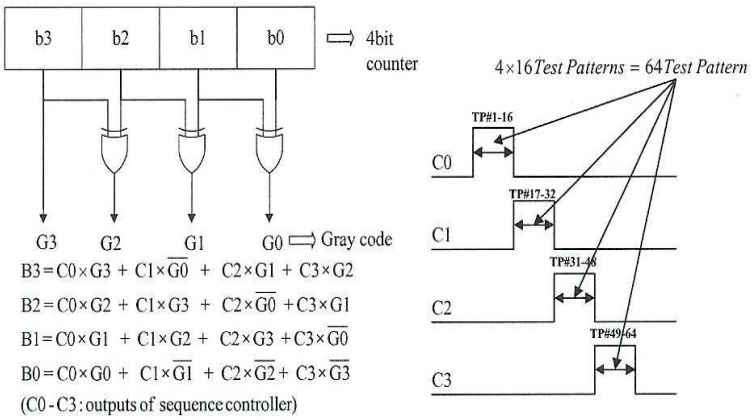
도면5


300
200
From address generator
TPG
400
Column decoder
100
RAS
CAS
TE
#1
#2
#n
10
From address generator
Row decoder
Memory cells
I/O Buffer
900
#n
(#1)
4
To row & column decoders
Address generator
Control
Parallel comparator and error detector
Error holder
800
500
600
700

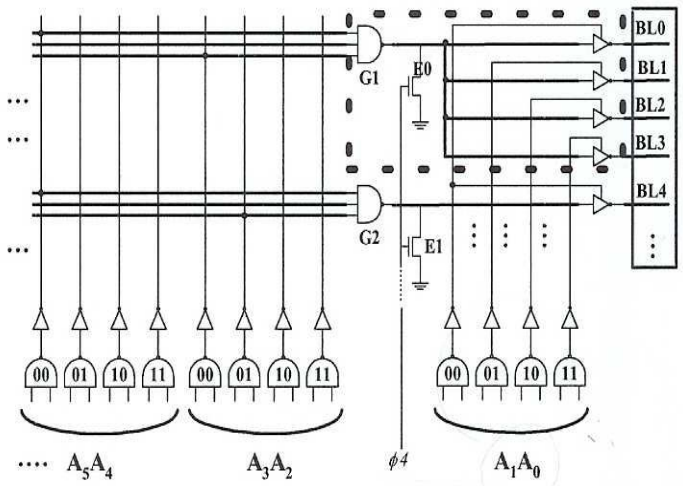
도면6


RAS
CAS
Test Enable
SET
J
Q
K
CLR
CLK
CK

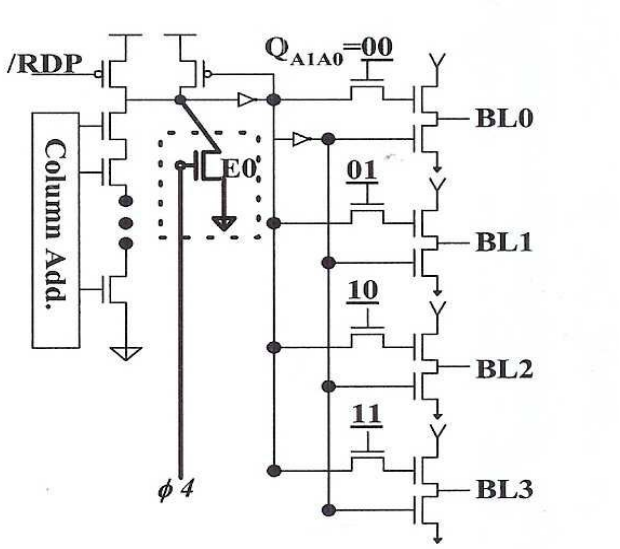
도면7


b3
b2
b1
b0
4bit counter
4×16 Test Patterns = 64 Test Pattern
TP#1-16
C0
TP#17-32
C1
TP#31-48
C2
TP#49-64
C3
G3
G2
G1
G0
Gray code
B3 = C0×G3 + C1×G0 + C2×G1 + C3×G2
B2 = C0×G2 + C1×G3 + C2×G0 + C3×G1
B1 = C0×G1 + C1×G2 + C2×G3 + C3×G0
B0 = C0×G0 + C1×G1 + C2×G2 + C3×G3
(C0 - C3 : outputs of sequence controller)

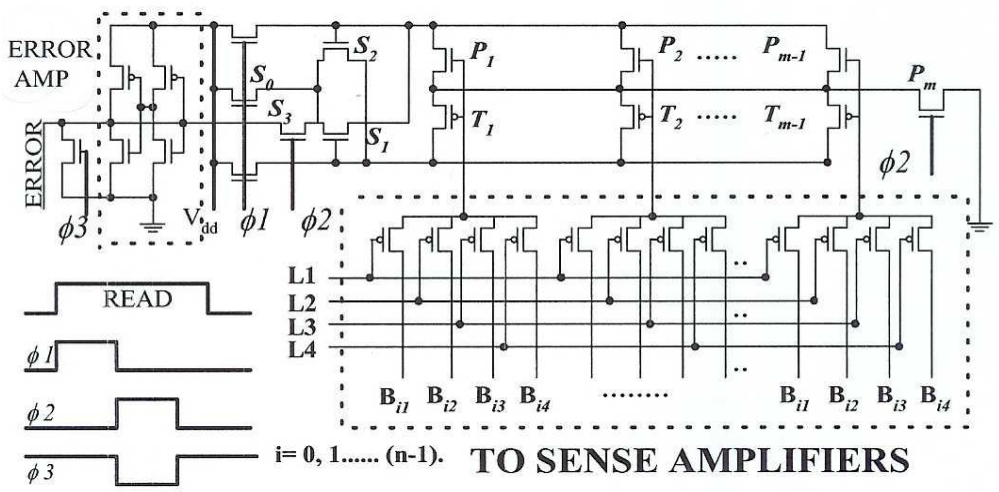
도면8


BL0
BL1
BL2
BL3
BL4
G1
G2
E0
E1
00
01
10
11
A_5A_4
A_3A_2
A_1A_0
$\phi 4$

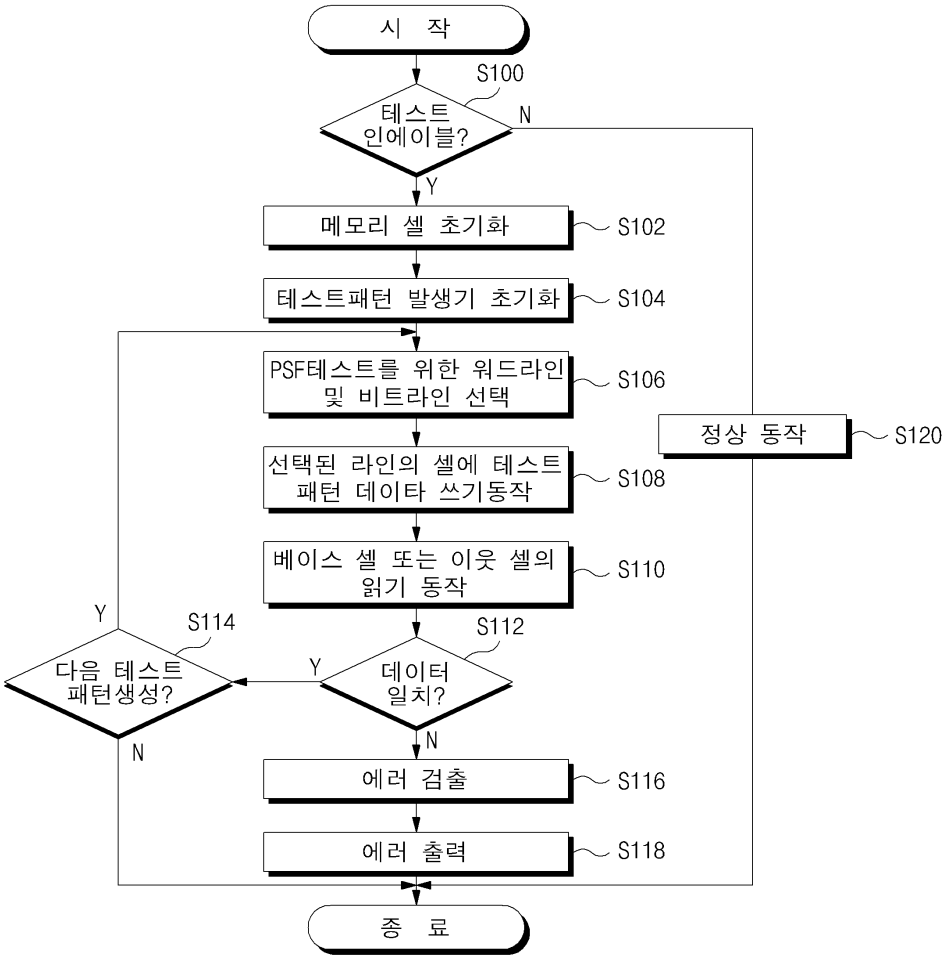
도면9


/RDP
Q_{A1A0}=00
Column Add.
E0
01
10
11
BL0
BL1
BL2
BL3
$\phi 4$

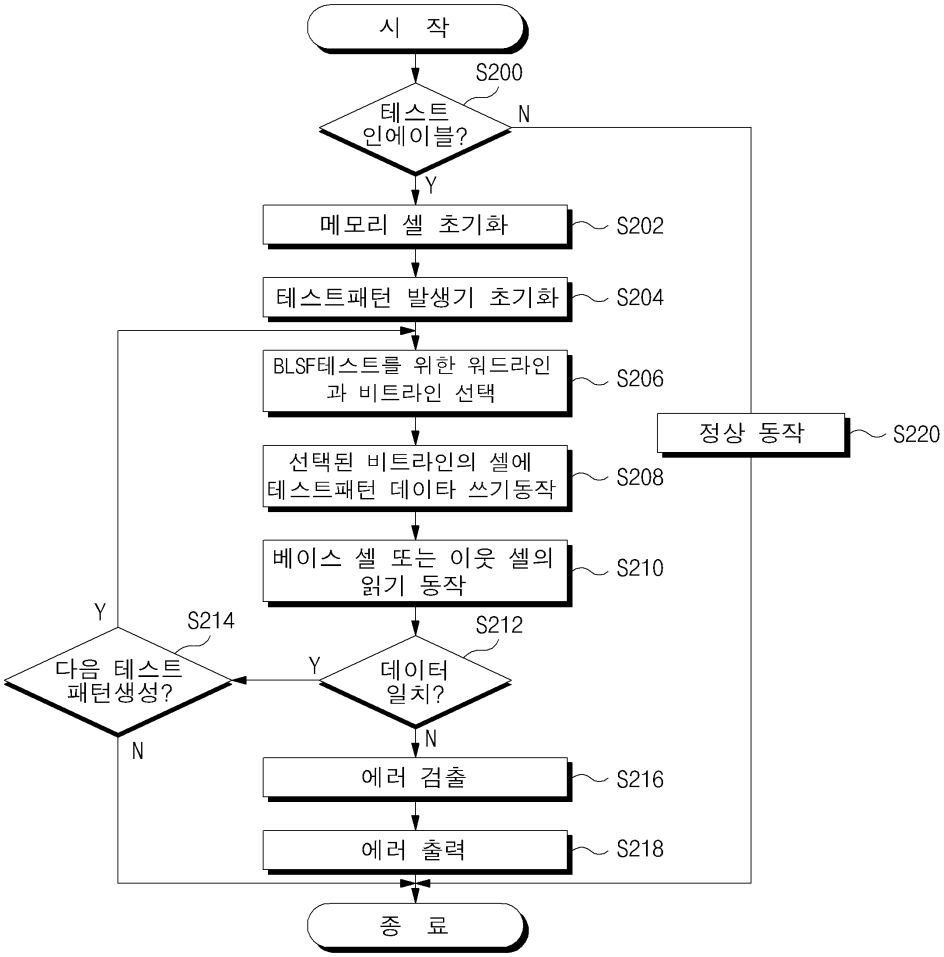
도면10


ERROR AMP
ERROR
S_0
S_1
S_2
S_3
P_1
P_2 ..... P_{m-1}
P_m
T_1
T_2 ..... T_{m-1}
$\phi 1$
$\phi 2$
$\phi 3$
V_{id}
READ
L1
L2
L3
L4
B_{i1} B_{i2} B_{i3} B_{i4}
i= 0, 1..... (n-1).
TO SENSE AMPLIFIERS

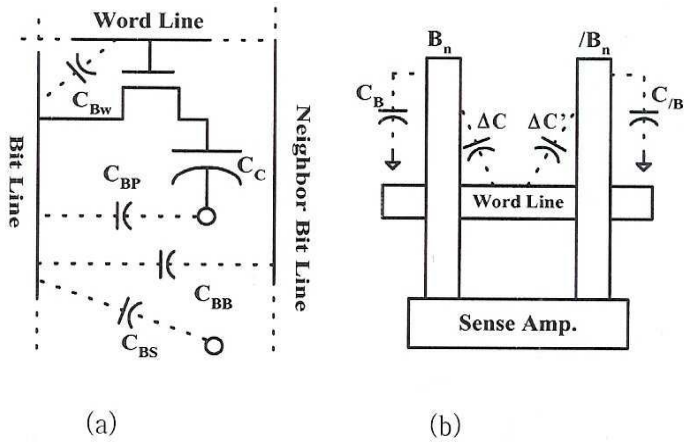
도면11


시 작
S100
테스트 인에이블?
N
Y
메모리 셀 초기화
S102
테스트패턴 발생기 초기화
S104
PSF테스트를 위한 워드라인 및 비트라인 선택
S106
정상 동작
S120
선택된 라인의 셀에 테스트 패턴 데이타 쓰기동작
S108
베이스 셀 또는 이웃 셀의 읽기 동작
S110
S112
데이터 일치?
Y
N
S114
다음 테스트 패턴생성?
Y
N
에러 검출
S116
에러 출력
S118
종 료

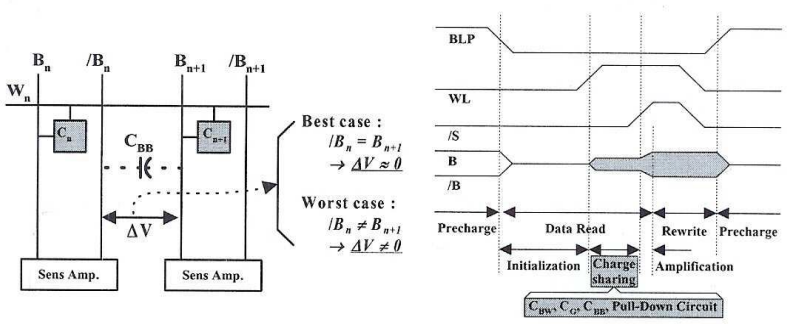
도면12


시 작
S200
테스트 인에이블?
N
Y
메모리 셀 초기화
S202
테스트패턴 발생기 초기화
S204
BLSF테스트를 위한 워드라인 과 비트라인 선택
S206
정상 동작
S220
선택된 비트라인의 셀에 테스트패턴 데이타 쓰기동작
S208
베이스 셀 또는 이웃 셀의 읽기 동작
S210
Y
S214
다음 테스트 패턴생성?
N
S212
Y
데이터 일치?
N
에러 검출
S216
에러 출력
S218
종 료

도면13


Word Line
C_{Bw}
C_{BP}
C_C
C_{BB}
C_{BS}
Bit Line
Neighbor Bit Line
(a)
B_n
$/B_n$
C_B
$C_{/B}$
ΔC
ΔC
Word Line
Sense Amp.
(b)

도면14


B_n
/B_n
B_n+1
/B_n+1
W_n
C_n
C_BB
C_n+1
ΔV
Sens Amp.
Sens Amp.
Best case :
/B_n = B_n+1
→ ΔV ≈ 0
Worst case :
/B_n ≠ B_n+1
→ ΔV ≠ 0
BLP
WL
/S
B
/B
Precharge
Data Read
Rewrite
Precharge
Initialization
Charge sharing
Amplification
C_BW, C_G, C_BB, Pull-Down Circuit