(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。Int. Cl.
G06F 7/50 (2006.01)

(45) 공고일자 2007년06월28일
(11) 등록번호 10-0733640
(24) 등록일자 2007년06월22일

(21) 출원번호	10-2001-7001867	(65) 공개번호	10-2001-0099619
(22) 출원일자	2001년02월13일	(43) 공개일자	2001년11월09일
심사청구일자	2004년08월16일		
번역문 제출일자	2001년02월13일		
(86) 국제출원번호	PCT/SE1999/001406	(87) 국제공개번호	WO 2000/11790
국제출원일자	1999년08월19일	국제공개일자	2000년03월02일

(81) 지정국 국내특허 : 알바니아, 아르메니아, 오스트리아, 오스트레일리아, 아제르바이잔, 보스니아 헤르체고비나, 바베이도스, 불가리아, 브라질, 벨라루스, 캐나다, 스위스, 리히텐슈타인, 중국, 쿠바, 체코, 독일, 덴마크, 에스토니아, 스페인, 핀란드, 영국, 그루지야, 헝가리, 이스라엘, 아이슬랜드, 일본, 케냐, 키르키즈스탐, 북한, 대한민국, 카자흐스탄, 세인트루시아, 스리랑카, 리베이라, 레소토, 리투아니아, 룩셈부르크, 라트비아, 몰도바, 마다가스카르, 마케도니아공화국, 몽고, 말라위, 멕시코, 노르웨이, 뉴질랜드, 슬로베니아, 슬로바키아, 타지키스탄, 투르크맨, 터어키, 트리니아드토바고, 우크라이나, 우간다, 우즈베키스탄, 베트남, 폴란드, 포르투칼, 루마니아, 러시아, 수단, 스웨덴, 싱가포르, 가나, 감비아, 인도네시아, 시에라리온, 세르비아 앤 몬테네그로, 짐바브웨, 크로아티아, 그라나다, 인도, 아랍에미리트, 남아프리카,

AP ARIPO특허 : 케냐, 레소토, 말라위, 수단, 스와질랜드, 우간다, 가나, 감비아, 짐바브웨, 시에라리온,

EA 유라시아특허 : 아르메니아, 아제르바이잔, 벨라루스, 키르키즈스탐, 카자흐스탄, 몰도바, 러시아, 타지키스탄, 투르크맨,

EP 유럽특허 : 오스트리아, 벨기에, 스위스, 리히텐슈타인, 독일, 덴마크, 스페인, 프랑스, 영국, 그리스, 아일랜드, 이탈리아, 룩셈부르크, 모나코, 네덜란드, 포르투칼, 스웨덴, 핀란드, 사이프러스,

OA OAPI특허 : 부르키나파소, 베닌, 중앙아프리카, 콩고, 코트디브와르, 카메룬, 가봉, 기니, 말리, 모리타니, 니제르, 세네갈, 차드, 토고, 기니 비사우,

(30) 우선권주장

9802787-3	1998년08월20일	스웨덴(SE)
9901624-8	1999년05월04일	스웨덴(SE)

(73) 특허권자 텔레폰악티에볼라겟 엘엠 에릭슨(펍)
스웨덴왕국 스톡홀름 에스-164 83

(72) 발명자 유안지렌
스웨덴왕국룬트에스-22472일리온그란트31

(74) 대리인 권동용
김기종
박병석
서장찬

최재철

(56) 선행기술조사문헌
US5053770 A US5061927 A

심사관 : 한선경

전체 청구항 수 : 총 20 항

(54) 부동-소수점 아날로그-디지털 변환기 및 아날로그 입력 신호를 A/D 변환하는 방법

(57) 요약

분해능이 양자화 정밀도 보다는 단지 신호의 동작 범위를 커버하는데 사용되면, 본 발명의 부동-소수점 A/D 변환기를 사용함으로써 매우 높은 분해능의 A/D 변환기가 필요없게 된다. 이는, $2^{(i-1)k}$(여기서, k=상수이고 i=1, 2, ..., m)의 증폭율을 이용하여 m(>1) 개의 증폭된 아날로그 신호를 발생시킴으로써 이루어질 수 있다. 가장 큰 선형 증폭된 신호가 논리 회로에 의해 선택되어(샘플링 한 이후임) A/D 변환기 변환기에 의해 n-비트 디지털 데이터 코드로 변환된다. 이와 동시에, 논리 회로는 m-비트 논리 플래그 코드를 발생시킨다. n-비트 데이트 코드(u), m-비트 논리 플래그 코드(v), 및 상수(k)가 결합되어 n+(m-1)k 비트를 가진 최종 디지털 출력(uv^k)을 형성한다. 이와 같은 방법으로, 분해능과 동작 범위가 개별적으로 설계될 수 있다. 공지된 대수 증폭기 해결방법과는 달리, 부동-소수점 A/D 변환기는 어떠한 룩업 테이블도 사용하지 않고 직접적으로 선형 디지털 출력 코드를 제공한다. 큰 신호와 작은 신호에 대해, 실제 분해능이 일정하게 유지된다(또는 엄밀히 말해 준-상수). 또한, 낮은 전력 공급 전압에 의해 요구되는 작은 입력 범위를 이용하여 동작하는 것이 유용한데, 이는 그것의 가상 입력 범위가 실제 범위보다 훨씬 더 크기 때문이다. A/D 변환기에 의해, 신호 진폭에 따른 그것의 정밀도 분포가 더욱 합리적인데, 이는 부동-소수점 수 표현의 장점과 유사한 장점이다.

대표도

도 1

특허청구의 범위

청구항 1.

아날로그-디지털 변환기에 있어서,

아날로그 입력 신호를 증폭하여 각기 다른 범위의 다수의 아날로그 신호를 발생시키는 복수의 증폭기를 포함하는 입력 증폭기 네트워크(1.1)로서, 단 하나의 증폭기가 가장 큰 선형 증폭된 아날로그 신호를 발생시키게 하는 방식으로 가중화되는, 상기 복수의 증폭기를 포함하는 입력 증폭기 네트워크(1.1),

상기 가장 큰 선형 증폭된 아날로그 신호를 선택하는 선택 수단(1.2, 1.3, 1.6, 1.7), 및

상기 가장 큰 선형 증폭된 아날로그 신호를 디지털 출력 신호로 변환하는 A/D 변환 수단(1.4, 1.5)을 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 2.

제 1 항에 있어서,

입력 증폭기 네트워크로서, 입력 아날로그 신호가 접속되는 하나의 입력 노드 또는 차동일 경우에는 한 쌍의 노드와, 다수의 출력 노드를 포함하며, 입력 아날로그 신호를 증폭하고, $2^{(i-1)k}$(여기서, k=상수(예컨대 2진수의 경우 k=1, 4진수의 경우 k=2)이고, i=1, 2, ..., m임)의 증폭율로 각각 출력 노드에 공급되는 다수의 지연-평형 또는 지연-비대칭 신호를 발생시켜, 큰 입력 아날로그 신호 및 작은 입력 아날로그 신호에 대한 동작 범위 내에서, 출력 노드 중 하나에 이용될 수 있는 적합한 진폭을 가진 선형 증폭된 신호가 항상 존재하도록 이루어진, 상기 입력 증폭기 네트워크,

샘플링-홀드(S/H) 네트워크로서, 증폭된 신호가 접속되는 다수의 신호 입력 노드와, 다수의 출력 노드를 포함하는데, 상기 신호 입력 노드는, 지연-평형 입력 신호인 경우에는 하나의 샘플링 클록이 접속되는 하나의 클록 입력 노드이고; 지연-비대칭 입력 신호인 경우에는 다수의 시간-비대칭 샘플링 클록이 접속되는 다수의 클록 입력 노드이며, 상기 출력 노드는, 지연-평형 입력 신호인 경우에는 샘플링 클록의 제어하에 각각, 증폭된 신호를 샘플링하여 샘플링된 전압을 출력 노드에 홀딩하는 다수의 S/H 회로이고; 지연-비대칭 입력 신호인 경우에는 각각, 시간-비대칭 샘플링 클록의 제어하에 정확히 정합된 순간에 상기 증폭된 신호를 샘플링하는 다수의 S/H 회로와, 회로 출력 노드로 공급된 시간-정렬된 샘플링된 전압을 발생시키는 비대칭보정(deskewing) 회로인, 상기 샘플링-홀드(S/H) 네트워크,

비교-스위치 네트워크로서, 샘플링된 전압이 각각 접속되는 다수의 입력 노드, 하나 이상의 기준 전압이 접속되는 하나 이상의 기준 입력 노드, 하나의 신호 출력 노드 또는 차동일 경우 한 쌍의 신호 출력 노드, 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 논리 출력 노드, 샘플링된 전압과 기준 전압을 비교하는 다수의 비교기, 비교기 출력을 검사함으로써 가장 적합한 샘플링된 전압을 확인하여, 내부와 외부적으로 모두 사용될 논리 출력 노드로 공급되는 논리 플래그 코드를 발생시키는 논리 회로, 및 논리 플래그 코드에 의해 제어되어 가장 적합한 샘플 전압만을 신호 출력 노드로 스위칭하는 다수의 스위치를 포함하는, 상기 비교-스위치 네트워크,

A/D 변환기로서, 가장 적합한 샘플링 전압이 접속되는 하나의 신호 입력 노드 또는 차동일 경우에는 한 쌍의 신호 입력 노드, A/D 변환을 위한 기준 전압이 접속되는 하나 이상의 기준 입력 노드, 하나 또는 다수의 클록이 접속되는 하나 이상의 클록 입력 노드, 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 디지털 출력 노드 및, 가장 적합한 샘플링 전압을 디지털화하여 클록의 제어하에 디지털 출력 노드로 공급되는 디지털 데이터 코드를 발생시키기 위한 정규 A/D 변환기 보디(body)(예컨대, 파이프라인(pipelined) A/D 변환기)를 포함하는, 상기 A/D 변환기,

디지털 출력 회로로서, 디지털 데이터 코드(u)가 접속되는 하나(비트-직렬의 경우) 또는 다수(비트-병렬인 경우)의 디지털 입력 노드, 논리 플래그 코드(v)가 접속되는 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 논리 입력 노드 이 외에, 상수 코드(k)가 접속되는 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 상수 입력 노드, 하나 또는 다수의 클록이 접속되는 하나 이상의 클록 입력 노드, 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 디지털 출력 노드, 및 n-비트 데이터 코드(u), m-비트 논리 플래그 코드(v)와 상수 코드(k)를 결합하여, 클록의 제어하에 디지털 출력 노드로 공급되는 $n+(m-1)k$ 비트를 가진 최종 디지털 출력(uv^k)을 발생시키는 회로를 포함하는, 상기 디지털 출력 회로,

타이밍 신호 발생기로서, 하나 이상의 입력 클록이 접속되는 하나 이상의 클록 입력 노드와, 다수의 출력 노드, 및 타이밍 신호를 발생시켜 이를 출력 노드를 통해 부동-소수점 A/D 변환기의 상응하는 부분으로 공급하는 타이밍 신호 발생 회로를 포함하는, 상기 타이밍 신호 발생기,

바이어스-기준 회로로서, 추가 접속 노드에 필요한 부분은 어느 것이든 바이어싱하는 바이어스 회로, 및 기준 전압을 발생시켜 이것을 필요로 하는 부분으로 공급하는 기준 전압 발생 회로를 포함하는, 상기 바이어스-기준 회로, 및

상기 회로를 작동시키기 위한 하나 이상의 전원(power supply)을 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 3.

제 1 항 또는 제 2 항에 있어서,

단일-단자(single-ended) 또는 차동 신호를 이용하는 상기 입력 증폭기 네트워크는,

입력 아날로그 신호가 접속되는 입력 노드,

m 개의 출력 노드,

입력 아날로그 신호원에 대한 정합 부하의 역할을 하는 지연-평형 저항기 네트워크로서, $2^{-(m-i)k}$(여기서, i=1, 2, ..., m이고, k는 상수(예컨대 2진수의 경우에는 k=1이고 4진수의 경우에는 k=2임))의 비율로 입력 아날로그 신호를 m 개의 아날로그 신호로 분리하여, 실제 부하 조건하에서 상이한 신호 경로 지연의 평형을 맞추는 지연-평형 저항기 네트워크, 및

각각, $2^{(m-1)k}$의 증폭율로 m 개의 아날로그 신호를 증폭하여, 상기 증폭된 신호를 m 개의 출력 노드로 공급하는 m 개의 동일한 증폭기를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 4.

제 2 항에 있어서,

상기 입력 증폭기 네트워크는,

입력 아날로그 신호가 접속되는 입력 노드,

m 개의 출력 노드,

입력 아날로그 신호를 증폭하여 p 개의 증폭된 신호를 발생시키는 입력 증폭기 네트워크,

p 개의 동일한 지연-평형 전압-분할기(예컨대, 저항 분할기)로서, 입력과 각각 비율(1)과 비율(2^{-pk})을 가진 두 개의 출력을 가지며, p 개의 아날로그 신호를 m=2p 개의 아날로그 신호로 분할하는 지연-평형 전압-분할기, 및

2^{pk}의 증폭율로 m 개의 아날로그 신호를 증폭하여, 상기 증폭된 m 개의 신호를 m 개의 출력 노드에 공급하는 m 개의 동일한 증폭기를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 5.

제 2 항에 있어서,

단일-단자 또는 차동 신호를 이용하는 상기 비교-스위치 네트워크는,

S/H 네트워크로부터의 m 개의 샘플링된 전압(가장 큰 값으로서 전압 m을 가짐)이 각각 접속되는 m 개의 입력 노드,

기준 전압($V_r=qV_{max}/k^k$ 또는 $\pm V_r=\pm qV_{max}/2^k$)(여기서, V_{max} 또는 $\pm V_{max}$는 최대 증폭기 선형 출력 전압이며, q(<1)는 안전 계수임)이 접속되는 두 기준 전압 입력 노드 중 하나,

신호 출력 노드,

하나(비트-직렬인 경우) 또는 m(비트-병렬인 경우) 개의 논리 출력 노드,

샘플링된 전압(1 에서 m-1)과 기준 전압(V_r(단-방향의 경우) 또는 $\pm V_r$(양-방향인 경우))을 비교하여, 샘플링된 전압이 V_r보다 크거나 $\pm V_r$ 범위를 벗어나는 경우 논리 참(true)을 출력하는 m-1 개의 비교기,

m 개의 2-입력 XOR 게이트로서, 논리 로우와 비교기(1)의 출력이 XOR 게이트(1)의 입력에 접속되고, 비교기(i-1 및 i)의 출력이 XOR 게이트(i)(여기서, i=2, 3, ..., m-1)의 입력에 접속되고, 비교기(m-1)의 출력과 논리 하이가 XOR 게이트(m)의 입력에 접속되며, m-비트 논리 플래그 코드로서의 m 개의 XOR 게이트의 출력이 논리 출력 노드에 제공되는, 상기 m 개의 2-입력 XOR 게이트, 및

상기 샘플링된 전압 중, XOR 게이트의 출력이 논리 하이인 전압과 신호 출력 노드를 접속하기 위한 스위치 네트워크를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 6.

제 2 항에 있어서,

상기 디지털 출력 신호는,

n-비트 디지털 데이터 코드가 접속되는 하나(비트-직렬인 경우) 또는 n 개(비트-병렬인 경우)의 디지털 입력 노드,

m-비트 논리 코드가 접속되는 하나(비트-직렬인 경우) 또는 m 개(비트-병렬인 경우)의 논리 입력 노드,

정수인 상수 코드(k)(=1, 2, ...)가 접속되는 하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 상수 입력 노드,

한 클록 또는 다수의 클록이 접속되는 하나 이상의 클록 입력 노드,

하나(비트-직렬인 경우) 또는 다수(비트-병렬인 경우)의 디지털 출력 노드 및,

v와 v를 k 번 곱하여 v^k를 계산한 다음, u와 v^k를 곱하여 출력 노드에 공급되는 n+ (m-1)k 비트를 가진 최종 디지털 출력(uv^k)을 발생시키는(여기에는 간단한 시프팅 동작만 필요함) 하나 또는 두 개의 곱셈기(multiplier)를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 7.

제 2 항에 있어서,

상기 입력 증폭기 네트워크가 낮은 오프셋의 고정-지연 AC 증폭기를 포함하는데, 상기 낮은 오프셋의 고정-지연 AC 증폭기는,

입력 아날로그 신호가 접속되는 입력 노드,

출력 노드,

입력 노드에 접속된 제1 단의 입력과 출력 노드에 접속된 마지막 단의 출력을 가진 다수의 증폭기 단,

DC 오프셋 전달을 중단하기 위해 증폭기 단 사이에 각각 접속되는 다수의 결합 커패시터, 및

단의 과전압을 방지하기 위해 입력 진폭을 제한하고 입력에 대한 DC 경로를 항상 접지로 제공하는, 증폭기 단의 입력을 접지에 접속하는 다수의 진폭 제한기를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 8.

제 2 항에 있어서,

상기 입력 증폭기 네트워크는 낮은 오프셋의 고정-지연 자동-영점 증폭기를 포함하는데, 상기 낮은 오프셋의 고정-지연 자동-영점 증폭기는,

입력 아날로그 신호가 접속되는 입력 노드,

모든 상승 에지(rising edge)가 동기화하는 클록(Φ_1- Φ_x)과 각각 접속되는 다수의 클록 노드로서, Φ_2 - Φ_x의 하강 에지가 연속적으로 지연되고, Φ_1 과 Φ_x의 하강 에지가 동기화를 이루며, Φ_1 - Φ_x의 낮은 위상이 증폭기에 사용되어 입력 아날로그 신호를 증폭시키는, 상기 다수의 클록 노드,

출력 노드,

단(x)의 출력이 출력 노드에 접속되는 다수의 증폭기 단(1-x),

단(1-(x-1))의 출력에 각각 접속되어 단(1-x)의 과전압을 방지하는 다수의 진폭 제한기(1-(x-1)),

진폭 제한기(i)의 출력과 단(i+ 1)의 입력(여기서, i=1, 2, ..., (x-1)) 사이에 각각 접속되는 다수의 결합 커패시터(1-(x-1)),

단(1)의 입력을 Φ_1이 하이이면 접지에 접속하고 또는 Φ_1이 로우이면 입력 노드에 접속하는 입력 스위치, 및

Φ_2 - Φ_x가 하이이면 단(2-x)의 입력을 접지에 각각 접속하고 또는 Φ_2 - Φ_x가 로우이면 상기 단의 입력을 부동상태로 각각 유지하는 다수의 자동-영점 스위치를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 9.

제 2 항에 있어서,

상기 입력 증폭기 네트워크는 y+ 1 개의 자동-영점 증폭기를 포함하는데, 상기 자동-영점 증폭기는,

y 개의 입력 아날로그 신호가 접속되는 y 개의 입력 노드,

동일한 주기(T_c)와 높은 위상(T_c/(y+ 1))을 가지며 T_c/(y+ 1) 만큼 연속적으로 비대칭화된 클록(1 - (y+ 1))이 각각 접속되는 y+ 1 개의 클록 노드,

y 개의 출력 노드,

자동-영점 과정과 정착 과정을 더한 시간이 T_c/(y+ 1)과 동일하거나 이보다 큰 y+ 1 개의 낮은 오프셋의 고정-지연 자동-영점 증폭기,

클록(1-(y+ 1))으로부터 제어 신호를 발생시키는 제어 신호 발생기,

입력 멀티플렉서로서, 이것의 y 개의 입력이 y 개의 입력 노드에 접속되고 y+ 1 개의 출력이 y+ 1 개의 증폭기 입력에 각각 접속되며, 제어 신호의 제어하에 y 개의 입력 아날로그 신호가 항상 y+ 1 개의 증폭기 중 y 개의 증폭기의 입력으로 스위칭되게 하는 입력 멀티플렉서, 및

출력 멀티플렉서로서, 이것의 y+ 1 개의 입력이 y+ 1 개의 증폭기 출력에 접속되고 y 개의 출력이 y 개의 출력 노드에 각각 접속되며, 제어 신호의 제어하에 y+ 1 개의 증폭기 중 y 개의 증폭기의 출력이 항상 y 개의 출력 노드에 접속되게 하는 출력 멀티플렉서를 포함하는 것을 특징으로 하는 아날로그-디지털 변환기.

청구항 10.

아날로그 입력 신호를 A/D 변환하는 방법에 있어서,

상이한 진폭을 가진 다수의 아날로그 신호를 발생시키기 위해 아날로그 입력 신호를 저항기 네트워크로 입력하는 단계,

다수의 증폭된 신호를 발생시키기 위해 다수의 아날로그 신호를 다수의 증폭기에서 증폭하는 단계,

다수의 샘플링된 전압을 발생시키기 위해 상기 다수의 증폭된 신호를 샘플링-홀드 네트워크에 입력하는 단계,

다수의 샘플링된 전압을 제1 기준 전압과 비교하는 단계,

제1 기준 전압에 가장 근접하지만 그보다 큰 전압인, 제1의 다수의 샘플링된 전압 중 하나의 전압을 선택하는 단계, 및

상기 선택된 샘플링 전압을 디지털 출력 신호로 변환하는 단계를 포함하는, 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 11.

제 10 항에 있어서,

상기 선택된 샘플링 전압을 선택하는데 논리 회로가 사용되는 것을 특징으로 하는 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 12.

제 11 항에 있어서,

상기 논리 회로는 다수의 비교기, XOR 게이트 및 스위치를 포함하는 것을 특징으로 하는 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 13.

제 10 항에 있어서,

상기 제1의 다수의 샘플링 전압 모두가 기준 전압보다 클 경우, 상기 다수의 샘플링된 전압 중에서 가장 작은 전압이 선택되는 것을 특징으로 하는 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 14.

제 10 항에 있어서,

상기 선택된 샘플링된 전압을 제2 기준 전압과 비교하여, 선택된 샘플링 전압이 제2 기준 전압보다 클 경우 더 작은 전압을 가진 또 다른 샘플링된 전압을 선택하는 단계를 더 포함하는 것을 특징으로 하는 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 15.

제 10 항에 있어서,

상기 다수의 증폭기는 실질적으로 정합되어 있는 것을 특징으로 하는 아날로그 입력 신호를 A/D 변환하는 방법.

청구항 16.

부동 소수점 아날로그-디지털 변환기로서,

입력 아날로그 신호로부터 상이한 진폭을 가진 다수의 아날로그 신호를 발생시키는 저항기 네트워크,

다수의 아날로그 신호를 증폭하여 다수의 증폭된 신호를 발생시키는 다수의 증폭기,

다수의 증폭된 신호로부터 다수의 샘플링된 전압을 발생시키는 샘플링-홀드 네트워크,

샘플링된 전압 중 적어도 일부를 기준 전압과 비교하여, 상기 기준 전압에 가장 근접하지만 그 보다 큰 샘플링 전압을 선택하는 논리 회로, 및

선택된 샘플링 전압을 디지털 출력 신호로 변환하는 A/D 변환기를 포함하는, 부동 소수점 아날로그-디지털 변환기.

청구항 17.

제 16 항에 있어서,

상기 논리 회로는 다수의 비교기, XOR 게이트 및 스위치를 포함하는 것을 특징으로 하는 부동 소수점 아날로그-디지털 변환기.

청구항 18.

제 16 항에 있어서,

상기 제1의 다수의 샘플링된 전압 모두가 기준 전압보다 크다면, 상기 다수의 샘플링된 전압 중 가장 작은 전압이 선택되는 것을 특징으로 하는 부동 소수점 아날로그-디지털 변환기.

청구항 19.

제 16 항에 있어서,

상기 선택된 샘플링 전압을 제2 기준 전압과 비교하여, 상기 선택된 샘플링 전압이 제2 기준 전압보다 크다면 더 작은 전압을 가진 또 다른 샘플링 전압을 선택하는 것을 특징으로 하는 부동 소수점 아날로그-디지털 변환기.

청구항 20.

제 16 항에 있어서,

상기 다수의 증폭기는 실질적으로 정합되어 있는 것을 특징으로 하는 부동 소수점 아날로그-디지털 변환기.

명세서

기술분야

본 발명은 특허 청구 범위의 조항에 명시된 종류의 아날로그-디지털 (A/D) 변환기(analog-to-digital converter)에 관한 것이다. 특히, 본 발명은 넓은 동작 범위(dynamic range)를 가진 A/D 변환기에 관한 것이다.

배경기술

A/D 변화기의 입력 범위는 피크 입력 신호가 신뢰성있게 커버되는 방식으로 설계되어야 한다. 이는, (1) 매우 넓은 동작 범위로 신호 진폭이 변동하고, (2) 가장 작은 신호에 대해 양자화 정밀도(quantization accuracy)가 유지되어야 하며, (3) 신호가 선형적으로 유지될 필요가 있을 때, 매우 높은 분해능(resolution)의 A/D 변환기가 사용되어야 함을 의미한다. 다수의 경우, 높은 분해능은 단지 양자화 정밀도 보다는 신호의 동작 범위를 커버하기 위한 것이다. 예컨대, 60dB의 신호 동작 범위와 최소 6-비트의 양자화 정밀도를 얻기 위해서는, 분해능은 적어도 16 비트이어야 하며, 높은 속도에서 매우 필요하다. 실제로, 이러한 변환기에서는, 큰 신호에 대한 분해능이 불필요하게 높다. 이는, 변환기가 상기 범위 내에서 높은 신호와 낮은 신호에 대해 동일한 분해능을 제공할 경우 더욱 합리적이다.

또한, 저전력 및 저전압 추세에 의해 실제 입력 범위가 감소하는데, 이는, 구성 부품(component)의 부정합과 증폭기 오프셋(offset)과 같은 비-이상적인(non-ideal) 요인이 공급 전압의 감소에 따라 감소하지 않으므로, 넓은 동작 범위의 A/D 변환기 설계를 더 어렵게한다. 이러한 경우, 높은 분해능으로 넓은 동작 범위를 만족시키기가 매우 어렵다.

통상적으로는, 신호 진폭을 압축하여 동작 범위를 확장하기 위해 대수 증폭기(logarithmic amplifier)가 사용된다. 그러나, 대수 증폭기를 설계하는데 있어서의 어려움으로 인해 큰 압축율(compression ratio)의 경우 정밀도가 심각하게 저하된다. 선형 디지털 출력 코드를 발생시키기 위해 일반적으로 룩-업 테이블(look-up table)이 사용되는데, 이는 증폭기와 정확하게 정합되어야 한다.

분해능이 단지 신호 동작 범위를 커버하는데만 필요하면, 매우 높은 분해능의 A/D 변환기 요구는 본 발명의 부동-소수점(floating-point) A/D 변환기에 의해 해소될 수 있다. 공지된 대수 증폭기 해결방안과는 달리, 부동-소수점 A/D 변환기는 선형 디지털 출력을 직접 제공한다. 큰 신호와 작은 신호에 대해 유효 분해능은 부동-소수점 수 표현(number representation)과 유사하게 일정하게(또는, 정확히 말해 준-상수(quasi-constant)) 유지된다. 상기 분해능과 동작 범위는 개별적으로 설계될 수 있어, 본 발명을 매우 유용하고 유연성있게 한다.

발명의 상세한 설명

본 발명의 목적은, 넓은 동작 범위에 의해 요구되는 높은 분해능을 피하기 위해 동작 범위와 분해능이 개별적으로 처리되는, 넓은 동작 범위의 A/D 변환기에 대한 새로운 접근법을 제공하는 것이다.

상기 목적은 본 발명의 부동-소수점 A/D 변환기에 의해 이루어진다. 단 하나의 입력 증폭기를 사용하는 대신, 하나 이상의 증폭기가 사용되어 넓은 동작 범위를 커버하는 다수의 아날로그 신호를 발생시킨다. 이들의 증폭율(amplification)은, 선택되어 디지털 출력으로 변환될 적합한 진폭의 선형적으로 증폭된 아날로그 신호를 제공하는 하나의 증폭기가 항상 존재하게 하는 방식으로 가중된다. 사용되지 않은 신호는 너무 작거가 또는 너무 큰 것이다(비-선형 또는 포화상태). 증폭율이 예컨대 2진수(binary)로 공지되어 있다면, 결과를 조합하여 최종 디지털 출력을 형성할 수 있다. 통상적인 A/D 변환기는 선택된 신호만을 변환하는데 사용되며, 이는 각기 다른 입력 신호에 일정한 분해능을 제공한다. 가장 큰 선형 증폭된 신호만 샘플링되어 변환되므로, 통상적인 A/D 변환기보다 높은 정밀도가 얻어질 수 있다.

실시예

1. 도 1에는 부동-소수점 A/D 변환기의 블록도가 도시되어 있다. 입력 증폭기 네트워크[1.1]는 입력 아날로그 신호를 증폭하여, 각각 $2^{(i-1)k}$ 의 증폭율로 m 개의 증폭 신호를 발생시킨다. 여기서, k는 상수이고 i=1,2,...,m 이다. k=1 또는 2 이면, 신호 진폭이 2진수 또는 4진수로 가중화된다. 이들 중 일부는 비-선형 또는 포화될 수 있다. 입력 신호의 진폭에 따라, 가장 큰 선형 증폭 신호가 신호 출력 중 하나에 나타나게 된다. 증폭된 신호는 입력 증폭기 네트워크의 유형에 따라 지연-평형되거나 지연-비대칭(delay-skewed)될 수 있다. 지연-평형 신호는 증폭기 트리(tree) 또는 배열에 의해 발생될 수 있다. 지연 비대칭 신호는 연속적인 증폭기 단으로부터 신호를 얻음으로써 증폭기 체인(amplifier chain)을 통해 발생될 수 있다. m 개의 증폭된 신호는 샘플링-홀드(S/H) 네트워크[1.2]에 공급되어 m 개의 샘플링된 전압을 발생시킨다. 지연-평

형 신호의 경우, 샘플링은 m 개의 병렬 S/H 회로에 의해 수행된다. 지연-비대칭 신호의 경우, 샘플링은 정확히 정합된 순간에 시간-비대칭 샘플링 클록을 이용하여 S/H 회로에 의해 수행된다. 시간을 정렬시키기 위해, 지연-비대칭 전압은 재샘플링하거나 신호(i)(여기서, i=1,2,...,m)에 대해 i개의 S/H 회로를 사용함으로써 지연-비대칭 전압이 비대칭보정(deskew)될 수 있다. 타이밍 신호 발생기[1.6]는 S/H 네트워크에 대해 시간-평형(지연-평형 신호에 대해) 또는 시간-비대칭(지연-비대칭 신호에 대해) 샘플링 클록을 발생시킨다. 비교-스위치 네트워크[1.3]는 m 개의 샘플링된 전압을 기준 전압($V_r=qV_{max}/2^k$)과 비교한다. 여기서, V_{max}는 증폭기의 최대 선형 전압 출력이고, q(≤1)는 안전 계수(safety coefficient)이다. 이는, q ≤1 이기만 하면 V_r이 정밀할 필요가 없음을 의미한다. 그러나, q 값이 크면 클수록 증폭기 선형 범위를 더 많이 이용하게 된다. k=1 이고 q=1이면, $V_r=V_{max}/2$ 이고 선형 범위가 완전히 이용된다. 가장 큰 선형 샘플링된 전압(≤qVmax)이 논리 회로에 의해 선택되게 된다. 이와 동시에, 비교-스위치 네트워크[1.3]는 m=8인 경우 00001000 과 같이 m-비트 논리 플래그(flag) 코드를 생성한다. 논리 플래그 코드에서의 "1"은 선택된 전압의 위치를 나타낸다. 상기 실시예의 경우, 이것은 $2^{(5-1)k}$의 증폭율을 가진 증폭기(5)에 상응한다. 다음으로, 가장 큰 선형 샘플링된 전압이 A/D 변환기[1.4]에 의해 n-비트 디지털 데이터 코드로 변환된다. 디지털 출력 회로[1.5]는 n-비트 데이터 코드(u), m-비트 논리 플래그 코드(v) 및 상수(k)를 조합하여 n+ (m-1)k 비트를 가진 최종 출력(uv^k)을 발생시킨다. k 가 정수이면, 단지 시프팅 동작만이 필요한데, 이는 회로를 매우 간단하게 한다. 타이밍 신호 발생기[1.6]는 또한 다른 블록에 대한 제어 신호를 발생시킨다. 바이어스-기준(bias and reference) 회로[1.7]는 증폭기에 필요할 수 있는 바이어스 전압 및/또는 전류와, 비교-스위치 네트워크[1.3]와 A/D 변환기[1.4]에 대한 기준 전압을 발생시킨다. 전력 분포(distribution)는 상기 도면에 도시되어 있지 않다.

2. 도 2에는, m=4 와 k=1로 예시된 지연-평형 입력 증폭기 네트워크[2]의 장치(1)가 도시되어 있다. 이것은 지연-평형 저항기 네트워크[2.1] 및 동일한 증폭기[2.2]에 의해 형성된다. 저항기 네트워크[2.1]는, 본 발명에 포함되지 않으며 출력 저항(R)과 출력 진폭(A)을 가진 아날로그 신호원에 대한 정합 부하(matching load) 역할을 한다. 저항기 네트워크[2.1]는, $2^{-(m-i)}$(여기서, i=1,2,3 및 4)의 비율로 입력 아날로그 신호를 m(=4)개의 아날로그 신호(결과적으로 A/8, A/4, A/2, A 진폭을 각각 갖게 됨)로 나누어, m(=4) 신호 경로 지연의 균형을 맞춘다. 증폭기의 입력 커패시턴스가 동일하다는 조건에서, R로 정규화된 저항값이 도 2에 도시되어 있다. 동일한 증폭기[2.2]가 $2^{(m-i)}$ 증폭율, 즉 8 증폭율을 이용하여 m(=4)개의 가중화된 신호를 증폭한다. 최종 출력은 $A2^{(i-1)}$(여기서 i=1, 2, 3 및 4)의 진폭, 즉 A, 2A, 4A 및 8A의 진폭을 각각 가진 지연-평형 아날로그 신호이다. 이들 중 일부가 비-선형 또는 포화상태일 수 있다는 것을 알아야 한다. 물론, 상기 장치(1)[2]는 저항기 네트워크를 재설계함으로써 4개 이외의 수의 m을 가질 수 있다. 상기 장치에서, 증폭기는 우수한 정합을 이루도록 동일하게 유지되며, 증폭 가중화는 오차를 최소화하도록 수동 부품에 의해 수행된다. 모든 증폭기가 정합되기만 한다면, 절대 증폭율에 있어서의 편차는 중요하지 않다.

3. 도 3에는, k=1로 예시된 지연-평형 입력 증폭기 네트워크[3] 장치(2)(두 단계의 장치)가 도시되어 있다. 이것은 가능한 한 구성 부품을 동일하게 유지한다는 원칙을 따른다. 장치(1)[2]는, $A2^0$, $A2^1$, ..., $A2^{p-1}$ 의 진폭을 가진 p 개의 아날로그 신호를 발생시킨다고 가정하여 단계 1에서 사용된다. 단계 2에서, p 개의 신호는 먼저 p 개의 동일한 지연-평형 전압-분할기(divider)[3.1] 각각에 의해 m(=2p)개의 신호로 분리된다. 상기 지연-평형 전압-분할기 각각은 두 개의 지연-평형 출력을 제공하는데, 하나는 진폭이 변경되지 않으며 다른 하나는 2^{-p} 만큼 가중된 진폭을 갖는다. 다음으로, m(=2p) 개의 신호는, 각각 2^p의 증폭율로 m 개의 동일한 증폭기[3.2]에 의해 증폭된다. 최종 출력은 $A2^{(i-1)}$(여기서, i=1, 2, ..., m)의 진폭을 가진 m(=2p) 개의 아날로그 신호이다. 상기 장치는 m이 큰 경우 큰 분할비의 수동 전압 분할기를 가질 필요가없다.

4. 도 4에는 시간-평형 샘플링-홀드(S/H) 네트워크[4]가 도시되어 있다. 이것은 m 개의 동일한 S/H 회로를 포함하며, 상기 S/H회로는 타이밍 신호 발생기[1.6]로부터 나오는 샘플링 클록에 의해 제어되어, 입력 증폭기 네트워크[1.1]로부터의 m개의 증폭된 신호를 주기적으로 샘플링하여 상기 샘플링된 m개의 전압을 차후의 비교동작을 위해 유지한다.

5. 도 5에는 비교-스위치 네트워크[5]가 도시되어 있다. m 개의 샘플링된 전압이 m 개의 동일한 스위치[5.3] 입력에 각각 접속된다. 이와 동시에, 상기 샘플링된 전압(1 에서 (m-1))이 m-1 개의 비교기[5.1]에 의해 기준 전압($V_r=qV_{max}/2^k$)과 비교된다. 전압(m)(최대 전압)은 비교되지 않는다. 이하, 전압 번호는 상응하는 비교기[5.1], XOR 게이트[5.2] 및, 스위치[5.3]의 번호에 사용된다. XOR 게이트(i)의 입력은 비교기(i-1 및 i)의 출력과 접속된다(여기서, i=2, 3, ..., (m-1)). XOR 게이트(1)에 있어서, 그것의 한 입력이 논리 로우(low)와 접속되는 반면, 다른 입력은 비교기(1)의 출력과 접속된다. XOR 게이트(m)에 있어서, 그것의 한 입력이 논리 하이(high)와 접속되는 반면, 다른 입력은 비교기(m-1)의 출력과 접속된다. 가장 큰 선형 샘플링 전압을 신호 출력으로 스위칭하기 위해 온(turn on)이 되는 스위치가 단 하나만 존재하는데, 이

경우 XOR 게이트의 출력은 논리 하이이다. 샘플링된 전압 모두가 Vr보다 작으면, 스위치(m)는 온 상태를 유지하게 된다. 이와 같은 방식으로, 가장 큰 선형 샘플링 전압이 항상 선택되게 된다. 입력 아날로그 신호가 동작 범위를 벗어나면, 즉 샘플링된 모든 전압이 V_{max} 보다 크면(비-선형 또는 포화상태가 됨), 스위치(1)가 온이 된다. m 개의 XOR 게이트의 출력은 논리 출력으로 제공되는 m-비트 논리 플래그 코드를 형성한다.

6. 도 6에는, 예컨대 RF 와 IF 무선 신호를 증폭하는데 사용될 수 있는 낮은-오프셋의 고정-지연 AC 증폭기[6]가 도시되어 있다. 부동-소수점 A/D 변환기[1]에 사용되는 증폭기에 있어서는 낮은-오프셋과 고정-지연 두 가지 모두 중요하다는 것을 알아야 한다. 낮은 오프셋은 DC 오프셋의 전달을 정지시키는, 증폭기 단[6.1] 사이의 결합 커패시터(coupling capacitor)[6.2] 장치에 의해 이루어진다. 신호 하강면(falling slope)의 경우 과전압(overvoltage)이 신호에 대해 추가 지연을 야기하므로, 고정 지연은 증폭기 단의 과전압을 방지하는 진폭 제한기(limiter)[6.3] 장치에 의해 이루어진다. 또한, 증폭기 단의 입력은 작은(진폭 제한하지 않는 단에서) 또는 큰(진폭 제한하는 단에서) 컨덕턴스(conductance)를 가진 진폭 제한기를 통해 접지되어, 이들의 DC 전위가 접지 상태로 유지된다.

7. 도 7에는 낮은-오프셋의 고정-지연 자동-영점 증폭기[7]가 도시되어 있다. 이와 같이 함으로써, 부동-소수점 A/D 변환기가 DC 및 AC 성분 모두를 가진 신호를 변환할 수 있다. 고정 지연은, 증폭기 단[7.1]의 출력 진폭을 제한하여 이들 뿐 아니라 그 다음 단의 과전압을 방지하는 진폭 제한기[7.3] 장치에 의해 이루어진다. 진폭 제한기 각각은, 증폭 과정 동안 증폭기 단의 입력이 부동상태(floating)로 유지되어야 하므로 결합 커패시터[7.2] 앞에 놓인다. 낮은 오프셋은 자동-영점 장치에 의해 얻어진다. 자동-영점 과정 초기, 증폭기 단의 모든 입력은 클록(Φ_1)에 의해 제어되는 입력 스위치[7.4]와 클록(Φ_2 에서 Φ_x)에 의해 제어되는 자동-영점 스위치[7.5]에 의해 접지로 스위칭된다. 그 후, 제2 단에서 마지막 단까지, 모든 단의 입력이 연속해서 부동상태로 스위칭된다. 상기 연속적인 스위칭은 전하-피드쓰루(feedthrough)의 영향을 매우 감소시킬 수 있다. 상기 모든 입력이 부동상태가 되면, 제1 단의 입력이 아날로그 입력으로 스위칭된다. 지금까지는, 논리 출력만을 발생시키는 자동-영점 비교기와 매우 흡사하다. 핵심은, 정착 과정(settling phase) 이후 상기 증폭기가 가능한 한, 누설로 인해 부동 입력의 전하가 크게 변하기 전까지는 낮은-오프셋을 가진 DC 와 AC 신호 두 가지 모두를 증폭할 수 있다는 것이다.

8. 도 8에는 y+1 개의 자동-영점 증폭기[7]를 이용하여 y 개의 아날로그 신호[8]를 증폭하는 장치가 도시되어 있다. 자동-영점 증폭기는 어떠한 신호도 증폭할 수 없는 자동-영점 을정을 필요로 하므로, y 개의 신호를 증폭하기 위한 증폭기의 최소의 수는 y+1 이다. 이는, 증폭하는데 이용될 수 있는 증폭기가 항상 y개 존재하도록, y+1개의 자동-영점 증폭기에 대한 타이밍을 자동-영점 과정과 정착 과정을 더한 시간으로 연속해서 비대칭화함으로써 얻어진다. 입력 멀티플렉서(multiplexer)[8.1]와 출력 멀티플렉서[8.2]는 제어 신호 발생기[8.3]로부터의 제어 신호에 의해 y개의 입력과 y개의 출력으로부터 증폭하는데 이용될 수 없는 증폭기를 접속 단절시키게 된다. 이와 동시에, 이용가능한 증폭기가 y개의 입력과 y개의 출력에 접속된다. y 가 크면 클수록, 멀티플렉서가 더 복잡해진다. y=1 이면, 가장 간단한 멀티플렉서를 이용하여 결과적으로 하나의 입력과 하나의 출력에 의해 공유되는 두 개의 증폭기가 나타난다.

장점

본 발명의 부동-소수점 A/D 변환기를 이용하면 다음과 같은 장점이 얻어진다:

1. 독립적이며 넓은 동작 범위

이것은, 작은 신호와 큰 신호를 각각 다르게 처리하기 위해 넓은 범위의 증폭율을 가진 다수의 증폭기에 의해 얻어진다. 상기와 같은 방식에서, 동작 범위는 분해능과 무관할 수 있어, 넓은 동작 범위에 의해 요구되는 높은 분해능이 필요하지 않다. 신호가 충분히 커지기 전에는 샘플링이나 감산(subtraction)이 전혀 필요하지 않으므로 정밀도가 유지되는데, 이것이 넓은 동작 범위를 가능하게 하는 것이다.

2. 직접적인 선형 디지털 코드 출력

공지된 대수 증폭기 해결방안과 달리, 부동-소수점 A/D 변환기는 어떠한 룩업 테이블도 사용하지 않고 직접적으로 선형 디지털 코드 출력을 제공한다.

3. 프로세스 변화에 덜 민감함

증폭율이 수동 네트워크(passive network)에 의해 가중되지 않고 능동 부분이 동일하게 유지되므로, 프로세스 변화에 덜 민감하여 양호하게 구현된다.

4. 유연성

동작 범위와 분해능이 개별적으로 설계될 수 있으므로, 더 유연성이 있다. 예컨대, 매우 넓은 동작 범위가 단지 1-비트 분해능과 결합될 수 있으며, 이것의 역도 성립한다.

5. 자동 이득 제어 시스템(automatic gain controlled system)보다 우수함

급속히 변화하는 신호에 대해 동작 범위를 확대하고 및/또는 A/D 변환기 입력 범위를 충분히 활용하기 어려운 자동 이득 제어를 이용하는 경우, 큰 신호와 작은 신호에 결과적으로 나타나는 분해능이 동일하다. 따라서, 이는 더 높은 성능을 가진 부동-소수점 A/D 변환기로 완벽하게 대체될 수 있다.

6. 낮은 전압 공급 이용

그것의 가상 입력 범위가 실제 범위보다 훨씬 더 클 수 있으므로, 부동-소수점 A/D 변환기는 낮은 전력 공급 전압에 의해 요구되는 작은 입력 범위를 이용하여 작동하기에 적합하다.

7. 합리적인 정밀도 분포

상이한 A/D 변환기 중에서, 신호 진폭에 따른 그것의 정밀도 분포가 더욱 합리적이며, 이는 부동-소수점 수 표현의 장점과 유사한 장점이다.

증폭기 DC-오프셋은 얻어질 수 있는 정밀도를 매우 제한한다. 무선 IF 신호에 있어서, AC-결합은 [7]에 나타나있는 바와 같이 DC-오프셋을 효과적으로 제거할 수 있다. 그러나, 이것은 보편적인 ADC에는 적용될 수 없다. 과전압은 또 다른 종류의 문제를 야기한다. 과전압 입력에 의해 포화상태가 된 증폭기가 복원 주기동안 신호를 심각하게 왜곡시키고 지연시키게 됨으로써, 큰 샘플링 오차를 일으킨다. 증폭기의 과전압[7]을 방지하기 위해, 입력에 제한기가 사용될 수 있다. 그러나, 상기 문제점을 완전하게 없애기는 어렵다. 이하에 소개된 방법은 상기 접근방법과 상이하다. 이것은 두 가지 문제점을 동시에 그리고 "완벽히" 해결한다(최소한 원칙상으로)(여기서 제안되는 증폭기와 S/H 채널에 대해서는 도 9를 참조한다).

도 9에 있어서, C_1 과 C_2의 공칭값은 동일하다. 샘플링 과정 종료시, 전압은 다음과 같다

$$V_{C1} = 16\,V_{in} + 16V_{off1} - V_{off2} \quad (1)$$

$$V_{C2} = V_{off2} \quad (2)$$

$$V_{out} = V_{off2} \quad (3)$$

여기서, V_{off1} 과 V_{off2} 는 A_1 과 A_2 의 입력-기준 오프셋 전압이다. S_5 는 선택적인 스위치로서, 포화상태로부터의 A_1의 복원 속도를 향상시키기 위해 홀딩 과정 시작시에 A_1의 출력을 일시적으로 접지 접속한다. 홀딩 과정 동안, A_2의 입력은 여전히 V_{off2}이어야 한다. $C_1 = C_2$ 이므로,

$$V_{out} = 16(V_{in} + V_{off1}) - V_{off2} - 16V_{off1} + V_{off2} = 16V_{in} \quad (4)$$

이다.

결과적으로, A_1 과 A_2 두 가지 모두의 오프셋 전압이 삭제된다. S_4 가 클록과 전하 피드-쓰루에 민감한 유일한 스위치라는 것을 알아야 한다. 다른 모든 스위치는 단지 명확한(well-defined) 전압에 접속하며 정밀도에 영향을 주지 않는다. 따라

서, 이것은 매우 실현가능하다. 또한, 각각의 샘플링 과정 이후 A_1의 입력이 신호 접지에 접속되므로, 증폭기 입력 전압은 항상 최소값에서부터 시작하며, 이것은 과전압 지연 문제를 효과적으로 제거한다. 그러나, 속도는 A_1의 정착 과정에 영향을 받게 된다. 속도를 증가시키기 위해, 각 채널에 두 개의 증폭기(A_1 및 A_1')가 사용될 수 있다(도 10 참조).

도 10에 있어서, A_1 과 A_1'는 신호를 정착시키는데 더 많은 시간을 얻게된다. 이들이 홀딩 과정으로 전환하면, S_5 또는 S_5'는 이들이 신호 접지로 재빨리 되돌아가는 것을 돕는다(타이밍에 대해서는 도 9를 참조). A_1 과 A_1'의 전력은 총 전력 소비를 제한하기 위해 낮게 유지된다. 이를 위해 저전력 증폭기가 설계되어 왔으며(도 11 참조), 입력 증폭기 네트워크(도 2를 기반으로 함)는 0.35㎛ CMOS 공정으로 구현된다.

도면의 간단한 설명

도 1은 부동-소수점 A/D 변환기[1]의 블록도.

도 2는 m=4와 k=1로 예시된 지연-평형(delay-balanced) 입력 증폭기 네트워크[2]의 장치(1)를 나타내는 도면.

도 3은 k=1로 예시된 지연-평형 입력 증폭기 네트워크[3]의 장치(2)를 나타내는 도면.

도 4는 시간-평형 샘플링-홀드(sampling-and-hold) 네트워크[4]를 나타내는 도면.

도 5는 비교-스위치 네트워크[5]를 나타내는 도면.

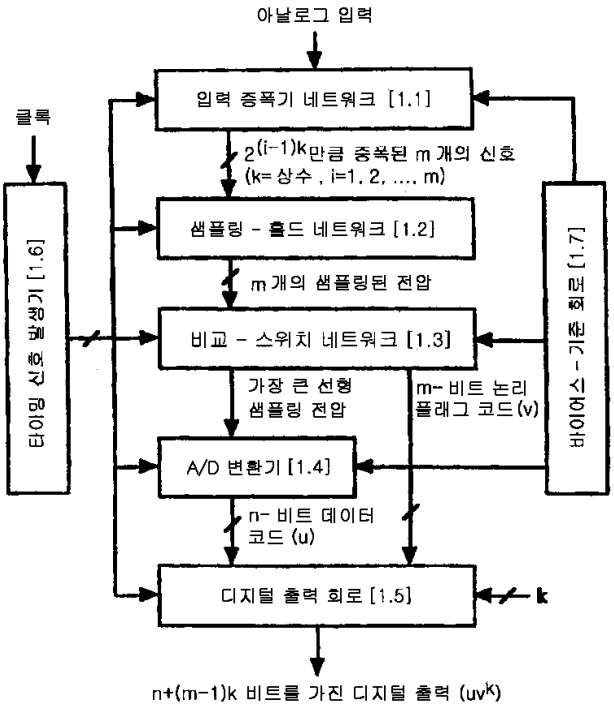
도 6은 낮은 오프셋의 고정-지연(constant-delay) AC 증폭기[6]를 나타내는 도면.

도 7은 낮은 오프셋의 고정-지연 자동-영점(auto-zeroed) 증폭기[7]를 나타내는 도면.

도 8은 y 아날로그 신호를 증폭하는 y+ 1 자동-영점 증폭기[8]를 사용하는 장치를 나타내는 도면.

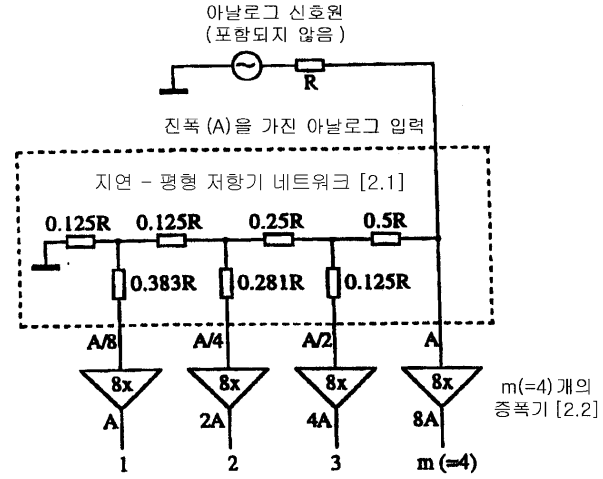
도면

도면1



부동 - 소수점 A/D 변환기 [1]

도면2

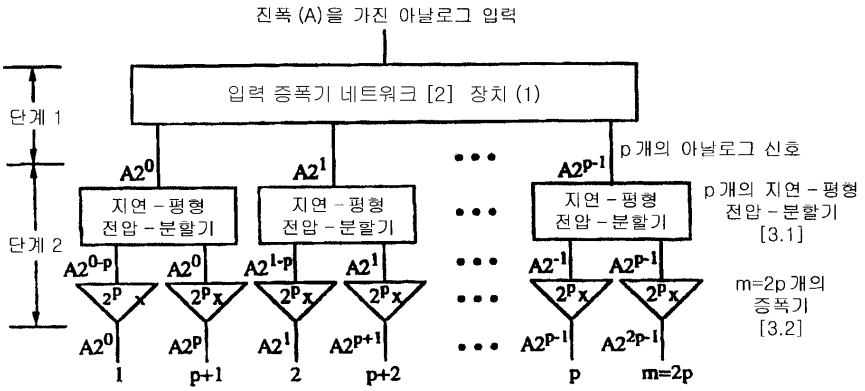


m(=4) 개의 출력 아날로그 신호

(이들중 일부는 비선형 또는 포화될 수도 있음)

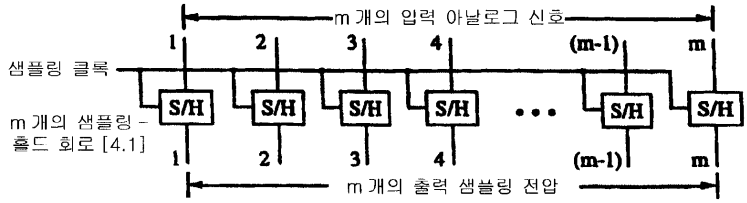
m=4 와 k=1 로 예시된 지연 - 평형 입력 증폭기 네트워크 [2] 장치 (1)

도면3



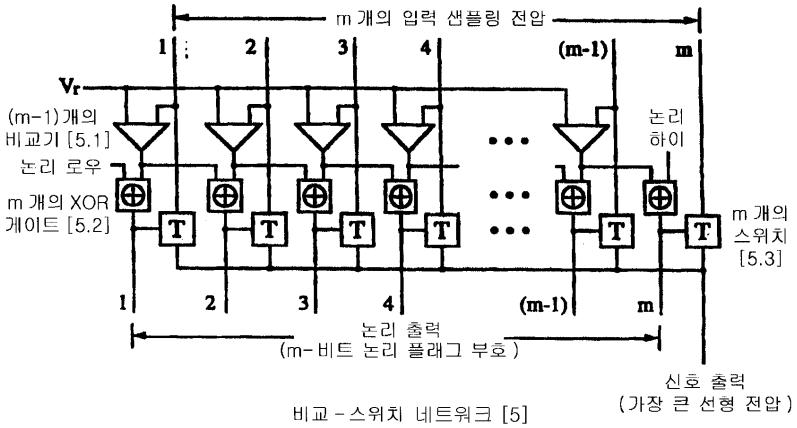
k=1 로 예시된 지연 - 평형 입력 증폭기 네트워크 [3] 장치 (2)

도면4



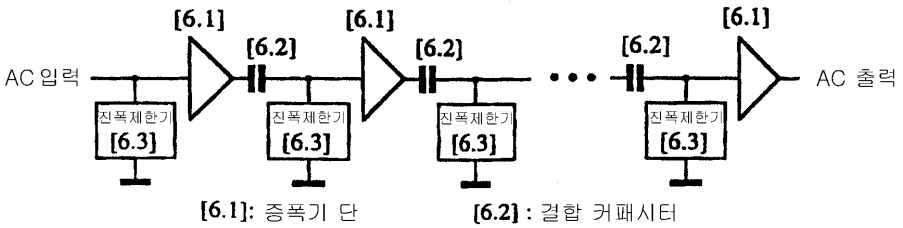
시간 - 평형 샘플링 - 홀드 네트워크 [4]

도면5



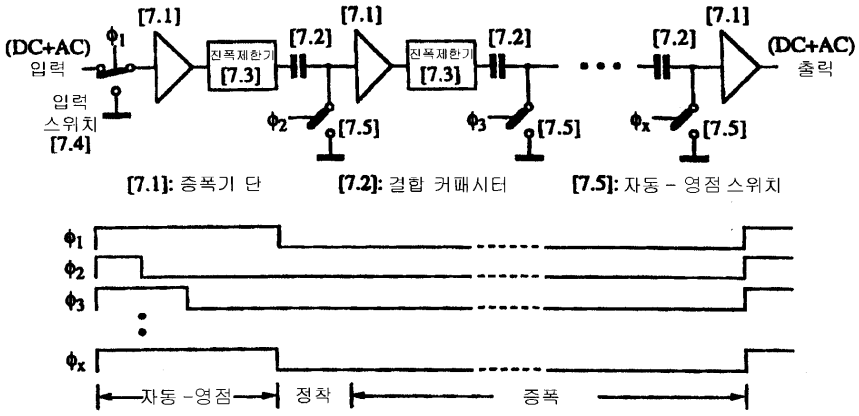
비교 - 스위치 네트워크 [5]

도면6



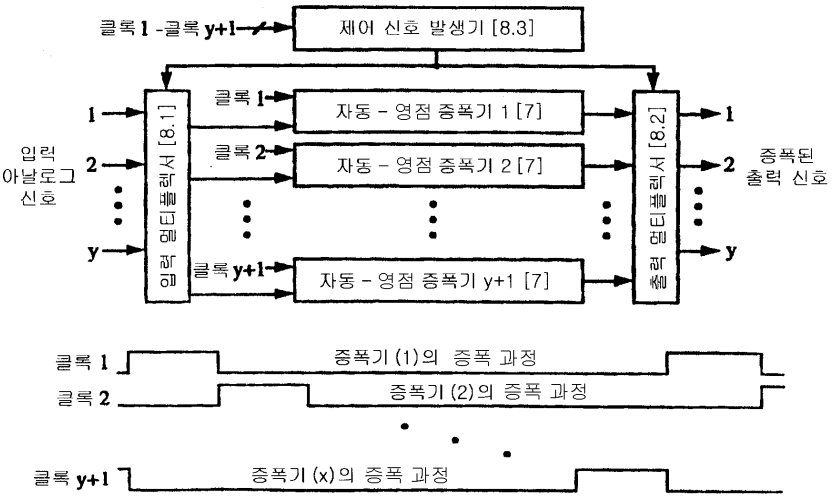
낮은 - 오프셋의 고정 - 지연 AC 증폭기 **[6]**

도면7



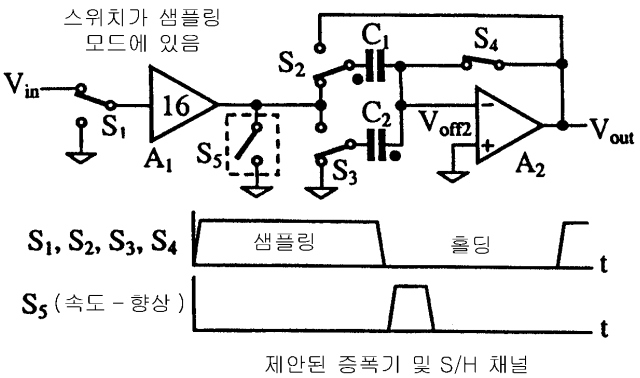
낮은 - 오프셋의 고정 - 지연 자동 - 영점 증폭기 [7]

도면8



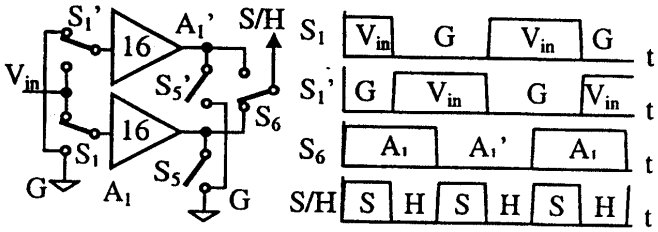
y+1 개의 자동 - 영점 증폭기를 이용하여 y 개의 아날로그 신호를 증폭하는 장치 [8]

도면9



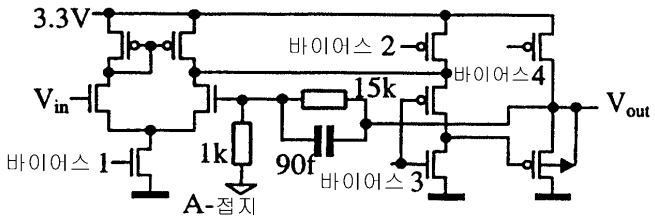
제안된 증폭기 및 S/H 채널

도면10



각 채널에 사용되는 두 개의 병렬 증폭기

도면11



저전력 증폭기