



(12) 发明专利

(10) 授权公告号 CN 101796613 B

(45) 授权公告日 2012.06.27

(21) 申请号 200880106523.7

(22) 申请日 2008.09.05

(30) 优先权数据

2007-240219 2007.09.14 JP

(85) PCT申请进入国家阶段日

2010.03.05

(86) PCT申请的申请数据

PCT/JP2008/066480 2008.09.05

(87) PCT申请的公布数据

W02009/035063 EN 2009.03.19

(73) 专利权人 株式会社半导体能源研究所

地址 日本神奈川县

(72) 发明人 大沼英人 饭洼阳一 山本孔明

牧野贤一郎 下村明久 比嘉荣二

沟井达也 永野庸治 井坂史人

挂端哲弥 山崎舜平

(74) 专利代理机构 中国专利代理(香港)有限公

司 72001

代理人 朱海煜 徐予红

(51) Int. Cl.

H01L 21/02(2006.01)

H01L 21/336(2006.01)

H01L 27/12(2006.01)

H01L 29/786(2006.01)

(56) 对比文件

WO 2007/072632 A1, 2007.06.28, 全文.

JP 2005-203596 A, 2005.07.28, 全文.

WO 2007/094233 A1, 2007.08.23, 全文.

JP 2002-170942 A, 2002.06.14, 全文.

JP 2002-134375 A, 2002.05.10, 全文.

JP 平 7-335511 A, 1995.12.22, 全文.

JP 平 5-90117 A, 1993.04.09, 全文.

审查员 马良

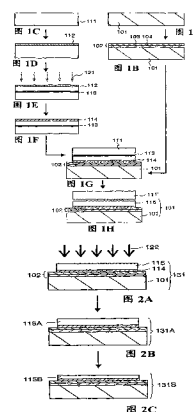
权利要求书 1 页 说明书 24 页 附图 28 页

(54) 发明名称

半导体装置及电子设备

(57) 摘要

本发明名称为半导体装置及电子设备。通过使用以低耐热性衬底为基底衬底的 SOI 衬底来提供高性能半导体装置。而且,以不进行化学抛光的方式提供高性能半导体装置。再者,提供一种使用该半导体装置的电子设备。包括绝缘衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,至于单晶半导体层,其上部表面的凹凸形状的算术平均粗糙度为大于或等于 1nm 且小于或等于 7nm。或者,凹凸形状的均方根粗糙度可以为大于或等于 1nm 且小于或等于 10nm。或者,凹凸形状的最大高度差可以为大于或等于 5nm 且小于或等于 250nm。



1. 一种半导体装置,包括:
绝缘衬底上的绝缘层;
所述绝缘层上的接合层;以及
所述接合层上的单晶半导体层,
其中,所述单晶半导体层的上部表面的凹凸形状的算术平均粗糙度为大于或等于 1nm 且小于或等于 7nm。
2. 根据权利要求 1 所述的半导体装置,其中所述绝缘层包含氧氮化硅膜或氮氧化硅膜。
3. 根据权利要求 1 所述的半导体装置,其中所述单晶半导体层具有(100)面作为主表面。
4. 根据权利要求 1 所述的半导体装置,其中所述单晶半导体层具有(110)面作为主表面。
5. 根据权利要求 1 所述的半导体装置,
其中,所述凹凸形状的各凹部或凸部的宽度的平均值为大于或等于 60nm 且小于或等于 120nm,
并且,所述各凹部或凸部的宽度是以平均高度测量的。
6. 一种半导体装置,包括:
容许温度极限为 700°C 或以下的衬底;
所述衬底上的绝缘层;
所述绝缘层上的接合层;以及
所述接合层上的单晶半导体层,
其中,所述单晶半导体层的上部表面的凹凸形状的算术平均粗糙度为大于或等于 1nm 且小于或等于 7nm。
7. 根据权利要求 6 所述的半导体装置,其中所述衬底为包含铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃中任何的玻璃衬底。
8. 根据权利要求 6 所述的半导体装置,其中所述绝缘层包含氧氮化硅膜或氮氧化硅膜。
9. 根据权利要求 6 所述的半导体装置,其中所述单晶半导体层具有(100)面作为主表面。
10. 根据权利要求 6 所述的半导体装置,其中所述单晶半导体层具有(110)面作为主表面。
11. 根据权利要求 6 所述的半导体装置,
其中,所述凹凸形状的各凹部或凸部的宽度的平均值为大于或等于 60nm 且小于或等于 120nm,
并且,各凹部或凸部的宽度是以平均高度测量的。
12. 一种使用根据权利要求 1 所述的半导体装置的电子设备。
13. 一种使用根据权利要求 6 所述的半导体装置的电子设备。

半导体装置及电子设备

技术领域

[0001] 本发明涉及半导体装置及电子设备。

[0002] 注意在本说明书中,半导体装置指的是能够通过利用半导体特性而工作的所有装置,以及电光学装置、半导体电路及电子设备都包括在半导体装置类别内。

背景技术

[0003] 近年来,代替块体硅晶圆而利用SOI(Silicon On Insulator,即绝缘体上硅)衬底的集成电路已经被开发。通过利用形成于绝缘层上的薄单晶硅层的特点,可以将集成电路中的晶体管形成彼此完全电分离,并且使每个晶体管成为完全耗尽型晶体管。因此,可以实现高集成、高速驱动、低耗电量等附加价值高的半导体集成电路。

[0004] 作为SOI衬底的制造方法之一,已知组合了氢离子注入和分离的氢离子注入分离法。下面,示出氢离子注入分离法的典型工艺。

[0005] 首先,通过对硅晶圆注入氢离子,在离其表面有预定深度的部分中形成离子注入层。接着,通过使成为基底衬底的另外的硅晶圆氧化,来形成氧化硅膜。然后,通过将注入有氢离子的硅晶圆和另外的硅晶圆的氧化硅膜接合在一起,来将两个硅晶圆贴合在一起。而且,通过进行加热处理,以离子注入层为分离面来分离硅晶圆。另外,为了提高贴合时的结合力,进行加热处理。

[0006] 已知通过利用氢离子注入分离法在玻璃衬底上形成单晶硅层的方法(例如,引用文件1:日本公布专利申请No. Hei11-097379)。在引用文件1中,为了去掉通过离子注入而形成的缺陷层或者分离面上的几nm至几十nm的台阶,对分离面进行机械抛光。

[0007] 与硅晶圆相比,玻璃衬底是其面积大且廉价的衬底,它主要用于显示装置如液晶显示装置等的制造。通过将玻璃衬底用作基底衬底,可以制造其面积大且廉价的SOI衬底。

[0008] 然而,玻璃衬底的应变点为等于或低于700℃,而其耐热性低。因此,不能以超过玻璃衬底的容许温度极限的温度加热,从而工艺温度限于700℃或以下。就是说,当去掉分离面上的晶体缺陷以及表面凹凸时,也有对工艺温度的限制。此外,当利用贴合到玻璃衬底的单晶硅层制造晶体管时,也有对工艺温度的限制。

[0009] 并且,由于衬底尺寸是大型,存在对可以使用的装置和处理方法的限制。例如,引用文件1所记载的分离面的机械抛光,从加工精度或装置的成本等的观点来看,应用于大面积衬底是不实际的。但是,为了发挥半导体元件的特性,需要将分离面上的表面凹凸抑制到一定程度。

[0010] 如上所述,在使用诸如耐热性低的大面积玻璃衬底之类的衬底作为基底衬底的情况下,难以抑制半导体层的表面凹凸并难以得到所希望的特性。

发明内容

[0011] 鉴于上述问题,本发明的目的在于通过使用以低耐热性衬底为基底衬底的SOI衬底来提供高性能半导体装置。本发明的目的还在于以不进行机械抛光(例如CMP等)的方

式提供高性能半导体装置。再者,本发明的目的在于提供一种使用该半导体装置的电子设备。

[0012] 根据本发明一方面,半导体装置包括绝缘衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面算术平均粗糙度为大于或等于 1nm 且小于或等于 7nm。

[0013] 根据本发明另一方面,半导体装置包括绝缘衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面的均方根粗糙度为大于或等于 1nm 且小于或等于 10nm。

[0014] 根据本发明另一方面,半导体装置包括绝缘衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面的最大高度差为大于或等于 5nm 且小于或等于 250nm。

[0015] 根据本发明另一方面,半导体装置包括容许温度极限为 700℃或以下的衬底、衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面的算术平均粗糙度为大于或等于 1nm 且小于或等于 7nm。

[0016] 根据本发明的另一方面,半导体装置包括容许温度极限为 700℃或以下的衬底、衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面的均方根粗糙度为大于或等于 1nm 且小于或等于 10nm。

[0017] 根据本发明另一方面,半导体装置包括容许温度极限为 700℃或以下的衬底、衬底上的绝缘层、绝缘层上的接合层、以及接合层上的单晶半导体层,以及单晶半导体层上部表面的最大高低差为大于或等于 5nm 且小于或等于 250nm。

[0018] 在上述任意结构中,衬底优选为包含铝硅酸盐玻璃、铝硼硅酸盐玻璃或钡硼硅酸盐玻璃中的任意玻璃的玻璃衬底。作为衬底尺寸不作特别限制,只要是对其难以应用 CMP 工艺的尺寸都可以,例如每边超过 300mm 的衬底。

[0019] 另外,在上述任意结构中,接合层可包括通过使用有机硅烷气体以化学气相沉积法而形成的氧化硅膜。另外,绝缘层可包括氧氮化硅膜或氮氧化硅膜。

[0020] 另外,在上述任意结构中,单晶半导体层可具有 (100) 面作为主表面 (在其上形成有集成电路的表面)。备选地,单晶半导体层可具有 (110) 面作为主表面。

[0021] 注意,单晶半导体层的上部表面具有通过照射激光束而得到的平滑的凹凸形状。就是说,上部表面的凸形状不是尖锐峰形,而是具有给定曲率半径以上的平滑度。

[0022] 注意,可以对单晶半导体层进行减薄及平坦化的处理,以控制单晶半导体层的厚度,或者减少表面凹凸。作为上述处理,可以采用干蚀刻及湿蚀刻中的一种、或组合该两种的蚀刻。当然,可以进行回蚀处理 (etch-back treatment)。该处理可以适用于激光束照射之前或之后中的任何一种情况。

[0023] 另外,在上述任意结构中,上述凹凸形状中的各凹部宽度的平均值或各凸部宽度的平均值优选为大于或等于 60nm 且小于或等于 120nm。各凹部宽度或各凸部宽度是以平均高度来测量的。

[0024] 通过使用上述半导体装置,可以提供各种电子设备。

[0025] 在本发明的半导体装置中,使用容许温度极限低的衬底且以不进行机械抛光的方式将单晶半导体层的表面凹凸度抑制到一定程度以下。由此,可以通过使用以低耐热性衬

底为基底衬底的 SOI 衬底来提供高性能半导体装置。另外,可以通过使用该半导体装置提供各种各样的电子设备。

附图说明

- [0026] 图 1A 至 1H 是说明 SOI 衬底的制造方法的截面图;
- [0027] 图 2A 至 2C 是说明 SOI 衬底的制造方法的截面图,并是说明图 1H 之后的步骤的截面图;
- [0028] 图 3A 至 3G 是说明 SOI 衬底的制造方法的截面图;
- [0029] 图 4A 至 4C 是说明 SOI 衬底的制造方法的截面图,并是说明图 3G 之后的步骤的截面图;
- [0030] 图 5A 至 5H 是说明 SOI 衬底的制造方法的截面图;
- [0031] 图 6A 至 6C 是说明 SOI 衬底的制造方法的截面图,并是说明图 5H 之后的步骤的截面图;
- [0032] 图 7A 至 7D 是说明使用 SOI 衬底制造半导体装置的方法的截面图;
- [0033] 图 8A 和 8B 是说明使用 SOI 衬底制造半导体装置的方法的截面图,并是说明图 7D 之后的步骤的截面图;
- [0034] 图 9 是示出使用 SOI 衬底而形成的微处理器结构的框图;
- [0035] 图 10 是示出使用 SOI 衬底而形成的 RFCPU 结构的框图;
- [0036] 图 11 是使用母体玻璃作为基底衬底的 SOI 衬底的正面图;
- [0037] 图 12A 是液晶显示装置的像素的平面图,而图 12B 是沿图 12A 的 J-K 线的截面图;
- [0038] 图 13A 是电致发光显示装置的像素的平面图,而图 13B 是沿图 13A 的 J-K 线的截面图;
- [0039] 图 14A 是手机的外观图,图 14B 是数字播放器的外观图,而且图 14C 是电子书的外观图;
- [0040] 图 15 是使用 SOI 衬底而制造的 TFT 的截面照片;
- [0041] 图 16 是示出 TFT 特性的图;
- [0042] 图 17 是比较整流电压而示出的图;
- [0043] 图 18 是 RTLS-RFID 标签的照片;
- [0044] 图 19 是 RTLS-RFID 标签的框图;
- [0045] 图 20 是 RTLS-RFID 标签的响应信号波形;
- [0046] 图 21 是示出 RTLS-RFID 标签的通信距离与输出数字代码的关系图;
- [0047] 图 22 是 SOI 衬底的晶体取向分析结果;
- [0048] 图 23 是 SOI 衬底及块体硅的 Raman 光谱;
- [0049] 图 24 是使用 SOI 衬底而制造的 TFT 的截面照片;
- [0050] 图 25A 和 25B 是示出 TFT 特性的图;
- [0051] 图 26 是示出各包括 TFT 的电容器 TEG 的栅极耐压特性的图;
- [0052] 图 27 是包括 TFT 的 9 级环形振荡器的波形图;
- [0053] 图 28 是 CPU 的照片;
- [0054] 图 29A 和 29B 各是 CPU 的 shmoo 图;

[0055] 图 30A 和 30B 是 SOI 衬底的 AFM 照片。

具体实施方式

[0056] 下面,关于本发明的实施方式和实施例将参照附图给予说明。所属技术领域的技术人员可以很容易地理解一个事实,就是本文公开的实施方式和详细内容可以被修改成各种各样的形式而不脱离本发明的宗旨及其范围。因此,本发明不应该被解释为仅限定在以下实施方式和实施例记载的内容中。注意,在以下所说明的本发明的结构中,贯穿这些附图使用的同一附图标记表示同一元素。

[0057] 实施方式 1

[0058] 图 1A 至 1H 和图 2A 至 2C 是示出用于本发明的半导体装置的 SOI 衬底的制造方法的一个例子的截面图。下面,参照图 1A 至 1H 和图 2A 至 2C 说明 SOI 衬底的制造方法的一个例子。

[0059] 首先,制备基底衬底 101(参照图 1A)。作为基底衬底 101,可以使用用于液晶显示装置等电子产品的透光玻璃衬底。从耐热性、价格等的观点来看,优选使用热膨胀系数为大于或等于 $2.5 \times 10^{-6}/^{\circ}\text{C}$ 且小于或等于 $5.0 \times 10^{-6}/^{\circ}\text{C}$ (优选的是,大于或等于 $3.0 \times 10^{-6}/^{\circ}\text{C}$ 且小于或等于 $4.0 \times 10^{-6}/^{\circ}\text{C}$),并且应变点为等于或高于 580°C 且等于或低于 680°C (优选的是,等于或高于 600°C 且等于或低于 680°C) 的衬底作为玻璃衬底。此外,玻璃衬底优选为无碱玻璃衬底。对于无碱玻璃衬底的材料,例如利用玻璃材料如铝硅酸盐玻璃、铝硼硅酸盐玻璃、或钡硼硅酸盐玻璃等。

[0060] 作为玻璃衬底,既可通过熔融法而制造又可通过浮法而制造。通过利用浮法而制造的玻璃衬底其表面可以抛光以及在抛光后进行化学溶液处理以去除研磨剂。

[0061] 注意,作为基底衬底 101,除了可以使用玻璃衬底以外,还可以使用:陶瓷衬底、石英衬底、或蓝宝石衬底等由绝缘材料构成的绝缘衬底;由金属或不锈钢等导电材料构成的导电衬底;由硅或砷化镓等半导体构成的半导体衬底;等等。

[0062] 接着,清洗基底衬底 101,并且在其上形成厚度为大于或等于 10nm 且小于或等于 400nm 的绝缘层 102(参照图 1B)。绝缘层 102 可以具有单层结构、或由两层或两层以上构成的多层结构。

[0063] 作为构成绝缘层 102 的膜,可以使用氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化锆膜、氮化锆膜、氧氮化锆膜、或氮氧化锆膜等含硅或锆为其成分的绝缘膜。此外,还可以使用:包含氧化铝、氧化钽、或氧化钪等金属氧化物的绝缘膜;包含氮化铝等金属的氮化物的绝缘膜;包含氧氮化铝膜等金属的氧氮化物的绝缘膜;或包含氮氧化铝膜等金属的氮氧化物的绝缘膜。

[0064] 注意,在本说明书中,氧氮化物是指氧的含量多于氮的含量的物质。而氮氧化物是指氮的含量多于氧的含量的物质。例如,氧氮化硅是指氧的含量多于氮的含量的物质,例如包含浓度范围在 50 原子%至 70 原子%(包含端值)的氧,浓度范围在 0.5 原子%至 15 原子%(包含端值)的氮,浓度范围在 25 原子%至 35 原子%(包含端值)的硅,以及浓度范围在 0.1 原子%至 10 原子%(包含端值)的氢。此外,氮氧化硅是指氮的含量多于氧的含量的物质,例如包含浓度范围在 5 原子%至 30 原子%(包含端值)的氧,浓度范围在 20 原子%至 55 原子%(包含端值)的氮,浓度范围在 25 原子%至 35 原子%(包含端值)的硅,

以及浓度范围在 10 原子%至 30 原子% (包含端值) 的氢。注意,上述范围是通过使用卢瑟福背散射光谱学法 (RBS,即 RutherfordBackscattering Spectrometry) 或氢前方散射法 (HFS,即 Hydrogen ForwardScattering) 测量时的情况的范围。另外,构成元素含有比例的总和不超过 100 原子%。

[0065] 在使用包含碱金属或碱土金属等降低半导体装置的可靠性的杂质的衬底作为基底衬底 101 的情况下,优选设置至少一层如下膜:可以防止这种杂质从基底衬底 101 扩散到半导体层中的膜。作为这种膜,有氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜等。通过包含这种膜,可以将绝缘层 102 用作阻挡层。

[0066] 例如,在将绝缘层 102 形成为具有单层结构的阻挡层的情况下,可以形成厚度为大于或等于 10nm 且小于或等于 200nm 的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜。

[0067] 在使绝缘层 102 用作阻挡层且具有两层结构的情况下,可以采用任意如下结构:由氮化硅膜和氧化硅膜构成的叠层膜;由氮化硅膜和氧氮化硅膜构成的叠层膜;由氮氧化硅膜和氧化硅膜构成的叠层膜;由氮氧化硅膜和氧氮化硅膜构成的叠层膜,等等。注意,在上述每一种两层结构中,先记载的膜优选是形成在基底衬底 101 的上表面的膜。另外,作为上层,优选选择由能够弛豫应力的材料构成的膜,以避免阻挡效果高的下层的内部应力影响到半导体层。此外,可以将上层的厚度设定为大于或等于 10nm 且小于或等于 200nm,而将下层的厚度设定为大于或等于 10nm 且小于或等于 200nm。

[0068] 在本实施方式中,绝缘层 102 采用两层结构,其中下层采用通过使用 SiH_4 以及 NH_3 作为工艺气体且利用等离子体 CVD 法来形成的氮氧化硅膜 103,并且上层采用通过使用 SiH_4 以及 N_2O 作为工艺气体且利用等离子体 CVD 法来形成的氧氮化硅膜 104。

[0069] 在进行图 1A 和 1B 所示的步骤的同时,加工半导体衬底。首先,制备半导体衬底 111 (参照图 1C)。通过将减薄半导体衬底 111 得到的半导体层贴合到基底衬底 101,来制造 SOI 衬底。注意,作为半导体衬底 111,优选使用单晶半导体衬底。但是也可以使用多晶半导体衬底。备选地,衬底可以使用属于周期表第四族的元素诸如硅、锗、硅-锗、或碳化硅等构成。当然,半导体衬底也可以使用化合物半导体诸如砷化镓、或磷化砷等构成。

[0070] 接着,清洗半导体衬底 111。接着在此之后,在半导体衬底 111 的表面上形成保护膜 112 (参照图 1D)。保护膜 112 具有如下效果:防止在照射离子时半导体衬底 111 被杂质污染;防止由于照射离子的轰击而半导体衬底 111 受到损伤。可以通过 CVD 法等沉积氧化硅、氮化硅、氮氧化硅、氧氮化硅等,来形成该保护膜 112。此外,可以通过使半导体衬底 111 氧化或氮化,来形成保护膜 112。

[0071] 接着,穿过保护膜 112,将包含被电场加速的离子的离子束施加于半导体衬底 111,使得在半导体衬底 111 的离其表面有预定深度的区域中形成脆化层 113 (参照图 1E)。可以根据离子束 121 的加速能量和离子束 121 的入射角,来控制形成脆化层 113 的区域的深度。在与引入离子平均深度相同或大致相同的深度的区域中形成脆化层 113。

[0072] 根据形成上述脆化层 113 的深度,决定从半导体衬底 111 分离的半导体层的厚度。形成脆化层 113 的深度为大于或等于 50nm 且小于或等于 500nm,从半导体衬底 111 分离的半导体层的厚度优选为大于或等于 50nm 且小于或等于 200nm。

[0073] 为了对半导体衬底 111 照射离子,可以使用离子注入设备或离子掺杂设备。离子注入设备中,激发源气体来产生离子种,并对所产生的离子种进行质量分离,来将各具有所

预定的质量的离子种注入到处理物中。离子掺杂设备中,激发工艺气体来产生离子种,并不对所产生的离子种进行质量分离而将它们引入到处理物中。注意,在具备质量分离装置的离子掺杂设备中,可以与离子注入设备中同样地进行具有质量分离的离子照射。

[0074] 例如,可以在下面那样的条件下进行使用离子掺杂设备的离子照射工序。

[0075] • 加速电压 大于或等于 10kV 且小于或等于 100kV

[0076] (优选为大于或等于 20kV 且小于或等于 80kV)

[0077] • 剂量 大于或等于 1×10^{16} ions/cm² 且小于或等于 4×10^{16} ions/cm²

[0078] • 射束电流密度 2 μ A/cm² 或以上

[0079] (优选为 5 μ A/cm² 或以上、更优选为 10 μ A/cm² 或以上)

[0080] 作为该离子照射工序中的源气体,可以使用氢气体。可以通过使用氢气体 (H₂ 气体),来产生 H⁺、H₂⁺、H₃⁺ 作为离子种。当使用氢气体作为源气体时,优选采用较多量的 H₃⁺ 来照射。通过以较多量的 H₃⁺ 照射,与采用 H⁺ 离子和 / 或 H₂⁺ 离子照射时相比,离子照射效率提高。就是说,可以缩短照射时间。并且,从脆化层 113 的分离变得更容易。此外,通过使用 H₃⁺ 离子,可以使离子平均侵入深度变小,因此可以在离半导体衬底 111 表面更小深度的区域中形成脆化层 113。

[0081] 当使用离子注入设备时,优选通过进行质量分离,来注入 H₃⁺ 离子。当然,可以注入 H₂⁺。

[0082] 当使用离子掺杂设备时优选在离子束 121 中包含 H⁺、H₂⁺、H₃⁺ 的总量的至少 70% 的 H₃⁺ 离子。H₃⁺ 离子的比例更优选为大于或等于 80%。如此,通过高比例的 H₃⁺,可以使脆化层 113 包含 1×10^{20} atoms/cm³ 或以上浓度的氢。注意,当脆化层 113 包含至少 5×10^{20} atoms/cm³ 的氢时,可以容易分离半导体层。

[0083] 作为该离子照射工序中的源气体,除了可以使用氢气体以外,还可以使用选自氦气体或氩气体等稀有气体、以氟气体或氯气体为典型的卤气体、氟化合物气体 (例如, BF₃) 等卤化合物气体中的一种或多种气体。当使用氦作为源气体时,可以不进行质量分离,而制造出具有高比例的 He⁺ 离子的离子束 121。通过利用像这种离子束 121 的离子束,可以高效率地形成脆化层 113。

[0084] 此外,也可以通过进行多次离子照射工序,来形成脆化层 113。在此情况下,既可以在这些离子照射工序中使用不同源气体,又可以使用相同源气体。例如,使用稀有气体作为源气体来进行离子照射。接着,使用氢气体作为源气体,进行离子照射。备选地,可以首先使用卤气体或卤化合物气体来进行离子照射,接着使用氢气体来进行离子照射。

[0085] 在形成脆化层 113 之后,利用蚀刻来去掉保护膜 112。接着,在半导体衬底 111 的上表面形成接合层 114 (参照图 1F)。也可以不去掉保护膜 112,而在保护膜 112 上形成接合层 114。

[0086] 接合层 114 是具有平滑且亲水性表面的层。作为这种接合层 114,优选使用通过化学反应而形成的绝缘膜,特别使用氧化硅膜。可以将接合层 114 的厚度设定为大于或等于 10nm 且小于或等于 200nm。厚度优选为大于或等于 10nm 且小于或等于 100nm,更优选厚度为大于或等于 20nm 且小于或等于 50nm。注意,在形成接合层 114 的工序中,需要将半导体衬底 111 的加热温度设定为引入到脆化层 113 的元素或者分子不脱离的温度。具体地说,该加热温度优选为等于或低于 350℃。

[0087] 当利用等离子体 CVD 法形成接合层 114 的氧化硅膜时,优选使用有机硅烷气体作为硅源气体。作为氧源气体,可以使用氧 (O_2) 气体。作为有机硅烷气体,可以使用任意下面的:硅酸乙酯 (TEOS, 化学式 $Si(OC_2H_5)_4$)、三甲基硅烷 (TMS; 化学式 $Si(CH_3)_4$)、四甲基环四硅氧烷 (TMCTS)、八甲基环四硅氧烷 (OMCTS)、六甲基二硅氮烷 (HMDS)、三乙氧基硅烷 (化学式: $SiH(OC_2H_5)_3$)、三二甲氨基硅烷 (化学式: $SiH(N(CH_3)_2)_3$) 等。另外,作为硅源气体,除了有机硅烷气体以外,还可以使用硅烷 (SiH_4) 或者乙硅烷 (Si_2H_6) 等。

[0088] 除了等离子体 CVD 法以外,还可以利用热 CVD 法形成氧化硅膜。在此情况下,使用硅烷 (SiH_4) 或者乙硅烷 (Si_2H_6) 等作为硅源气体,并使用氧 (O_2) 气体或者一氧化二氮 (N_2O) 气体等作为氧源气体。加热温度优选为大于或等于 $200^\circ C$ 且小于或等于 $500^\circ C$ 。注意,在很多情况下,接合层 114 通过使用绝缘材料而形成,在这个意义上可以将接合层 114 包含在绝缘层类别中。

[0089] 接着,彼此贴合基底衬底 101 和半导体衬底 111 (参照图 1G)。这种贴合工序具有如下步骤:首先,通过利用超声波清洗等方法清洗形成有绝缘层 102 的基底衬底 101 以及形成有接合层 114 的半导体衬底 111。然后,将接合层 114 和绝缘层 102 彼此贴紧。由此,绝缘层 102 和接合层 114 互相接合。注意,作为接合的机理,可以想出范德瓦耳斯力有关的机理、与氢键有关的机理、等等。

[0090] 如上所述,当通过使用采用等离子体 CVD 法且利用有机硅烷来形成的氧化硅膜或采用热 CVD 法来形成的氧化硅膜等作为接合层 114 时,可以在常温下将绝缘层 102 和接合层 114 接合在一起。从而,可以使用玻璃衬底等耐热性低的衬底作为基底衬底 101。

[0091] 注意可以省略形成绝缘层 102 的工序,但是在本实施方式中没有描述这种情况。在此情况下,将接合层 114 和基底衬底 101 接合在一起。当基底衬底 101 是玻璃衬底的情况时,通过利用采用 CVD 法且利用有机硅烷来形成的氧化硅膜、采用热 CVD 法来形成的氧化硅膜、以硅氧烷为原料来形成的氧化硅膜等来形成接合层 114,可以在常温下将玻璃衬底和接合层 114 接合在一起。

[0092] 为了使结合力进一步提高,例如有如下方法:对绝缘层 102 的表面进行利用选自 N_2 、 O_2 、Ar、 NH_3 的气体或混合气体的等离子体处理、氧等离子体处理、臭氧处理等,来使该表面具有亲水性。通过该处理对绝缘层 102 的表面添加羟基,因此可以在绝缘层 102 与接合层 114 之间的接合界面形成氢键。注意,在不形成绝缘层 102 的情况下,也可以进行使基底衬底 101 的表面具有亲水性的处理。

[0093] 在将基底衬底 101 和半导体衬底 111 彼此贴紧之后,优选进行加热处理或加压处理。这是因为可以通过进行加热处理或加压处理提高绝缘层 102 和接合层 114 之间的结合力 (bonding force) 的缘故。加热处理的温度优选为等于或低于基底衬底 101 的容许温度极限,将加热温度设定为等于或高于 $400^\circ C$ 且等于或低于 $700^\circ C$ 。例如,在使用玻璃衬底作为基底衬底 101 的情况下,可以将应变点看作容许温度极限。沿垂直于接合界面的方向施加力而进行加压处理,并且考虑到基底衬底 101 以及半导体衬底 111 的强度来决定施加的压力。

[0094] 接着,将半导体衬底 111 分离成半导体衬底 111' 和半导体层 115 (参照图 1H)。为了分离半导体衬底 111,在将基底衬底 101 和半导体衬底 111 互相贴在一起之后,加热半导体衬底 111。半导体衬底 111 的加热温度取决于基底衬底的容许温度极限,例如可以设定为

等于或高于 400℃ 且等于或低于 700℃。

[0095] 如上所述,通过在 400℃ 至 700℃ (包括端值) 的温度范围内进行热处理,发生形成于脆化层 113 中的微小空洞的体积变化,而在脆化层 113 中发生裂纹。其结果是,沿脆化层 113 分离半导体衬底 111。由于接合层 114 与基底衬底 101 接合,所以在基底衬底 101 上残留着从半导体衬底 111 分离的半导体层 115。此外,因为通过该热处理,基底衬底 101 和接合层 114 的接合界面被加热,从而在接合界面形成共价键,所以可以提高接合界面上的结合力。

[0096] 通过如上所述步骤,制造其中在基底衬底 101 上设置有半导体层 115 的 SOI 衬底 131。SOI 衬底 131 是在基底衬底 101 上依次堆叠绝缘层 102、接合层 114、半导体层 115 而成的具有多层结构的衬底,其中在绝缘层 102 和接合层 114 之间的界面实现接合。在不形成绝缘层 102 的情况下,在基底衬底 101 和接合层 114 之间的界面实现接合。

[0097] 此外,在分离半导体衬底 111 来形成 SOI 衬底 131 之后,还可以在等于或高于 400℃ 且等于或低于 700℃ (包括端值) 的温度进行热处理。通过该加热处理,可以进一步提高 SOI 衬底 131 的接合层 114 和绝缘层 102 之间的结合力。当然,将加热温度的上限设定为不超过基底衬底 101 的容许温度极限。

[0098] 在半导体层 115 的表面上存在着由分离工序或离子照射工序导致的缺陷,而且表面平坦性损失。在这种具有凹凸的半导体层 115 的表面上形成薄且耐压性高的栅极绝缘层是很困难的。因此,进行半导体层 115 的平坦化处理。此外,因为半导体层 115 中的缺陷给晶体管的性能及可靠性带来负面影响,例如半导体层 115 与栅极绝缘层之间的界面上的局域态密度变高,因此,进行减少半导体层 115 中的缺陷的处理。

[0099] 通过对半导体层 115 照射激光束 122 来实现半导体层 115 的平坦化以及缺陷的减少(参照图 2A)。通过从半导体层 115 的上表面侧照射激光束 122,来使半导体层 115 的上表面熔化。通过在使半导体层 115 熔化之后使它冷却而凝固,可以得到其上表面的平坦性提高了的半导体层 115A(参照图 2B)。因为在平坦化处理中使用激光束 122,所以不需要加热基底衬底,而可以抑制基底衬底 101 的温度上升。因此,可以使用玻璃衬底等耐热性低的衬底作为基底衬底 101。

[0100] 注意,优选通过照射激光束 122,来使半导体层 115 部分地熔化。这是因为如下缘故:当使半导体层 115 完全熔化时,由于成为液相的半导体层 115 中的无序成核发生,半导体层 115 再结晶,而半导体层 115A 结晶度降低。通过使半导体层 115 部分地熔化,从半导体层 115 不熔化的固相部分进行晶体生长。由此,半导体层 115 的缺陷减少,而结晶度恢复。注意,完全熔化是指半导体层 115 溶化直到半导体层 115 与接合层 114 之间的界面成为液态。另一方面,部分熔化是指上层熔化成为液相而下层不熔化以保持固相。

[0101] 为了照射激光束,例如可以使用连续波激光器(CW 激光器)、或脉冲激光器(优选大约为 10Hz 至 100Hz 范围内的重复率)。具体地说,作为连续波激光器,可以使用以下:Ar 激光器、Kr 激光器、CO₂ 激光器、YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、红宝石激光器、变石激光器、Ti: 蓝宝石激光器、氦镉激光器等。作为脉冲激光器,可以使用以下:Ar 激光器、Kr 激光器、受激准分子(ArF、KrF、XeCl 等)激光器、CO₂ 激光器、YAG 激光器、YVO₄ 激光器、YLF 激光器、YAIO₃ 激光器、GdVO₄ 激光器、Y₂O₃ 激光器、红宝石激光器、变石激光器、Ti: 蓝宝石激光器、铜蒸气激光器或金蒸气激光器、等等。注意,

这种脉冲激光器可以在增加重复率时进行与连续波激光器相同的处理。优选利用脉冲激光束以实现部分熔化,但是本发明不局限于此。

[0102] 激光束 122 的波长必须设定为可以被半导体层 115 吸收的波长。可以考虑到激光束的趋肤深度 (skin depth) 等而决定该波长。例如,该波长可以设定为 250nm 至 700nm (包括端值) 范围内。另外,可以考虑到激光束 122 的波长、激光束的趋肤深度、半导体层 115 的厚度等而决定激光束 122 的照射能量密度。激光束 122 的照射能量密度例如可以设定为 $300\text{mJ}/\text{cm}^2$ 至 $800\text{mJ}/\text{cm}^2$ 范围内 (包括端值)。

[0103] 注意,通过在离子照射工序中控制离子引入深度来将半导体层 115 的厚度增加至大于 50nm,控制激光束 122 的照射能量密度变得容易。从而,可以高效地实现通过照射激光束 122 提高半导体层 115 表面的平坦性及结晶性。注意,当半导体层 115 增加时,需要提高激光束 122 的照射能量密度,所以半导体层 115 的厚度优选为小于或等于 200nm。

[0104] 可以在如大气气氛的包含氧的气氛中,或者如氮气氛的惰性气氛中进行激光束 122 的照射。为了在惰性气氛中照射激光束 122,在具有密封性腔室内照射激光束 122,且控制腔室内的气氛。当不使用腔室时,可以通过对被激光束 122 照射的表面吹氮气体等惰性气体,来形成氮气氛。

[0105] 注意,与大气气氛相比,氮等惰性气氛具有更高的提高半导体层 115 的平坦性的效果。此外,与大气气氛相比,惰性气氛具有更高抑制裂纹和褶皱发生的效果,而且激光束 122 的适用能量范围变广。注意,上述惰性气氛中,氧的浓度为小于或等于 0.1%,优选为小于或等于 0.01%,更优选为小于或等于 0.001%。

[0106] 在照射激光束 122 来形成图 2B 所示的具有半导体层 115A 的 SOI 衬底 131A 之后,进行为了减少半导体层 115A 的厚度的减薄工序 (参照图 2C)。

[0107] 为了使半导体层 115A 变薄,进行干蚀刻和湿蚀刻其中之一或者这些蚀刻的组合。例如,在半导体衬底 111 是硅衬底的情况下,可以通过利用使用 SF_6 和 O_2 作为工艺气体的干蚀刻,来使半导体层 115A 变薄。此外,可以使用 Cl_2 作为工艺气体。

[0108] 通过进行蚀刻处理,可以制造具有薄半导体层 115B 的 SOI 衬底 131B (参照图 2C)。因为半导体层 115A 的表面由于照射激光束 122 而预先平坦化,所以可以不利用回蚀刻处理而利用蚀刻处理来进行该减薄工序。当然,也可以采用回蚀刻处理。在该减薄工序中,优选将半导体层 115B 的厚度减少至小于或等于 100nm 且大于或等于 5nm,更优选为小于或等于 50nm 且大于或等于 5nm。

[0109] 注意,在本实施方式中,在通过照射激光束使表面平坦化之后进行蚀刻处理或回蚀处理,但是本发明不局限于此。例如,也可以在照射激光束之前进行蚀刻处理或回蚀处理。在此情况下,通过进行蚀刻处理或回蚀处理,可以减少半导体层表面的凹凸或缺陷。备选地,可以在激光束照射之前及激光束照射之后进行蚀刻处理或回蚀处理。进一步备选地,可以交替地反复进行激光束照射和或是蚀刻处理或是回蚀处理。通过如上所述组合激光束照射和蚀刻处理 (或回蚀处理),与仅采用激光束照射或蚀刻处理 (或回蚀处理) 其中之一的情况相比,可以大幅度地减少半导体层表面的凹凸和缺陷等。

[0110] 通过利用上述工序,可以制造 SOI 衬底。注意,为了增加 SOI 衬底面积,可以在一个基底衬底 101 上贴合有多个半导体层 115B。例如,通过反复进行多次的图 1C 至图 1F 所说明的过程,制备多个各提供有脆化层 113 的半导体衬底 111。接着,通过反复进行多次的

图 1G 所示的接合工序,在一个基底衬底 101 上固定多个半导体衬底 111。然后,通过进行图 1H 所示的加热工序而分离半导体衬底 111,来制造在基底衬底 101 上固定有多个半导体层 115 的 SOI 衬底 131。然后,通过进行图 2A 至 2C 所示的工序,可以制造将多个半导体层 115B 接合基底衬底 101 上的 SOI 衬底 131B。

[0111] 如本实施方式所示,通过组合利用激光束照射的半导体层的平坦化工序和蚀刻处理(或回蚀处理),可以形成厚度为小于或等于 100nm、平坦性高且缺陷少的半导体层 115B。换言之,即使采用玻璃衬底作为基底衬底 101,并且利用离子掺杂设备形成脆化层 113,也可以制造接合有具有上述优点的半导体层 115B 的 SOI 衬底 131B。

[0112] 通过利用 SOI 衬底 131B 制造晶体管,可以实现栅极绝缘层的减薄、以及 SOI 衬底与栅极绝缘层之间的局域界面态密度的降低。此外,通过减薄半导体层 115B,可以在玻璃衬底上利用单晶半导体层制造完全耗尽型晶体管。从而,可以在基底衬底上制造具有高性能及高可靠性的晶体管,该晶体管可以进行高速工作,其亚阈值低,电子场效应迁移率高,并且电压消耗低。

[0113] 另外,不需要进行不适合大面积化的 CMP 处理,从而可以实现高性能半导体装置的大面积化。当然,本发明不局限于该实施方式,不仅在使用大面积衬底的情况下而且在使用小型衬底的情况下都可以提供优良的半导体装置,因此是期望的。注意下面示出根据本实施方式的工序而得到的半导体层的表面特性。Ra 是算术平均粗糙度,RMS 是均方根粗糙度,而且 P-V 是最大高度差。注意 P-V 值可会受到微小缺陷的较大影响,因此更优选地是采用 Ra 或 RMS 作为评价参数。

[0114] • Ra :小于或等于 7nm

[0115] • RMS :小于或等于 10nm

[0116] • P-V :小于或等于 250nm

[0117] 注意,利用 CMP 情况时的上述参数如下:

[0118] • Ra :小于 1nm

[0119] • RMS :小于 1nm

[0120] • P-V :小于 5nm

[0121] 由以上可以看出,不利用 CMP 而形成的本发明的半导体层表面的参数在如下范围内:

[0122] • Ra :大于或等于 1nm 且小于或等于 7nm(优选为大于或等于 1nm 且小于或等于 3nm)

[0123] • RMS :大于或等于 1nm 且小于或等于 10nm(优选为大于或等于 1nm 且小于或等于 4nm)

[0124] • P-V :大于或等于 5nm 且小于或等于 250nm(优选为大于或等于 5nm 且小于或等于 50nm)

[0125] 注意在本实施方式中使用的半导体衬底的主表面可以是(100)面、(110)面、或(111)面。在采用(100)面的情况下,可以减少界面态密度,从而适合制造场效应晶体管。另外,在采用(110)面的情况下,接合层中所含的元素和半导体中所含的元素(例如硅元素)之间的键紧密地形成,因此绝缘层和半导体层的粘合性提高。就是说,可以抑制半导体层的分离。另外,由于在(110)面中原子紧密地排列,所以与使用其它面的情况相比,可以

提高 SOI 衬底中的单晶硅层的平坦性。就是说,通过使用这样的半导体层而制造的晶体管具有优良的特性。注意,(110) 面优势在于杨氏模量比 (100) 面大,容易进行分离。

[0126] 实施方式 2

[0127] 图 3A 至 3G 以及图 4A 至 4C 是示出用于本发明的半导体装置的 SOI 衬底的制造方法的另一例子的横截面图。下面,参照图 3A 至 3G 以及图 4A 至 4C 说明 SOI 衬底的制造方法的另一例子。

[0128] 如实施方式 1 中的图 1A 所示,制备作为 SOI 衬底的基底衬底的基底衬底 101 (参照图 3A)。图 3A 是基底衬底 101 的横截面图。此外,如图 1C 所示,制备半导体衬底 111 (参照图 3B)。图 3B 是半导体衬底 111 的截面图。

[0129] 接着,洗涤半导体衬底 111。然后,在半导体衬底 111 的表面上形成绝缘层 116 (参照图 3C)。绝缘层 116 可以采用单层结构、由两层或以上构成的多层结构。绝缘层 116 厚度可以为大于或等于 10nm 且小于或等于 400nm。

[0130] 作为绝缘层 116 中所含的膜,可以使用例如氧化硅膜、氮化硅膜、氧氮化硅膜、氮氧化硅膜、氧化锆膜、氮化锆膜、氧氮化锆膜、或氮氧化锆膜等包含硅或锆作为其成分的绝缘膜。此外,也可以使用:例如氧化铝、氧化钽、或氧化钪等包含金属的氧化物的绝缘膜;例如氮化铝等包含金属氮化物的绝缘膜;例如氧氮化铝膜等含金属氧氮化物的绝缘膜;或者例如氮氧化铝膜等含金属氮氧化物的绝缘膜。

[0131] 作为绝缘层 116 中所含的绝缘膜的形成方法,可以使用 CVD 法、溅射法、对半导体衬底 111 氧化 (或氮化) 的方法等。

[0132] 在使用包含碱金属或碱土金属等降低半导体装置的可靠性的杂质的衬底作为基底衬底 101 的情况下,优选设置至少一层如下膜:可以防止这种杂质从基底衬底 101 扩散到 SOI 衬底的半导体层。作为这种膜,给出氮化硅膜、氮氧化硅膜、氮化铝膜、氮氧化铝膜等。当包含这种膜时,可以将绝缘层 116 用作阻挡层。

[0133] 例如,在将绝缘层 116 形成为具有单层结构的阻挡层的情况下,可以形成厚度为大于或等于 10nm 且小于或等于 200nm 的氮化硅膜、氮氧化硅膜、氮化铝膜、或氮氧化铝膜。

[0134] 在将绝缘层 116 用作阻挡层并具有两层结构的情况下,例如可以采用如下结构任一种:由氧化硅膜和氮化硅膜构成的叠层膜;由氧氮化硅膜和氮化硅膜构成的叠层膜;由氧化硅膜和氮氧化硅膜构成的叠层膜;由氧氮化硅膜和氮氧化硅膜构成的叠层膜;等等。注意,在上面例示的各两层结构中,先记载的膜优选形成在半导体衬底 111 侧 (下层)。而且,作为下层,优选选择由能够弛豫应力的材料构成的膜,以避免阻挡效果高的上层的内部应力影响半导体层。而且,可以将上层的厚度设定为大于或等于 10nm 且小于或等于 200nm,并下层的厚度为大于或等于 10nm 且小于或等于 200nm。

[0135] 在本实施方式中,绝缘层 116 具有两层结构,其中下层是通过使用 SiH_4 以及 N_2O 作为工艺气体且利用等离子体 CVD 法来形成的氧氮化硅膜 117,并且上层是通过使用 SiH_4 以及 NH_3 作为工艺气体且利用等离子体 CVD 法来形成的氮氧化硅膜 118。

[0136] 接着,穿过绝缘层 116 对半导体衬底 111 施加由被电场加速了的离子构成的离子束 121,来在半导体衬底 111 的离其表面有预定深度的区域中形成脆化层 113 (参照图 3D)。可以采用图 1E 所描述的脆化层 113 的形成同样地进行该工序。绝缘层 116 具有如下效果:防止在照射离子时半导体衬底 111 被杂质污染;防止由于离子照射的冲击对半导体衬底

111 损伤 ;等等。

[0137] 在形成脆化层 113 之后,在绝缘层 116 的上形成接合层 114(参照图 3E)。

[0138] 注意,虽然在本实施方式中,在离子照射工序之后形成接合层 114,但是也可以在离子照射工序之前形成接合层 114。在此情况下,在形成图 3C 所示的绝缘层 116 之后,在绝缘层 116 上形成接合层 114。在图 3D 所示的工序中,穿过接合层 114 以及绝缘层 116 对半导体衬底 111 照射离子束 121。

[0139] 此外,如实施方式 1 所描述,也可以形成保护膜 112 之后进行离子照射。在此情况下,在进行图 1C 和 1E 所示的工序之后,去掉保护膜 112,在半导体衬底 111 之上形成绝缘层 116 和接合层 114。

[0140] 接着,将基底衬底 101 和半导体衬底 111 贴合在一起(参照图 3F)。该贴合步骤如下进行:首先,通过例如超声波清洗等方法洗涤形成接合界面的基底衬底 101 及接合层 114 的表面。然后,通过进行与图 1G 所示的接合工序同样的工序,将基底衬底 101 和接合层 114 彼此贴紧。由此,将基底衬底 101 和接合层 114 互相接合在一起。

[0141] 也可以在将基底衬底 101 和接合层 114 接合在一起之前,对基底衬底 101 的表面进行氧等离子体处理或臭氧处理,来得到亲水性。由此,基底衬底 101 和接合层 114 的结合力可以进一步增加。此外,也可以在将基底衬底 101 和接合层 114 彼此贴紧之后,进行实施方式 1 所说明的加热处理或加压处理,以提高结合力。

[0142] 接着,将半导体衬底 111 分离成半导体衬底 111' 和半导体层 115(参照图 3G)。本实施方式的分离工序可以与图 1H 所示的分离工序同样地进行。为了分离半导体衬底 111,在将基底衬底 101 和半导体衬底 111 贴合在一起之后,加热半导体衬底 111。半导体衬底 111 的加热温度取决于基底衬底的容许温度极限,例如可以是大于或等于 400℃ 且小于或等于 700℃。

[0143] 通过如上工序,制造在基底衬底 101 上设置有半导体层 115 的 SOI 衬底 132。该 SOI 衬底 132 是在基底衬底 101 上依次堆叠接合层 114、绝缘层 116、半导体层 115 而成的具有多层结构的衬底,其中在基底衬底 101 和接合层 114 的界面实现接合。

[0144] 然后,进行对 SOI 衬底 132 照射激光束 122 的平坦化工序(参照图 4A)。该平坦化工序可以与图 2A 所示的情况同样地进行。如图 4A 所示,通过在半导体层 115 的上表面侧上照射激光束 122,使半导体层 115 部分地熔化,形成平坦性提高了且缺陷数目减少了的半导体层 115A(参照图 4B)。

[0145] 在照射激光束 122 来形成包含半导体层 115A 的 SOI 衬底 132A 之后,进行减薄半导体层 115A 的半导体层的减薄工序(参照图 4C)。该减薄工序可以与图 2C 所示的减薄工序同样地进行,其中通过蚀刻(或回蚀) 半导体层 115A,使半导体层 115A 厚度薄。在该减薄工序中,控制半导体层 115B 的厚度,优选半导体层 115B 的厚度为小于或等于 100nm 且大于或等于 5nm,更优选为小于或等于 50nm 且大于或等于 5nm。

[0146] 注意在本实施方式中,在通过照射激光束使表面平坦化之后进行蚀刻处理或回蚀处理,但是本发明不局限于此。例如,也可以在照射激光束之前进行蚀刻处理或回蚀处理。在此情况下,通过进行蚀刻处理或回蚀处理,可以减少半导体层表面的凹凸或缺陷。另外,可以在激光束照射之前及激光束照射之后都采用蚀刻处理或回蚀处理。而且备选地,可以交替地反复进行激光束照射和或者蚀刻处理或者回蚀处理。通过如上述组合激光束照射和

蚀刻处理（或回蚀处理），与采用仅仅激光束照射或回蚀处理其中之一的情况相比，可以大幅度地减少半导体层表面的凹凸和缺陷等。

[0147] 通过进行图 3A 至 3G 以及图 4A 至 4C 所示的如上所述工序，可以形成包含半导体层 115B 的 SOI 衬底 132B。

[0148] 注意，与实施方式 1 那样且根据该实施方式中描述的工艺，可以制造在一个基底衬底 101 上贴合有多个半导体层 115B 的 SOI 衬底 132B。例如，通过反复进行多次的图 3B 至图 3E 所示的工序，制备多个各形成有脆化层 113 的半导体衬底 111。接着，通过反复进行多次的图 3F 所示的接合工序，在一个基底衬底 101 上固定多个半导体衬底 111。然后，进行图 3G 所示的加热工序，分离这些半导体衬底 111，来制造在基底衬底 101 上固定有多个半导体层 115 的 SOI 衬底 132。然后，通过进行图 4A 至 4C 所示的工序，可以形成在基底衬底 101 上贴合有多个半导体层 115B 的 SOI 衬底 132B。

[0149] 如本实施方式所示，通过组合利用激光束照射的半导体层的平坦化工序和蚀刻处理（或回蚀处理），可以形成厚度为小于或等于 100nm 且平坦性高且缺陷较少的半导体层 115B。换言之，即使采用玻璃衬底作为基底衬底 101，并且利用离子掺杂设备形成脆化层 113，也可以制造接合有具有上述特性的半导体层 115B 的 SOI 衬底 132B。

[0150] 通过利用 SOI 衬底 132B 制造晶体管，可以实现栅极绝缘层的减薄、以及 SOI 衬底与栅极绝缘层之间的局域界面态密度的降低。此外，通过减薄半导体层 115B，可以在玻璃衬底上利用单晶半导体层制造完全耗尽型晶体管。从而，可以在基底衬底上制造具有高性能及高可靠性的晶体管，该晶体管可以进行高速工作，其亚阈值低，电子场效应迁移率高，且具有低电压消耗量。

[0151] 另外，不需要进行不适合大面积化的 CMP 处理，从而可以实现高性能半导体装置的大面积化。当然，根据该实施方式，不仅在使用大面积衬底的情况下而且在使用小型衬底的情况下都可以提供优良的半导体装置，因此是期望的。注意，根据本实施方式的工艺而得到的半导体层的表面特性与实施方式 1 是同样的。

[0152] 注意，在本实施方式中使用的半导体衬底的主表面，可以是 (100) 面、(110) 面、或 (111) 面。在采用 (100) 面的情况下，可以减少界面态密度，从而适合制造场效应晶体管。在采用 (110) 面的情况下，接合层中所含的元素和半导体中所含的元素（例如硅元素）的键紧密地形成，因此绝缘层和半导体层的粘合性提高。就是说，可以抑制半导体层的分离。另外，由于在 (110) 面中原子紧密地排列，所以与使用其它面的情况相比，可以提高 SOI 衬底中的单晶硅层的平坦性。就是说，通过使用上述半导体层而制造的晶体管具有优良的特性。注意，(110) 面优势还在于杨氏模量比 (100) 面大，容易进行分离。

[0153] 本实施方式可以与实施方式 1 适当地组合。

[0154] 实施方式 2

[0155] 图 5A 至 5H 以及图 6A 至 6C 是示出用于本发明的半导体装置的 SOI 衬底的制造方法的另一例子的截面图。下面，参照图 5A 至 5H 以及图 6A 至 6C 说明 SOI 衬底的制造方法的一个例子。

[0156] 如实施方式 1 使用图 1A 所示，制备成为 SOI 衬底的基底衬底 101（参照图 5A），在基底衬底上形成绝缘层 102。而且在本实施方式中，绝缘层 102 是由氮氧化硅膜 103 和氧氮化硅膜 104 构成的两层膜。接着，在绝缘层 102 上形成接合层 105（参照图

5B)。该接合层 105 可以与实施方式 1 或实施方式 2 所示的形成在半导体衬底 111 上的接合层 114 同样地形成。

[0157] 图 5C 至 5E 示出与图 1C 至 1E 相同的工艺。如实施方式 1 所说明,在半导体衬底 111 上形成保护膜 112,在半导体衬底 111 中形成脆化层 113。在形成脆化层 113 之后,如图 5F 所示,去掉保护膜 112。注意,也可以在去掉保护膜 112 之后,如图 1F 那样形成接合层 114。备选地,也可以在留下保护膜 112 同时进行下面接合工序。此外备选地,可以在留下保护膜 112 同时将接合层 114 形成于保护膜 112 上。

[0158] 接着,将基底衬底 101 和半导体衬底 111 互相贴合在一起(参照图 5G)。该接合工序可以与图 1G 所示的接合工序同样地进行,其中通过将半导体衬底 111 和接合层 105 互相贴紧,来将半导体衬底 111 和接合层 105 互相接合在一起。

[0159] 也可以在将半导体衬底 111 和接合层 105 接合在一起之前,对半导体衬底 111 的表面进行氧等离子体处理或臭氧处理,来得到亲水性。此外,也可以在将半导体衬底 111 和接合层 105 互相接合在一起之后,进行实施方式 1 所说明的加热处理或加压处理,以提高结合力。

[0160] 接着,将半导体衬底 111 分离成半导体衬底 111' 和半导体层 115(参照图 5H)。本实施方式所述的分离工序可以与图 1H 所示的分离工序同样地进行。就是说,在将半导体衬底 111 和接合层 105 互相接合在一起之后,在大于或等于 400℃且小于或等于 700℃的温度加热半导体衬底 111。当然,将加热温度的上限设定为不超过基底衬底 101 的应变点。

[0161] 通过如上所述工序,制造在基底衬底 101 上设置有半导体层 115 的 SOI 衬底 133。该 SOI 衬底 133 是依次堆叠绝缘层 102、接合层 105、半导体层 115 而成的具有多层结构的衬底,其中在半导体层 115 和接合层 105 的界面实现接合。

[0162] 然后,进行对 SOI 衬底 133 照射激光束 122 的平坦化工序(参照图 6A)。该平坦化工序可以与图 2A 所示的情况同样地进行。如图 6A 所示,通过对半导体层 115 的上表面侧上照射激光束 122,使半导体层 115 部分熔化,形成平坦性提高了且缺陷数目减少了的半导体层 115A(参照图 6B)。

[0163] 在通过照射激光束 122 形成具有半导体层 115A 的 SOI 衬底 133A 之后,进行减薄半导体层 115A 的半导体层的减薄工序(参照图 6C)。该减薄工序可以与图 2C 所示的减薄工序同样地进行,其中通过蚀刻(或回蚀)半导体层 115A,使其厚度变薄。在该减薄工序中,半导体层 115B 的厚度控制在优选小于或等于 100nm 且大于或等于 5nm,更优选为小于或等于 50nm 且大小或等于 5nm。

[0164] 通过进行图 5A-5H 以及图 6A 至图 6C 所示的工序,可以形成包含半导体层 115B 的 SOI 衬底 133B。

[0165] 注意,如实施方式 1 那样且根据本实施方式所述的工艺,可以制造在一个基底衬底 101 上贴合有多个半导体层 115B 的 SOI 衬底 133B。例如,通过反复进行多次的图 5C 至图 5F 所示的工艺,制备多个各提供有脆化层 113 的半导体衬底 111。接着,通过反复进行多次的图 5G 所示的接合工序,在一个基底衬底 101 上固定多个半导体衬底 111。然后,进行图 5H 所示的加热工序,来分离这些半导体衬底 111,来制造在基底衬底 101 上固定有多个半导体层 115 的 SOI 衬底 133。然后,通过进行图 6A 至 6C 所示的工序,可以形成在基底衬底 101 上贴合有多个半导体层 115B 的 SOI 衬底 133B。

[0166] 如本实施方式所示,通过组合利用激光束照射的半导体层的平坦化工序和蚀刻处理(或回蚀处理),可以形成厚度为小于或等于 100nm 且平坦性高且缺陷较少的半导体层 115B。换言之,即使采用玻璃衬底作为基底衬底 101,并且利用离子掺杂设备形成脆化层 113,也可以制造接合有具有上述特性的半导体层 115B 的 SOI 衬底 133B。

[0167] 通过利用 SOI 衬底 133B 制造晶体管,可以实现栅极绝缘层的减薄、以及 SOI 衬底与栅极绝缘层之间的局域界面态密度的降低。此外,通过减薄半导体层 115B,可以在玻璃衬底上利用单晶半导体层制造完全耗尽型晶体管。从而,可以在基底衬底上制造具有高性能及高可靠性的晶体管,该晶体管可以例如进行高速工作,其亚阈值低,电子场效应迁移率高,并可以以低电压消耗量。

[0168] 另外,不需要进行不适合大面积化的 CMP 处理,从而可以实现高性能半导体装置的大面积化。当然,根据该实施方式,不仅在使用大面积衬底的情况下而且在使用小型衬底的情况下都可以提供优良的半导体装置,因此是期望的。注意,根据本实施方式的工艺而得到的半导体层的表面特性与实施方式 1 是同样的。

[0169] 注意,在本实施方式中使用的半导体衬底的主表面,可以是(100)面、(110)面、或(111)面。在采用(100)面的情况下,可以减少界面态密度,从而适合制造场效应晶体管。在采用(110)面的情况下,接合层中所含的元素和半导体中所含的元素(例如硅元素)的键紧密地形成,因此绝缘层和半导体层的粘合性提高。就是说,可以抑制半导体层的分离。另外,由于在(110)面中原子紧密地排列,所以与使用其它面的情况相比,可以提高 SOI 衬底中的单晶硅层的平坦性。就是说,通过使用上述半导体层而制造的晶体管具有优良的特性。注意,(110)面优势还在于杨氏模量比(100)面大,容易进行分离。

[0170] 本实施方式可以与实施方式 1 或 2 适当地组合。

[0171] 实施方式 4

[0172] 在实施方式 1 至 3 每个中,可以在对半导体层 115 照射激光束 122 之前,进行通过蚀刻处理(或回蚀处理)减薄半导体层 115 的减薄工序。在利用离子掺杂设备用于形成脆化层 113 的情况下,难以将半导体层 115 的厚度控制在小于或等于 100nm。因此,刚分离之后的半导体层 115 较厚。在半导体层 115 较厚的情况下,需要提高激光束 122 的照射能量密度,因而适用的照射能量密度的范围变窄,而难以通过照射激光束 122 来高成品率地进行半导体层 115 的平坦化以及半导体层 115 结晶度的恢复。

[0173] 因此,当半导体层 115 的厚度超过 200nm 时,优选在将半导体层 115 的厚度减薄到小于或等于 200nm,之后照射激光束 122。通过上述减薄处理,优选将半导体层 115 的厚度减少至小于或等于 150nm 且大于或等于 60nm。

[0174] 详细地说,可以通过如下步骤实现半导体层的减薄:首先,通过进行蚀刻处理或回蚀处理,减薄半导体层 115,然后照射激光束 122。接着,再次对半导体层进行蚀刻处理或回蚀处理,来进一步减薄半导体层以得到所希望的厚度。注意,当通过在照射激光束 122 之前减薄而使半导体层 115 减薄到所希望的厚度时,可以省略照射激光束 122 之后的减薄工序。

[0175] 本实施方式可以与实施方式 1 至 3 适当地组合。

[0176] 实施方式 5

[0177] 在参照图 1A-1H、图 2A-2C、图 3A-3G、图 4A-4C、图 5A-5H 以及图 6A 至 6C 说明的 SOI 衬底的制造方法中,可以将无碱玻璃衬底等各种玻璃衬底应用于基底衬底 101。从而,

通过使用玻璃衬底作为基底衬底 101, 可以制造一边长超过 1 米的大面积 SOI 衬底。通过在这种大面积的提供用于半导体制造的衬底上形成多个半导体元件, 可以制造液晶显示装置、电致发光显示装置等。除了这些显示装置以外, 还可以利用 SOI 衬底制造例如太阳能电池、光电 IC、半导体存储装置等各种半导体装置。

[0178] 下面, 参照图 7A 至 7D 以及图 8A 和 8B 说明利用 SOI 衬底制造薄膜晶体管的方法。通过组合多个本实施方式所示晶体管的薄膜晶体管, 形成各种半导体装置。

[0179] 图 7A 是 SOI 衬底的截面图。在本实施方式中, 使用通过利用实施方式 2 所示的制造方法来制造的 SOI 衬底 132B。当然, 也可以使用具有其他结构的 SOI 衬底。

[0180] 为了控制 TFT 的阈值电压, 优选对半导体层 115B 添加例如硼、铝、或镓等 p 型杂质或者例如磷、或砷等 n 型杂质。考虑到是要形成 n 沟道型 TFT 还是形成 p 沟道型 TFT、或在哪个区域形成 TFT、等等, 可以适当地改变添加杂质的区域以及所添加的杂质种类。例如, 可以对 n 沟道型 TFT 的形成区域添加 p 型杂质, 而对 p 沟道型 TFT 的形成区域添加 n 型杂质。优选进行添加上述杂质使得其剂量为大于或等于 $1 \times 10^{12} \text{ ions/cm}^2$ 且小于或等于 $1 \times 10^{17} \text{ ions/cm}^2$ 以下。

[0181] 接着, 通过蚀刻将 SOI 衬底的半导体层 115B 分离为岛状, 来形成半导体层 151、152 (参照图 7B)。在该实施方式中, 使用半导体层 151 构成 n 沟道型 TFT, 并使用半导体层 152 构成 p 沟道型 TFT。

[0182] 然后, 在半导体层 151、152 每个上形成栅极绝缘层 153、栅电极 154、侧壁绝缘层 155、氮化硅层 156 (参照图 7C)。氮化硅层 156 用作当利用蚀刻成形栅电极 154 时的掩模。在该实施方式中, 栅电极具有两层结构。

[0183] 接着, 通过对半导体层 151、152 上进行以栅电极 154 为掩模的杂质添加、以及以栅电极 154 以及侧壁绝缘层 155 为掩模的杂质添加, 在半导体层 151 中形成 n 型高浓度杂质区 157 及低浓度 n- 型杂质区 158, 并在半导体层 152 中形成 p 型高浓度杂质区 160。半导体层 151 及 152 中重叠于栅电极 154 的区域用作沟道形成区 159 及 161。高浓度 n- 型杂质区 157 及 160 用作源区或漏区。n 沟道型 TFT 中的低浓度 n- 型杂质区 158 用作 LDD 区。在添加杂质之后进行加热处理, 以激活添加在半导体层 151 及 152 中的杂质。

[0184] 接着, 形成包含氢的绝缘层 163 (参照图 7D)。在形成绝缘层 163 之后, 在高于或等于 350°C 且低于或等于 450°C 的温度进行加热处理, 来使包含在绝缘层 163 中的氢扩散到半导体层 151、152 中。绝缘层 163 可以通过在等于或低于 350°C 的工艺温度利用等离子体 CVD 法堆积氮化硅或氮氧化硅来形成。通过将氢提供给半导体层 151、152, 可以有效地减少半导体层 151 和栅极绝缘层 153 之间的界面、以及半导体层 152 和栅极绝缘层 153 之间的界面上的缺陷。

[0185] 然后, 形成层间绝缘层 164 (参照图 8A)。作为层间绝缘层 164, 可以使用由例如 BPSG (硼磷硅玻璃) 等无机材料构成的膜、或以聚酰亚胺为典型形成的有机树脂膜。在层间绝缘层 164 中形成接触孔 165。

[0186] 接着, 形成布线等 (参照图 8B)。在接触孔 165 中形成接触插头 166。作为接触插头 166, 通过使用 WF_6 气体和 SiH_4 气体以化学气相沉积法形成硅化钨从而填充接触孔 165。备选地, 也可以对 WF_6 进行氢还原而形成钨从而填充接触孔 165。然后, 根据接触插头 166 形成布线 167。布线 167 具有三层结构, 其中将由铝或铝合金构成的导电膜夹在作为阻挡金

属的钼、铬、钛等的金属膜之间。在布线 167 的上层形成层间绝缘膜 168。适当地设置布线 167,也可以在其上进一步形成其他布线层以实现多层布线结构。在此情况下,可以采用镶嵌工艺如单镶嵌或双镶嵌工艺等。

[0187] 以此方式,可以制造各利用 SOI 衬底的薄膜晶体管。SOI 衬底的半导体层是几乎没有结晶缺陷且该半导体层与栅极绝缘层 153 之间的界面态密度降低了的单晶半导体层。另外,其表面被平坦化,并且其厚度被减至为 100nm 或以下。由此,可以在基底衬底 101 上形成具有优越特性、诸如低驱动电压、高电子场效应迁移率、小亚阈值等的薄膜晶体管。再者,可以在同一衬底上形成特性变动较少的高性能晶体管。换言之,通过使用如每个实施方式 1 至 3 所示的 SOI 衬底,可以抑制例如阈值电压或迁移率等作为晶体管特性很重要的特性的变动性,并且可以提高这些特性。

[0188] 如上述,通过利用根据实施方式 1 至 3 的方法中任意方法而制造的 SOI 衬底形成半导体元件,可以制造具有高附加价值的廉价的半导体装置。下面,参照附图说明半导体装置的具体方式。

[0189] 首先,说明微处理器作为半导体装置的一个例子。图 9 是示出微处理器 200 的结构例子的框图。

[0190] 微处理器 200 包括算术逻辑单元 201(Arithmetic logic unit,也称为 ALU)、ALU 控制器 202(ALU Controller)、指令译码器 203(Instruction Decoder)、中断控制器 204(Interrupt Controller)、时序控制器 205(Timing Controller)、寄存器 206(Register)、寄存器控制器 207(Register Controller)、总线接口 208(Bus I/F)、只读存储器 (ROM) 209、以及存储器接口 210(ROM I/F)。

[0191] 通过总线接口 208 输入到微处理器 200 的指令输入到指令译码器 203 并在其中被译码,然后输入到 ALU 控制器 202、中断控制器 204、寄存器控制器 207、以及时序控制器 205。ALU 控制器 202、中断控制器 204、寄存器控制器 207、以及时序控制器 205 根据被译码了的指令而进行各种控制。

[0192] 具体地说,ALU 控制器 202 产生用来控制算术逻辑单元 201 的工作的信号。此外,中断控制器 204 当微处理器 200 在执行程序时对来自外部输入输出装置或外围电路的中断请求根据其优先级或屏蔽状态进行处理。寄存器控制器 207 产生寄存器 206 的地址,并根据微处理器 200 的状态进行寄存器 206 的数据读出或写入。时序控制器 205 产生控制算术逻辑单元 201、ALU 控制器 202、指令译码器 203、中断控制器 204 及寄存器控制器 207 的工作时序的信号。

[0193] 例如,时序控制器 205 提供有根据基准时钟信号 CLK1 产生内部时钟信号 CLK2 的内部时钟生成器,并将内部时钟信号 CLK2 提供给上述各种电路。注意,图 9 所示的微处理器 200 只是将其结构简化了的一个例子,在实际上,可以根据其用途具有多种多样的结构。

[0194] 这种微处理器 200 由于集成电路由接合在具有绝缘表面的衬底上或绝缘衬底上的具有一致晶体取向的单晶半导体层 (SOI 层) 形成,因此不仅可以实现处理速度的高速化,而且还可以实现低耗电量化。

[0195] 下面,说明具有无线方式进行数据收发的功能以及计算功能的半导体装置的一个例子。图 10 是表示这种半导体装置的结构例子的框图。图 10 所示的半导体装置可以称为以无线通信与外部装置进行信号的收发而工作的计算机 (以下称为 RF CPU)。

[0196] 如图 10 所示, RF CPU 211 包括模拟电路部 212 和数字电路部 213。模拟电路部 212 包括具有谐振电容的谐振电路 214、整流电路 215、恒压电路 216、复位电路 217、振荡电路 218、解调电路 219、调制电路 220。数字电路部 213 包括 RF 接口 221、控制寄存器 222、时钟控制器 223、CPU 接口 224、中央处理单元 225、随机存取存储器 226、以及只读存储器 227。

[0197] RF CPU 211 的工作概要如下: 基于天线 228 所接收的信号, 谐振电路 214 产生感应电动势。感应电动势经过整流电路 215 而存储到电容部 229。该电容部 229 优选使用电容器如陶瓷电容器或双电层电容器等形成。电容部 229 不必须与 RF CPU 211 在同一衬底上形成, 电容部 229 可以作为不同部件贴装在 RF CPU 211 中包含的具有绝缘表面的衬底上。

[0198] 复位电路 217 产生初始化数字电路部 213 的复位信号。例如, 产生在电源电压上升之后出现的信号作为复位信号。振荡电路 218 响应于由恒压电路 216 产生的控制信号改变时钟信号的频率和占空比。解调电路 219 是解调接收信号的电路, 而调制电路 220 是调制待发送数据的电路。

[0199] 例如, 解调电路 219 包含低通滤波器, 将振幅移位键控 (ASK) 系统的接收信号根据该信号振幅的变动而二值化。调制电路 220 通过改变使振幅移位键控 (ASK) 系统的发送信号的振幅来发送数据, 所以调制电路 220 使谐振电路 214 的谐振点变化来改变通信信号的振幅。

[0200] 时钟控制器 223 根据电源电压或中央处理单元 225 中的耗电流, 产生用来改变时钟信号的频率和占空比的控制信号。电源控制电路 230 监视电源电压。

[0201] 从天线 228 输入到 RF CPU 211 的信号被解调电路 219 解调后, 在 RF 接口 221 被分解为控制指令、数据等。控制指令存储在控制寄存器 222 中。控制指令包括存储在只读存储器 227 中的数据的读出、向随机存取存储器 226 的数据写入、向中央处理单元 225 的计算指令等。

[0202] 中央处理单元 225 通过 CPU 接口 224 对只读存储器 227、随机存取存储器 226 及控制寄存器 222 进行存取。该接口 224 具有如下功能: 根据中央处理单元 225 请求的地址, 产生对只读存储器 227、随机存取存储器 226 及控制寄存器 222 中的任一个的存取信号。

[0203] 作为中央处理单元 225 的计算方法, 可以采用将 OS (操作系统) 预先存储在只读存储器 227 中并在启动操作时读出并执行程序的方法。备选地, 也可以采用其中形成专用计算电路作为计算电路以便使用硬件进行算法处理的方法。作为使用硬件和软件双方的方式, 利用专用计算电路进行一部分的处理, 并且使用程序以中央处理单元 225 进行另一部分的计算处理。

[0204] 这种 RF CPU 211 由于集成电路是使用接合在具有绝缘表面的衬底上或绝缘衬底上的具有一致晶体取向的半导体层 (SOI 层) 形成, 因此不仅可以实现处理速度的高速化, 而且还可以实现低耗电量化。由此, 即使将提供电力的电容部 229 小型化, 也可以保证长时间工作。

[0205] 下面, 参照图 11、图 12A 和 12B 以及图 13A 和 13B 说明显示装置 (作为本发明的半导体装置)。

[0206] 作为 SOI 衬底的基底衬底, 可以使用大面积玻璃衬底, 其母体玻璃, 显示面板在其上制造。图 11 是使用母体玻璃作为基底衬底 101 的 SOI 衬底的正面图。

[0207] 在一个母体玻璃 301 上贴合有从多个半导体衬底分离的半导体层 302。为了分割

母体玻璃 301 获得多个显示面板,优选将半导体层 302 接合在显示面板形成区 310 中。每个显示面板具有扫描线驱动电路、信号线驱动电路、以及像素部。因此,将每个半导体层 302 接合在每个显示面板形成区 310 中的形成上述这些驱动电路的区域(扫描线驱动电路形成区 311、信号线驱动电路形成区 312、像素形成区 313)。

[0208] 图 12A 和 12B 是说明利用图 11 所示的 SOI 衬底来制造的液晶显示装置的图。图 12A 是液晶显示装置的像素的平面图,而图 12B 是沿图 12A 所示的 J-K 切割线的截面图。

[0209] 在图 12A 中,半导体层 321 是由贴合在母体玻璃 301 上的半导体层 302 形成的层,其包含在像素的 TFT 中。在该实施方式中,作为 SOI 衬底,使用根据实施方式 3 所示的方法制造的 SOI 衬底。如图 12B 所示,使用在基底衬底 101 上堆叠绝缘层 102、接合层 105、半导体层而成的衬底。基底衬底 101 是已经分割了的母体玻璃 301。如图 12A 所示,像素具有半导体层 321、与半导体层 321 交叉的扫描线 322、与扫描线 322 交叉的信号线 323、像素电极 324、使像素电极 324 和半导体层 321 互相电连接的电极 328。

[0210] 如图 12B 所示,像素的 TFT 325 形成在接合层 105 上。TFT 325 的栅电极包括在扫描线 322 中,TFT 325 的源电极或漏电极包括在信号线 323 中。在层间绝缘膜 327 上设置有信号线 323、像素电极 324 以及电极 328。再者,在层间绝缘膜 327 上形成有柱状间隔物 329。覆盖信号线 323、像素电极 324、电极 328 以及柱状间隔物 329 地形成取向膜 330。相对衬底 332 设有相对电极 333 和覆盖相对电极 333 的取向膜 334。形成柱状间隔物 329,以便维持基底衬底 101 和相对衬底 332 之间的间隙。在由柱状间隔物 329 形成的空隙中形成有液晶层 335。在半导体层 321、信号线 323、以及电极 328 连接的部位,由于形成接触孔而在层间绝缘膜 327 上产生台阶,因此该台阶导致液晶层 335 的液晶的取向无序。因此,通过在该台阶形成柱状间隔物 329,防止液晶的取向无序。

[0211] 下面,说明电致发光显示装置(以下,称为 EL 显示装置)。图 13A 和 13B 是用来说明通过利用图 11 所示的 SOI 衬底来制造的 EL 显示装置的图。图 13A 是 EL 显示装置的像素的平面图,而图 13B 是像素的截面图。

[0212] 如图 13A 和 13B 所示,在像素中形成有各包含 TFT 的选择用晶体管 401、以及显示控制用晶体管 402。选择用晶体管 401 的半导体层 403、显示控制用晶体管 402 的半导体层 404 是通过加工图 11 所示的 SOI 衬底的半导体层 302 而形成的层。像素包括扫描线 405、信号线 406、电流供应线 407 以及像素电极 408。在 EL 显示装置中,每个像素提供有具有如下结构的发光元件:在一对电极之间夹有包含电致发光材料的层(下文该层称作 EL 层)。发光元件的一个电极是像素电极 408。

[0213] 在选择用晶体管 401 中,栅电极包括在扫描线 405 中,源电极或漏电极中的一方包括在信号线 406 中,而另一方被形成为电极 411。在显示控制用晶体管 402 中,栅电极 412 与电极 411 电连接,源电极或漏电极中的一方被形成为电连接到像素电极 408 的电极 413,而另一方包括在电流供应线 407 中。

[0214] 注意,作为 SOI 衬底,使用根据实施方式 3 所示的方法来制造的衬底。与图 12B 同样地,在基底衬底 101 上堆叠有绝缘层 102、接合层 105、以及半导体层 115B。基底衬底 101 是已经分割了的母体玻璃 301。

[0215] 如图 13B 所示,覆盖显示控制用晶体管 402 的栅电极 412 地形成有层间绝缘膜 427。在层间绝缘膜 427 上形成有信号线 406、电流供应线 407、电极 411 和 413 等。此外,

在层间绝缘膜 427 上形成有电连接到电极 413 的像素电极 408。像素电极 408 的周边部分由具有绝缘性质的隔断层 428 围绕。在像素电极 408 上形成有 EL 层 429, 在 EL 层 429 上形成有相对电极 430。作为补强板, 设置有相对衬底 431, 相对衬底 431 被树脂层 432 固定在基底衬底 101 上。在 EL 显示装置的像素部中, 图 13A 和 13B 所示的多个像素排列为矩阵状。

[0216] EL 显示装置的灰度由电流驱动方法或者电压驱动方法来控制, 通过该电流驱动方法, 利用电流控制发光元件的亮度, 通过该电压驱动方法, 利用电压控制发光元件的亮度。当像素间晶体管的特性值的差异大时, 难以采用电流驱动方式, 为此需要校正特性的差异的校正电路。通过利用本发明的 SOI 衬底, 选择用晶体管 401 和显示控制用晶体管 402 的像素间特性存在较少差异, 所以可以采用电流驱动方式。

[0217] 如图 12A 和 12B 以及图 13A 和 13B 所示, 可以利用制造显示装置的母体玻璃制造 SOI 衬底, 并且利用该 SOI 衬底制造显示装置。再者, 可以利用上述 SOI 衬底形成如图 9 或图 10 所示的微处理器, 因此也可以在显示装置内提供计算机的功能。此外, 也可以制造能够以非接触的方式进行数据输入及输出的显示装置。

[0218] 换言之, 通过使用本发明的 SOI 衬底, 可以制造各种各样的电器。这些电器包括影像拍摄装置如摄像机或数字照相机等、导航系统、音频再现装置 (汽车音响、音响组件等)、计算机、游戏机、便携式信息终端 (移动计算机、移动电话、便携式游戏机或电子书等)、具有记录媒质的图像再现装置 (具体地说, 再现记录媒质如数字通用光盘 (DVD) 等中记录的图像数据且配备有能够显示其图像的显示装置的装置) 等。

[0219] 参照图 14A 至 14C 说明电器的具体方式。图 14A 是表示移动电话机 901 的一个例子的外观图。该移动电话机 901 包括显示部 902、操作开关 903 等。通过将图 12A 和 12B 所示的液晶显示装置或图 13A 和 13B 所示的 EL 显示装置适用于显示部 902, 可以获得显示显示差异性较低且图像质量好的显示部 902。还可将利用本发明的 SOI 衬底而形成的半导体装置适用于包括在移动电话机 901 中的微处理器或存储器等。

[0220] 图 14B 是表示数字播放器 911 的结构例子的外观图。数字播放器 911 包括显示部 912、操作部 913、耳机 914 等。还可以使用头戴式耳机或无线式耳机代替耳机 914。通过将图 12A 和 12B 所示的液晶显示装置或图 13A 和 13B 所示的 EL 显示装置适用于显示部 912, 即使当屏幕尺寸为 0.3 英寸至 2 英寸左右时, 也可以显示高清晰图像以及大量文字信息。此外, 可以将利用本发明的 SOI 衬底而形成的半导体装置适用于包含在数字播放器 911 中的储存音乐信息的存储部、微处理器。

[0221] 此外, 图 14C 是电子书 921 的外观图。该电子书 921 包括显示部 922、操作开关 923。可将调制解调器内置于电子书 921, 或者可将图 10 所示的 RFCPU 内置于电子书 921 以得到能够以无线方式收发信息的结构。通过将图 12A 和 12B 所示的液晶显示装置或者图 13A 和 13B 所示的 EL 显示装置适用于显示部 922, 可以进行高图像质量的显示。在电子书 921 中, 可以将利用本发明的 SOI 衬底而形成的半导体装置适用于储存信息的存储部或使电子书 921 发挥作用的微处理器。

[0222] 本实施方式可以与实施方式 1 至 4 适当地组合。

[0223] 实施例 1

[0224] 在本实施例中, 作为本发明的半导体装置的一个例子, 说明安装有实时定位系统

(Real-Time Location Systems, 即 RTLS) 的 RFID 标签。能够确认物体位置的 RTLS 可以缩短搜索对象物所需要的时间, 而且通过与其它信息组合来可以应用于各种用途 (例如, 危险物的管理等)。在这一点上, RTLS 具有比辨别是否存在对象的现有技术更好的优点。另外, 在不需电源布线的无源类型 RFID 中, 可以确保半永久的 RTLS 功能。

[0225] 为了实现 RTLS, 需要充分的通信距离, 但是在使用低温多晶硅 (LTPS) 的情况下, 由于晶粒边界的存在, 整流电压低, 通信距离不充分。根据本发明, 在无碱玻璃衬底上形成具有 (100) 面作为主表面的单晶硅层, 来可以提高整流电路的效率。由此, 可以实现 RTLS。图 15 示出在本实施例中制造的使用具有 (100) 面作为主表面的单晶硅的 TFT 的截面照片。可见, 在无碱玻璃衬底上隔着绝缘层形成有单晶硅层。

[0226] 图 16 示出 TFT 的栅极电压 - 漏极电流 (VG-ID) 特性、以及栅极电压 - 迁移率 (VG- μ FE) 特性。注意, TFT 的各参数如下:

[0227] • 沟道长度: $10\mu\text{m}$

[0228] • 栅极绝缘层的厚度: 20nm

[0229] • 单晶硅层的厚度: 100nm

[0230] 注意, 作为截止电流 (I_{off}) 的对策, 采用使用了侧壁的 LDD (Lightly-Doped-Drain, 即轻掺杂漏极) 结构。N 沟道型 TFT 中的电子场效应迁移率为 $635\text{cm}^2/\text{Vs}$, P 沟道型 TFT 中的电子场效应迁移率为 $134\text{cm}^2/\text{Vs}$ 。

[0231] 图 17 示出低温多晶硅 (LTPS) 和玻璃衬底上的单晶硅的整流电压的比较结果。玻璃衬底上的单晶硅能够得到比低温多晶硅 (LTPS) 高的整流电压。

[0232] 在本实施例中试制的 RTLS-RFID 标签是以布线宽度及布线间隔都是 $0.8\mu\text{m}$ 的工艺制造的。晶体管个数为 24000 个, 而裸芯大小 (die size) 为 $5\text{mm} \times 5\text{mm}$ 。图 18 及图 19 分别示出 RTLS-RFID 标签 (芯片) 的照片及框图。

[0233] 在本实施例中, 使用在原理上能够进行长距离通信的 915MHz 的载波, 以尽量发挥 RTLS 功能, 但是本发明不局限于此。

[0234] 注意在本实施例中, 由于难以产生不依赖电压及温度的准确的时钟, 并难以推定信号的到来方向, 所以选择 RSSI (Receive signal strength indicator, 即接收信号强度指示) 系统以实现 RTLS 功能。RSSI 系统是利用电场强度依靠距离的系统。通过具有 A/D 电路作为 RFID 的外围电路 (peripheral), 可以实现距离检测。

[0235] 本实施例的 RTLS-RFID 标签的通信规格部分地符合 Auto-ID Center Class 1 Region 1 (North America)。另外, 为了高精度地测定位置, 利用四种 A/D 电路中的灵敏度分布及耗电量差异。本实施例的 RTLS-RFID 标签包括含电源电路、解调电路、调制电路的 RF 电路、时钟生成器、RF 接口及 AD 接口、四种 A/D 电路等。时钟生成器采用数字控制, 以产生与 TFT 的差异无关且具有稳定频率的时钟信号。RF 接口具有将作为串行信号的接收信号并行转换、奇偶校验、数据顺序改变等的功能。

[0236] 在本实施例中, 考虑到由于通信距离或 A/D 转换的小电力的电力变化, 从而使用体系结构不相同的以下四种 A/D 电路。环形振荡器 A/D (R. O. A/D) 具有 10 位分辨率, 并利用振荡频率根据电压值而变化的特性。使用根据接收电力强度而变化的输入电压和基准电压作为电源电压使各环形振荡器振荡, 对环形振荡器的摇摆数 (the numbers of toggles) 进行计数并互相来比较。逐次逼近型 A/D (SAR A/D) 具有 8 位分辨率, 并含比较器、DAC、SAR

以及逻辑控制部构成。DAC通过电阻和基准电压的组合而输出电压,并得到对这些步阶加权所得的总计,其中每个步阶中进行1位转换。多斜率积分A/D具有9位分辨率,并含模拟积分器、比较器、以及计数器。输入电压在电容器中充电一定时间段,并被积分。然后,对计数器进行复位,在通过放电而执行反积分的期间中计数器工作。 $\Sigma \Delta$ A/D具有10位分辨率,并含累积加法器(Σ)、差分器(Δ)。虽然一般进行高速时钟的过取样,但是在本实施例的电路中输入电压变动较小,因此以低速时钟进行1000次的取样。

[0237] 图20及图21示出本实施例的RTLS-RFID标签的无线测量的结果。通过使用频谱分析仪接收来自RTLS-RFID标签的响应信号,进行测量。图20示出响应信号波形,而图21示出通信距离和输出数字代码的关系。性能目标值对应的通信距离分辨率(5cm/1code)在通信距离11cm至40cm之间被满足。另外,确认到四种A/D电路在实测值上各为2cm/1code或以下的通信距离分辨率,并可得到2至5mm/1code的性能。

[0238] 在本实施例中,将RTLS-RFID标签系统实现为本发明的半导体装置。如上所述,通过使用玻璃衬底上的单晶硅,可以避免晶粒边界的影响,因而整流效率提高。

[0239] 本实施例可以与实施方式1至5适当地组合来实施。

[0240] 实施例2

[0241] 在本实施例中,说明利用形成在玻璃衬底上的单晶硅TFT的CPU作为本发明的半导体装置的一个例子。首先,图22示出玻璃衬底上的单晶硅的晶体取向解析结果(通过EBSP(Electron BackScatterdiffraction Pattern,即背散射电子衍射花样))。可以确认到面内的大致整个区域晶体取向为(100)方向。就是说,可见单晶硅层形成在玻璃衬底上。

[0242] 图23示出分别在下面的现有SOI衬底(Smart-Cut的衬底、以及SIMOX衬底)中的单晶硅、块体硅(c-Si)、以及利用本发明的低温工艺的玻璃衬底上形成的单晶硅(LTSS,即Low Temperature Single crystalSilicon,低温单晶硅)的Raman光谱。利用低温工艺的玻璃衬底上形成的单晶硅具有与块体硅或其他各SOI衬底中的单晶硅大致相同的峰值位置,并具有与块体硅或其他各SOI衬底中的单晶硅同样的半峰全宽。由此可见,玻璃衬底上形成的单晶硅具有与块体硅非常接近的结晶度。

[0243] 图24示出本发明的形成在玻璃衬底上的单晶硅TFT的截面照片。本实施例中的工艺最高温度为600℃。就是说,可以利用现有的低温多晶硅TFT的生产线来在玻璃衬底上制造单晶硅TFT。另外,由于不仅利用CMP处理而且还利用激光束照射来进行平坦化,所以可以不大幅度改变地使用现有的生产线,因此是期望的。根据本发明,可以在大面积玻璃衬底上形成LSI。就是说,可以降低生产的成本,因此适合大量生产。

[0244] 图25和26示出本实施例的TFT(N沟道型TFT和P沟道型TFT)中的VG-ID(栅极电压-漏极电流)曲线、以及VG- μ (栅极电压-迁移率)曲线、TFT特性表。注意,各图中的横轴为VG,而纵轴为ID(左侧)或 μ (右侧)。在各个TFT特性表中,其上段示出各N沟道型TFT的特性,而其下段示出各P沟道型TFT的特性。注意,其特性示出于图25A的各TFT的沟道长度L及沟道宽度W为 $L/W = 50.2 \mu\text{m}/50.2 \mu\text{m}$,而其特性示出于图25B的各TFT的沟道长度L及沟道宽度W为 $L/W = 1.2 \mu\text{m}/20.2 \mu\text{m}$ 。在任一TFT中,栅极绝缘层的厚度为20nm,而单晶硅层的厚度为120nm。根据图25A和25B可知,形成有特性优良的TFT。

[0245] 图26示出各使用本实施例的TFT而形成的电容TEG的栅极耐压特性。作为比较例,图上也示出各使用低温多晶硅而形成的电容TEG的栅极耐压特性。注意,在本实施例

中,示出使用 CGS(Continuous GrainSilicon,即连续晶粒硅)作为低温多晶硅的一个例子而制造的各个电容 TEG 的特性。这里,横轴指示栅极电压 (VG),而纵轴指示流过栅电极的电流 (IG)。由于流过栅电极的电流与流过栅极绝缘膜的电流大致相同或者相同,所以根据图 26 可知栅极绝缘膜的抗击穿电压特性。根据图 26 可知,本发明的 TFT 中的栅极绝缘膜的抗击穿电压比低温多晶硅高。这一点暗示着本实施例的单晶硅表面的凹凸充分地减少。

[0246] 图 27 示出利用本实施例的 TFT 而形成的 9 级环形振荡器的波形。图 28 示出在本实施例中制造的 CPU 的照片。该 CPU 包括 SRAM、ALU、控制电路等。

[0247] 图 29A 是使用 CGS 而制造的 CPU 的 shmoo 图,而图 29B 是使用本实施例中的单晶硅而制造的 CPU 的 shmoo 图。这里,横轴指示工作频率,而纵轴指示电源电压。为了进行比较,它们都使用相同的掩模图案而制造。根据图 29A 和 29B 可知,使用本实施例中的单晶硅而制造的 CPU 的工作频率比使用 CGS 而制造的 CPU 高。

[0248] 本实施例可以与实施方式 1 至 5、实施例 1 适当地组合来实施。

[0249] 实施例 3

[0250] 在本实施例中,测量根据实施方式 1 的 SOI 衬底的表面凹凸。注意,使用以 (100) 面为主表面的单晶硅衬底作为半导体衬底。在本实施例中,测量使用波长 308nm、脉冲宽度 25nsec、以及重复频率 30Hz 的 XeCl 受激准分子激光器提高了平坦性的单晶硅层的表面凹凸。

[0251] 可以分析单晶硅层的表面的平坦性及其结晶度,例如这可以通过利用光学显微镜、原子力显微镜 (AFM;Atomic Force Microscope) 或扫描电子显微镜 (SEM;Scanning Electron Microscope) 的观察、背散射电子衍射花样 (EBSP;Electron Back Scatter Diffraction Pattern) 的观察、Raman 光谱测定等。

[0252] 在本实施例中,示出利用 AFM 的观察结果。图 30A 和 30B 是利用 AFM 观察本发明的单晶硅层而得到的平面及截面的轮廓的一个例子。图 30A 是表面的观察图像,而图 30B 是截面的轮廓。基于图 30A 和 30B 等的计算出的表面粗糙度如下:

[0253] • Ra :1.5nm

[0254] • RMS :1.9nm

[0255] • P-V :18.0nm

[0256] 为了确认激光束照射的效果,还对激光束照射之前的 SOI 衬底进行同样的测量。另外,通过改变激光束照射时的气氛,进行同样的测量。将这些测量结果全部示出于表 1。

[0257] [表 1]

[0258] 照射激光束之前的硅层的 Ra 为大于或等于 7nm,RMS 为大于或等于 11nm,这些数值接近于利用受激准分子激光器使约 60nm 厚的非晶硅结晶化而形成的多晶硅膜的数值。本发明人已经发现:若使用这种多晶硅膜,则实际使用的栅极绝缘层的厚度比多晶硅膜厚。因此,即使硅层的厚度被照射,也难以在硅层表面上形成 10nm 或以下厚的栅极绝缘层,从而难以制造具有被减薄了的单晶硅的特性的晶体管。

[0259] 另一方面,关于照射了激光束的硅层,Ra 减少到 2nm 左右,而 RMS 减少到 2.5nm 至 3nm 左右。因此,通过将具有上述平坦性的硅层减薄,可以制造具有被减薄了的单晶硅层的特性的高性能晶体管。

[0260] 本实施例可以与实施方式 1 至 5、实施例 1、实施例 2 适当地组合来实施。

[0261] 实施例 4

[0262] 在本实施例中,以与实施例 3 不相同的观点调查根据实施方式 1 的 SOI 衬底。具体地说,作为表面凹凸的平滑性评价的组成部分,调查凹部宽度及凸部宽度。所使用的样品与实施例 3 相同,因此省略详细说明。还与实施例 3 同样地利用 AFM 测量样品。

[0263] 在所得到的表面观察图像中,任意选择十个截面(各在水平方向的宽度:10 μ m)来计算出凹部及凸部宽度各平均值。这里,以平均高度计算出凹部及凸部宽度。就是说,将采用 AFM 的截面轮廓和示出平均高度的基准线的交点分别看作各凹部或凸部的端部来测量彼此相邻的交点之间的水平方向的宽度。注意,作为上述平均高度,使用如下区域的全部测量点(512 点 $\times$ 512 点)的高度的平均高度,该区域是包括关于测量的十个截面的 10 μ m $\times$ 10 μ m 的区域。

[0264] 注意,上述 AFM 图像的特别分辨率为 19.5nm(10 μ m/512 点),由于测量中的噪音等影响,存在着凹部或凸部宽度成为上述最小值的情况,但是以这种数据不排除的方式分别计算出凹部宽度的平均值及凸部宽度的平均值。

[0265] 将上述的调查结果示出于表 2。另外,作为比较对象,示出同样地测量多晶硅的表面的结果、以及同样地测量使用所谓的 Smart-Cut 而形成的 SOI 衬底的硅层表面的结果。

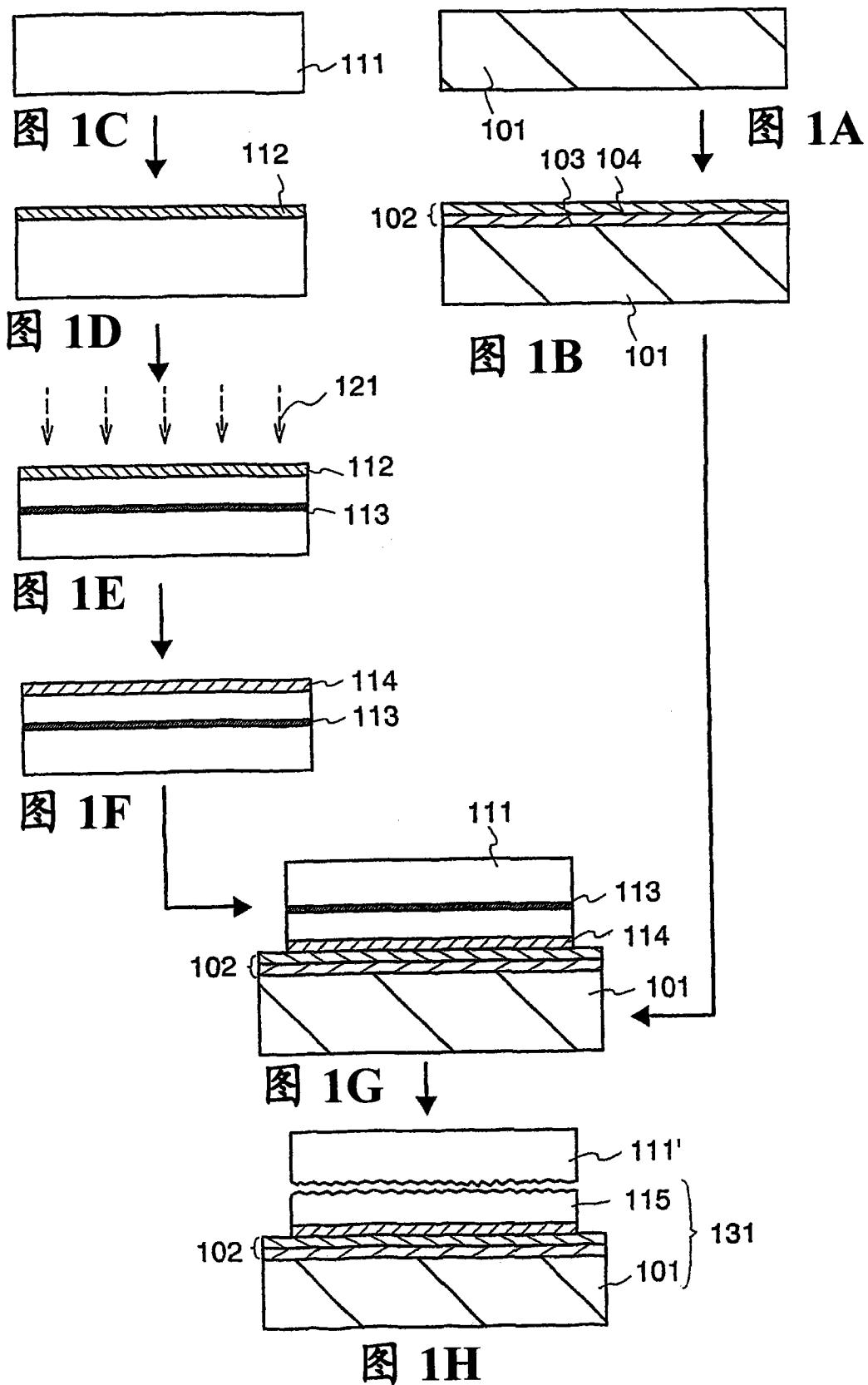
[0266] [表 2]

[0267] 根据上述结果,在根据本实施例的单晶硅中,凹部宽度的平均值为 97.5nm,而凸部宽度的平均值为 99.8nm,从而可以说是凹部宽度和凸部宽度分别在大约 60nm-120nm 的范围内。通过与 Smart-Cut 的硅及多晶硅进行比较,凹部宽度和凸部宽度分别为大于或等于 50nm 且小于或等于 140nm。注意,考虑到 Ra 小到几 nm,则约 100nm 的凹部或凸部宽度是非常大的,这意味着由于激光束照射而表面极为平滑。这是因为在凹凸的曲率小的情况(即,凹凸部分陡峭的情况)下,凹部或凸部宽度变小的缘故。

[0268] 注意,在 Smart-Cut 情况中,凹部平均值或凸部平均值小到 50nm 以下,可以认为是这是因为对表面进行抛光处理使得表面凹凸本身极小的缘故。另一方面,在多晶硅中,凹部及凸部宽度分别大到 140nm 或以上,这是因为表面凹凸本身大,而不是因为表面的平滑度。在上述意义上,表面的平滑度也可以说先表达成将具有高度方向的意义的参数如 Ra 等、以及具有水平方向的意义的参数如凹部或凸部宽度等进行组合。

[0269] 本实施例可以与实施方式 1 至 5、实施例 1 至 3 适当地组合来实施。

[0270] 本说明书根据 2007 年 9 月 14 日在日本专利局受理的日本专利申请编号 2007-240219 而制作,所述申请内容全部包括在本说明书中。



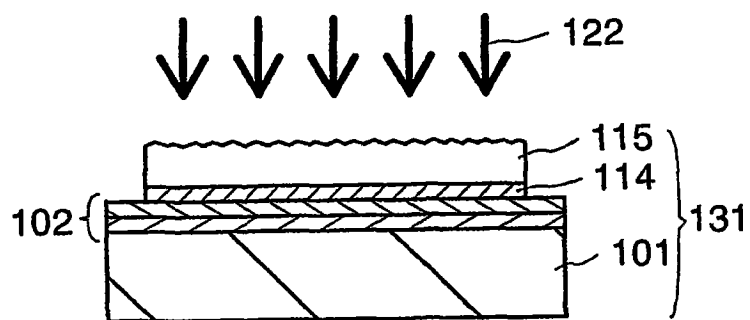


图 2A

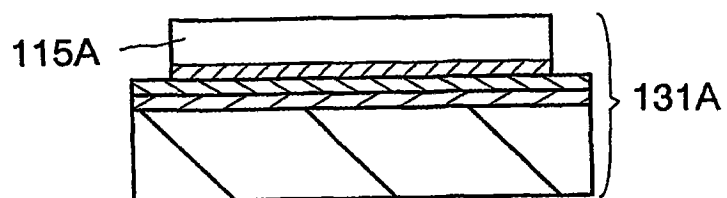


图 2B

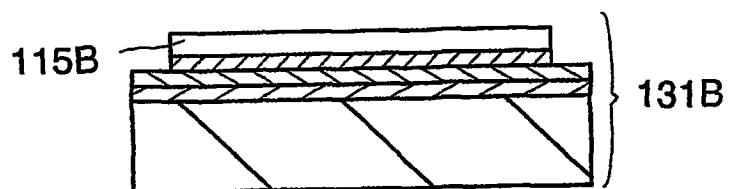


图 2C

图 3B



图 3A

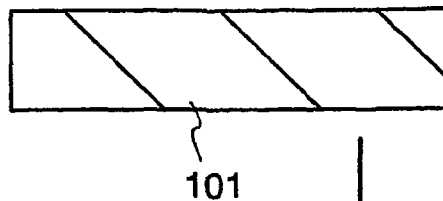


图 3C

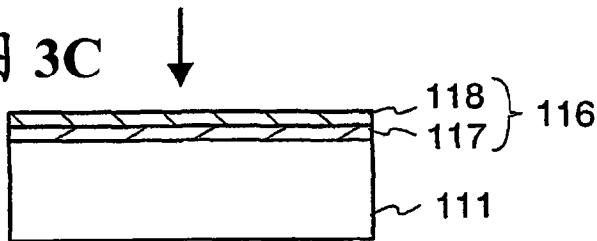


图 3D

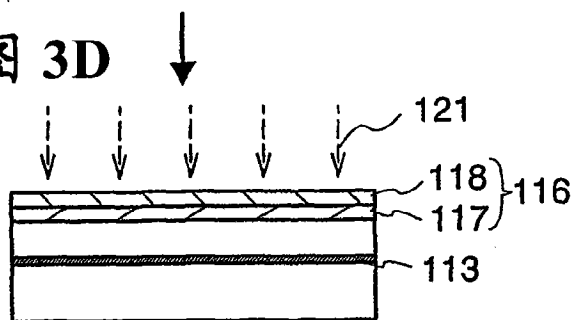


图 3E

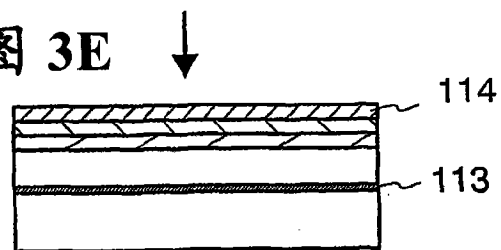


图 3F

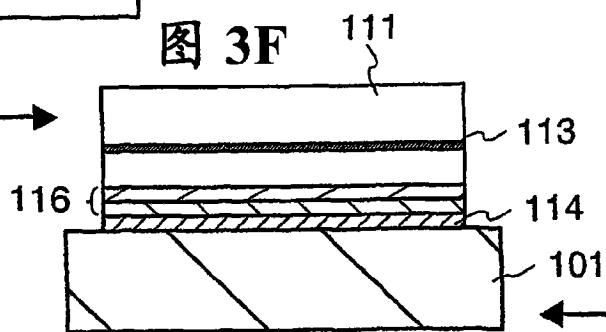
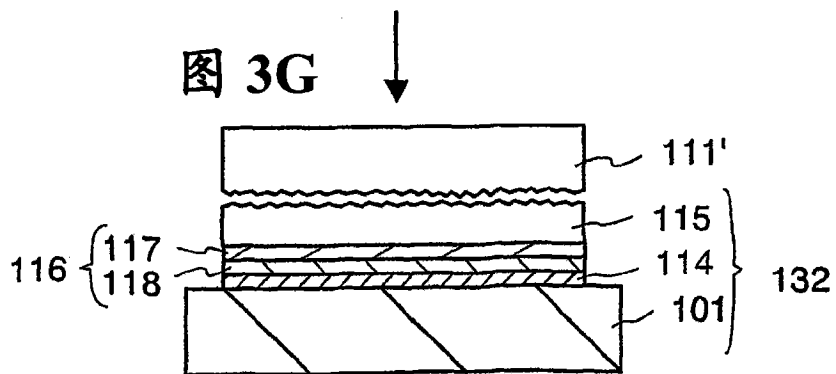


图 3G



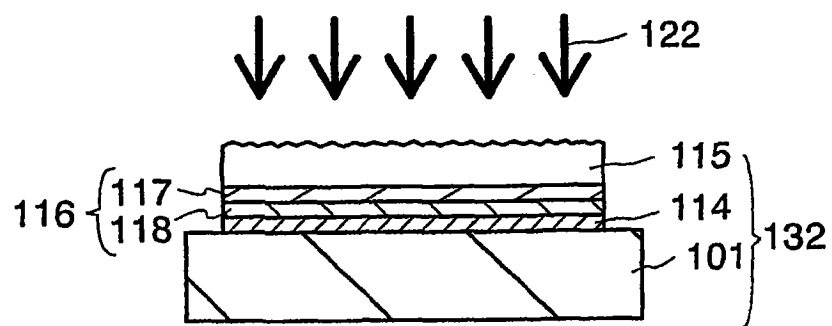


图 4A

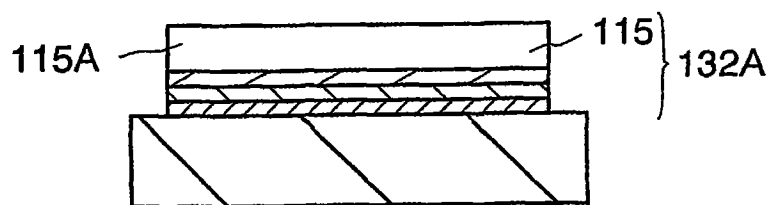


图 4B

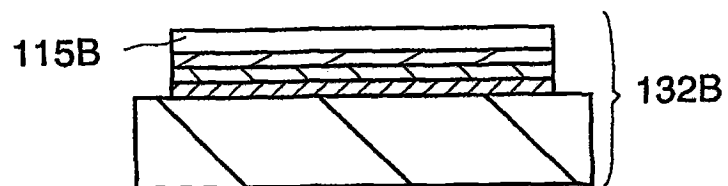
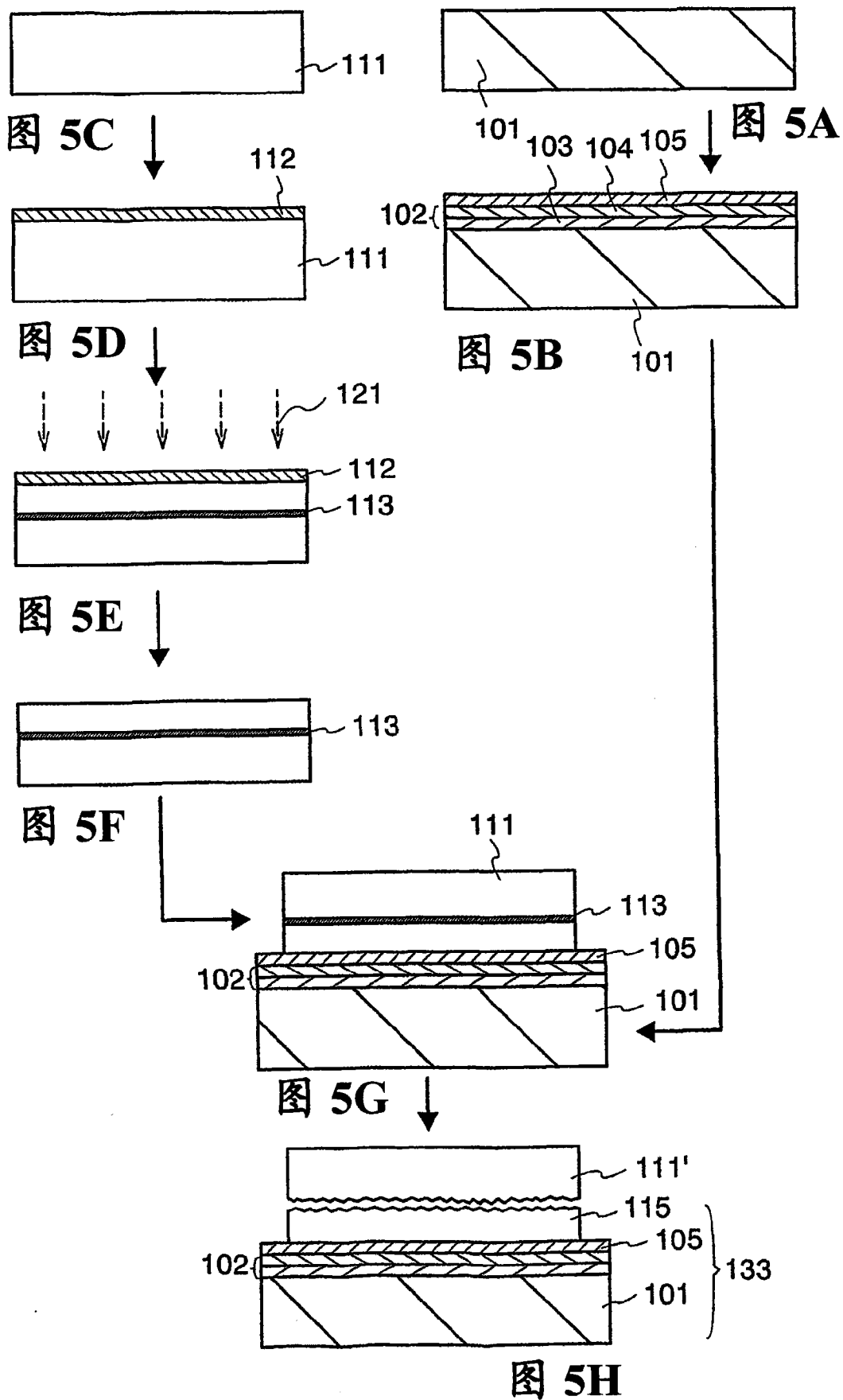


图 4C



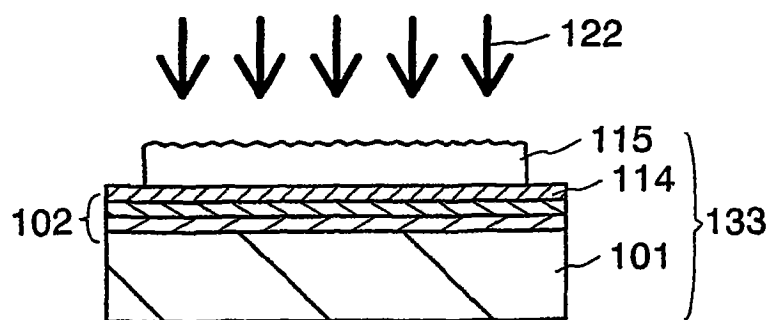


图 6A

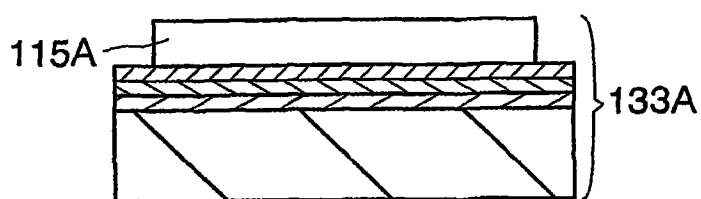


图 6B

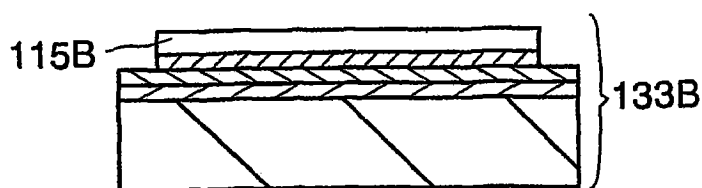


图 6C

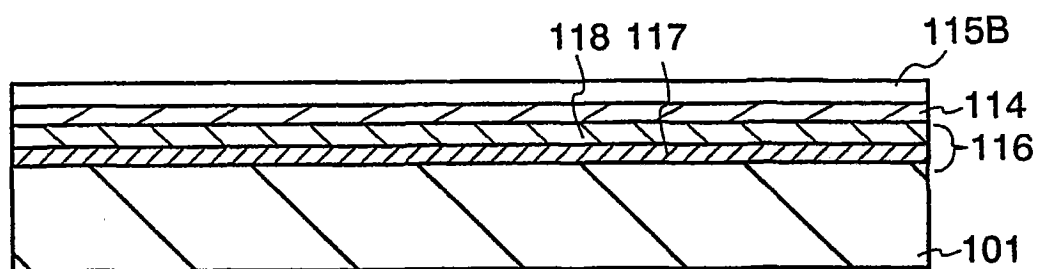


图 7A

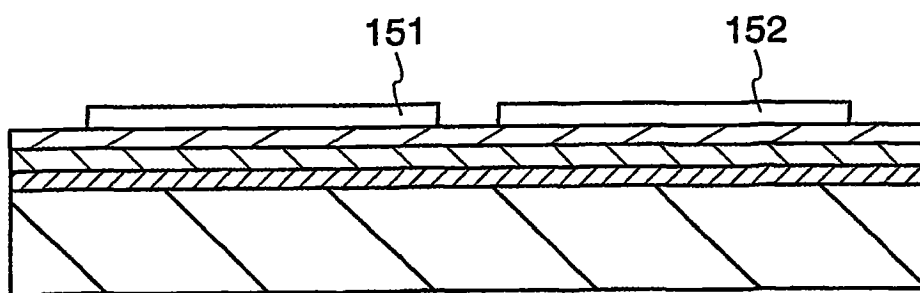


图 7B

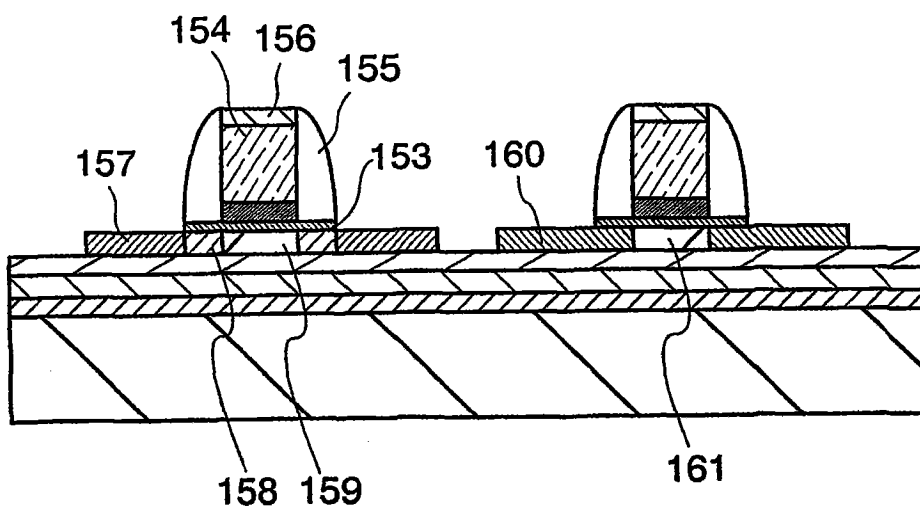


图 7C

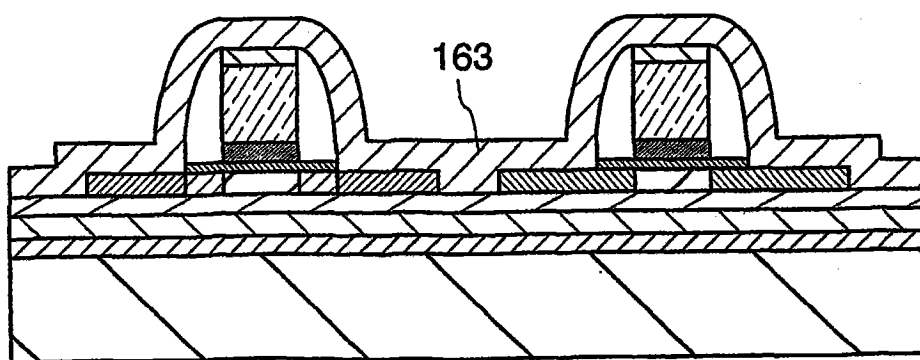


图 7D

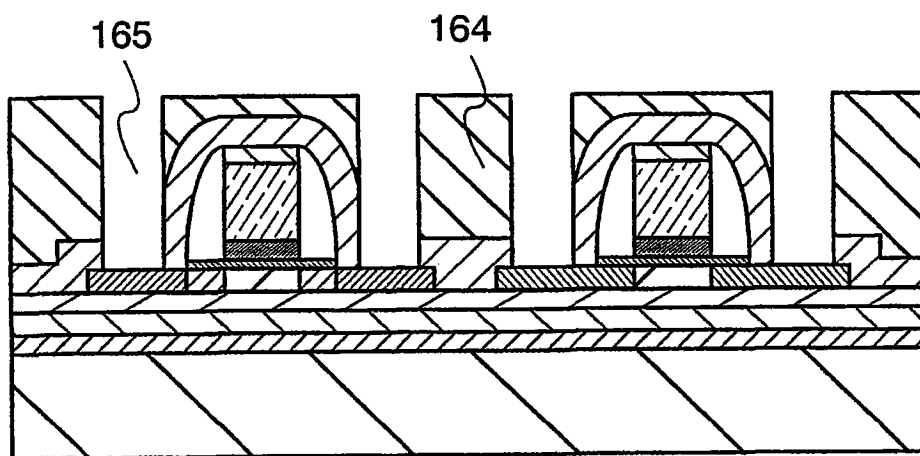


图 8A

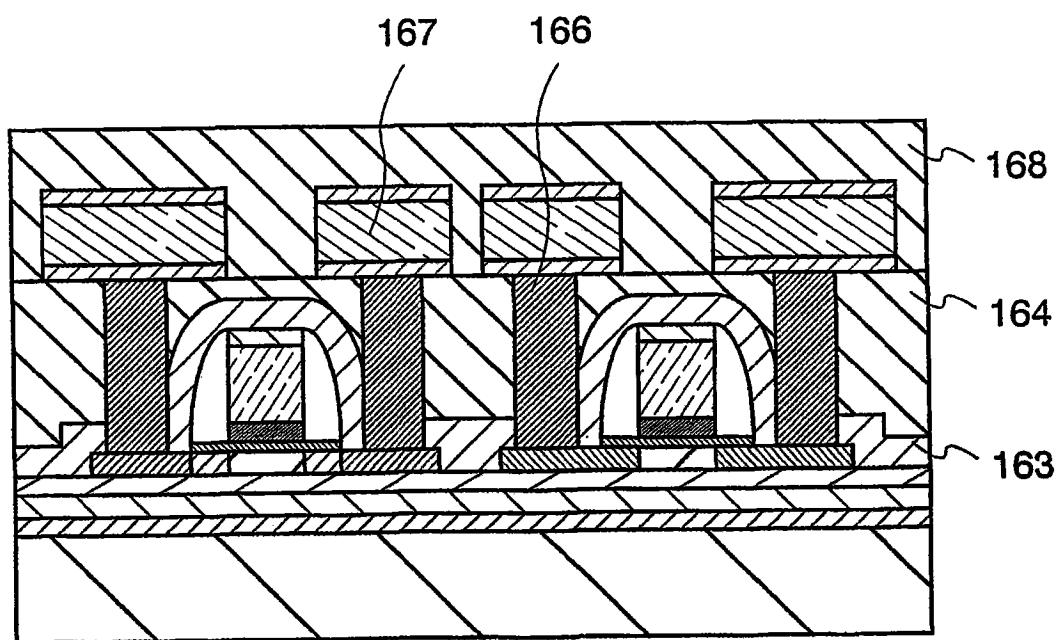


图 8B

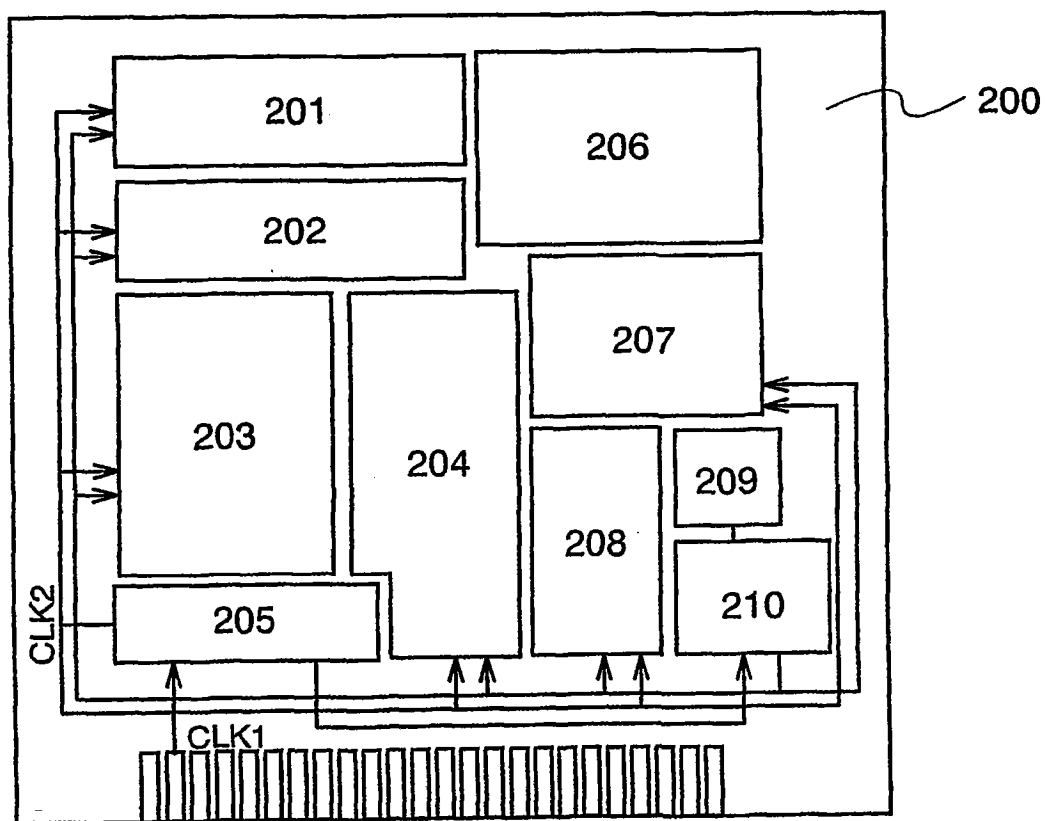


图 9

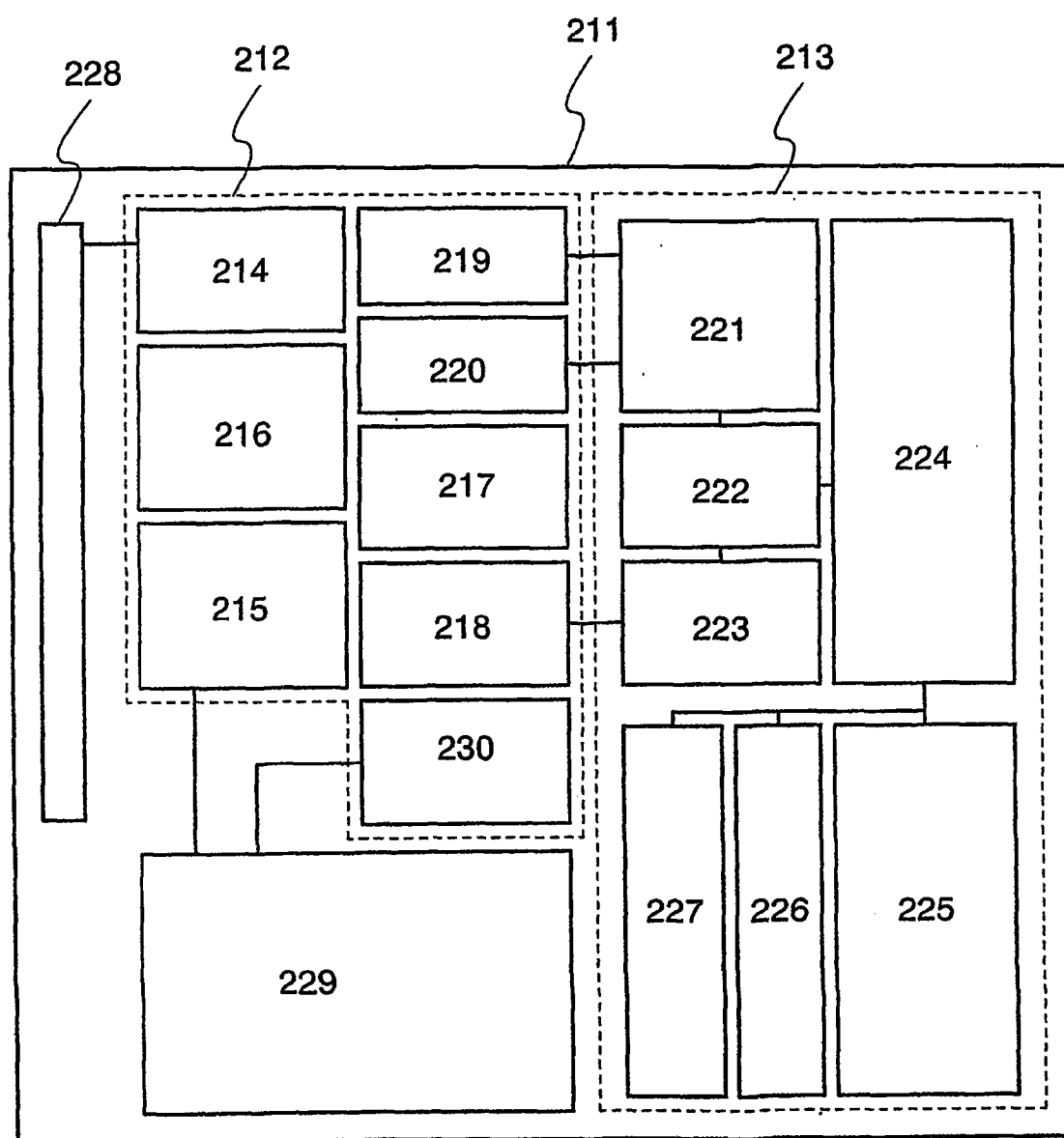


图 10

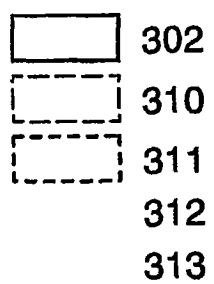
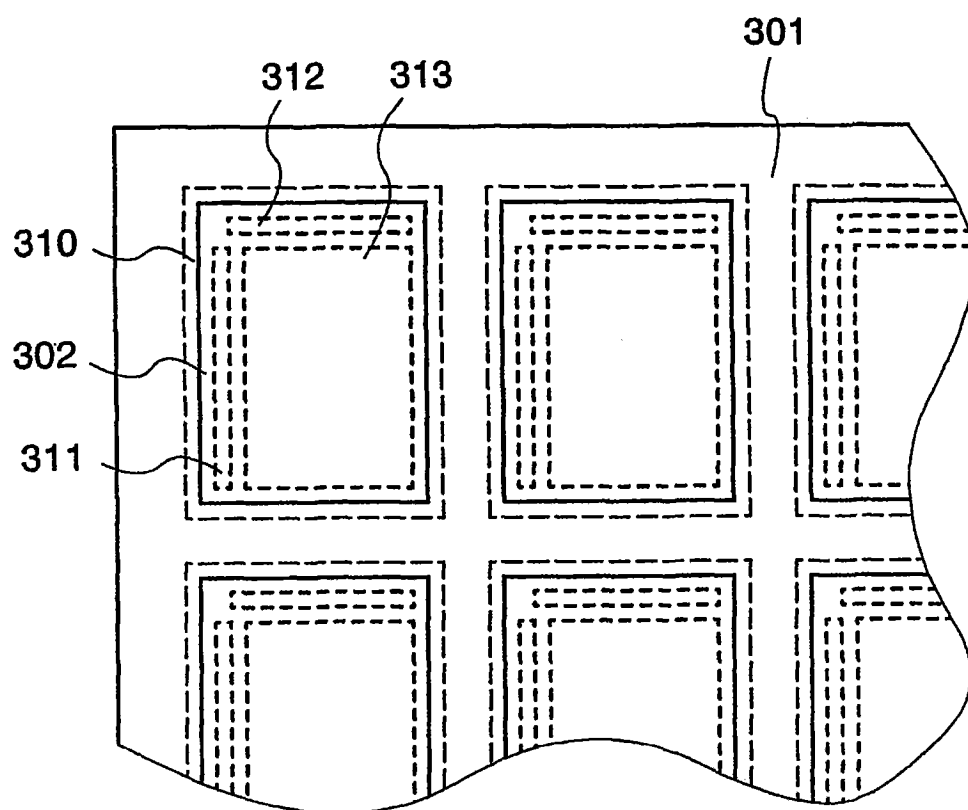


图 11

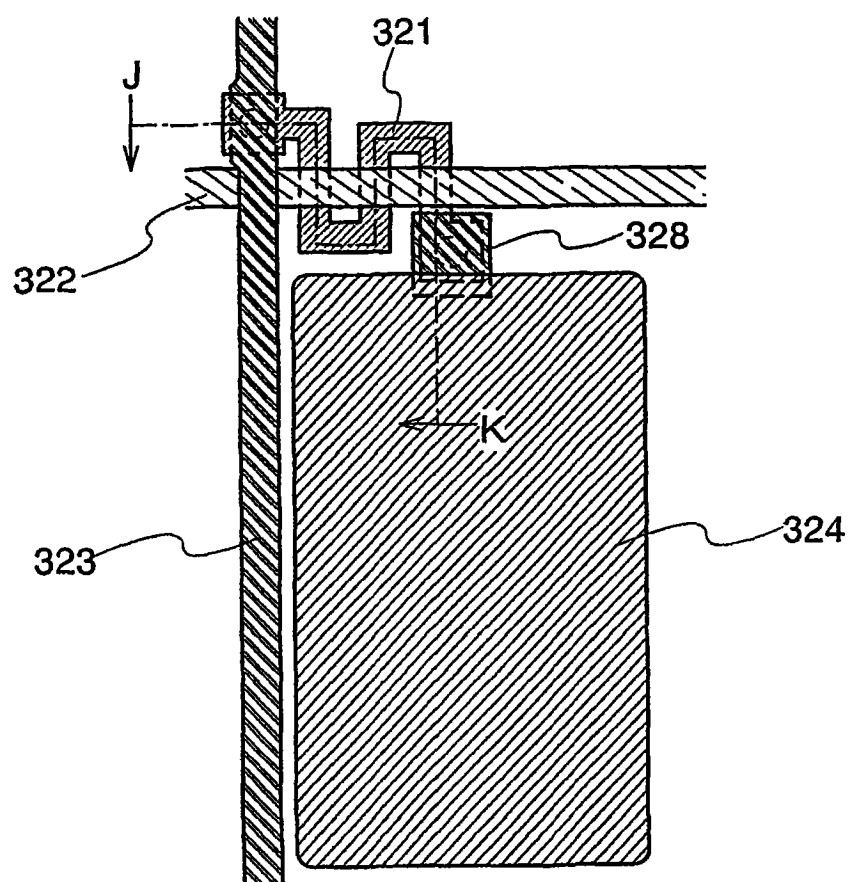


图 12A

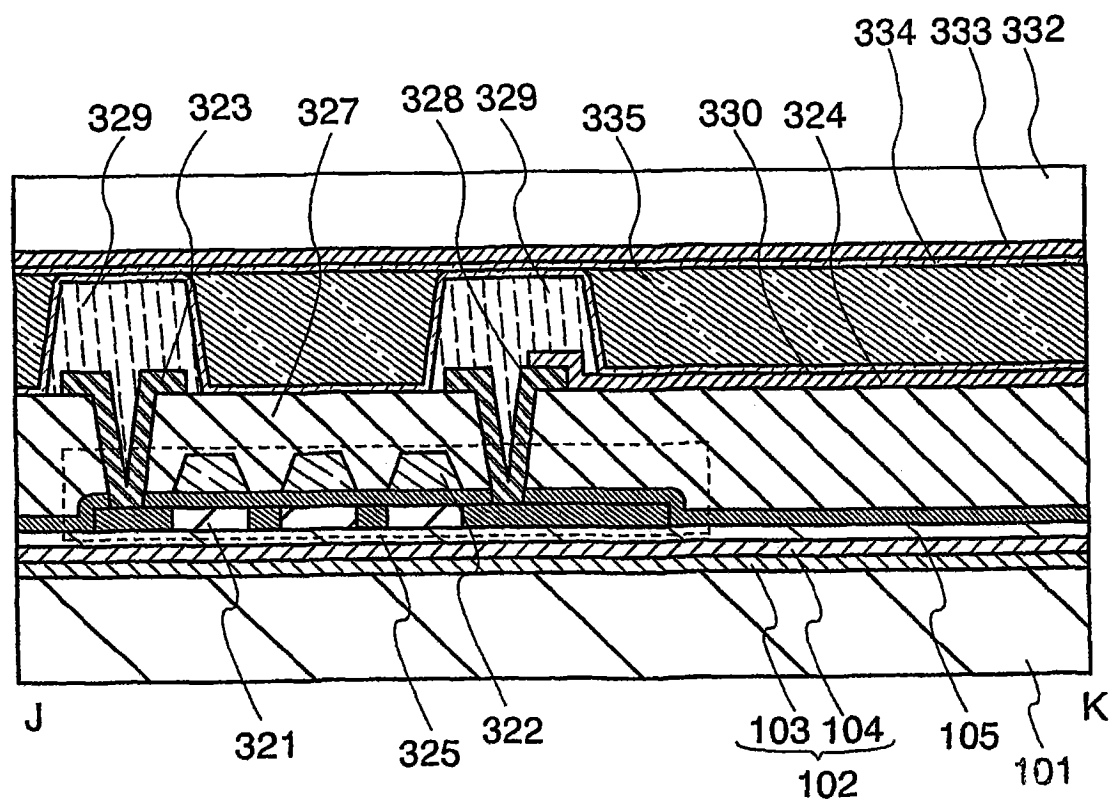


图 12B

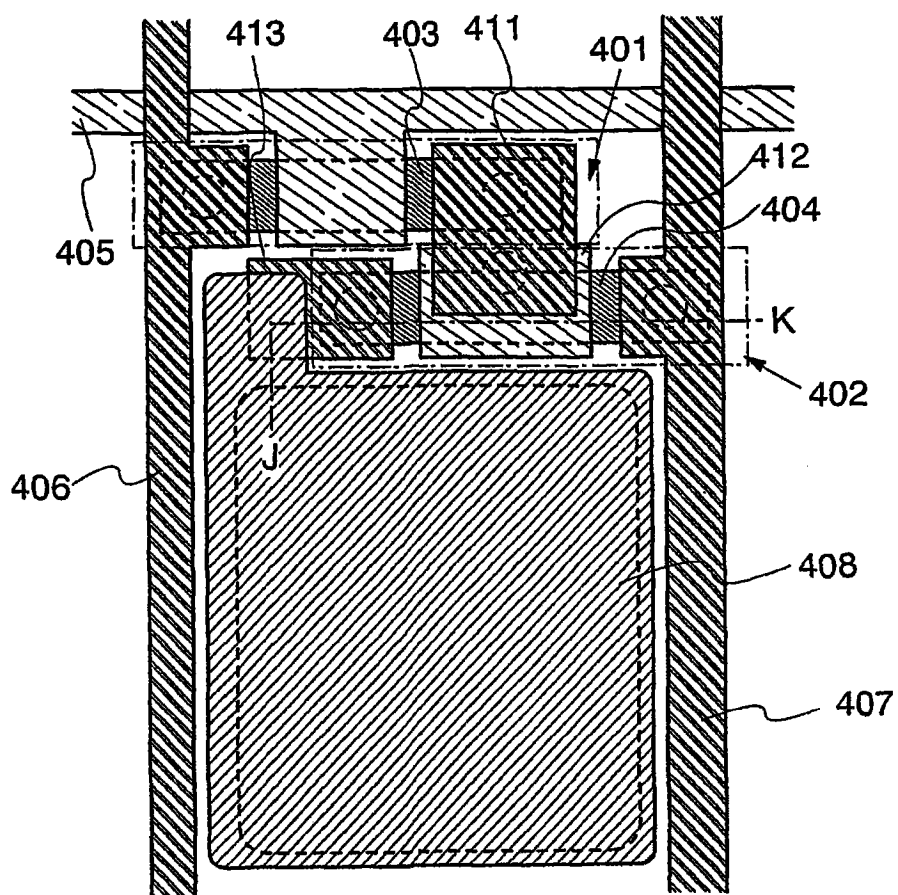


图 13A

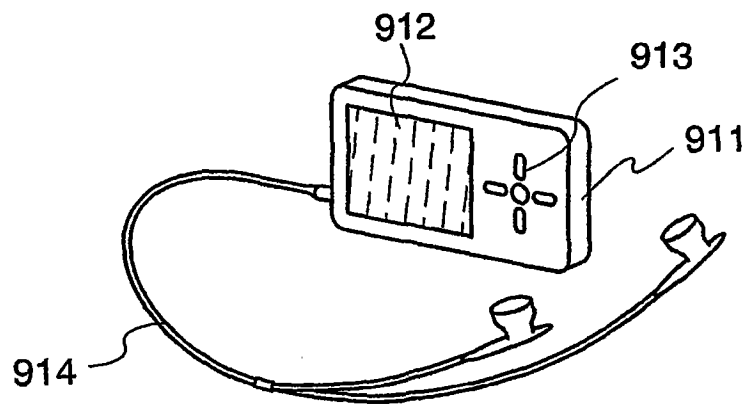


图 14B

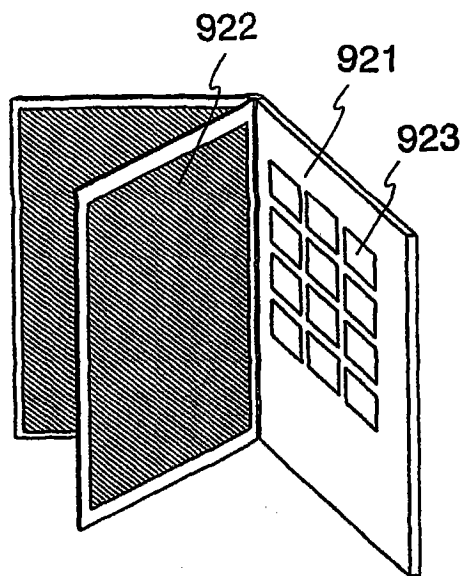


图 14C

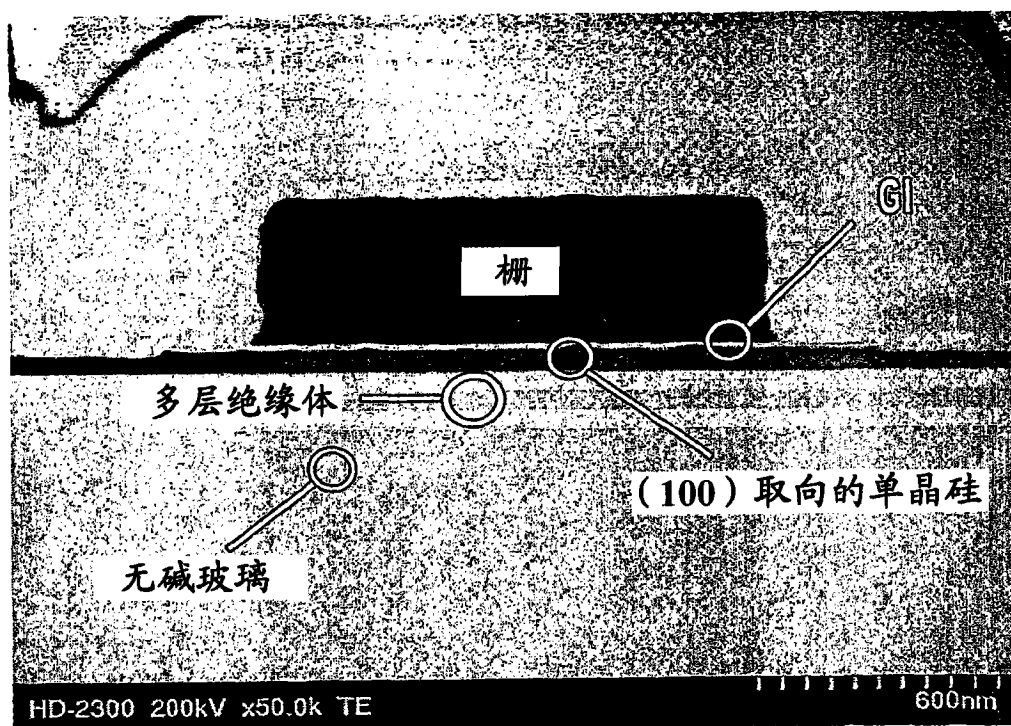


图 15

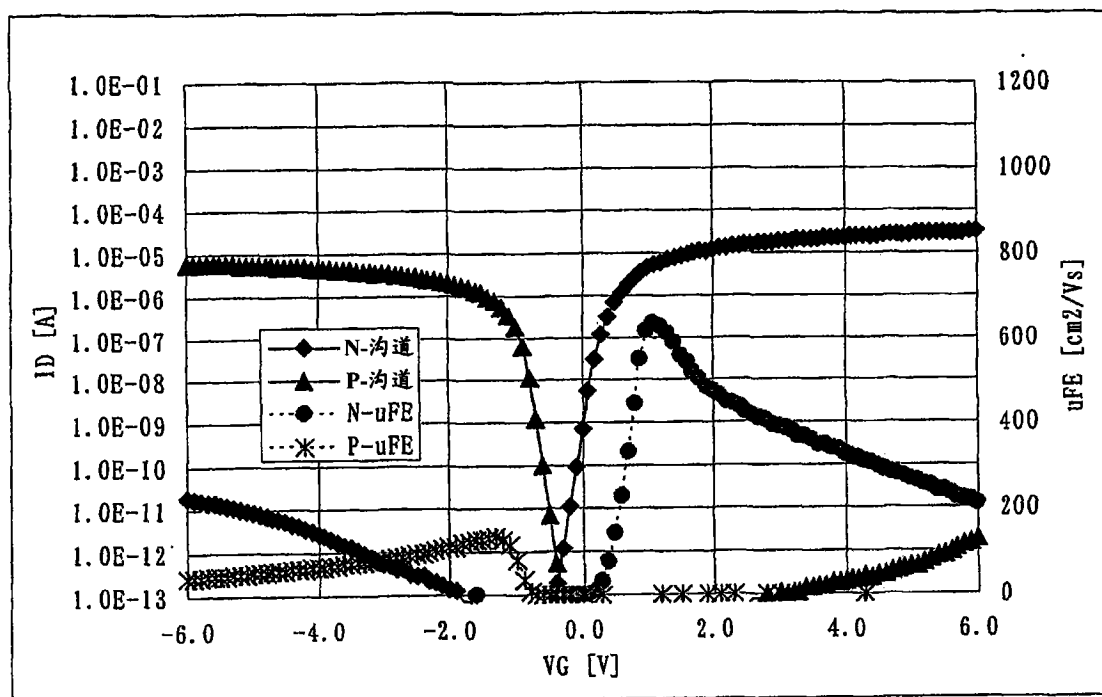


图 16

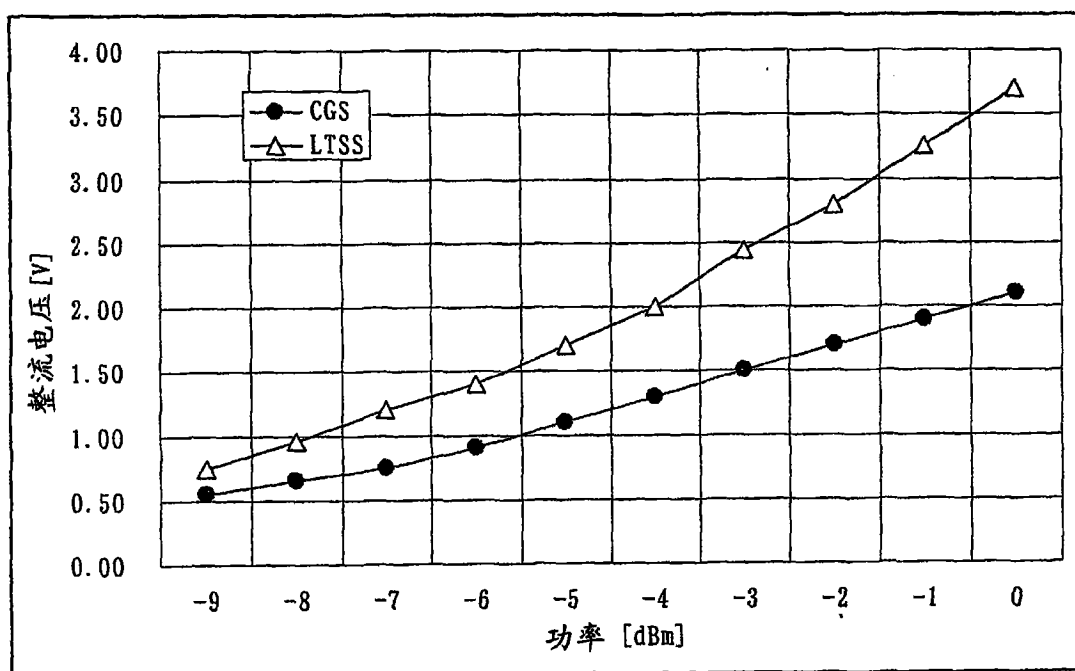


图 17

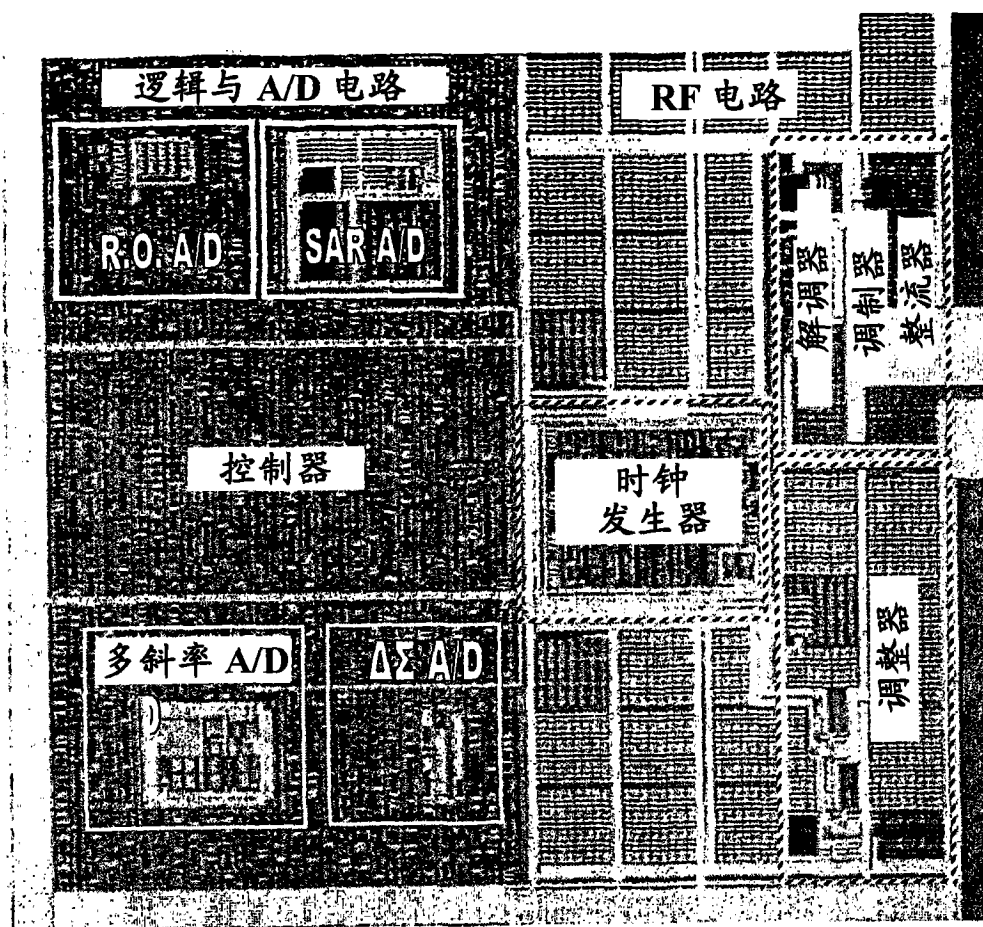


图 18

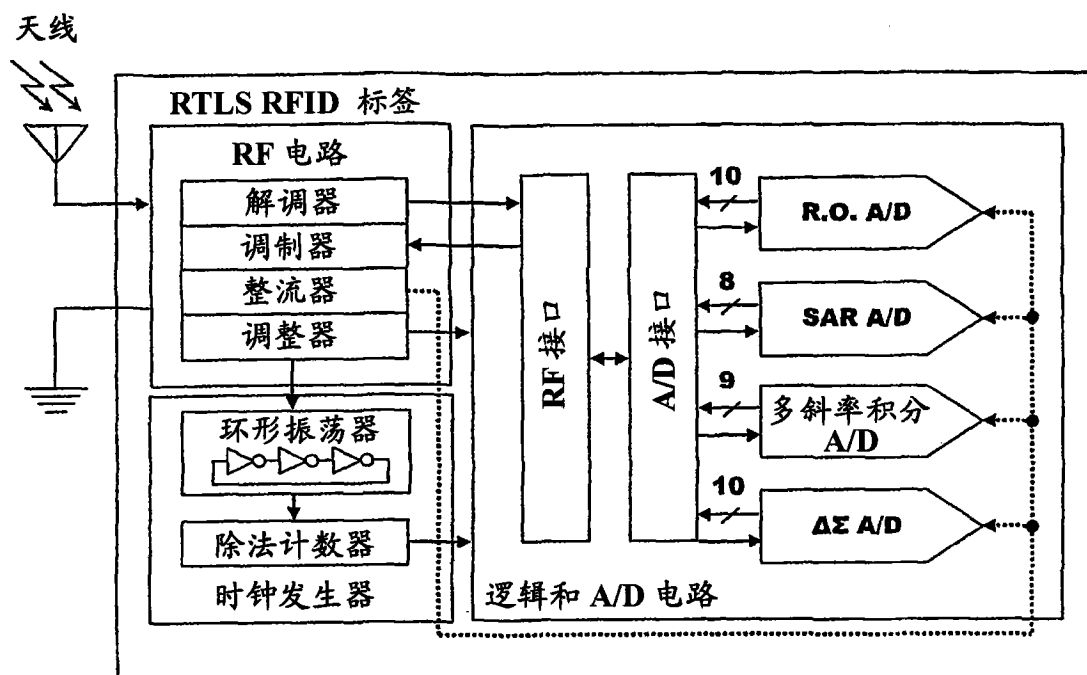


图 19

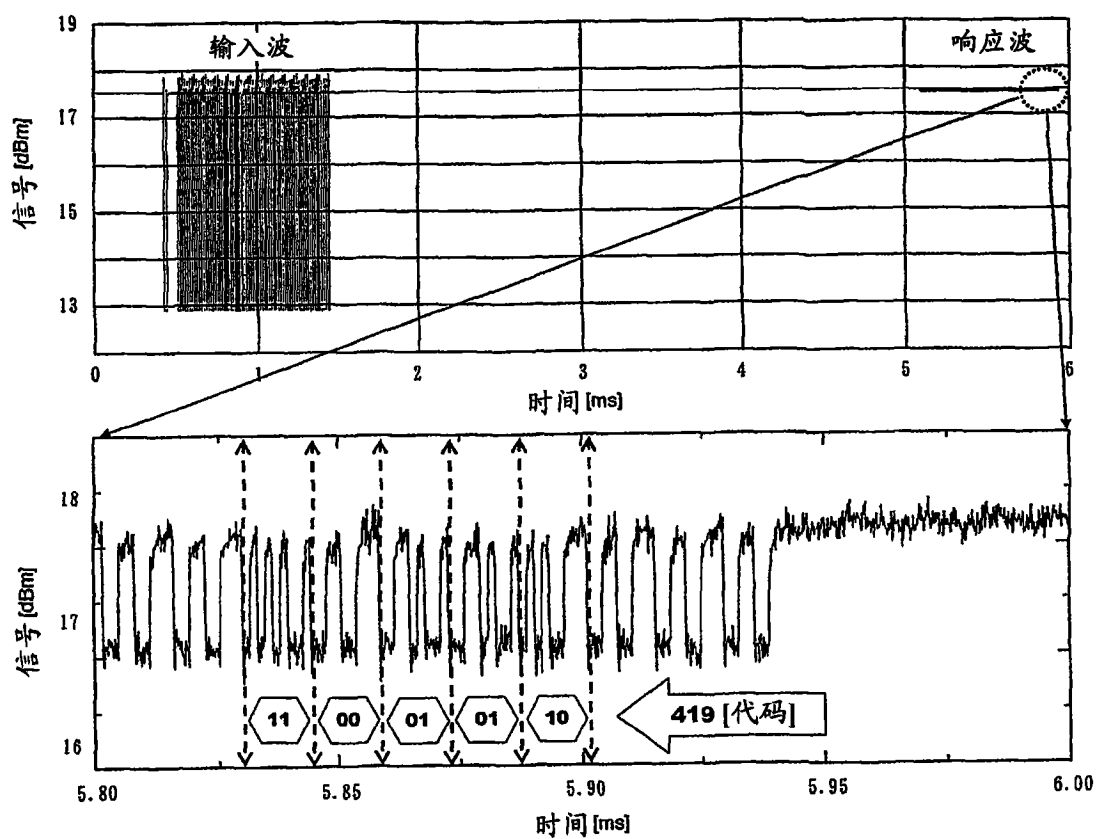


图 20

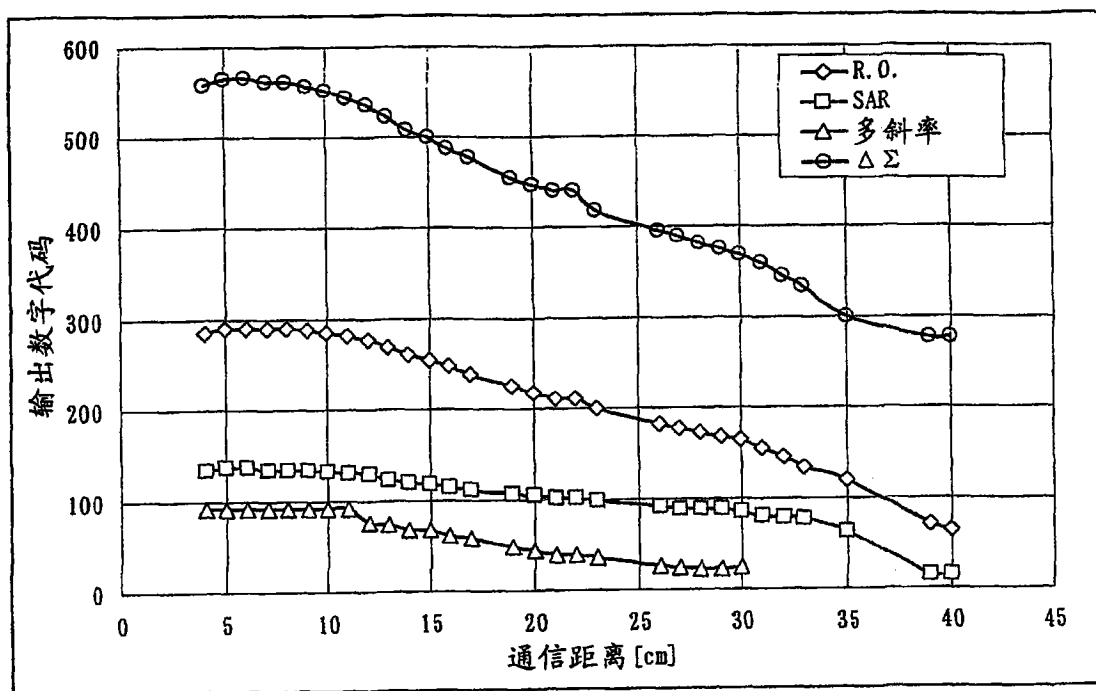


图 21

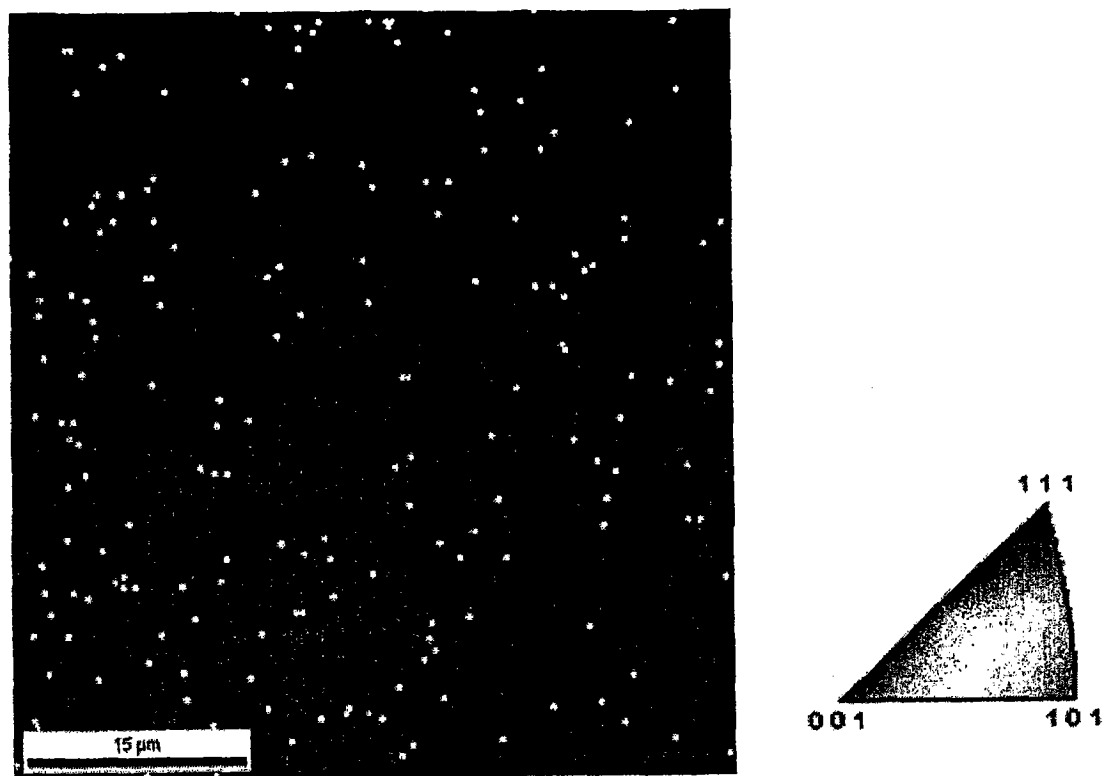


图 22

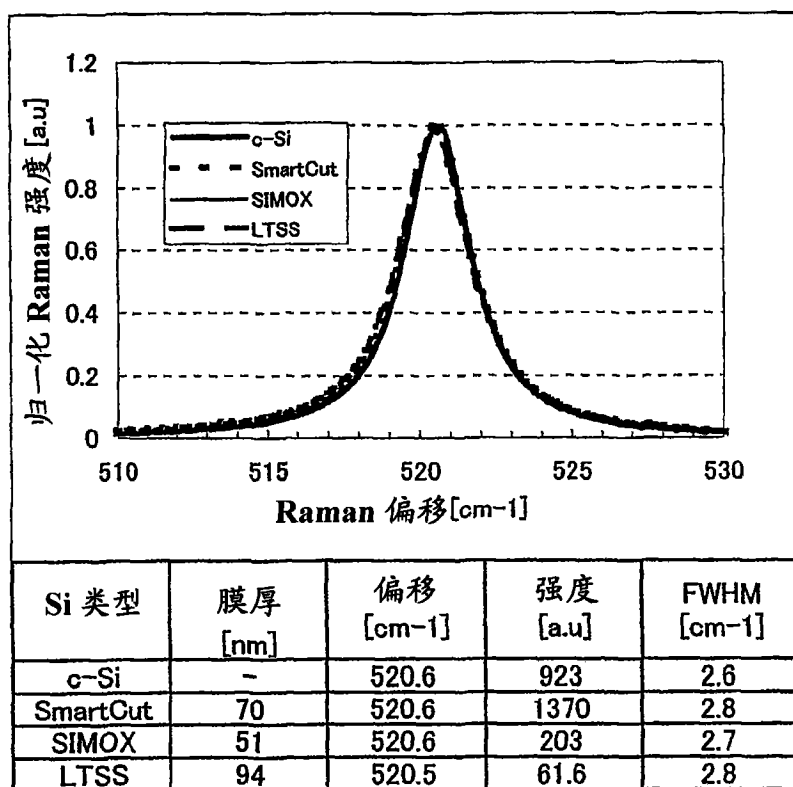


图 23

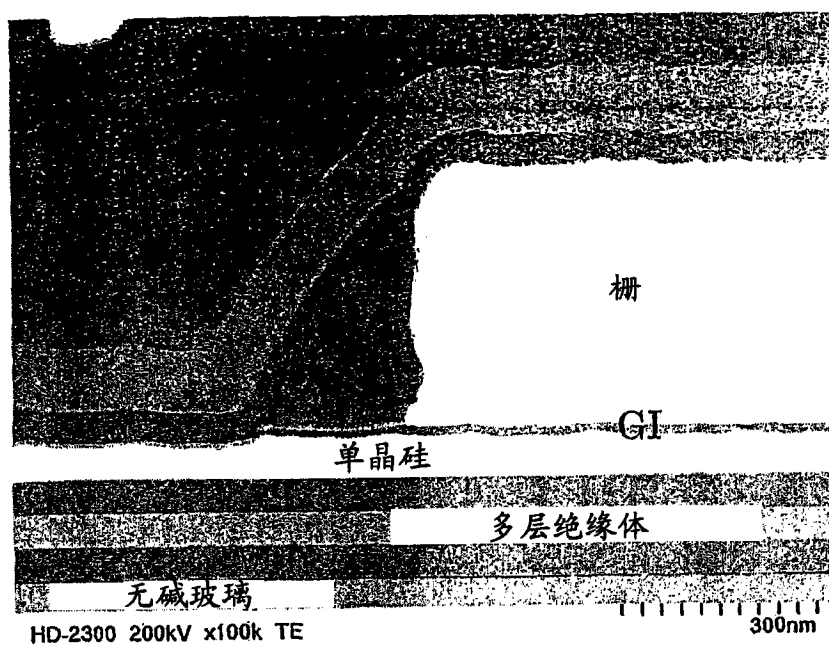


图 24

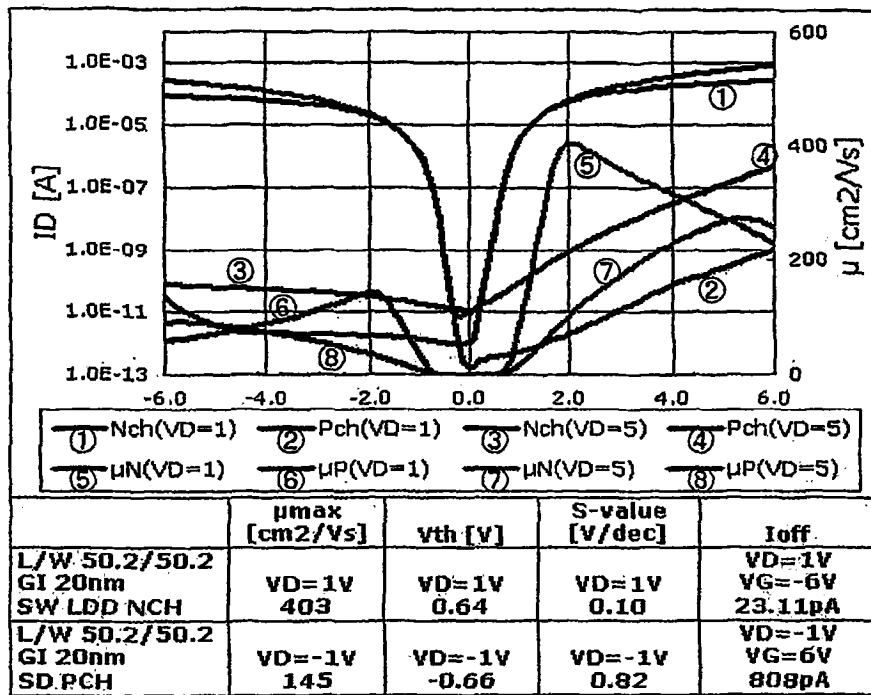


图 25A

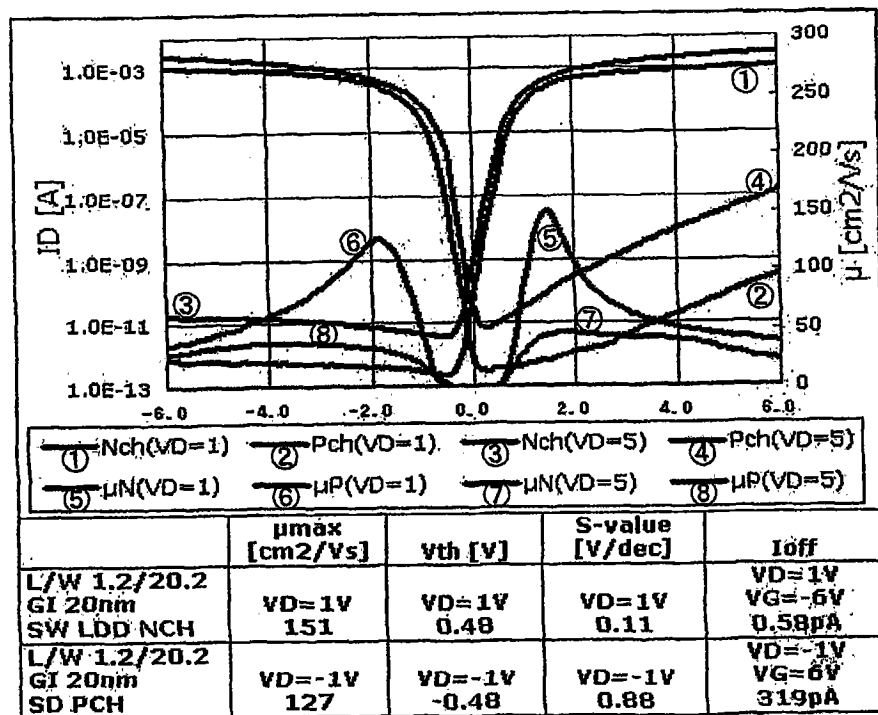


图 25B

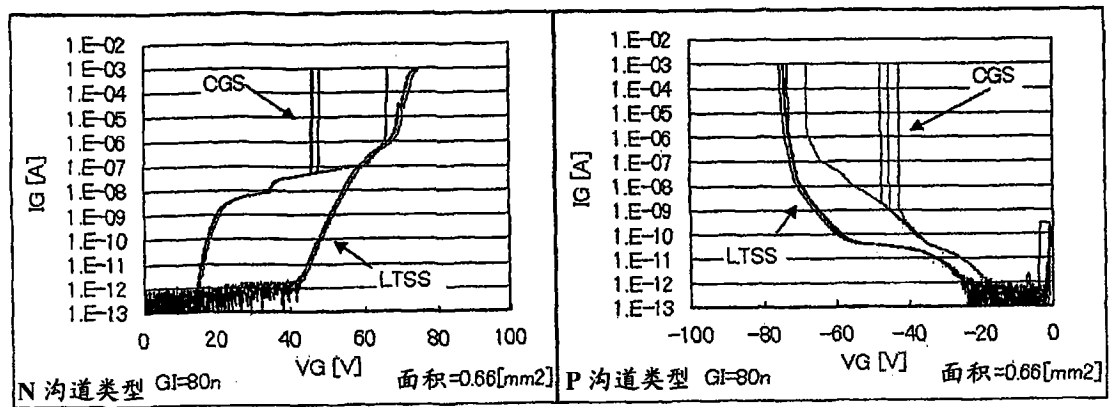


图 26

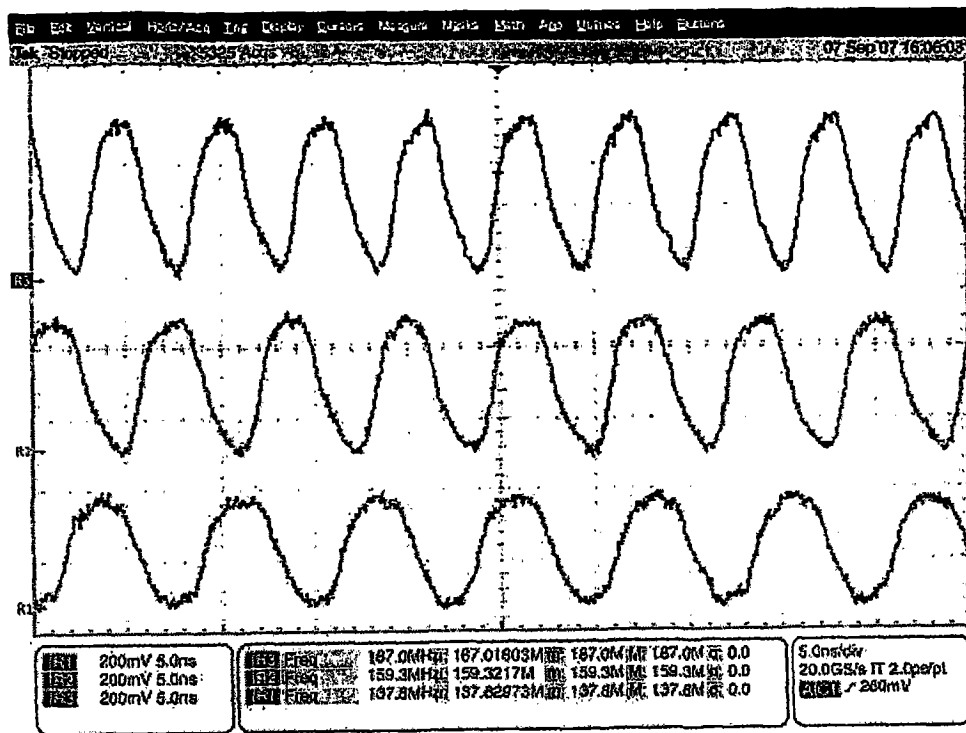


图 27

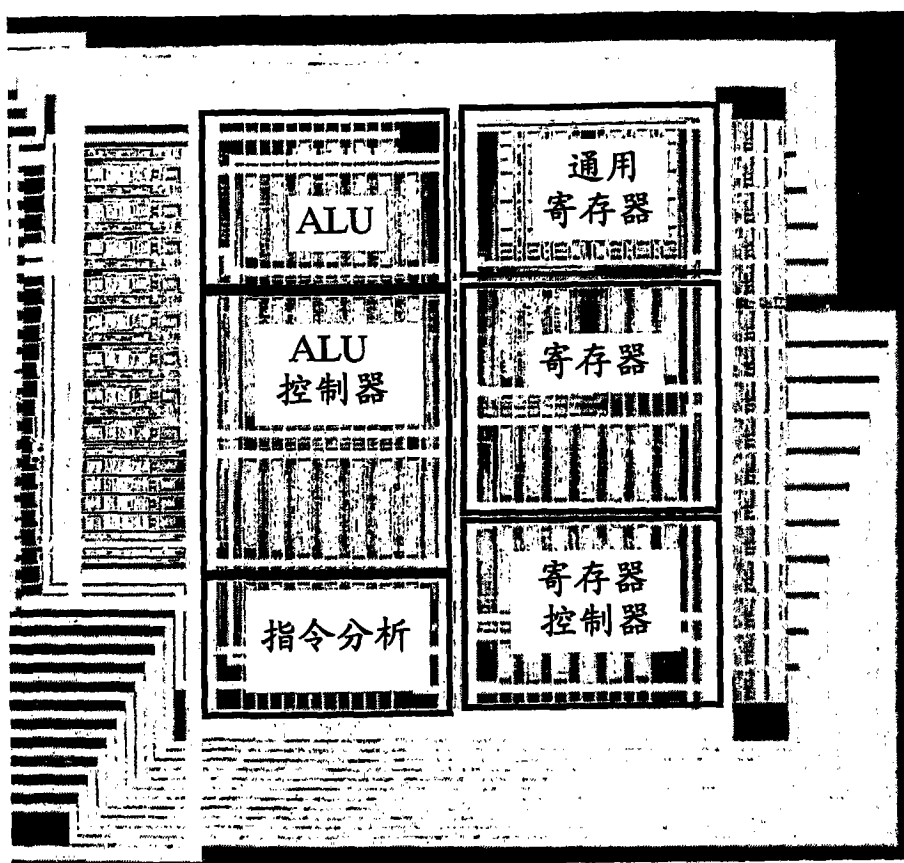


图 28

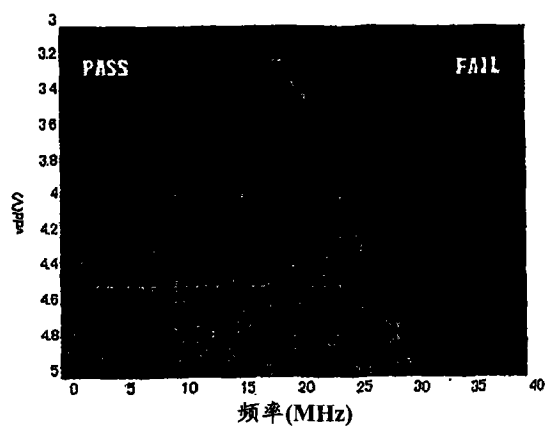


图 29A

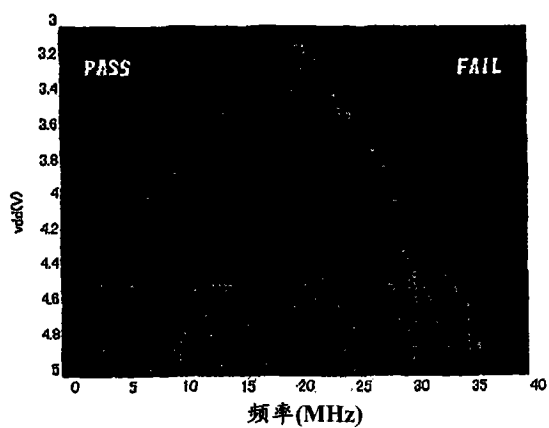


图 29B

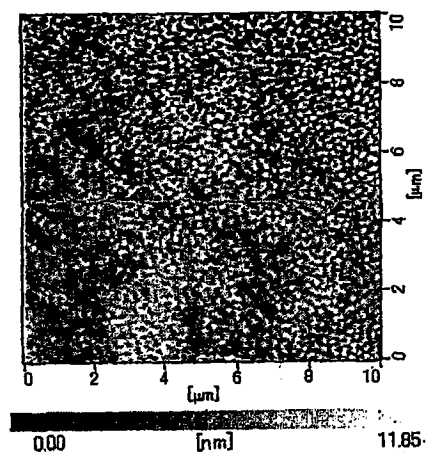


图 30A

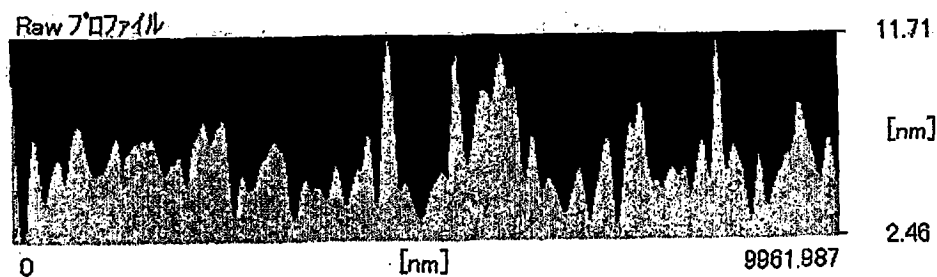


图 30B

[符号说明]

101 基底衬底	118 氮氧化硅膜
102 绝缘层	121 离子束
103 氮氧化硅膜	122 激光束
104 氧氮化硅膜	131 SOI 衬底
105 接合层	132 SOI 衬底
111 半导体衬底	133 SOI 衬底
112 保护膜	151 半导体层
113 脆化层	152 半导体层
114 接合层	153 栅极绝缘层
115 半导体层	154 栅电极
116 绝缘层	155 侧壁绝缘层
117 氧氮化硅膜	156 氮化硅层
157 高浓度杂质区	200 微处理器
158 低浓度杂质区	201 算术逻辑单元

- | | |
|--------------------|-----------------|
| 159 沟道形成区 | 202 ALU 控制器 |
| 160 高浓度杂质区 | 203 指令译码器 |
| 163 绝缘层 | 204 中断控制器 |
| 164 层间绝缘层 | 205 时序控制器 |
| 165 接触孔 | 206 寄存器 |
| 166 接触插头 | 207 寄存器控制器 |
| 167 布线 | 208 总线接口 |
| 168 层间绝缘膜 | 209 只读存储器 (ROM) |
| 210 存储器接口 (ROMI/F) | 218 振荡电路 |
| 211 RFCPU | 219 解调电路 |
| 212 模拟电路部 | 220 调制电路 |
| 213 数字电路部 | 221 RF 接口 |
| 214 谐振电路 | 222 控制寄存器 |
| 215 整流电路 | 223 时钟控制器 |
| 216 恒压电路 | 224 CPU 接口 |
| 217 复位电路 | 225 中央处理单元 |
| 226 随机存取存储器 | 313 像素形成区 |
| 227 只读存储器 | 321 半导体层 |
| 228 天线 | 322 扫描线 |
| 229 电容部 | 323 信号线 |
| 230 电源管理电路 | 324 像素电极 |
| 301 母体玻璃 | 325 TFT |
| 302 半导体层 | 327 层间绝缘膜 |
| 310 显示面板形成区 | 328 电极 |
| 311 扫描线驱动电路形成区 | 329 柱状间隔物 |
| 312 信号线驱动电路形成区 | 330 取向膜 |
| 332 相对衬底 | 407 电流供应线 |
| 333 相对电极 | 408 像素电极 |
| 334 取向膜 | 411 电极 |
| 335 液晶层 | 412 栅电极 |
| 401 选择用晶体管 | 413 电极 |
| 402 显示控制用晶体管 | 427 层间绝缘膜 |
| 403 半导体层 | 428 隔断层 |
| 404 半导体层 | 429 EL 层 |
| 405 扫描线 | 430 相对电极 |
| 406 信号线 | 431 相对衬底 |

432	树脂层	923	操作开关
901	移动电话机	115A	半导体层
902	显示部	115B	半导体层
903	操作开关	131A	SOI 衬底
911	数字播放器	131B	SOI 衬底
912	显示部	132A	SOI 衬底
913	操作部	132B	SOI 衬底
914	耳机	133A	SOI 衬底
921	电子书	133B	SOI 衬底
922	显示部		