

EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, IT, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

- (84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

- 国際調査報告 (条約第21条(3))

with first pads disposed on the surfaces of the wiring regions, the first pads being joined to each other during the bonding. At least one of the two semiconductor chips is further provided with a second pad disposed in the wiring region thereof and having a protrusion formed to face the bonded surface. The second pad is configured to have a size different from a size of the first pad.

(57) 要約: 複数の半導体チップが貼り合わされて構成される撮像素子の破損を防止する。撮像素子は、半導体基板および配線領域を備えて互いに貼り合わされる複数の半導体チップを具備する。その複数の半導体チップのうちの1つの半導体チップは、入射光の光電変換を行う光電変換部が配置される。その複数の半導体チップのうちの2つの半導体チップは、それぞれのその配線領域の表面同士が貼り合わされるとともにその配線領域の表面に配置されてその貼り合わせの際に互いに接合される第1のパッドを備える。その2つの半導体チップの少なくとも1つは、その配線領域に配置されてその貼り合わせの面に向かう凸部が形成される第2のパッドをさらに備える。その第2のパッドは、その第1のパッドとは異なるサイズに構成される。

明 細 書

発明の名称：撮像素子および撮像素子の製造方法

技術分野

[0001] 本開示は、撮像素子および撮像素子の製造方法に関する。詳しくは、複数の半導体チップが貼り合わされて構成される撮像素子および当該撮像素子の製造方法に関する。

背景技術

[0002] 従来、複数の半導体チップが貼り合わされて小型化された半導体素子を使用されている。このような半導体素子の製造方法としてウェハ同士を貼り合わせて製造する方法が使用されている。これは、W○W (Wafer on Wafer) と称され、個片化前の集積回路が形成された半導体ウェハ同士の貼り合わせを行い、貼り合わされた半導体チップ間の電気的な接続を行った後にダイシングして個片化する製造方法である。ウェハの状態において一括して貼り合わせを行うため、生産性に優れる製造方法である。しかし、このW○Wでは、歩留まりが低下するという問題がある。ウェハに形成された個片化前の半導体チップには、正常に動作しない等の不良チップが一定の比率において発生する。この不良チップを含むウェハ同士が貼り合わされる結果、少なくとも一方の半導体チップが不良チップであった場合に、個片化された半導体素子全体が不良品となる。このため、貼り合わせ工程を経た半導体素子の歩留まりは、単体のウェハにおける歩留まりより低下する。

[0003] このようなW○Wに対して、ウェハに個片化された半導体チップを貼り合わせる製造方法も使用されている。この半導体素子の製造方法は、C○W (Chip on Wafer) と称される。貼り合わせ前の半導体チップおよびウェハのそれぞれの半導体チップ領域の検査を行って良品チップを選別することにより、歩留まりの低下を防ぐことができる。このような半導体素子として、例えば、入射光に基づいて画像信号を生成する画素が配置された半導体チップと画像信号を処理する処理回路が配置された半導体チップとが貼り合わされて

構成された撮像素子が使用されている。複数の半導体チップを貼り合わせて一体化することにより、撮像素子を小型化することができる。この貼り合わせ前の半導体チップに対して電氣的な検査を行うことにより半導体チップを選別し、良品であることが確認された半導体チップを使用して貼り合わせを行う撮像素子が提案されている（例えば、特許文献1参照。）。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2019/087764号

発明の概要

発明が解決しようとする課題

[0005] 上述の従来技術では、検査後の半導体チップの貼り合わせを行う際に、撮像素子が破損するという問題がある。半導体チップの検査は、半導体チップの表面に形成された検査用のパッドの電気信号を検出することにより行われる。電気信号の検出は、検査プローブにより検出することができる。検査プローブには金属製の針が配置されており、この針の先端を検査用パッドに当接することにより、検査プローブが検査用パッドに電氣的に接続される。この際、検査プローブの針は比較的高い針圧において検査用パッドに当接される。検査用パッドの表面の酸化膜等を貫通して検査用パッドとの間の電気抵抗を小さくするためである。この検査プローブの針の当接により、検査用のパッドの表面に起伏を生じる。半導体チップ同士を貼り合わせる際、この起伏の先端により対向する半導体チップが損傷し、撮像素子が破損する場合がある。

[0006] 本開示は、上述した問題点に鑑みてなされたものであり、複数の半導体チップが貼り合わされて構成される撮像素子の破損を防止することを目的としている。

課題を解決するための手段

[0007] 本開示は、上述の問題点を解消するためになされたものであり、その第1

の態様は、半導体基板および配線領域を備えて互いに貼り合わされる複数の半導体チップを具備し、上記複数の半導体チップのうちの1つの半導体チップは、入射光の光電変換を行う光電変換部が配置され、上記複数の半導体チップのうちの2つの半導体チップは、それぞれの上記配線領域の表面同士が貼り合わされるとともに上記配線領域の表面に配置されて上記貼り合わせの際に互いに接合される第1のパッドを備え、当該2つの半導体チップの少なくとも1つは上記配線領域に配置されて上記貼り合わせの面に向かう凸部が形成される第2のパッドをさらに備え、上記第2のパッドは、上記第1のパッドとは異なるサイズに構成される撮像素子である。

[0008] また、この第1の態様において、上記第2のパッドは、上記第1のパッドより大きいサイズに構成されてもよい。

[0009] また、この第1の態様において、上記第2のパッドおよび上記貼り合わせの面の間に配置される絶縁膜をさらに備えてもよい。

[0010] また、この第1の態様において、上記絶縁膜は、シリコン化合物からなる絶縁物を有してもよい。

[0011] また、この第1の態様において、上記第2のパッドの表面に配置される保護金属膜をさらに備えてもよい。

[0012] また、この第1の態様において、上記複数の半導体チップのうちの少なくとも1つは、外部の回路と接続するための第3のパッドをさらに備えてもよい。

[0013] また、この第1の態様において、上記第3のパッドは、上記第2のパッドと同層に配置されてもよい。

[0014] また、この第1の態様において、上記第2のパッドは、アルミニウムにより構成されてもよい。

[0015] また、この第1の態様において、上記第2のパッドは、触針による検査により形成された上記凸部を有してもよい。

[0016] また、この第1の態様において、上記第2のパッドは、上記貼り合わせの面側に配置された凹部に上記凸部が形成されてもよい。

- [0017] また、この第1の態様において、上記複数の半導体チップのうちの2つの半導体チップは、相対して配置される上記第2のパッドをそれぞれ備えてもよい。
- [0018] また、この第1の態様において、上記第1のパッドは、銅により構成されてもよい。
- [0019] また、この第1の態様において、上記光電変換部は、上記半導体チップの上記配線領域が配置される面とは異なる面に照射される上記入射光の光電変換を行ってもよい。
- [0020] また、この第1の態様において、上記複数の半導体チップのうちの少なくとも1つは、上記光電変換に基づいて生成される画像信号を処理する処理回路が配置されてもよい。
- [0021] また、この第1の態様において、上記複数の半導体チップのうちの2つの半導体チップは、上記処理回路がそれぞれ配置されるとともに上記貼り合わされてもよい。
- [0022] また、本開示の第2の態様は、半導体基板に入射光の光電変換を行う光電変換部を配置する光電変換部配置工程と、2つの半導体基板にそれぞれ配置された配線領域同士を貼り合わせる際の貼り合わせの面に向かう凸部が形成される第2のパッドを配線領域に配置する第2のパッド配置工程と、上記第2のパッドが配置された配線領域の表面に上記貼り合わせの際に互いに接合されるとともに前記第2のパッドとは異なるサイズの第1のパッドを配置する第1のパッド配置工程と、上記第1のパッドが配置された2つの半導体チップの上記配線領域同士が貼り合わされるとともにそれぞれの上記第1のパッド同士が接合される貼合せ工程とを具備する撮像素子の製造方法である。
- [0023] また、この第2の態様において、上記配置された第2のパッドにより検査を行って当該検査により上記凸部が形成される検査工程をさらに具備し、上記第1のパッド配置工程は、上記検査が行われた第2のパッドが配置された配線領域に上記第1のパッドを配置してもよい。
- [0024] 本開示の態様により、検査パッドの表面に絶縁膜が配置されるという作用

をもたらす。検査後の検査パッドの保護が想定される。

図面の簡単な説明

- [0025] [図1]本開示の実施の形態に係る撮像素子の構成例を示す図である。
- [図2]本開示の実施の形態に係る撮像素子の構成例を示すブロック図である。
- [図3]本開示の第1の実施の形態に係る撮像素子の構成例を示す図である。
- [図4]本開示の第1の実施の形態に係るパッドの構成例を示す図である。
- [図5]本開示の実施の形態に係る検査の一例を示す図である。
- [図6]本開示の第1の実施の形態に係る撮像チップの製造方法の一例を示す図である。
- [図7]本開示の第1の実施の形態に係る撮像チップの製造方法の一例を示す図である。
- [図8]本開示の第1の実施の形態に係る撮像チップの製造方法の一例を示す図である。
- [図9]本開示の第1の実施の形態に係る撮像チップの製造方法の一例を示す図である。
- [図10]本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。
- [図11]本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。
- [図12]本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。
- [図13]本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。
- [図14]本開示の第1の実施の形態に係る撮像素子の他の構成例を示す図である。
- [図15]本開示の第2の実施の形態に係る検査パッドの構成例を示す図である。
- 。
- [図16]本開示の第3の実施の形態に係る撮像素子の構成例を示す図である。

[図17]本開示の第4の実施の形態に係る撮像素子の構成例を示す図である。

[図18]本開示の第4の実施の形態に係る撮像素子の他の構成例を示す図である。

[図19]本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。

発明を実施するための形態

[0026] 次に、図面を参照して、本開示を実施するための形態（以下、実施の形態と称する）を説明する。以下の図面において、同一または類似の部分には同一または類似の符号を付している。また、以下の順序で実施の形態の説明を行う。

1. 第1の実施の形態
2. 第2の実施の形態
3. 第3の実施の形態
4. 第4の実施の形態
5. カメラへの応用例

[0027] <1. 第1の実施の形態>

[撮像素子の外観]

図1は、本開示の実施の形態に係る撮像素子の構成例を示す図である。同図は、撮像素子1の外観を表す図である。同図の撮像素子1は、半導体チップにより構成され、基板20にベアチップ実装される。基板20には、半導体パッケージを構成する基板等が該当し、撮像素子1の信号を伝達するためのパッド21が配置される。撮像素子1は、基板20に接着され、ワイヤボンディングによりパッド21と接続される。具体的には、ボンディングワイヤ30により、撮像素子1に配置されたパッドと基板20のパッド21とが電氣的に接続される。撮像素子1のワイヤボンディングのパッドは、撮像素子1を構成する半導体チップの内層に配置され、撮像素子1の上面に形成された開口部11を介してボンディングワイヤが接続される。なお、撮像素子1の上面には、後述する画素アレイ部50が配置される。

[0028] 〔撮像素子の構成〕

図2は、本開示の実施の形態に係る撮像素子の構成例を示すブロック図である。撮像素子1は、画素アレイ部50と、垂直駆動部60と、カラム信号処理部70と、制御部80とを備える。

[0029] 画素アレイ部50は、画素110が2次元格子状に配置されて構成されたものである。ここで、画素110は、照射された光に応じた画像信号を生成するものである。この画素110は、照射された光に応じた電荷を生成する光電変換部を有する。また画素110は、画素回路をさらに有する。この画素回路は、光電変換部により生成された電荷に基づく画像信号を生成する。画像信号の生成は、後述する垂直駆動部60により生成された制御信号により制御される。画素アレイ部50には、信号線51および52がXYマトリクス状に配置される。信号線51は、画素110における画素回路の制御信号を伝達する信号線であり、画素アレイ部50の行毎に配置され、各行に配置される画素110に対して共通に配線される。信号線52は、画素110の画素回路により生成された画像信号を伝達する信号線であり、画素アレイ部50の列毎に配置され、各列に配置される画素110に対して共通に配線される。これら光電変換部および画素回路は、半導体基板に形成される。

[0030] 垂直駆動部60は、画素110の画素回路の制御信号を生成するものである。この垂直駆動部60は、生成した制御信号を同図の信号線51を介して画素110に伝達する。カラム信号処理部70は、画素110により生成された画像信号を処理するものである。このカラム信号処理部70は、同図の信号線52を介して画素110から伝達された画像信号の処理を行う。カラム信号処理部70における処理には、例えば、画素110において生成されたアナログの画像信号をデジタルの画像信号に変換するアナログデジタル変換が該当する。カラム信号処理部70により処理された画像信号は、撮像素子1の画像信号として出力される。制御部80は、撮像素子1の全体を制御するものである。この制御部80は、垂直駆動部60およびカラム信号処理部70を制御する制御信号を生成して出力することにより、撮像素子1の制

御を行う。制御部 80 により生成された制御信号は、信号線 81 および 82 により垂直駆動部 60 およびカラム信号処理部 70 に対してそれぞれ伝達される。

[0031] [撮像素子の断面の構成]

図 3 は、本開示の第 1 の実施の形態に係る撮像素子の構成例を示す図である。同図は、撮像素子 1 の構成例を表す模式断面図である。撮像素子 1 は、複数の半導体チップが貼り合わされて構成される。具体的には、同図の撮像素子 1 は、撮像チップ 100 と、ロジックチップ 200 とを備え、これらが貼り合わされて構成される。また、撮像素子 1 は、酸化膜 19 と、酸化膜接合層 15 および 16 と、支持基板 400 とをさらに備える。

[0032] 撮像チップ 100 は、上述の画素 110 を有する画素アレイ部 50 が配置される半導体チップであり、画像信号を生成する半導体チップである。撮像チップ 100 は、半導体基板 120 と、配線領域 130 とを備える。

[0033] 半導体基板 120 は、画素 110 の光電変換部や画素回路の素子が形成される半導体の基板である。この半導体基板 120 は、例えば、シリコン (Si) により構成することができる。光電変換部には、半導体基板 120 の裏面側から入射光が照射される。この半導体基板 120 の裏面側には、カラーフィルタ 111 およびオンチップレンズ 112 が画素 110 毎に配置される。このような構成の撮像素子 1 は、裏面照射型の撮像素子と称される。

[0034] 配線領域 130 は、半導体基板 120 に配置された素子に信号を伝達する配線が形成される領域である。この配線領域 130 は、半導体基板 120 の表面側に配置される。配線領域 130 は、絶縁層 131 と、配線層 132 とを備える。配線層 132 は、半導体基板 120 に配置された素子に信号を伝達する配線である。図 2 において説明した信号線 51 等は配線層 132 により構成される。この配線層 132 は、例えば、銅 (Cu) 等の金属により構成することができる。絶縁層 131 は、配線層 132 を絶縁するものである。この絶縁層 131 は、例えば、酸化シリコン (SiO₂) 等の絶縁物により構成することができる。なお、配線層 132 および絶縁層 131 は、多層に

構成することができる。異なる層に配置される配線層 132 同士は、後述するビアプラグ 133 により接続することができる。

[0035] また、配線領域 130 には、パッドが配置される。このパッドは、アルミニウム (Al) 等の金属により構成される電極状の端子である。このようなパッドとしてパッド 141、検査パッド 142 およびボンディングパッド 148 が配置される。

[0036] パッド 141 は、配線層 132 に接続されて信号が伝達されるパッドである。このパッド 141 は、後述する表面パッド 160 が接続されるパッドである。

[0037] 検査パッド 142 は、撮像チップ 100 を検査するためのパッドである。この検査パッド 142 は、パッド 141 と同様に配線層 132 に接続され、信号が伝達される。この検査パッド 142 により伝達される信号には、撮像チップ 100 を検査するための制御信号や検査の際に撮像チップ 100 により生成される信号が該当する。なお、検査パッド 142 には、撮像チップ 100 およびロジックチップ 200 を貼り合わせる際の貼り合わせの面に向かう凸部（後述する凸部 144）が形成される。

[0038] 撮像チップ 100 の検査は、例えば、半導体試験装置により行うことができる。半導体試験装置は、検査のための制御信号を撮像チップ 100 に入力するとともに撮像チップ 100 からの画像信号等の出力信号を検出し、撮像チップ 100 が良品か否かを判断することができる。良品と判断された撮像チップ 100 を撮像素子 1 に適用することにより、撮像素子 1 の歩留まりを向上させることができる。制御信号の入力や出力信号の検出は、検査プローブにより行うことができる。この検査プローブには金属製の針が配置される。この検査プローブを検査パッド 142 に触針させることにより、検査プローブの針と検査パッド 142 とが電氣的に接続され、検査のための信号の伝達を行うことができる。この触針の際、針の先端が検査パッド 142 に当接される。検査パッド 142 の表面には酸化物等の皮膜が形成されている。この皮膜を貫通して検査パッド 142 の金属部分と接触させるため、検査プロ

ープの針は比較的高い圧力により検査パッド142に当接される。このため、検査後の検査パッド142の表面には、針跡が残る。すなわち、検査後の検査パッド142の表面には、同図に表したような凹凸が形成される。

[0039] ボンディングパッド148は、図1において説明したボンディングワイヤ30が接続されるパッドである。ボンディングパッド148の裏面には、撮像チップ100の裏面側から半導体基板120および配線領域130を貫通する開口部11aが配置される。この開口部11aを介してワイヤボンディングが行われる。

[0040] 絶縁膜170は、検査パッド142を絶縁する膜である。また、絶縁膜170は、検査パッド142および貼り合わせの面の間に配置され、検査パッド142を保護する。この絶縁膜170は、絶縁物により構成することができる。具体的には、絶縁膜170は、 SiO_2 等の酸化物により構成することができる。また、絶縁膜170は、窒化シリコン(SiN)等の窒化物を含む構成にすることもできる。上述のように、検査後の検査パッド142の表面には、凹凸が形成される。この凸部が、対向するロジックチップ200のパッド等と干渉すると半導体チップの破損や信号の漏洩による誤動作を生じる可能性がある。そこで、検査パッド142を撮像チップ100の表側の表面から奥まった位置に配置するとともに絶縁膜170により被覆する。これにより、ロジックチップ200の破損等の不具合の発生を防ぐことができる。

[0041] 表面パッド160は、配線領域130の表面に配置されて信号を伝達するパッドである。同図の表面パッド160は、パッド141を介して配線領域130の表面に配置されるとともに信号が伝達される例を表したものである。また、表面パッド160は、撮像チップ100およびロジックチップ200が貼り合わされる際に、ロジックチップ200の表面パッド（後述する表面パッド260）と接合される。この接合された表面パッド160および表面パッド260を介して撮像チップ100およびロジックチップ200の間の信号の伝達を行うことができる。表面パッド160は、Cuにより構成す

ることができる。後述するように、表面パッド１６０は、検査パッド１４２とは異なるサイズに構成することができる。

[0042] なお、パッド１４１、検査パッド１４２、ボンディングパッド１４８および表面パッド１６０は、配線領域１３０に配置される配線の一部と捉えることもできる。また、絶縁膜１７０は、配線領域１３０に配置される絶縁層の一部と捉えることもできる。表面パッドは、請求の範囲に記載の第１のパッドの一例である。検査パッド１４２は、請求の範囲に記載の第２のパッドの一例である。ボンディングパッド１４８は、請求の範囲に記載の第３のパッドの一例である。

[0043] ロジックチップ２００は、撮像チップ１００により生成された画像信号を処理する処理回路が配置される半導体チップである。また、撮像チップ１００の制御信号を生成する制御回路をロジックチップ２００に配置することもできる。図２において説明した垂直駆動部６０、カラム信号処理部７０および制御部８０をロジックチップ２００に配置することができる。ロジックチップ２００は、半導体基板２２０と、配線領域２３０を備える。

[0044] 半導体基板２２０は、半導体基板１２０と同様に、半導体の基板である。この半導体基板２２０には、垂直駆動部６０やカラム信号処理部７０等の素子を形成することができる。

[0045] 配線領域２３０は、配線領域１３０と同様に、半導体基板２２０に配置された素子に信号を伝達する配線が形成される領域であり、絶縁層２３１および配線層２３２を備える。

[0046] また、配線領域２３０には、パッド２４１、検査パッド２４２およびボンディングパッド２４８が配置される。パッド２４１は、パッド１４１と同様に、信号が伝達されるパッドである。検査パッド２４２は、検査パッド１４２と同様に、ロジックチップ２００の検査のための信号が伝達されるパッドである。ボンディングパッド２４８は、ボンディングパッド１４８と同様に、ボンディングワイヤ３０が接続されるパッドである。ボンディングパッド１４８とは異なり、ボンディングパッド２４８の表面に開口部１１ｂが形成

される。この開口部 11b は、撮像チップ 100 および後述する絶縁膜 270 を貫通する開口部である。この開口部 11b を介してロジックチップ 200 に配置されたボンディングパッド 248 のワイヤボンディングが行われる。パッド 241、検査パッド 242 およびボンディングパッド 248 は、Al により構成することができる。

[0047] 絶縁膜 270 は、絶縁膜 170 と同様に、検査パッド 242 を絶縁するとともに保護する膜である。この絶縁膜 270 は、SiO₂等の酸化物やSiN等の窒化物により構成することができる。

[0048] 表面パッド 260 は、表面パッド 160 と同様に、配線領域 230 の表面に配置されて信号を伝達するパッドであり、表面パッド 160 と接合されるパッドである。表面パッド 260 は、Cu により構成することができる。

[0049] なお、パッド 241、検査パッド 242、ボンディングパッド 248 および表面パッド 260 は、配線領域 230 に配置される配線の一部と捉えることもできる。また、絶縁膜 270 は、配線領域 230 に配置される絶縁層の一部と捉えることもできる。また、表面パッド 260 は、請求の範囲に記載の第 1 のパッドの一例である。検査パッド 242 は、請求の範囲に記載の第 2 のパッドの一例である。ボンディングパッド 248 は、請求の範囲に記載の第 3 のパッドの一例である。

[0050] 酸化膜接合層 15 は、撮像チップ 100 とロジックチップ 200 との間に配置されて撮像チップ 100 およびロジックチップ 200 を接合するものである。この酸化膜接合層 15 は、SiO₂等の酸化物により構成され、酸化膜接合により撮像チップ 100 およびロジックチップ 200 の接合を行う。この酸化膜接合は、SiO₂等の酸化物の表面をプラズマ処理等により活性化し、この活性化された酸化膜同士を加熱圧接することにより接合させるものである。同図の撮像素子 1 においては、ロジックチップ 200 の配線領域 230 の表面に配置された酸化膜接合層 15 と撮像チップ 100 の配線領域 130 との間において酸化膜接合が行われる。なお、撮像チップ 100 の絶縁膜 170 およびロジックチップ 200 の絶縁膜 270 の表面が酸化物により構

成される場合には、酸化膜接合層 15 を省略し、絶縁膜 170 および 270 との間において酸化膜接合を行うこともできる。

[0051] 酸化膜 19 は、ロジックチップ 200 を囲繞する酸化物の膜である。この酸化膜 19 は、ロジックチップ 200 を保護する。酸化膜 19 は、 SiO_2 により構成することができる。

[0052] 支持基板 400 は、撮像チップ 100 およびロジックチップ 200 を支持する基板である。この支持基板 400 には、Si の基板を使用することができる。支持基板 400 は、酸化膜接合層 16 によりロジックチップ 200 に接合される。

[0053] 上述のように、酸化膜接合層 15 を介して撮像チップ 100 の絶縁膜 170 およびロジックチップ 200 の絶縁膜 270 が接合される。この際、対向する表面パッド 160 および表面パッド 260 は、位置合わせされて加熱圧接されることにより接合される。これにより撮像チップ 100 およびロジックチップ 200 を貼り合わせることができる。撮像チップ 100 およびロジックチップ 200 は、酸化膜接合層 15 ならびに絶縁膜 170 および 270 を介して配線領域 130 および配線領域 230 が貼り合わされることとなる。

[0054] 検査パッド 142 および 242 を撮像チップ 100 およびロジックチップ 200 の接合面から奥まった位置に配置するとともに絶縁膜 170 および 270 を配置することにより、対向する半導体チップとの接触等を防ぐことができる。このため、貼り合わされた撮像チップ 100 およびロジックチップ 200 における相対する位置に検査パッド 142 および 242 を配置することができる。同図の右側の検査パッド 142 および 242 は、この相対する様子を表したものである。なお、同図の左側の検査パッド 142 のように、相対する検査パッド 242 が配置されない構成にすることもできる。

[0055] [パッドの構成]

図 4 は、本開示の第 1 の実施の形態に係るパッドの構成例を示す図である。同図は、検査パッド 142 等の構成例を表す模式断面図である。同図に表

したようにパッド141、検査パッド142およびボンディングパッド148は、配線領域130において同層に配置することができる。また、パッド141、検査パッド142およびボンディングパッド148は、それぞれ配線層132に接続される。パッド141等と配線層132との間は、ビアプラグ133により接続される。このビアプラグ133は、柱状の金属により構成され、異なる層の配線層132同士や配線層132およびパッド141等の接続を行うものである。

[0056] また、パッド141、検査パッド142およびボンディングパッド148の表面には、保護金属膜を配置することができる。この保護金属膜は、パッド141等を保護する金属の膜であり、積層されたチタン(Ti)および窒化チタン(TiN)の膜により構成することができる。また、積層されたタンタル(Ta)および窒化タンタル(TaN)の膜を使用することもできる。パッド141の表面には保護金属膜151が配置され、検査パッド142の表面には保護金属膜152が配置され、ボンディングパッド148の表面には、保護金属膜158が配置される。

[0057] パッド141の表面には、表面パッド160が配置される。この表面パッド160は、パッド161およびビアプラグ162により構成される。パッド161は、絶縁膜170に埋め込まれたパッドであり、配線領域130の表面に隣接するパッドである。ビアプラグ162は、パッド141および161の間を接続するビアプラグである。同図は、1つのビアプラグ162がパッド141および161の間に配置される例を表したものである。複数のビアプラグ162をパッド141および161の間に配置することもできる。

[0058] パッド161およびビアプラグ162は、Cuにより構成することができ、同時に形成することができる。例えば、パッド161およびビアプラグ162は、Cuめっきにより形成することができる。具体的には、次の手順により形成することができる。まず、パッド161およびビアプラグ162の形状の開口部を絶縁膜170に形成する。次に、この開口部にCuの拡散を

防止する保護層（不図示）を形成する。次に、絶縁膜に隣接してシード層（不図示）を配置してめっきを行い、開口部を含む絶縁膜 170 の表面に Cu 膜を配置する。その後、絶縁膜 170 の表面の Cu 膜を研削して開口部以外の Cu を除去することにより、表面パッド 160 を形成することができる。Cu の研削は、化学的機械的研磨（CMP：Chemical Mechanical Polishing）により行うことができる。なお、この開口部を形成する際、保護金属膜 151 が除去される。

[0059] 検査パッド 142 は、前述のように、検査のための検査プローブの針が当接されるパッドである。検査プローブの針の当接により、検査パッド 142 には、凸部 144 が形成される。検査パッド 142 を表面パッド 160 の表面より奥まった位置に配置することにより、貼り合わされるロジックチップ 200 への凸部 144 の接触を防ぐことができる。また、絶縁膜 170 を配置することにより、凸部 144 が形成された検査パッド 142 を保護することができる。また、絶縁膜 170 は、検査パッド 142 の凸部 144 からロジックチップ 200 を保護することもできる。

[0060] なお、同図の検査パッド 142 は、検査プローブの針が当接される領域に凹部 143 が形成される例を表したものである。凹部 143 を配置することにより、検査後の凸部 144 の先端位置を表面パッド 160 の表面からさらに奥まった位置に配置することができ、マージンを確保することができる。

[0061] ボンディングパッド 148 は、前述のように、ボンディングワイヤ 30 が接続されるパッドである。ボンディングパッド 148 の裏側には、開口部 11 が形成される。この開口部 11 の形成の際、ボンディングパッド 148 の一部が除去されて凹部が形成される。

[0062] なお、同図には、模擬パッド 149 を配置した。この模擬パッド 149 は、信号が伝達されないパッドであり、配線層 132 に接続されないパッドである。この模擬パッド 149 は、いわゆるダミーパッドに相当し、パッド 141 等が配置されない領域に配置されて絶縁膜 170 等の膜厚を均一にするために使用されるパッドである。この模擬パッド 149 の表面には、保護金

属膜 1 5 9 が配置される。

[0063] 模擬パッド 1 4 9、パッド 1 4 1、表面パッド 1 6 0、検査パッド 1 4 2 およびボンディングパッド 1 4 8 は、それぞれ異なるサイズに構成することができる。検査パッド 1 4 2 は、検査用のプローブの針を当接させるため、平面視において比較的大きいサイズに構成することができる。一方、表面パッド 1 6 0 は、比較的小さいサイズに構成される。後述する製造工程における CMP の際のディッシングを低減するためである。この表面パッド 1 6 0 が配置されるパッド 1 4 1 も比較的小さいサイズに構成される。このため、検査パッド 1 4 2 は、表面パッド 1 6 0 より大きいサイズに構成することができる。また、ボンディングパッド 1 4 8 は、ワイヤボンディングのため、比較的大きいサイズに構成される。模擬パッド 1 4 9 は、例えば、略 3 μm の幅のパッドに構成することができる。また、パッド 1 4 1 および表面パッド 1 6 0 は、例えば、略 5 μm の幅に構成することができる。また、検査パッド 1 4 2 は、例えば、50 μm 以下の幅に構成することができる。また、ボンディングパッド 1 4 8 は、例えば、50 乃至 100 μm の幅に構成することができる。このように、それぞれのパッドの使用目的に応じたサイズに構成することができる。

[0064] [検査パッドにおける検査]

図 5 は、本開示の実施の形態に係る検査の一例を示す図である。同図は、検査パッド 1 4 2 における検査の様子を表した図である。なお、同図において、保護金属膜 1 5 2 の記載を省略した。

[0065] 同図における A は、検査前の検査パッド 1 4 2 を表した図である。検査パッド 1 4 2 の表面には、凹部 1 4 3 が形成されている。この凹部 1 4 3 以外の領域の検査パッド 1 4 2 の表面および側面には、薄い絶縁膜 1 7 0 a が配置される。

[0066] 同図における B は、検査時の検査パッド 1 4 2 を表した図である。検査時に、検査パッド 1 4 2 の凹部 1 4 3 に検査プローブの針 3 が当接される。この際、針 3 の先端が検査パッド 1 4 2 の表面に突き刺さる。これにより、検査

パッド１４２を構成するＡ１が盛り上がって凸部１４４が形成される。

[0067] 同図におけるＣは、検査後の検査パッド１４２を表した図である。検査プローブの針３が外され、検査パッド１４２の表面には針跡の凹部１４５が形成される。このように、検査を行うことにより、検査パッド１４２に凸部１４４が形成される。

[0068] [撮像チップの製造方法]

図６乃至９は、本開示の第１の実施の形態に係る撮像チップの製造方法の一例を示す図である。図６乃至９は、撮像チップ１００の製造工程の一例を表す図である。撮像チップ１００を例に挙げて、本開示の実施の形態に係る半導体チップの製造工程について説明する。

[0069] まず、ウェハ状の半導体基板１２０に光電変換部等の素子を形成し、配線領域１３０の絶縁層１３１および配線層１３２（不図示）を形成する（図６におけるＡ）。当該工程は、請求の範囲に記載の光電変換部配置工程の一例である。

[0070] 次に、絶縁層１３１の表面にパッド１４１等の材料膜６０１を形成する。これは、例えば、スパッタリング等を使用してＡ１の膜を成膜することに行うことができる。次に、保護金属膜１５１等の材料膜６０２を形成する。これは、例えば、スパッタリング等を使用してＴｉおよびＴｉＮの膜を積層することにより行うことができる（図６におけるＢ）。

[0071] 次に、パッド１４１や検査パッド１４２を形成する。これは、材料膜６０２の表面のパッド１４１等を配置する領域にレジストを配置し、このレジストをマスクとして使用してパッド１４１が配置される領域以外の材料膜６０１および６０２をエッチングすることにより行うことができる（図６におけるＣ）。当該工程は、請求の範囲に記載の第２のパッド配置工程の一例である。

[0072] 次に、パッド１４１等を含む配線領域１３０の表面に薄い絶縁膜１７０ａを配置する。これは、例えば、ＣＶＤ（Chemical Vapor Deposition）を使用して絶縁膜１７０ａの材料となるＳｉＯ₂の膜を成膜することにより行うこと

ができる（図6におけるD）。

[0073] 次に、検査パッド142の表面の中央部の絶縁膜170aおよび保護金属膜152を除去する。これは、ドライエッチングにより行うことができる。このエッチングの際、凹部143を形成することができる（図7におけるE）。

[0074] 次に、ウェハ状の撮像チップ100の検査を行う。検査プローブの針3を検査パッド142に当接して検査用の信号の入力および出力を行う。この際凸部144が形成される（図7におけるF）。当該工程は、請求の範囲に記載の検査工程の一例である。

[0075] 検査後のウェハ状の撮像チップ100のうちの良品のチップの位置を取得する。これにより、良品の撮像チップ100の選別を行う（図7におけるG）。

[0076] 次に、絶縁層131の表面に絶縁膜170（絶縁膜170b）を配置する。この絶縁膜170bは、パッド141および検査パッド142を覆う厚さに構成される絶縁膜である（図8におけるH）。

[0077] 次に、パッド141に隣接する絶縁膜170に開口部603および604を形成する。開口部603および604は、それぞれビアプラグ162およびパッド161に対応する開口部である。これは、例えば、ドライエッチングを使用して開口部603および604の領域の絶縁膜170を除去することにより行うことができる（図8におけるI）。

[0078] 次に、絶縁膜170の表面に表面パッド160の材料膜605を配置する。この際、開口部603および604にも材料膜605を配置する。これは、Cu膜をめっきにより形成することにより行うことができる（図9におけるJ）。次に、開口部603および604を除く、絶縁膜170の表面に配置された材料膜605を除去する。これは、CMPにより行うことができる。これにより、ビアプラグ162およびパッド161を形成することができ、表面パッド160を形成することができる（図9におけるK）。当該工程は、請求の範囲に記載の第1のパッド配置工程の一例である。

[0079] 以上の工程により、ウェハ状の撮像チップ100を製造することができる。同様の工程により、ウェハ状のロジックチップ200を形成することができる。その後、ウェハ状のロジックチップ200にダイシングを行うことにより、ロジックチップ200を個片化することができる。なお、撮像チップ100の個片化は、ロジックチップ200を貼り合わせた後に行うことができる。

[0080] [撮像素子の製造方法]

図10乃至13は、本開示の第1の実施の形態に係る撮像素子の製造方法の一例を示す図である。図10乃至13は、撮像素子1の製造工程の一例を表す図である。

[0081] まず、検査の結果良品と判断されたロジックチップ200を再配置基板606に配置する。この際、ウェハ状の撮像チップ100に位置合わせして複数のロジックチップ200を配置する。ロジックチップ200は、再配置基板606に配置された粘着剤607により固定することができる（図10におけるA）。

[0082] 次に、酸化膜接合層15が配置されたサポート基板608をロジックチップ200の絶縁膜270の表面に配置して接合する。これは、酸化膜接合により行うことができる（図10におけるB）。

[0083] 次に、ロジックチップ200が配置されたサポート基板608の天地を反転させて再配置基板606および粘着剤607を除去する（図10におけるC）。

[0084] 次に、半導体基板220の裏面側を研削して薄肉化する。これは、例えば、CMPにより行うことができる（図10におけるD）。

[0085] 次に、酸化膜609をロジックチップ200の周囲に配置する。これは、例えば、CVDを使用してSiO₂膜を配置することにより行うことができる。次に、酸化膜609の表面を研削して平坦化する（図11におけるE）。

[0086] 次に、酸化膜609の表面に酸化膜接合層16が配置された支持基板400を接合する。これは、酸化膜接合により行うことができる（図11におけ

るF)。

[0087] 次に、支持基板400の天地を反転させてサポート基板608を除去する。これは、例えば、サポート基板608をエッチングすることにより行うことができる(図11におけるG)。

[0088] 次に、ロジックチップ200に表面パッド260を配置する。これは、図8におけるI乃至図9におけるKに表した工程により行うことができる(図11におけるH)。

[0089] 次に、ロジックチップ200に撮像チップ100を貼り合わせる。これは、支持基板400に配置されたロジックチップ200に図9におけるKにおいて説明したウェハ状の撮像チップ100を貼り合わせるにより行うことができる。この貼り合わせは、酸化膜接合により行われる(図12におけるI)。当該工程は、請求の範囲に記載の貼合せ工程の一例である。

[0090] 次に、撮像チップ100の半導体基板120の裏面側を研削して薄肉化する(図12におけるJ)。

[0091] 次に、撮像チップ100の半導体基板120にカラーフィルタ111およびオンチップレンズ112を画素110毎に配置する(図13におけるK)。また、不図示の開口部11を形成する。

[0092] 次に、貼り合わされた撮像チップ100およびロジックチップ200を個片化する(図13におけるL)。これにより、撮像素子1を製造することができる。

[0093] [撮像素子の他の構成]

図14は、本開示の第1の実施の形態に係る撮像素子の他の構成例を示す図である。同図は、図3と同様に撮像素子1の構成例を表す模式断面図である。撮像チップ100およびロジックチップ200のサイズが異なる点で、図3の撮像素子1と異なる。

[0094] 同図のロジックチップ200は、撮像チップ100より小さいサイズに構成される例を表したものである。ロジックチップ200には検査パッド242が配置され、検査パッド142とロジックチップ200の裏側の表面との

間に絶縁膜 270 が配置される。

[0095] 同図の撮像チップ 100 は、ロジックチップ 200 と対向しない位置に検査パッド 142 を配置することができる。

[0096] 以上説明したように、本開示の第 1 の実施の形態の撮像素子 1 は、撮像チップ 100 およびロジックチップ 200 の配線領域にそれぞれ配置された検査パッド 142 および 242 に検査プローブの針 3 が当接されて検査が行われる。この検査後の撮像チップ 100 およびロジックチップ 200 が貼り合わされて撮像素子 1 が形成される。この貼り合わせの前に、配線領域の表面に表面パッド 160 等が配置されて配線領域の表面がかさ上げされる。貼り合わせた際の、検査パッド 142 および 242 の表面に形成された凸部による撮像素子 1 の破損を防止することができる。これにより、撮像チップ 100 とロジックチップ 200 との貼り合わせ面に検査パッド 142 および 242 を配置することが可能となる。

[0097] <2. 第 2 の実施の形態>

上述の第 1 の実施の形態の撮像素子 1 は、検査パッド 142 の表面に検査プローブの針 3 が当接されていた。これに対し、本開示の第 2 の実施の形態の撮像素子 1 は、検査パッド 142 の表面に保護金属膜が配置され、保護金属膜に検査プローブの針 3 が当接される点で、上述の第 1 の実施の形態と異なる。

[0098] [パッドの構成]

図 15 は、本開示の第 2 の実施の形態に係る検査パッドの構成例を示す図である。同図は、図 4 と同様に検査パッド 142 の構成例を表す模式断面図である。凹部 143 の表面にも保護金属膜 152 が配置される点で、図 5 において説明した検査パッド 142 と異なる。

[0099] 同図の保護金属膜 152 は、図 7 における E において説明したエッチングの工程において保護金属膜 152 を残すことにより形成することができる。検査パッド 142 の表面に保護金属膜 152 が配置されるため、検査プローブの針 3 は保護金属膜 152 の表面に当接される。保護金属膜 152 は、検

査パッド１４２を構成するＡ１より高い硬度を有するため、凸部１４４の高さを低くすることができる。これにより、凸部１４４の先端を撮像チップ１００の表側の表面から離隔することができる。凸部１４４の先端と撮像チップ１００の表側の表面との距離のマージンを向上させることができる。また、絶縁膜１７０の厚さを薄くすることができ、撮像素子１を薄型化することができる。

[0100] これ以外の撮像素子１の構成は本開示の第１の実施の形態において説明した撮像素子１の構成と同様であるため、説明を省略する。

[0101] 以上説明したように、本開示の第２の実施の形態の撮像素子１は、検査パッド１４２の表面の検査プローブの針３が当接される領域に保護金属膜１５２が配置される。これにより、検査パッド１４２の凸部１４４の高さを低くすることができ、撮像素子１の製造の際の歩留まりを向上させることができる。

[0102] <３．第３の実施の形態>

上述の第１の実施の形態の撮像素子１は、撮像チップ１００およびロジックチップ２００の２つの半導体チップが貼り合わされて構成されていた。これに対し、本開示の第３の実施の形態の撮像素子１は、３つ以上の半導体チップが貼り合わされる点で、上述の第１の実施の形態と異なる。

[0103] [撮像素子の構成]

図１６は、本開示の第３の実施の形態に係る撮像素子の構成例を示す図である。同図は、図３と同様に撮像素子１の構成例を表す模式断面図である。撮像チップ１００およびロジックチップ２００の他に、半導体チップ３００が配置される点で、図３の撮像素子１と異なる。

[0104] 半導体チップ３００は、撮像チップ１００に貼り合わされる半導体チップである。この半導体チップ３００は、半導体基板３２０および配線領域３３０を備える。この配線領域３３０には、検査パッド３４２、表面パッド３６０および絶縁膜３７０が配置される。検査パッド３４２により検査が行われ、貼り合わせの際に表面パッド３６０が撮像チップ１００の表面パッド１６

0に接合される。半導体チップ300は、例えば、図2において説明した垂直駆動部60を配置することができる。この場合には、ロジックチップ200には、カラム信号処理部70および制御部80を配置することができる。また、半導体チップ300には、これ以外の処理回路等を配置することができる。例えば、画像信号の記憶処理を行うメモリ回路やAI (Artificial Intelligent) 処理を行う回路を配置することもできる。

[0105] なお、表面パッド360は、請求の範囲に記載の第1のパッドの一例である。検査パッド342は、請求の範囲に記載の第2のパッドの一例である。

[0106] これ以外の撮像素子1の構成は本開示の第1の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0107] 以上説明したように、本開示の第3の実施の形態の撮像素子1は、3つ以上の半導体チップが貼り合わされて構成される。これにより、撮像素子1を小型化することができる。

[0108] <4. 第4の実施の形態>

上述の第3の実施の形態の撮像素子1は、撮像チップ100にロジックチップ200および半導体チップ300が貼り合わされて構成されていた。これに対し、本開示の第4の実施の形態の撮像素子1は、撮像チップ100、ロジックチップ200および半導体チップ300が積層される点で、上述の第3の実施の形態と異なる。

[0109] [撮像素子の構成]

図17は、本開示の第4の実施の形態に係る撮像素子の構成例を示す図である。同図は、図16と同様に撮像素子1の構成例を表す模式断面図である。撮像チップ100、ロジックチップ200および半導体チップ300が積層される点で、図16の撮像素子1と異なる。

[0110] 同図の撮像素子1においては、ロジックチップ200および半導体チップ300のそれぞれの表面パッド260および表面パッド360が接合されて貼り合わされる。撮像チップ100は、ロジックチップ200の裏側に貼り合わされる。撮像チップ100およびロジックチップ200の間の信号の伝

達は、2つのビアプラグが連結されたツインコンタクト12により行うことができる。このツインコンタクト12の一方のビアプラグが撮像チップ100のパッド141に接続され、他方のビアプラグがロジックチップ200のパッド241に接続される。また、2つのビアプラグは撮像チップ100の裏側の表面において導体により連結される。これにより、撮像チップ100のパッド141およびロジックチップ200のパッド241との間において信号の伝達を行うことができる。

[0111] [撮像素子の他の構成]

図18は、本開示の第4の実施の形態に係る撮像素子の他の構成例を示す図である。同図は、図17と同様に撮像素子1の構成例を表す模式断面図である。撮像チップ100およびロジックチップ200の表面パッド同士が接合され、半導体チップ300がロジックチップ200の裏側に貼り合わされる点で、図17の撮像素子1と異なる。同図の撮像素子1は、図3において説明した撮像素子1の支持基板400の代わりに半導体チップ300が配置されたものである。撮像チップのパッド141および半導体チップ300のパッド341は、ツインコンタクト12により接続される。

[0112] これ以外の撮像素子1の構成は本開示の第3の実施の形態において説明した撮像素子1の構成と同様であるため、説明を省略する。

[0113] 以上説明したように、本開示の第4の実施の形態の撮像素子1は、3つ以上の半導体チップが積層されて構成される。撮像素子1にサイズが略等しい半導体チップが配置される場合であってもそれぞれ貼り合わせることができる。

[0114] <5. カメラへの応用例>

本開示に係る技術（本技術）は、様々な製品に応用することができる。例えば、本技術は、カメラ等の撮像装置に搭載される撮像素子として実現されてもよい。

[0115] 図19は、本技術が適用され得る撮像装置の一例であるカメラの概略的な構成例を示すブロック図である。同図のカメラ1000は、レンズ1001

と、撮像素子1002と、撮像制御部1003と、レンズ駆動部1004と、画像処理部1005と、操作入力部1006と、フレームメモリ1007と、表示部1008と、記録部1009とを備える。

[0116] レンズ1001は、カメラ1000の撮影レンズである。このレンズ1001は、被写体からの光を集光し、後述する撮像素子1002に入射させて被写体を結像させる。

[0117] 撮像素子1002は、レンズ1001により集光された被写体からの光を撮像する半導体素子である。この撮像素子1002は、照射された光に応じたアナログの画像信号を生成し、デジタルの画像信号に変換して出力する。

[0118] 撮像制御部1003は、撮像素子1002における撮像を制御するものである。この撮像制御部1003は、制御信号を生成して撮像素子1002に対して出力することにより、撮像素子1002の制御を行う。また、撮像制御部1003は、撮像素子1002から出力された画像信号に基づいてカメラ1000におけるオートフォーカスを行うことができる。ここでオートフォーカスとは、レンズ1001の焦点位置を検出して、自動的に調整するシステムである。このオートフォーカスとして、撮像素子1002に配置された位相差画素により像面位相差を検出して焦点位置を検出する方式（像面位相差オートフォーカス）を使用することができる。また、画像のコントラストが最も高くなる位置を焦点位置として検出する方式（コントラストオートフォーカス）を適用することもできる。撮像制御部1003は、検出した焦点位置に基づいてレンズ駆動部1004を介してレンズ1001の位置を調整し、オートフォーカスを行う。なお、撮像制御部1003は、例えば、ファームウェアを搭載したDSP（Digital Signal Processor）により構成することができる。

[0119] レンズ駆動部1004は、撮像制御部1003の制御に基づいて、レンズ1001を駆動するものである。このレンズ駆動部1004は、内蔵するモータを使用してレンズ1001の位置を変更することによりレンズ1001を駆動することができる。

- [0120] 画像処理部１００５は、撮像素子１００２により生成された画像信号を処理するものである。この処理には、例えば、画素毎の赤色、緑色および青色に対応する画像信号のうち不足する色の画像信号を生成するデモザイク、画像信号のノイズを除去するノイズリダクションおよび画像信号の符号化等が該当する。画像処理部１００５は、例えば、ファームウェアを搭載したマイコンにより構成することができる。
- [0121] 操作入力部１００６は、カメラ１０００の使用者からの操作入力を受け付けるものである。この操作入力部１００６には、例えば、押しボタンやタッチパネルを使用することができる。操作入力部１００６により受け付けられた操作入力は、撮像制御部１００３や画像処理部１００５に伝達される。その後、操作入力に応じた処理、例えば、被写体の撮像等の処理が起動される。
- [0122] フレームメモリ１００７は、１画面分の画像信号であるフレームを記憶するメモリである。このフレームメモリ１００７は、画像処理部１００５により制御され、画像処理の過程におけるフレームの保持を行う。
- [0123] 表示部１００８は、画像処理部１００５により処理された画像を表示するものである。この表示部１００８には、例えば、液晶パネルを使用することができる。
- [0124] 記録部１００９は、画像処理部１００５により処理された画像を記録するものである。この記録部１００９には、例えば、メモリカードやハードディスクを使用することができる。
- [0125] 以上、本開示が適用され得るカメラについて説明した。本技術は以上において説明した構成のうち、撮像素子１００２に適用され得る。具体的には、図１において説明した撮像素子１は、撮像素子１００２に適用することができる。
- [0126] なお、第２の実施の形態の検査パッド１４２の構成は、他の実施の形態と組み合わせることができる。具体的には、図１５の保護金属膜１５２は、図１６乃至１８検査パッド１４２等に適用することができる。

[0127] 最後に、上述した各実施の形態の説明は本開示の一例であり、本開示は上述の実施の形態に限定されることはない。このため、上述した各実施の形態以外であっても、本開示に係る技術的思想を逸脱しない範囲であれば、設計等に応じて種々の変更が可能であることは勿論である。

[0128] また、本明細書に記載された効果はあくまで例示であって限定されるものではない。また、他の効果があってもよい。

[0129] また、上述の実施の形態における図面は、模式的なものであり、各部の寸法の比率等は現実のものとは必ずしも一致しない。また、図面相互間においても互いの寸法の関係や比率が異なる部分が含まれることは勿論である。

[0130] なお、本技術は以下のような構成もとることができる。

(1) 半導体基板および配線領域を備えて互いに貼り合わされる複数の半導体チップを具備し、

前記複数の半導体チップのうちの1つの半導体チップは、入射光の光電変換を行う光電変換部が配置され、

前記複数の半導体チップのうちの2つの半導体チップは、それぞれの前記配線領域の表面同士が貼り合わされるとともに前記配線領域の表面に配置されて前記貼り合わせの際に互いに接合される第1のパッドを備え、当該2つの半導体チップの少なくとも1つは前記配線領域に配置されて前記貼り合わせの面に向かう凸部が形成される第2のパッドをさらに備え、

前記第2のパッドは、前記第1のパッドとは異なるサイズに構成される撮像素子。

(2) 前記第2のパッドは、前記第1のパッドより大きいサイズに構成される前記(1)に記載の撮像素子。

(3) 前記第2のパッドおよび前記貼り合わせの面の間に配置される絶縁膜をさらに備える前記(1)または(2)に記載の撮像素子。

(4) 前記絶縁膜は、シリコン化合物からなる絶縁物を有する前記(3)に記載の撮像素子。

(5) 前記第2のパッドの表面に配置される保護金属膜をさらに備える前記

(1) から (4) の何れかに記載の撮像素子。

(6) 前記複数の半導体チップのうちの少なくとも1つは、外部の回路と接続するための第3のパッドをさらに備える前記(1) から (5) の何れかに記載の撮像素子。

(7) 前記第3のパッドは、前記第2のパッドと同層に配置される前記(6) に記載の撮像素子。

(8) 前記第2のパッドは、アルミニウムにより構成される前記(1) から (7) の何れかに記載の撮像素子。

(9) 前記第2のパッドは、触針による検査により形成された前記凸部を有する前記(1) から (8) の何れかに記載の撮像素子。

(10) 前記第2のパッドは、前記貼り合わせの面側に配置された凹部に前記凸部が形成される前記(1) から (9) の何れかに記載の撮像素子。

(11) 前記複数の半導体チップのうちの2つの半導体チップは、相対して配置される前記第2のパッドをそれぞれ備える前記(1) から (10) の何れかに記載の撮像素子。

(12) 前記第1のパッドは、銅により構成される前記(1) から (11) の何れかに記載の撮像素子。

(13) 前記光電変換部は、前記半導体チップの前記配線領域が配置される面とは異なる面に照射される前記入射光の光電変換を行う前記(1) から (12) の何れかに記載の撮像素子。

(14) 前記複数の半導体チップのうちの少なくとも1つは、前記光電変換に基づいて生成される画像信号を処理する処理回路が配置される前記(1) から (13) の何れかに記載の撮像素子。

(15) 前記複数の半導体チップのうちの2つの半導体チップは、前記処理回路がそれぞれ配置されるとともに前記貼り合わされる前記(14) に記載の撮像素子。

(16) 半導体基板に入射光の光電変換を行う光電変換部を配置する光電変換部配置工程と、

2つの半導体基板にそれぞれ配置された配線領域同士を貼り合わせる際の貼り合わせの面に向かう凸部が形成される第2のパッドを配線領域に配置する第2のパッド配置工程と、

前記第2のパッドが配置された配線領域の表面に前記貼り合わせの際に互いに接合されるとともに前記第2のパッドとは異なるサイズの第1のパッドを配置する第1のパッド配置工程と、

前記第1のパッドが配置された2つの半導体チップの前記配線領域同士が貼り合わされるとともにそれぞれの前記第1のパッド同士が接合される貼合せ工程と

を具備する撮像素子の製造方法。

(17) 前記配置された第2のパッドにより検査を行って当該検査により前記凸部が形成される検査工程をさらに具備し、

前記第1のパッド配置工程は、前記検査が行われた第2のパッドが配置された配線領域に前記第1のパッドを配置する
前記(16)に記載の撮像素子の製造方法。

符号の説明

- [0131] 1、1002 撮像素子
15、16 酸化膜接合層
19 酸化膜
50 画素アレイ部
60 垂直駆動部
70 カラム信号処理部
80 制御部
100 撮像チップ
110 画素
120、220、320 半導体基板
130、230、330 配線領域
141、161、241、341 パッド

- 1 4 2、2 4 2、3 4 2 検査パッド
- 1 4 3 凹部
- 1 4 8、2 4 8 ボンディングパッド
- 1 4 9 模擬パッド
- 1 5 1、1 5 2、1 5 8、1 5 9 保護金属膜
- 1 6 0、2 6 0、3 6 0 表面パッド
- 1 6 2 ビアプラグ
- 1 7 0、1 7 0 a、1 7 0 b、2 7 0 絶縁膜
- 2 0 0 ロジックチップ
- 3 0 0 半導体チップ

請求の範囲

- [請求項1] 半導体基板および配線領域を備えて互いに貼り合わされる複数の半導体チップを具備し、
- 前記複数の半導体チップのうちの1つの半導体チップは、入射光の光電変換を行う光電変換部が配置され、
- 前記複数の半導体チップのうちの2つの半導体チップは、それぞれの前記配線領域の表面同士が貼り合わされるとともに前記配線領域の表面に配置されて前記貼り合わせの際に互いに接合される第1のパッドを備え、当該2つの半導体チップの少なくとも1つは前記配線領域に配置されて前記貼り合わせの面に向かう凸部が形成される第2のパッドをさらに備え、
- 前記第2のパッドは、前記第1のパッドとは異なるサイズに構成される撮像素子。
- [請求項2] 前記第2のパッドは、前記第1のパッドより大きいサイズに構成される請求項1記載の撮像素子。
- [請求項3] 前記第2のパッドおよび前記貼り合わせの面の間に配置される絶縁膜をさらに備える請求項1記載の撮像素子。
- [請求項4] 前記絶縁膜は、シリコン化合物からなる絶縁物を有する請求項3記載の撮像素子。
- [請求項5] 前記第2のパッドの表面に配置される保護金属膜をさらに備える請求項1記載の撮像素子。
- [請求項6] 前記複数の半導体チップのうちの少なくとも1つは、外部の回路と接続するための第3のパッドをさらに備える請求項1記載の撮像素子。
- [請求項7] 前記第3のパッドは、前記第2のパッドと同層に配置される請求項6記載の撮像素子。
- [請求項8] 前記第2のパッドは、アルミニウムにより構成される請求項1記載

の撮像素子。

[請求項9] 前記第2のパッドは、触針による検査により形成された前記凸部を有する請求項1記載の撮像素子。

[請求項10] 前記第2のパッドは、前記貼り合わせの面側に配置された凹部に前記凸部が形成される請求項1記載の撮像素子。

[請求項11] 前記複数の半導体チップのうちの2つの半導体チップは、相対して配置される前記第2のパッドをそれぞれ備える請求項1記載の撮像素子。

[請求項12] 前記第1のパッドは、銅により構成される請求項1記載の撮像素子。

[請求項13] 前記光電変換部は、前記半導体チップの前記配線領域が配置される面とは異なる面に照射される前記入射光の光電変換を行う請求項1記載の撮像素子。

[請求項14] 前記複数の半導体チップのうちの少なくとも1つは、前記光電変換に基づいて生成される画像信号を処理する処理回路が配置される請求項1記載の撮像素子。

[請求項15] 前記複数の半導体チップのうちの2つの半導体チップは、前記処理回路がそれぞれ配置されるとともに前記貼り合わせられる請求項14記載の撮像素子。

[請求項16] 半導体基板に入射光の光電変換を行う光電変換部を配置する光電変換部配置工程と、

2つの半導体基板にそれぞれ配置された配線領域同士を貼り合わせの際の貼り合わせの面に向かう凸部が形成される第2のパッドを配線領域に配置する第2のパッド配置工程と、

前記第2のパッドが配置された配線領域の表面に前記貼り合わせの際に互いに接合されるとともに前記第2のパッドとは異なるサイズの第1のパッドを配置する第1のパッド配置工程と、

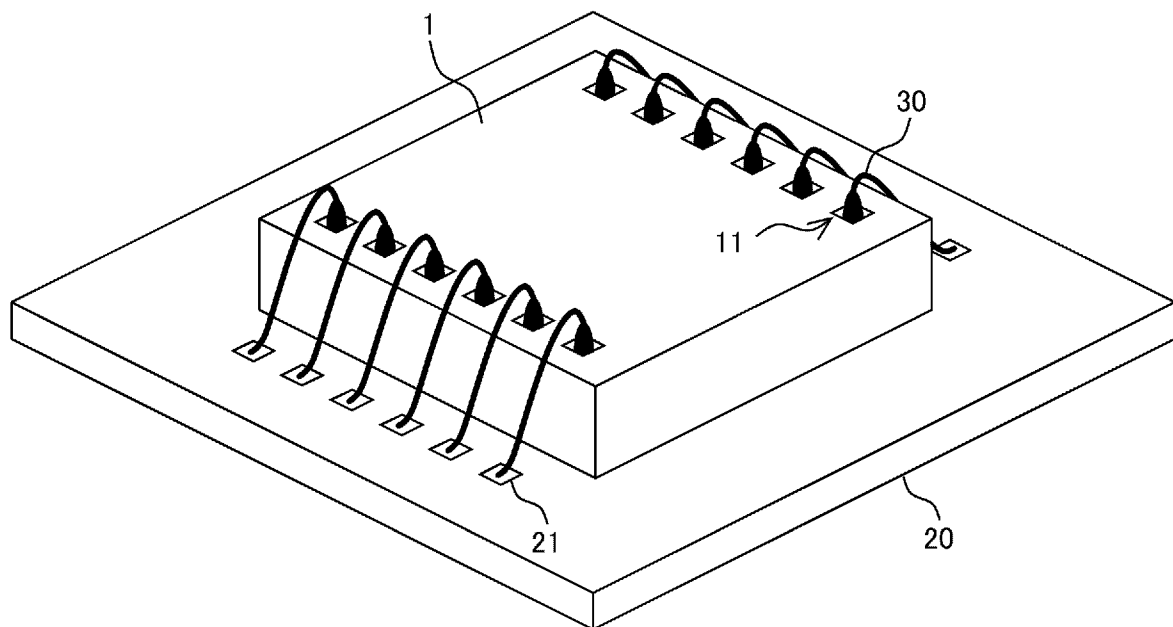
前記第1のパッドが配置された2つの半導体チップの前記配線領域

同士が貼り合わされるとともにそれぞれの前記第 1 のパッド同士が接合される貼合せ工程と
を具備する撮像素子の製造方法。

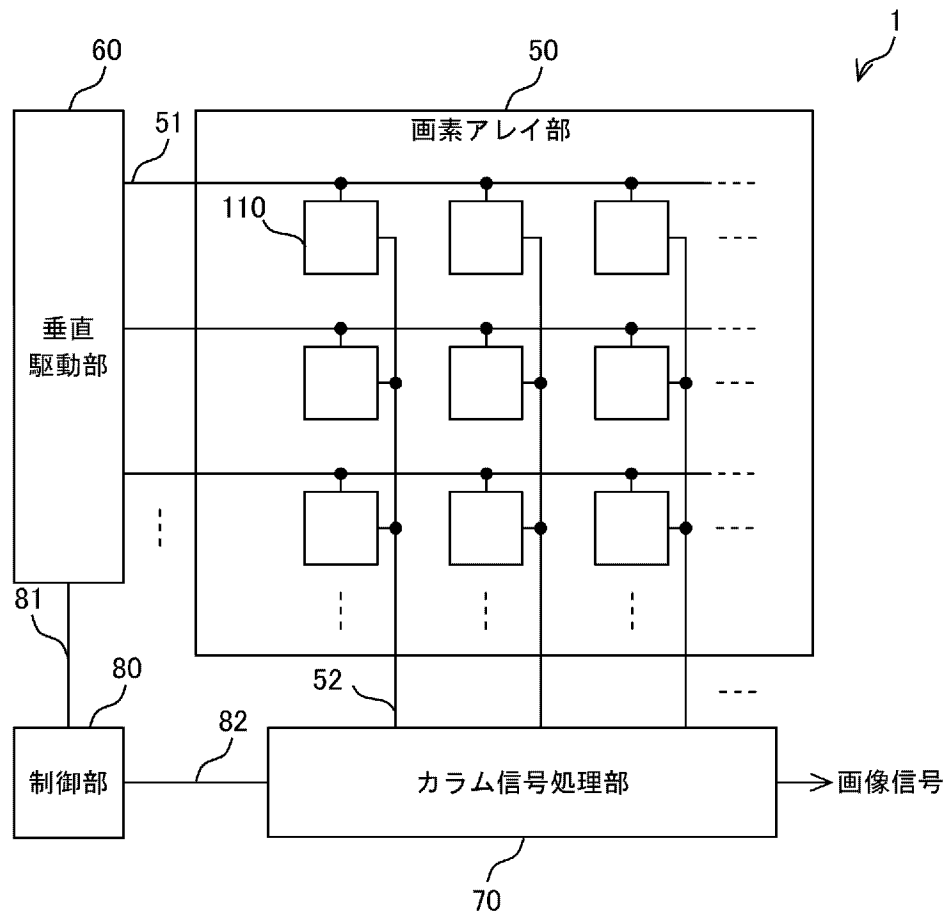
[請求項17] 前記配置された第 2 のパッドにより検査を行って当該検査により前記凸部が形成される検査工程をさらに具備し、

前記第 1 のパッド配置工程は、前記検査が行われた第 2 のパッドが配置された配線領域に前記第 1 のパッドを配置する
請求項 1 6 記載の撮像素子の製造方法。

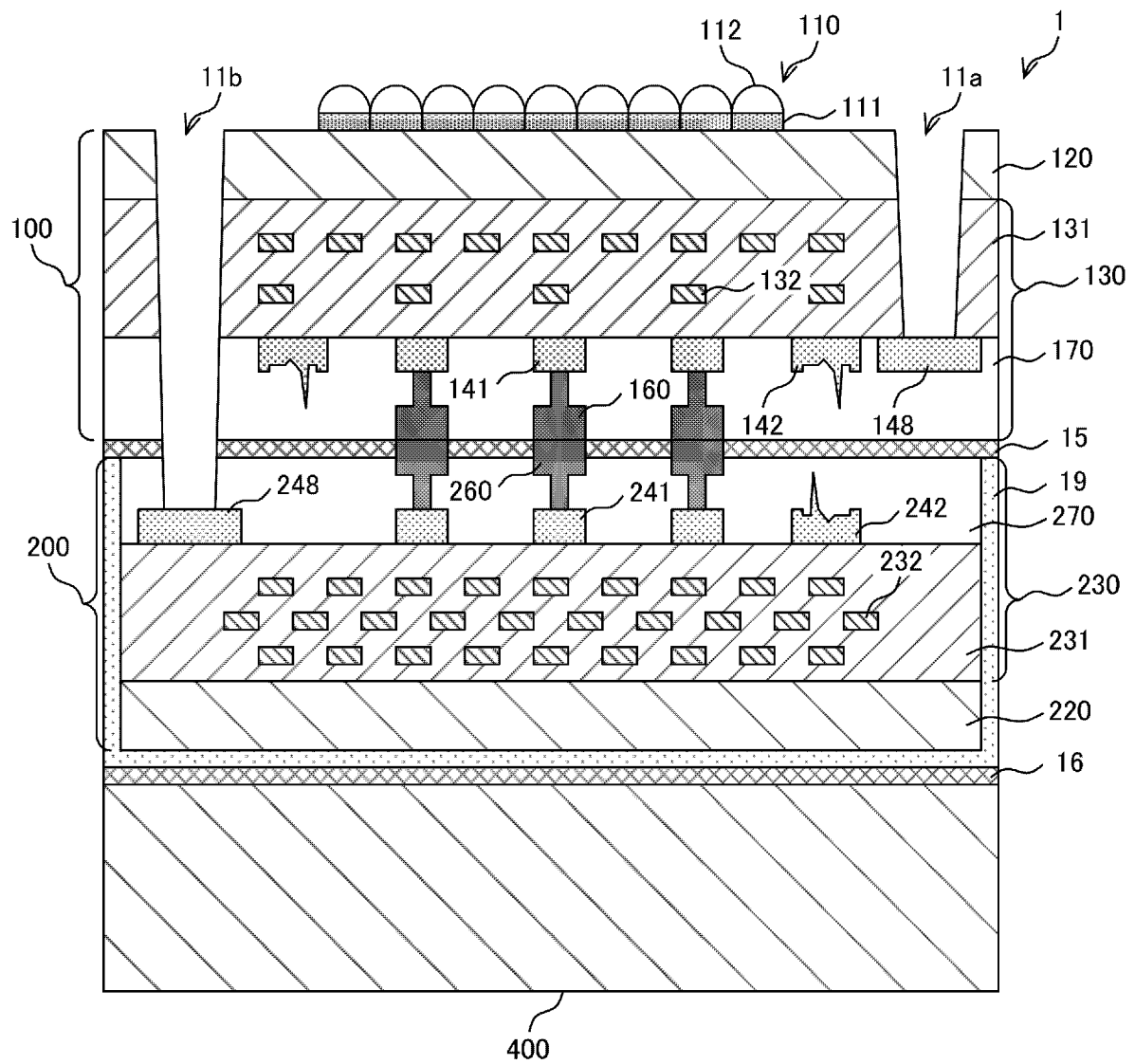
[図1]



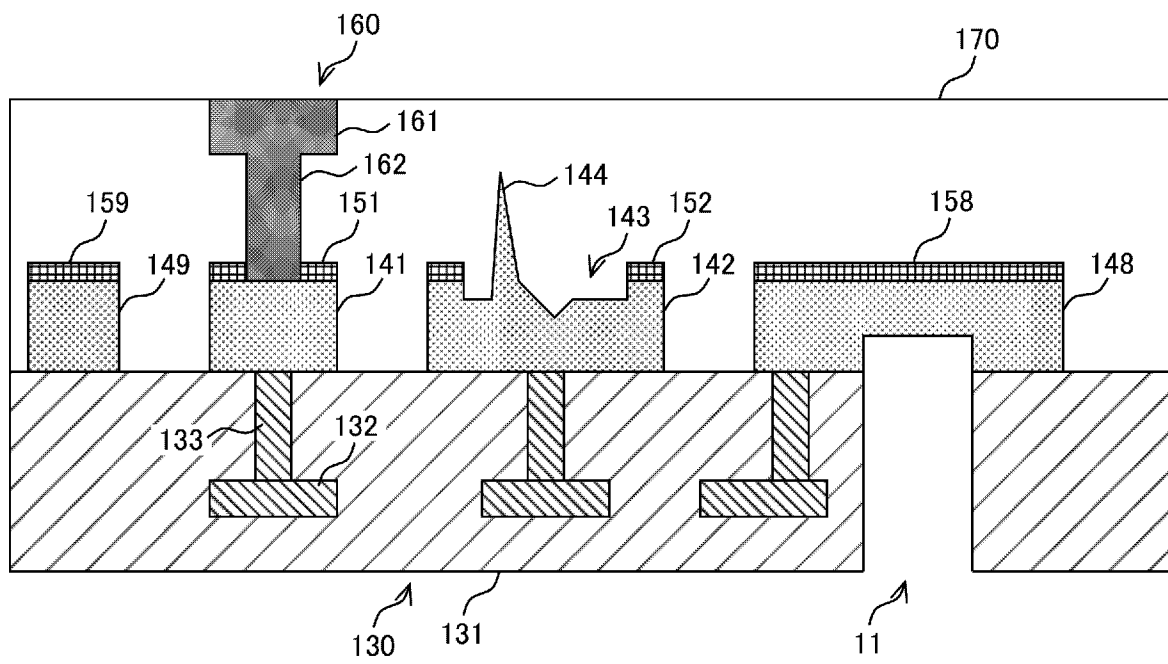
[図2]



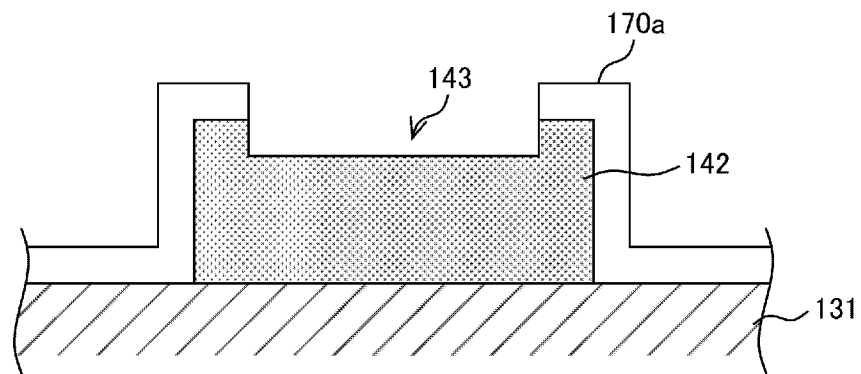
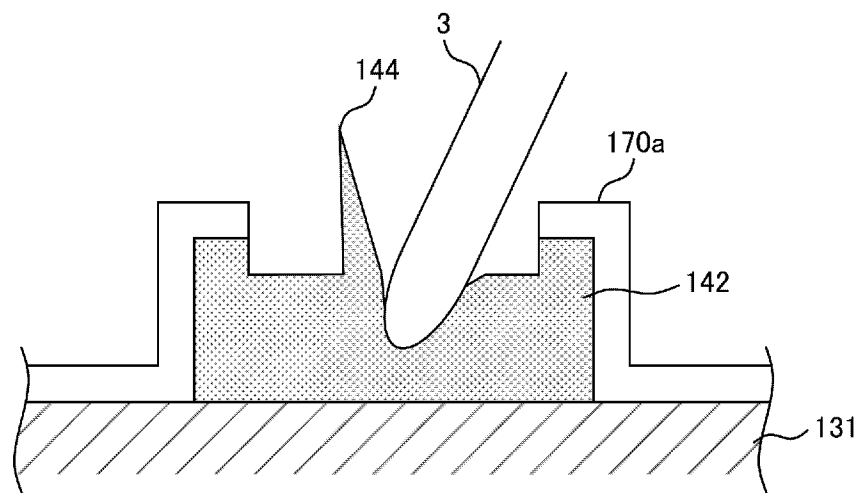
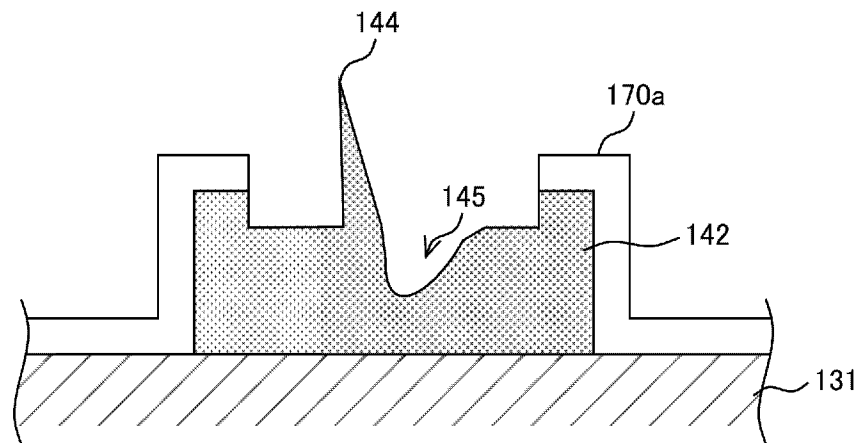
[図3]



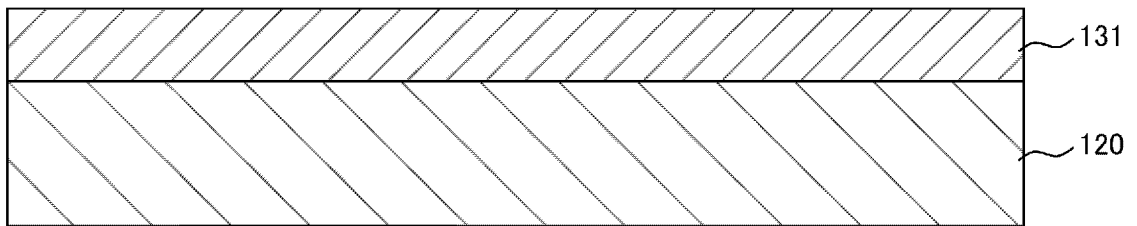
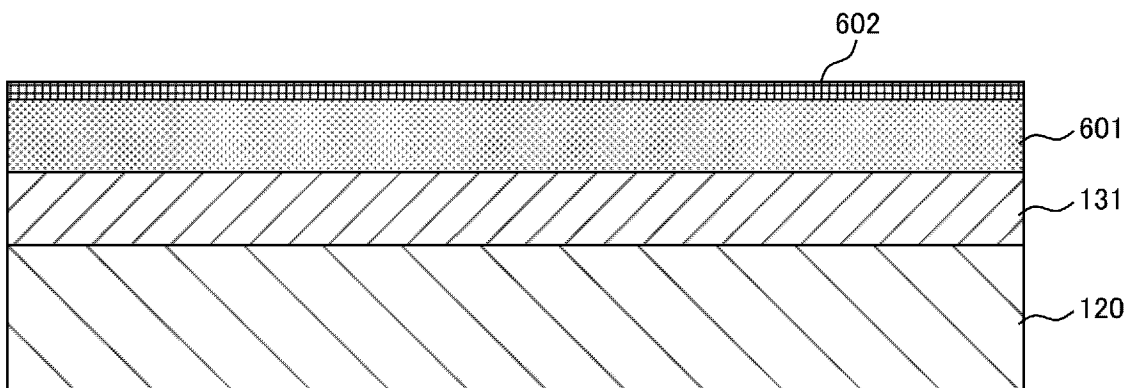
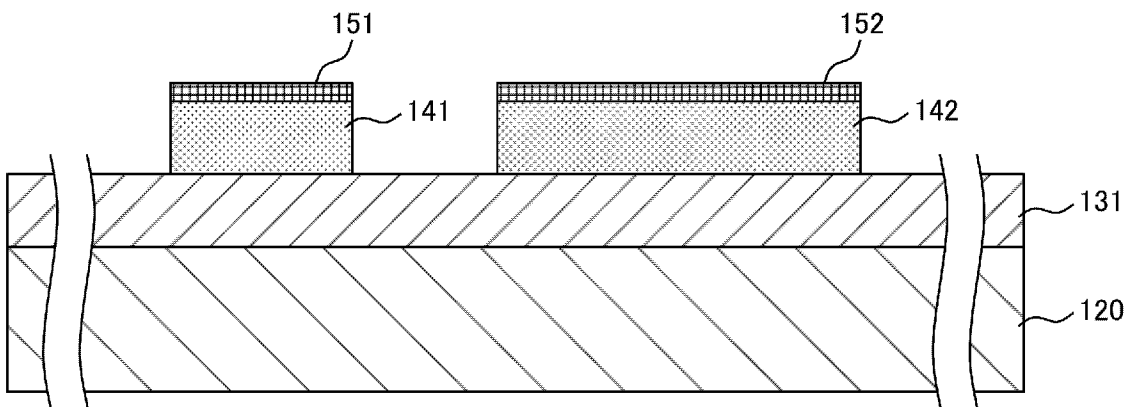
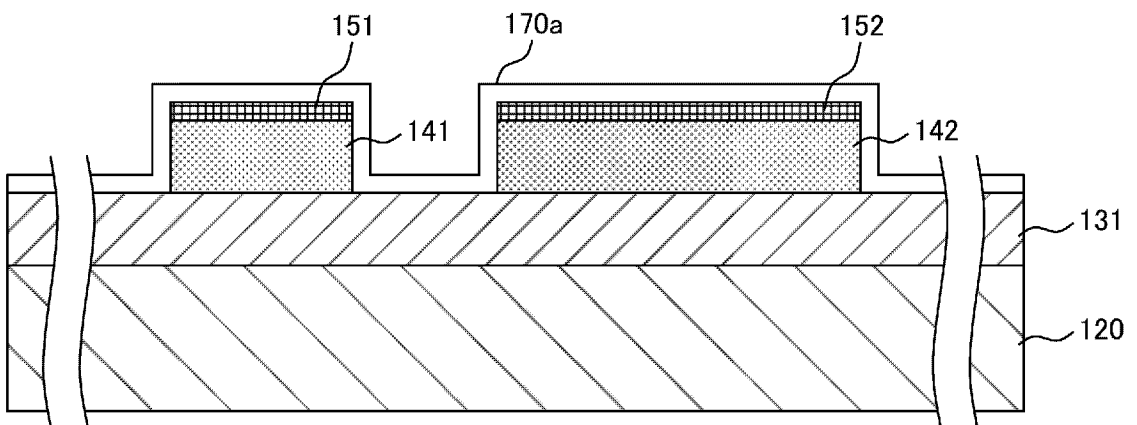
[図4]



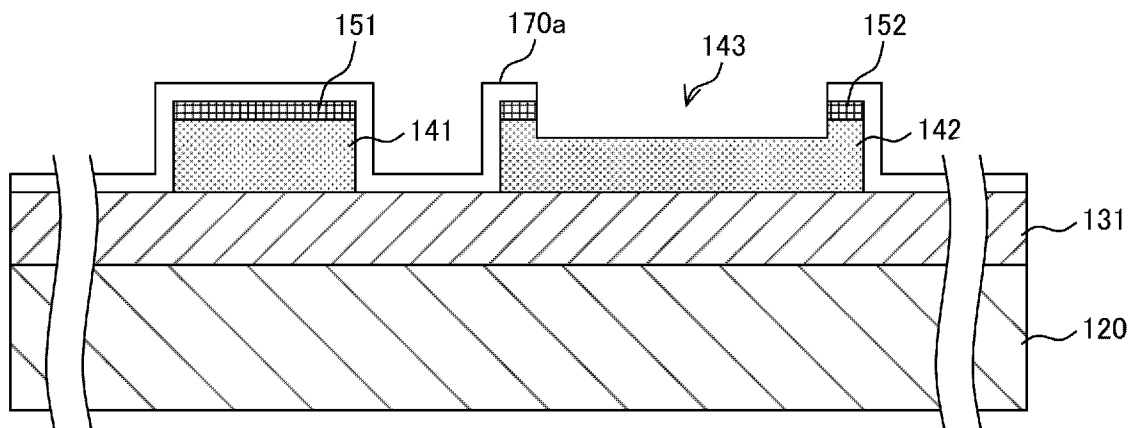
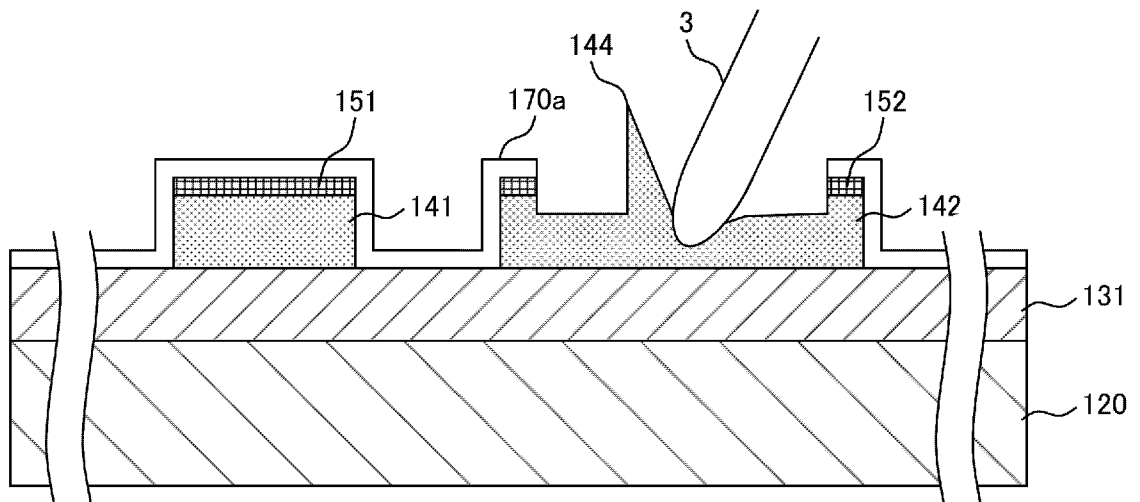
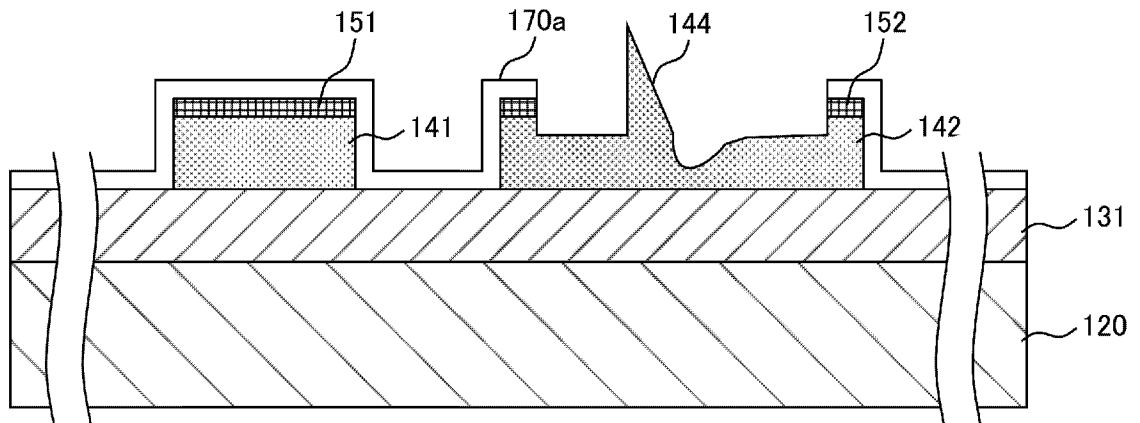
[図5]

ABC

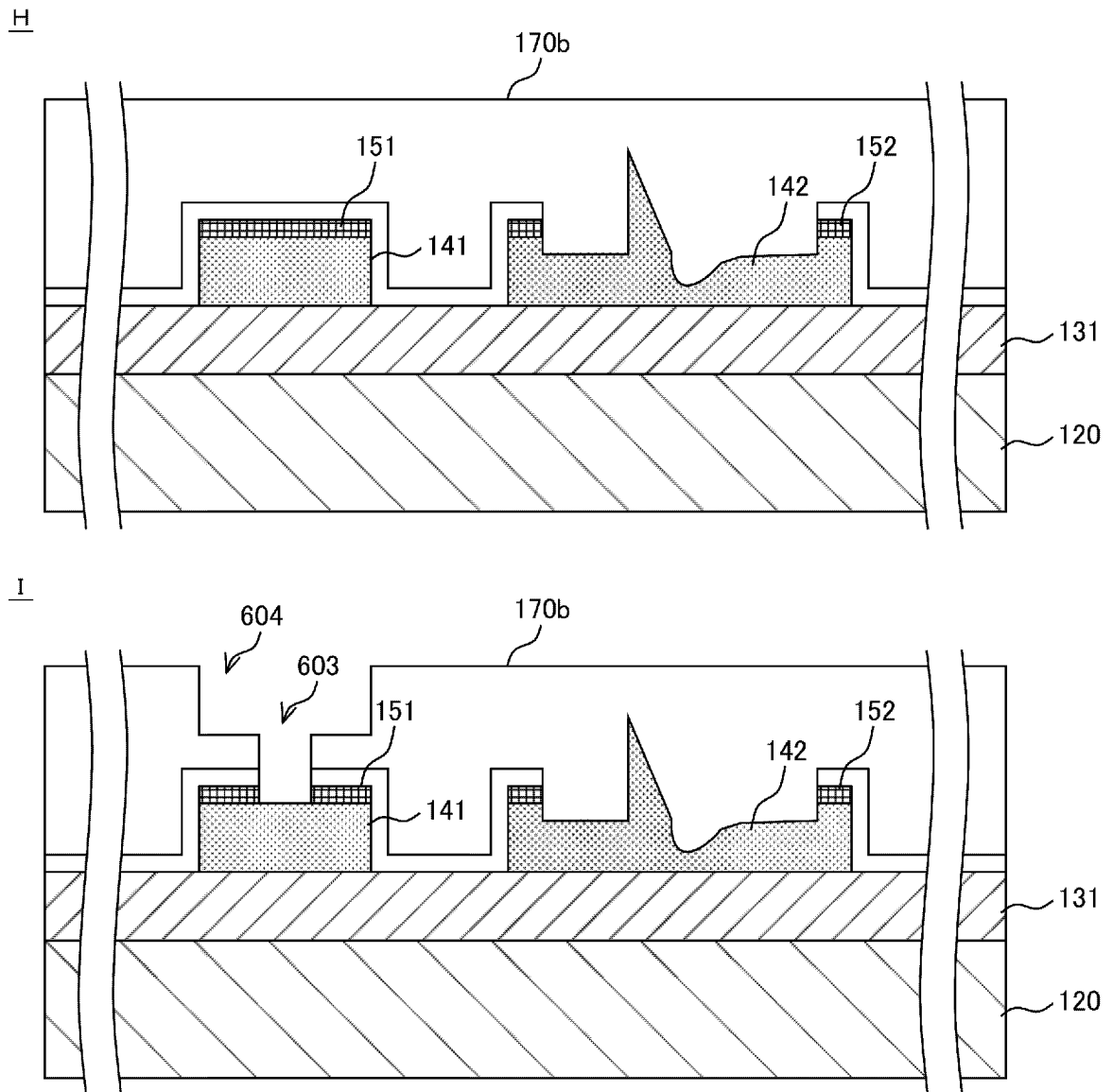
[図6]

ABCD

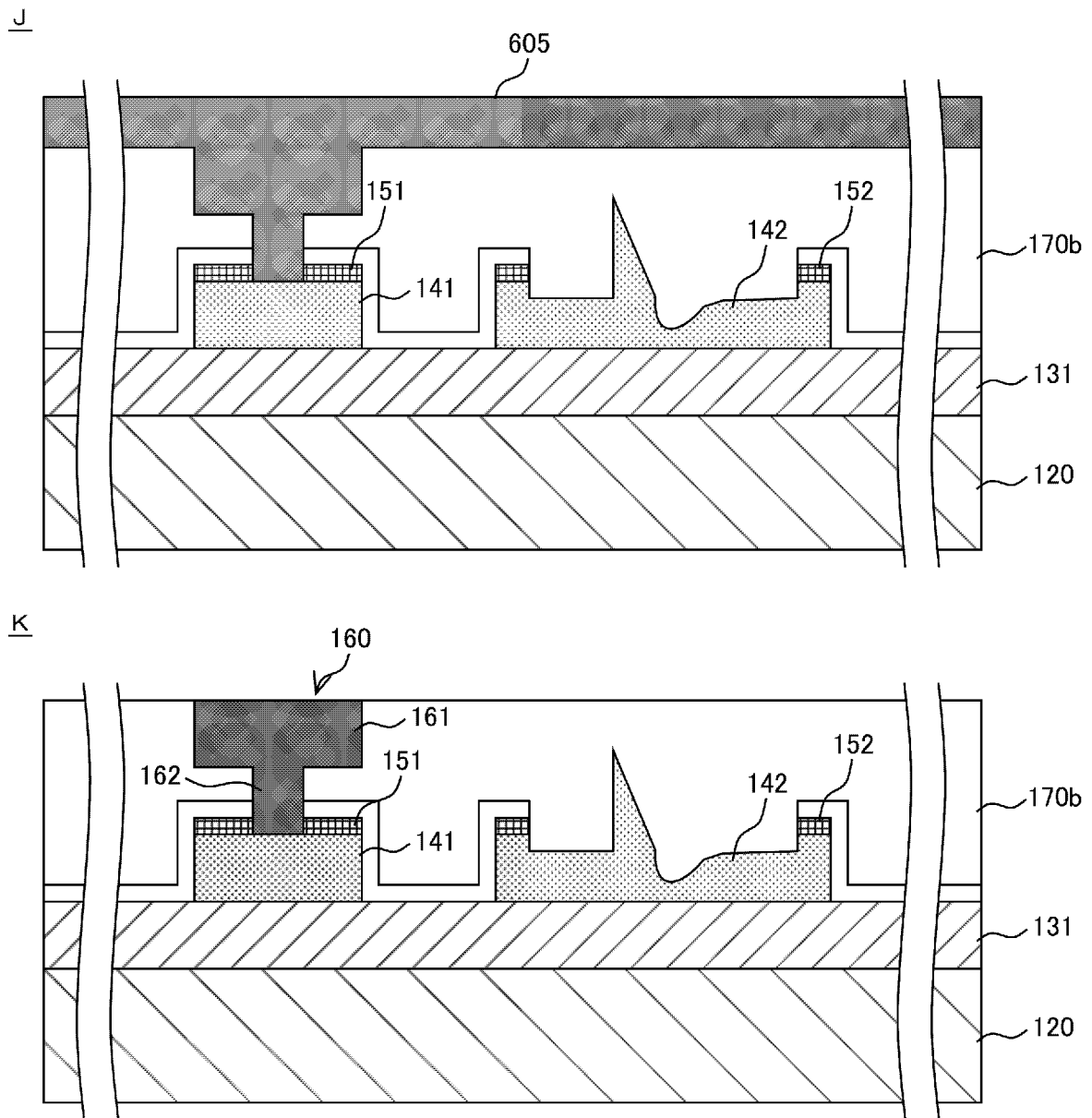
[図7]

EFG

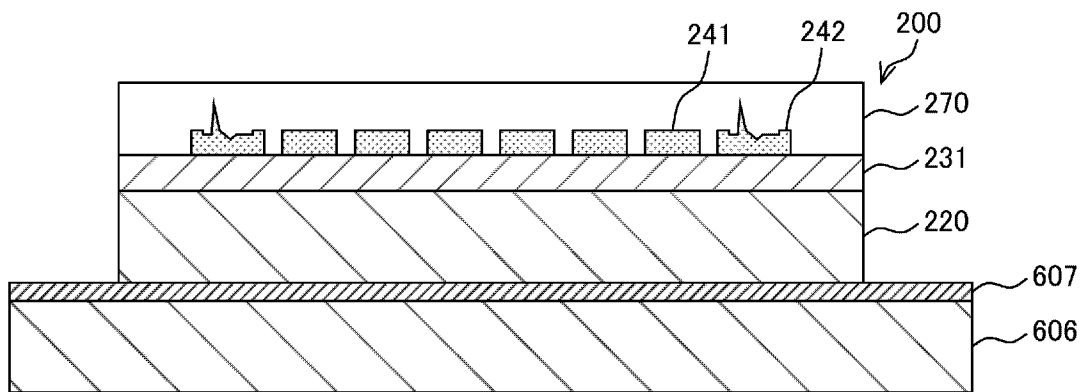
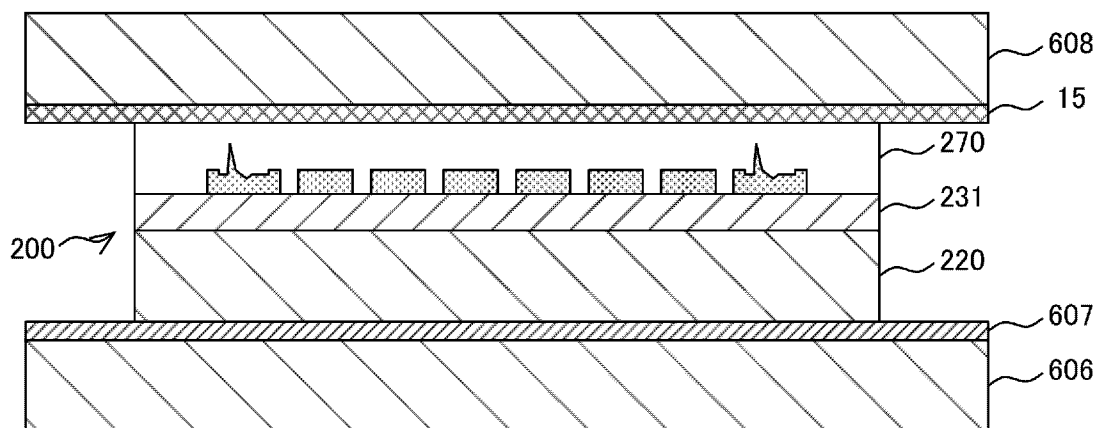
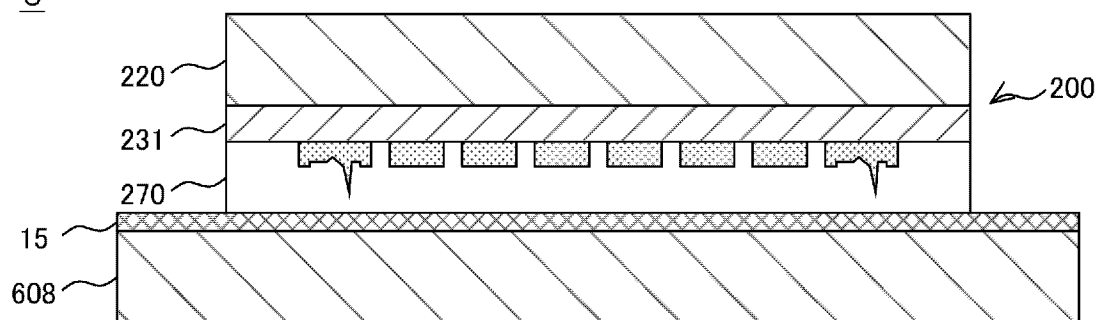
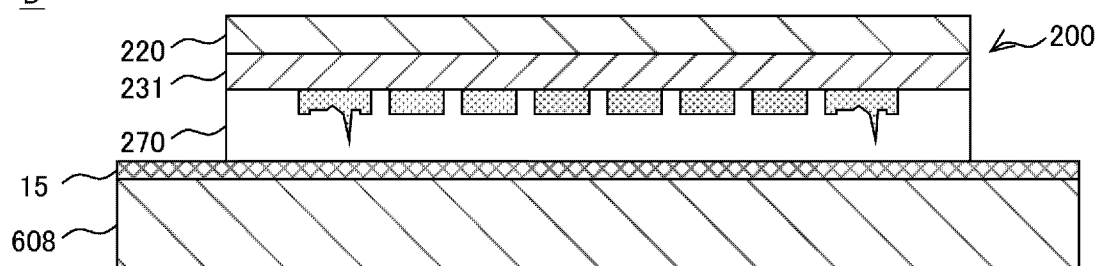
[図8]



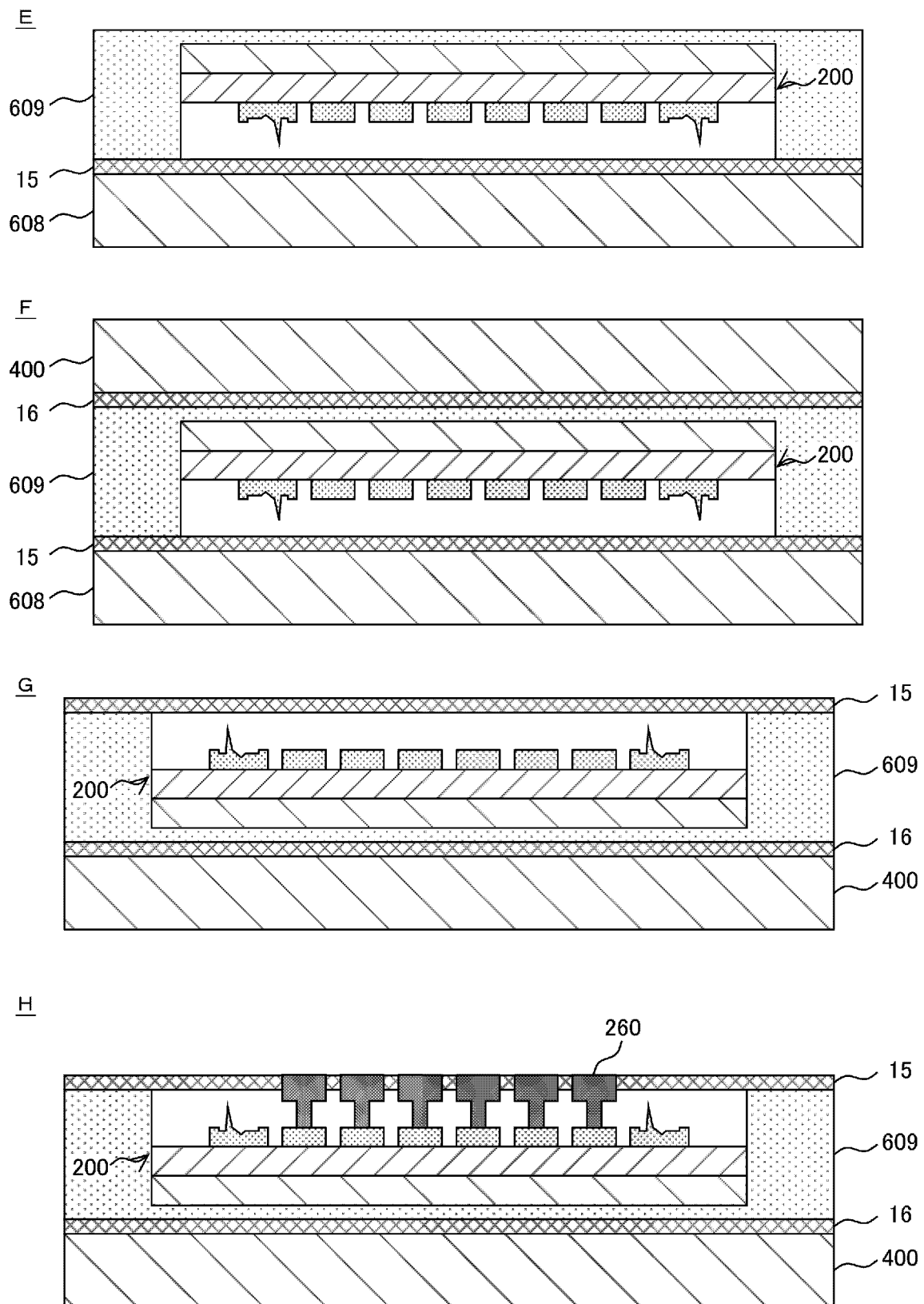
[図9]



[図10]

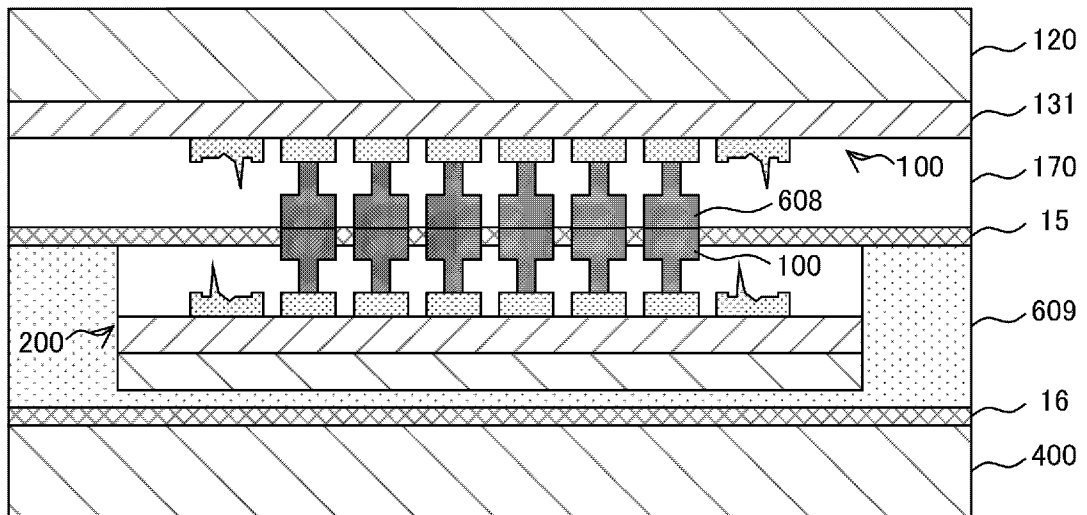
ABCD

[図11]

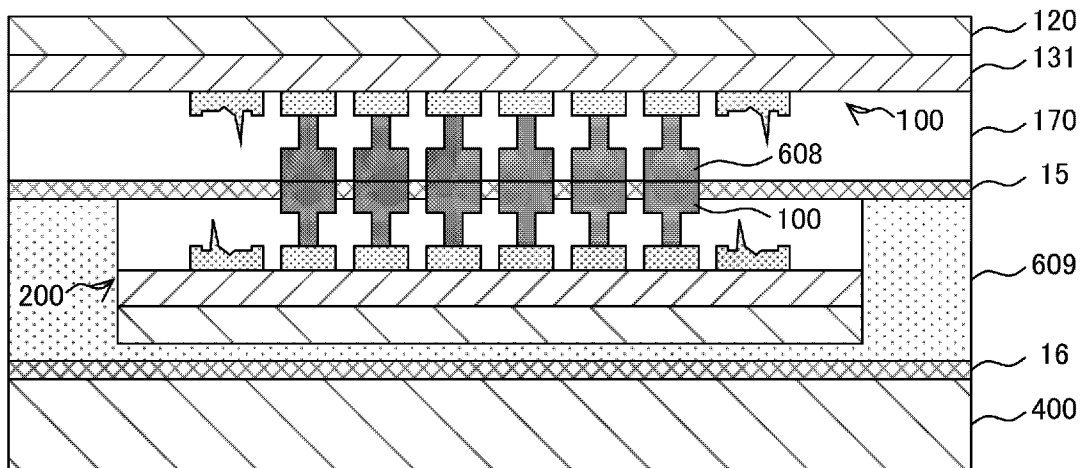


[図12]

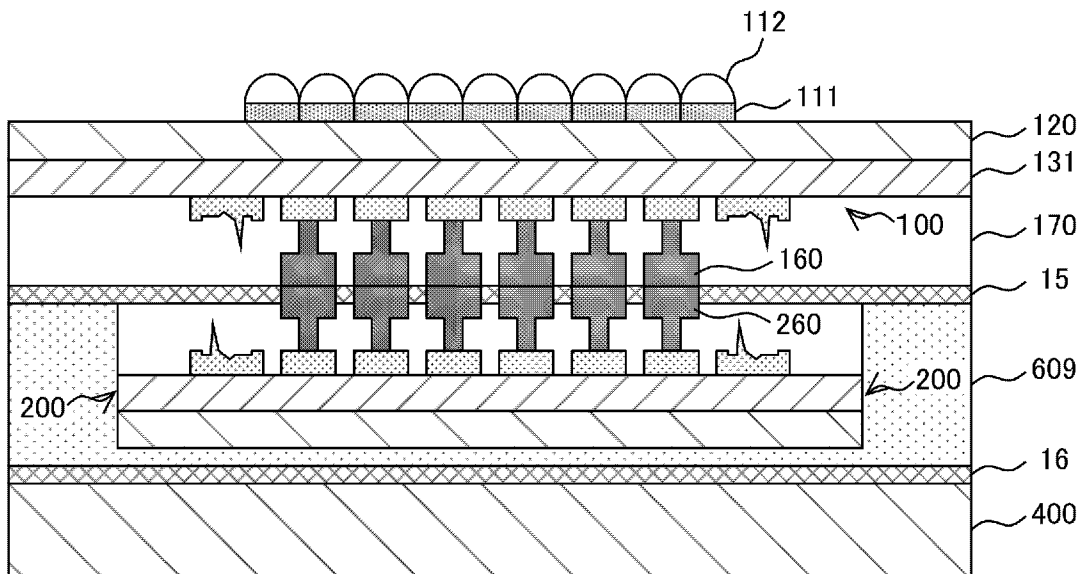
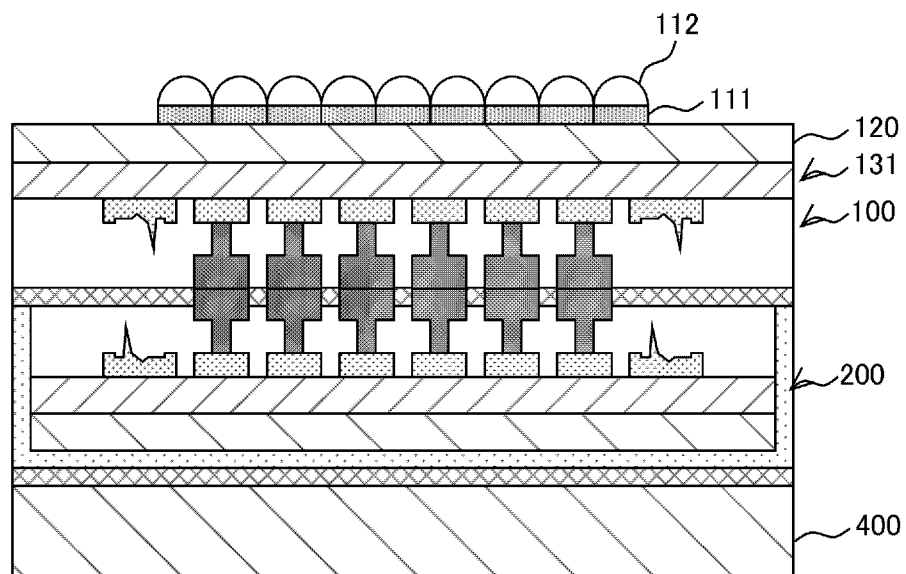
I



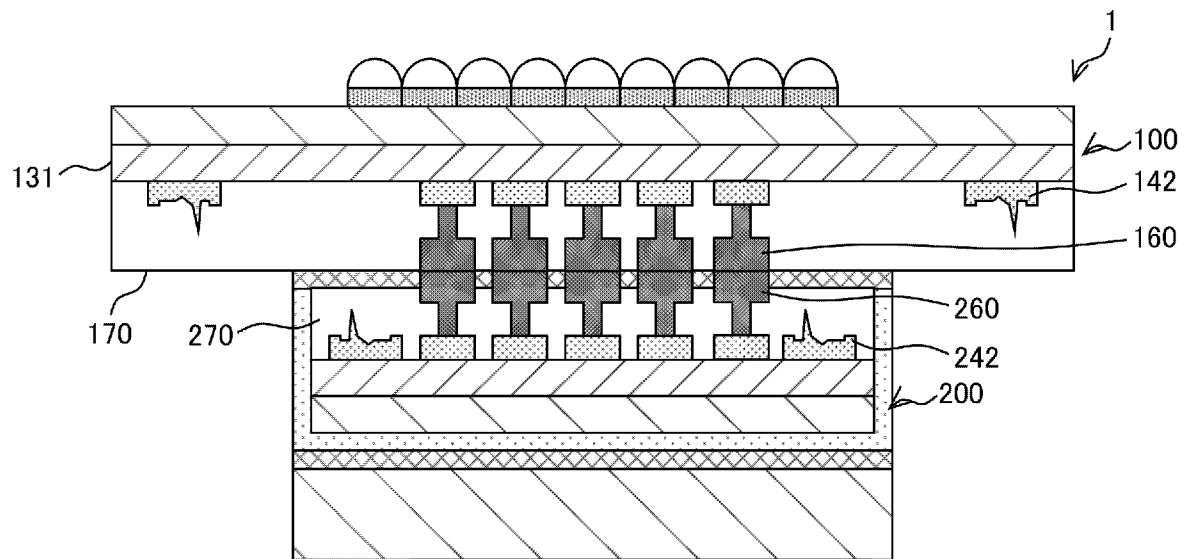
II



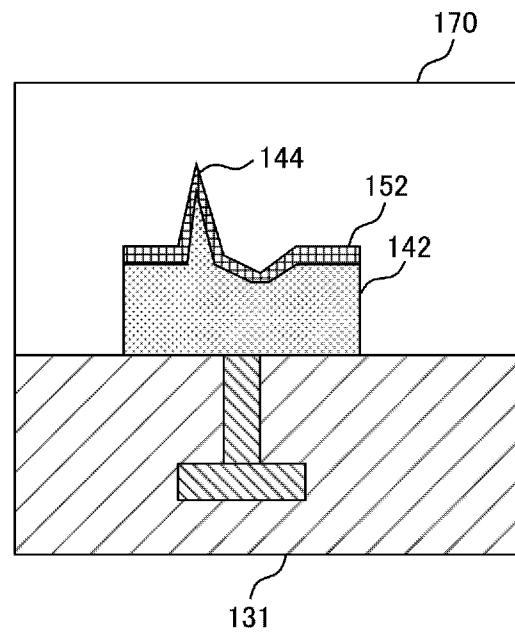
[図13]

KL

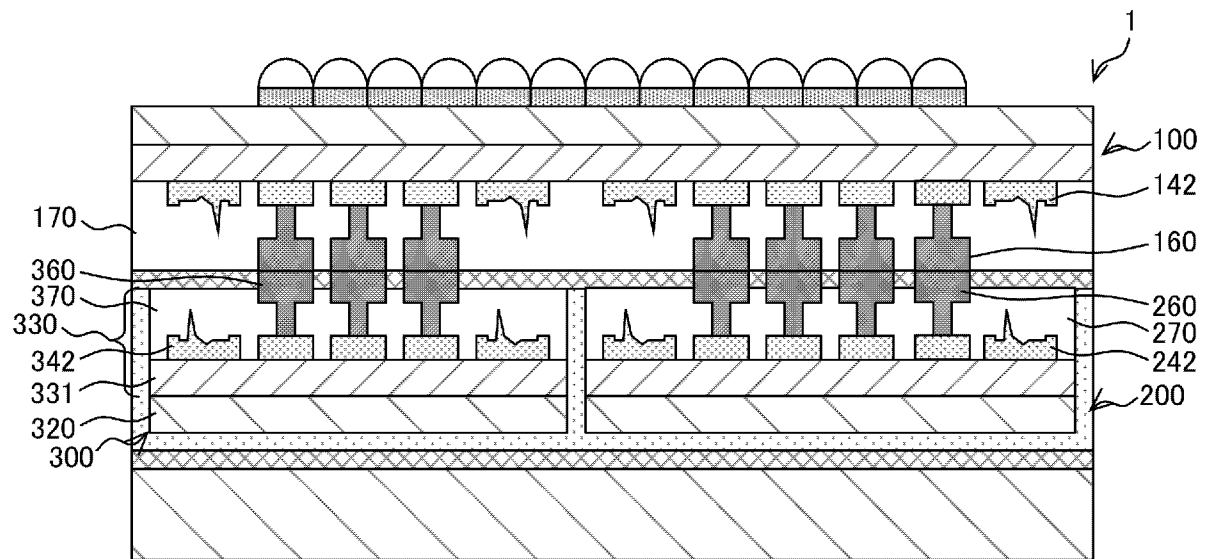
[図14]



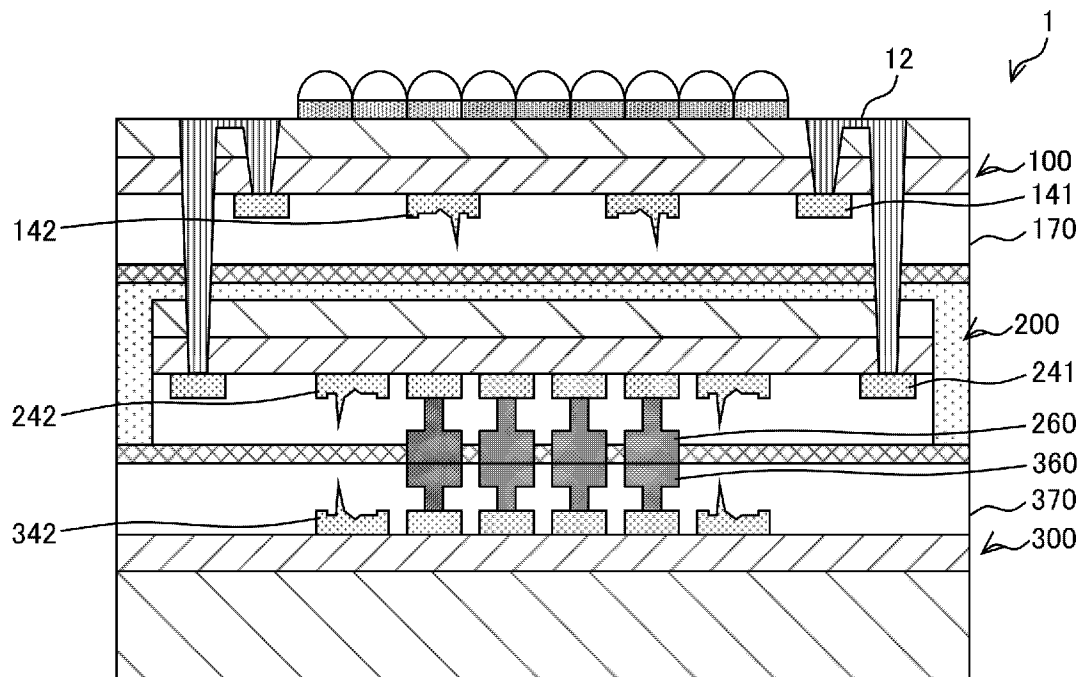
[図15]



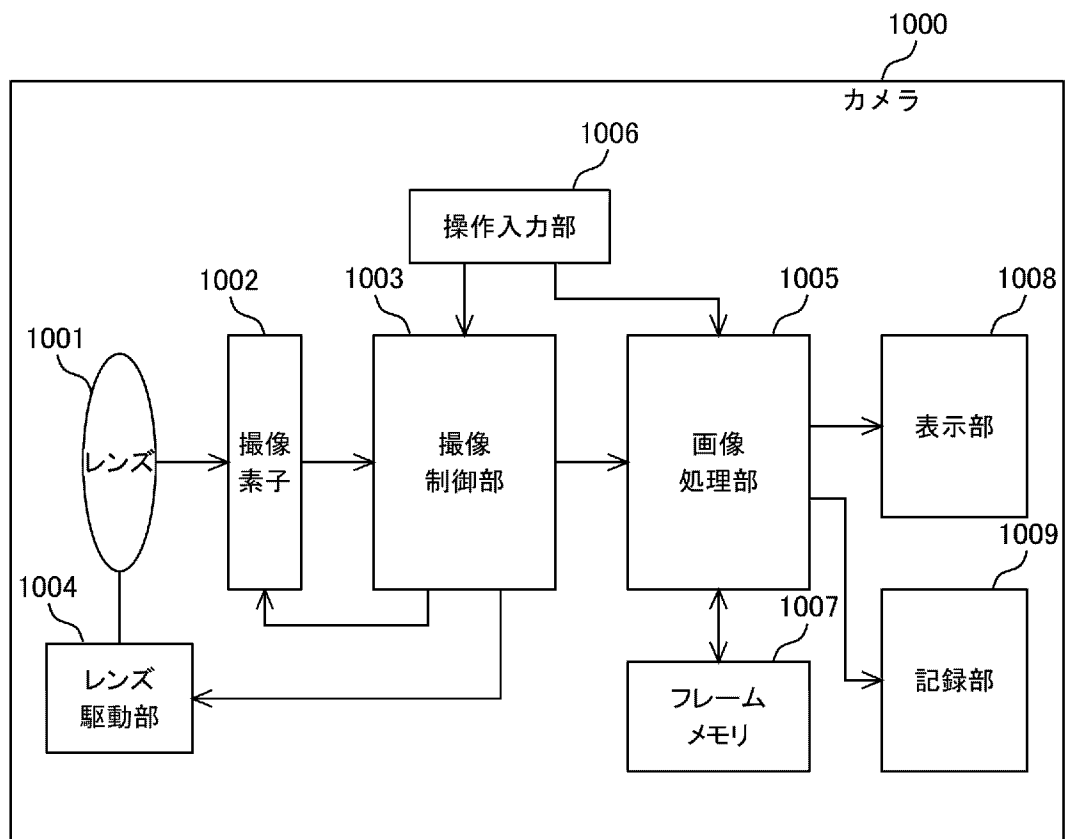
[図16]



[図17]



[図19]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/004513

A. CLASSIFICATION OF SUBJECT MATTER

Int. Cl.

FI:

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int. Cl.

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Published examined utility model applications of Japan 1922-1996

Published unexamined utility model applications of Japan 1971-2021

Registered utility model specifications of Japan 1996-2021

Published registered utility model applications of Japan 1994-2021

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2014-86596 A (OLYMPUS CORPORATION) 12 May 2014, paragraphs [0017]-[0047], fig. 1-10	1-4, 9-11, 13-14, 16 5-8, 12, 15, 17
Y	JP 2012-244100 A (SONY CORP.) 10 December 2012, paragraphs [0018], [0070], fig. 1-15	5
Y	WO 2015/050000 A1 (SONY CORP.) 09 April 2015, paragraphs [0035]-[0087], fig. 1-6	6-8, 12
Y	WO 2019/087764 A1 (SONY SEMICONDUCTOR SOLUTIONS CORPORATION) 09 May 2019, paragraphs [0048]-[0127], fig. 1-13	15



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search
06.04.2021

Date of mailing of the international search report
20.04.2021

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/004513

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y	WO 2015/159766 A1 (SONY CORP.) 22 October 2015, paragraphs [0059], [0148], fig. 5-18	17
A	JP 2008-140819 A (SONY CORP.) 19 June 2008, entire text, all drawings	1-7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2021/004513

Patent Documents referred to in the Report	Publication Date	Patent Family	Publication Date
JP 2014-86596 A	12.05.2014	US 2014/0110811 A1 paragraphs [0034]- [0082], fig. 1-10	
JP 2012-244100 A	10.12.2012	US 9054005 B2 US 2012/0298993 A1 paragraphs [0039]- [0091], fig. 1-15 CN 102800651 A KR 10-201 2-0131097 A TW 201248819 A	
WO 2015/050000 A1	09.04.2015	US 2016/0233264 A1 paragraphs [0075]- [0127], fig. 1-6 CN 105580136 A KR 10-2016-0067844 A TW 201523848 A	
WO 2019/087764 A1	09.05.2019	CN 111247638 A KR 10-2020-0077522 A TW 201924035 A	
WO 2015/159766 A1	22.10.2015	US 2017/0033144 A1 paragraphs [0078]- [0167], fig. 5-18 CN 106165099 A TW 201541621 A	
JP 2008-140819 A	19.06.2008	US 2008/0128848 A1 entire text, all drawings CN 101192620 A TW 200828580 A	

A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 25/065(2006.01)i; H01L 25/07(2006.01)i; H01L 25/18(2006.01)i; H01L 21/60(2006.01)i; H01L 21/3205(2006.01)i; H01L 21/768(2006.01)i; H01L 23/522(2006.01)i; H01L 27/146(2006.01)i FI: H01L27/146 D; H01L21/88 T; H01L25/08 B; H01L21/60 311Q		
B. 調査を行った分野		
調査を行った最小限資料（国際特許分類（IPC）） H01L25/065; H01L25/07; H01L25/18; H01L21/60; H01L21/3205; H01L21/768; H01L23/522; H01L27/146		
最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922-1996年 日本国公開実用新案公報 1971-2021年 日本国実用新案登録公報 1996-2021年 日本国登録実用新案公報 1994-2021年		
国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）		
C. 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X	JP 2014-86596 A (オリンパス株式会社) 12.05.2014 (2014-05-12) 段落[0017]-[0047], 図1-10	1-4, 9-11, 13-14, 16
Y		5-8, 12, 15, 17
Y	JP 2012-244100 A (ソニー株式会社) 10.12.2012 (2012-12-10) 段落[0018]-[0070], 図1-15	5
Y	WO 2015/050000 A1 (ソニー株式会社) 09.04.2015 (2015-04-09) 段落[0035]-[0087], 図1-6	6-8, 12
Y	WO 2019/087764 A1 (ソニーセミコンダクタソリューションズ株式会社) 09.05.2019 (2019-05-09) 段落[0048]-[0127], 図1-13	15
Y	WO 2015/159766 A1 (ソニー株式会社) 22.10.2015 (2015-10-22) 段落[0059]-[0148], 図5-18	17
A	JP 2008-140819 A (ソニー株式会社) 19.06.2008 (2008-06-19) 全文全図	1-17
☐ C欄の続きにも文献が列挙されている。 ☒ パテントファミリーに関する別紙を参照。		
* 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的な技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献		
国際調査を完了した日 06.04.2021		国際調査報告の発送日 20.04.2021
名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号		権限のある職員（特許庁審査官） 今井 聖和 5F 4666 電話番号 03-3581-1101 内線 3516

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2021/004513

引用文献			公表日	パテントファミリー文献			公表日
JP	2014-86596	A	12.05.2014	US	2014/0110811	A1	
					段落[0034]-[0082], 図1-10		
				US	9054005	B2	
JP	2012-244100	A	10.12.2012	US	2012/0298993	A1	
					段落[0039]-[0091], 図1-15		
				CN	102800651	A	
				KR	10-2012-0131097	A	
				TW	201248819	A	
WO	2015/050000	A1	09.04.2015	US	2016/0233264	A1	
					段落[0075]-[0127], 図1-6		
				CN	105580136	A	
				KR	10-2016-0067844	A	
				TW	201523848	A	
WO	2019/087764	A1	09.05.2019	CN	111247638	A	
				KR	10-2020-0077522	A	
				TW	201924035	A	
WO	2015/159766	A1	22.10.2015	US	2017/0033144	A1	
					段落[0078]-[0167], 図5-18		
				CN	106165099	A	
				TW	201541621	A	
JP	2008-140819	A	19.06.2008	US	2008/0128848	A1	
					全文全図		
				CN	101192620	A	
				TW	200828580	A	