

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第5288597号
(P5288597)

(45) 発行日 平成25年9月11日(2013.9.11)

(24) 登録日 平成25年6月14日(2013.6.14)

(51) Int.Cl.

F I

H O 1 L 21/336 (2006.01)

H O 1 L 29/786 (2006.01)

H O 1 L 29/78 6 1 8 Z

H O 1 L 29/78 6 2 7 G

H O 1 L 29/78 6 1 8 E

H O 1 L 29/78 6 1 6 T

H O 1 L 29/78 6 2 7 B

請求項の数 4 (全 45 頁) 最終頁に続く

(21) 出願番号 特願2008-191327 (P2008-191327)
 (22) 出願日 平成20年7月24日(2008.7.24)
 (65) 公開番号 特開2009-55013 (P2009-55013A)
 (43) 公開日 平成21年3月12日(2009.3.12)
 審査請求日 平成23年6月27日(2011.6.27)
 (31) 優先権主張番号 特願2007-196272 (P2007-196272)
 (32) 優先日 平成19年7月27日(2007.7.27)
 (33) 優先権主張国 日本国(JP)

(73) 特許権者 000153878
 株式会社半導体エネルギー研究所
 神奈川県厚木市長谷398番地
 (72) 発明者 山崎 舜平
 神奈川県厚木市長谷398番地 株式会社
 半導体エネルギー研究所内
 審査官 棚田 一也

(56) 参考文献 特開2004-6489(JP, A)

特開2007-5508(JP, A)

最終頁に続く

(54) 【発明の名称】 半導体装置の作製方法

(57) 【特許請求の範囲】

【請求項1】

ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及びソース電極及びドレイン電極となる導電膜を順次形成し、

前記導電膜にレーザ光を照射することにより、前記非晶質半導体膜を微結晶半導体膜に改質し、かつ前記一導電型を付与する不純物が添加された半導体膜を一導電型を付与する不純物が添加された微結晶半導体膜に改質し、

前記導電膜を前記一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成することを特徴とする半導体装置の作製方法。

【請求項2】

ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及びソース電極及びドレイン電極となる導電膜を順次形成し、

前記導電膜にレーザ光を照射することにより、前記非晶質半導体膜を微結晶半導体膜に改質し、かつ前記一導電型を付与する不純物が添加された半導体膜を一導電型を付与する不純物が添加された微結晶半導体膜に改質し、

前記導電膜を前記一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成し、

10

20

前記チャネルエッチ型の薄膜トランジスタに電氣的に接続する画素電極を形成することを特徴とする半導体装置の作製方法。

【請求項 3】

請求項 1 又は 2 において、前記ゲート絶縁膜は、前記ゲート電極上に窒化珪素膜、酸化窒化珪素膜、窒化珪素膜の積層で形成することを特徴とする半導体装置の作製方法。

【請求項 4】

請求項 1 乃至 3 のいずれか一項において、前記ゲート絶縁膜、前記微結晶半導体膜、前記非晶質半導体膜、前記一導電型を付与する不純物が添加された半導体膜は大気に曝さずに連続的に形成することを特徴とする半導体装置の作製方法。

【発明の詳細な説明】

10

【技術分野】

【0001】

本発明は、半導体装置、及び少なくとも画素部に薄膜トランジスタを用いた表示装置の作製方法に関する。

【背景技術】

【0002】

近年、絶縁表面を有する基板上に形成された半導体薄膜（厚さ数～数百 nm 程度）を用いて薄膜トランジスタを構成する技術が注目されている。薄膜トランジスタは IC や電気光学装置のような電子デバイスに広く応用され、特に画像表示装置のスイッチング素子として開発が急がれている。

20

【0003】

画像表示装置のスイッチング素子として、非晶質半導体膜を用いた薄膜トランジスタ、または多結晶半導体膜を用いた薄膜トランジスタ等が用いられている。多結晶半導体膜の形成方法としては、パルス発振のエキシマレーザビームを光学系により線状に加工して、非晶質珪素膜に対し線状ビームを走査させながら照射して結晶化する技術が知られている。

【0004】

また、画像表示装置のスイッチング素子として、微結晶半導体膜を用いた薄膜トランジスタが用いられている（特許文献 1 及び特許文献 2 参照。）。

【0005】

また、微結晶半導体膜を用いた薄膜トランジスタの作製方法として、ゲート絶縁膜上に非晶質シリコン膜を成膜した後、その上面に金属膜を形成し、当該金属膜にダイオードレーザを照射して、非晶質シリコン膜を微結晶シリコン膜に改質するものが知られている（例えば、非特許文献 1 参照。）。この方法によれば、非晶質シリコン膜上に形成した金属膜は、ダイオードレーザの光エネルギーを熱エネルギーに変換するためのものであり、薄膜トランジスタの完成のためにはその後除去されるべきものであった。

30

【特許文献 1】米国特許 5,591,987 号明細書

【特許文献 2】特開平 4-242724 号公報

【非特許文献 1】トシアキ・アライ (Toshiaki Arai) 他、エス・アイ・ディー 07 ダイジェスト (SID 07 DIGEST)、2007、p.1370-1373

40

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、非特許文献 1 のように、半導体膜の結晶化のために金属膜を形成、除去するなどの工程を行うと、工程が複雑化してしまい、その分歩留まりが低減し、コストが高まるという問題がある。

【0007】

上述した問題に鑑み、本発明は、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を量産高く作製する方法を提案することを課題の一とする。

【課題を解決するための手段】

50

【0008】

微結晶半導体層をチャンネル形成領域とするチャンネルエッチ構造の逆スタガ型薄膜トランジスタを有する表示装置において、微結晶半導体層は、成膜法により形成する結晶成長の核となりうる微結晶半導体膜と、非晶質半導体膜との積層を形成し、該非晶質半導体膜上にソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された半導体膜、導電膜を形成し、導電膜にレーザ光を照射する。レーザ光により微結晶半導体膜上の非晶質半導体膜は結晶化し、成膜法による微結晶半導体膜を含む微結晶半導体層を形成することができる。

【0009】

本発明では、成膜法による微結晶半導体膜上に非晶質半導体膜を結晶化した微結晶半導体膜を形成し、微結晶半導体層を形成するため、膜厚の厚い微結晶半導体層でも長い工程時間を要しないで形成することができる。よって、微結晶半導体層を有する薄膜トランジスタの形成工程にかかる時間を短縮することができ、生産性が向上する。

【0010】

また、一導電型を付与する不純物が添加された半導体膜として、レーザ光により結晶化された一導電型を付与する不純物が添加された微結晶半導体膜をソース領域及びドレイン領域として用いるため、ソース領域及びドレイン領域を低抵抗化でき、電気特性を向上させることができる。

【0011】

導電膜はレーザ光照射工程において、下層の半導体膜の酸化、汚染等を防ぐ保護膜としても機能するだけでなく、さらに本発明では、レーザ光を照射された導電膜をエッチングし、ソース電極及びドレイン電極を形成する。

【0012】

従って、工程時における半導体膜の酸化等の劣化を防止できるため、信頼性が向上し、さらに微結晶半導体層を形成するレーザ照射工程のための導電膜の形成、除去を行わないので、工程が簡略化できる。従って歩留まりも向上し量産性高く薄膜トランジスタ（半導体装置）、及び該薄膜トランジスタを有する表示装置を作製することができる。

【0013】

微結晶半導体膜は、多結晶半導体膜と異なり、微結晶半導体膜として直接基板上に成膜することができる。具体的には、水素化珪素を原料ガスとし、周波数が1GHz以上のマイクロ波プラズマCVD装置を用いて成膜することができる。また、周波数が1GHz以上のマイクロ波を用いたプラズマは電子密度が高く、原料ガスである水素化珪素の解離が容易となる。このため、周波数が数十MHz～数百MHzのマイクロ波プラズマCVD法と比較して、微結晶半導体膜を容易に作製することが可能であり、成膜速度を高めることが可能である。

【0014】

また、微結晶半導体膜を用い、薄膜トランジスタ（TFET）を作製し、該薄膜トランジスタを画素部、さらには駆動回路に用いて表示装置を作製する。微結晶半導体膜を用いた薄膜トランジスタは、その移動度が $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{sec}$ と、非晶質半導体膜を用いた薄膜トランジスタの2～20倍の移動度を有しているので、駆動回路の一部または全体を、画素部と同じ基板上に一体形成し、システムオンパネルを形成することができる。

【0015】

ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、ソース領域及びドレイン領域を形成する一導電型を付与する不純物が添加された非晶質半導体膜を形成する反応室は、同一の反応室を用いて行っても良いし、膜種ごとに異なる反応室で行ってもよい。また、ソース電極及びドレイン電極として用いる導電膜も連続して形成してもよく、その後のレーザ光照射工程も大気に曝さずに連続して行ってもよい。

【0016】

反応室は基板を搬入して成膜する前に、クリーニング、フラッシング（洗浄）処理（水素をフラッシュ物質として用いた水素フラッシュ、シランをフラッシュ物質として用いたシ

10

20

30

40

50

ランフラッシュなど)、各反応室内の内壁を保護膜でコーティングする(プリコート処理ともいう)を行うと好ましい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内側を成膜する膜による保護膜によって薄く覆う処理である。フラッシング処理、プリコート処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

【0017】

非晶質半導体膜は、プラズマCVD法、スパッタリング法等で形成することができる。また、非晶質半導体膜を形成した後、非晶質半導体膜の表面を窒素プラズマ、水素プラズマ、またはハロゲンプラズマで処理して非晶質半導体膜の表面を窒素化、水素化またはハロゲン化することができる。

10

【0018】

本発明の半導体装置の作製方法の一は、ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及び導電膜を順次形成し、導電膜にレーザ光を照射して少なくとも非晶質半導体膜を微結晶半導体膜に改質し、導電膜を一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成する。

【0019】

本発明の半導体装置の作製方法の一は、ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及び導電膜を順次形成し、導電膜にレーザ光を照射して、非晶質半導体膜を微結晶半導体膜に改質し、かつ一導電型を付与する不純物が添加された半導体膜を一導電型を付与する不純物が添加された微結晶半導体膜に改質し、導電膜を一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成する。

20

【0020】

本発明の半導体装置の作製方法の一は、ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及び導電膜を順次形成し、導電膜にレーザ光を照射して少なくとも非晶質半導体膜を微結晶半導体膜に改質し、導電膜を一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成し、チャンネルエッチ型の薄膜トランジスタに電氣的に接続する画素電極を形成する。

30

【0021】

本発明の半導体装置の作製方法の一は、ゲート電極上に、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及び導電膜を順次形成し、導電膜にレーザ光を照射して、非晶質半導体膜を微結晶半導体膜に改質し、かつ一導電型を付与する不純物が添加された半導体膜を一導電型を付与する不純物が添加された微結晶半導体膜に改質し、導電膜を一導電型を付与する不純物が添加された半導体膜上に残存させたまま、チャンネルエッチ型の薄膜トランジスタを形成し、前記チャンネルエッチ型の薄膜トランジスタに電氣的に接続する画素電極を形成する。

【0022】

また、表示機能を有する半導体装置(表示装置)は表示素子を含む。表示素子としては液晶素子(液晶表示素子ともいう)、発光素子(発光表示素子ともいう)を用いることができる。発光素子は、電流または電圧によって輝度が制御される素子をその範疇に含んでおり、具体的には無機EL(Electro Luminescence)、有機EL等が含まれる。また、電子インクなど、電氣的作用によりコントラストが変化する表示媒体も適用することができる。

40

【0023】

また、表示装置は、表示素子が封止された状態にあるパネルと、該パネルにコントローラを含むIC等を実装した状態にあるモジュールとを含む。さらに本発明は、該表示装置を作製する過程における、表示素子が完成する前の一形態に相当する素子基板に関し、該素子基板は、電流を表示素子に供給するための手段を複数の各画素に備える。素子基板は、

50

具体的には、表示素子の画素電極のみが形成された状態であっても良いし、画素電極となる導電膜を成膜した後であって、エッチングして画素電極を形成する前の状態であっても良いし、あらゆる形態があてはまる。

【0024】

なお、本明細書中における表示装置とは、画像表示デバイス、表示デバイス、もしくは光源（照明装置含む）を指す。また、コネクタ、例えばFPC（Flexible printed circuit）もしくはTAB（Tape Automated Bonding）テープもしくはTCP（Tape Carrier Package）が取り付けられたモジュール、TABテープやTCPの先にプリント配線板が設けられたモジュール、または表示素子にCOG（Chip On Glass）方式によりIC（集積回路）が直接実装されたモジュールも全て表示装置に含むものとする。

10

【発明の効果】

【0025】

本発明により、電気特性が高く信頼性のよい薄膜トランジスタを有する半導体装置、及び表示装置を量産高く作製することができる。

【発明を実施するための最良の形態】

【0026】

本発明の実施の形態について、図面を用いて詳細に説明する。但し、本発明は以下の説明に限定されず、本発明の趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは当業者であれば容易に理解される。従って、本発明は以下に示す実施の形態の記載内容に限定して解釈されるものではない。なお、以下に説明する本発明の構成において、同一部分又は同様な機能を有する部分には同一の符号を異なる図面間で共通して用い、その繰り返しの説明は省略する。

20

【0027】

（実施の形態1）

本実施の形態では、半導体装置（表示装置）に用いられる薄膜トランジスタの作製工程について、図1乃至図4を用いて説明する。図1乃至図3は、薄膜トランジスタの作製工程を示す断面図であり、図4は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図であり、図1乃至図3は、図4における線A1-B1の薄膜トランジスタの作製工程を示す断面図である。

30

【0028】

微結晶半導体膜を有する薄膜トランジスタはp型よりもn型の方が、移動度が高いので駆動回路に用いるのにより適しているが、本発明では、薄膜トランジスタはn型であってもp型であってもどちらでも良い。いずれの極性の薄膜トランジスタを用いる場合でも、同一の基板上に形成する薄膜トランジスタを全て同じ極性にそろえておくことが、工程数を抑えるためにも望ましい。ここでは、nチャネル型の薄膜トランジスタを用いて説明する。

【0029】

以下、作製方法を詳細に説明する。基板50上にゲート電極51を形成する。基板50は、バリウムホウケイ酸ガラス、アルミノホウケイ酸ガラス、若しくはアルミノシリケートガラスなど、フュージョン法やフロート法で作製される無アルカリガラス基板、セラミック基板の他、本作製工程の処理温度に耐えうる耐熱性を有するプラスチック基板等を用いることができる。また、ステンレス合金などの金属基板の表面に絶縁膜を設けた基板を適用しても良い。基板50の大きさは、第1世代と呼ばれる300mm×400mmから、第3世代の550mm×650mm、第4世代の730mm×920mm、第5世代の1000mm×1200mm、第6世代の1500mm×1850mm、第7世代の1870mm×2200mm、第8世代の2200mm×2400mm、第9世代の2400mm×2800mm、第10世代の2880mm×3080mmなど様々なサイズを適用することができる。

40

【0030】

50

ゲート電極 5 1 は、チタン、モリブデン、クロム、タンタル、タングステン、アルミニウムなどの金属材料またはその合金材料を用いて形成する。ゲート電極 5 1 は、スパッタリング法や真空蒸着法で基板 5 0 上に導電膜を形成し、当該導電膜上にフォトリソグラフィ技術またはインクジェット法によりマスクを形成し、当該マスクを用いて導電膜をエッチングすることで、形成することができる。また、銀、金、銅などの導電性ナノペーストを用いてインクジェット法により吐出し焼成して、ゲート電極 5 1 を形成することができる。なお、ゲート電極 5 1 の密着性向上と下地への拡散を防ぐバリアメタルとして、上記金属材料の窒化物膜を、基板 5 0 及びゲート電極 5 1 の間に設けてもよい。また、ゲート電極 5 1 は積層構造としてもよく、基板 5 0 側からアルミニウム膜とモリブデン膜の積層、銅膜とモリブデン膜との積層、銅膜と窒化チタン膜との積層、銅膜と窒化タンタル膜との積層などを用いることができる。上記積層構造において、上層に形成されるモリブデン膜や、窒化チタン膜、窒化タンタル膜などの窒化物膜はバリアメタルとしての効果を有する。

10

【 0 0 3 1 】

なお、ゲート電極 5 1 上には半導体膜や配線を形成するので、段切れ防止のため端部がテーパー状になるように加工することが望ましい。また、図示しないがこの工程でゲート電極 5 1 に接続する配線も同時に形成することができる。

【 0 0 3 2 】

次に、ゲート電極 5 1 上に、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、非晶質半導体膜 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 5 5 を順に形成する（図 1（A）及び図 4（A）参照。）。図 1（A）は、図 4（A）の A 1 - B 1 の断面図に相当する。

20

【 0 0 3 3 】

微結晶半導体膜 5 3 を、水素プラズマを作用させつつ（作用させた）ゲート絶縁膜 5 2 b 表面に形成してもよい。水素プラズマを作用させたゲート絶縁膜上に微結晶半導体膜を形成すると、微結晶の結晶成長を促進することができる。

【 0 0 3 4 】

また、ゲート絶縁膜及び微結晶半導体膜の界面における格子歪を低減することが可能であり、ゲート絶縁膜及び微結晶半導体膜の界面特性を向上させることができる。従って得られる微結晶半導体膜は電気特性が高く信頼性のよいものとすることができる。

30

【 0 0 3 5 】

なお、ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、及び非晶質半導体膜 5 4 を大気に触れさせることなく連続的に形成してもよい。ゲート絶縁膜 5 2 a、5 2 b、微結晶半導体膜 5 3、非晶質半導体膜 5 4 を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【 0 0 3 6 】

ゲート絶縁膜 5 2 a、5 2 b はそれぞれ、CVD 法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。ここでは、ゲート絶縁膜 5 2 a、5 2 b として、窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜との順に積層して形成する形態を示す。なお、ゲート絶縁膜を 2 層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に 3 層積層して形成することができる。また、ゲート絶縁膜を、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜の単層で形成することができる。更には、周波数が 1 GHz のマイクロ波プラズマ CVD 装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマ CVD 装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。

40

【 0 0 3 7 】

ゲート絶縁膜の 3 層積層構造の例として、ゲート電極上に 1 層目として窒化珪素膜または

50

窒化酸化珪素膜と、2層目として酸化窒化珪素膜と、3層目として窒化珪素膜とを積層とし、最上層の窒化珪素膜上に微結晶半導体膜を形成してもよい。この場合、1層目の窒化珪素膜または窒化酸化珪素膜は膜厚が50nmより厚い方がよく、ナトリウムなどの不純物を遮断するバリア、ゲート電極のヒロックの防止、ゲート電極の酸化防止などの効果を奏する。3層目の窒化珪素膜は微結晶半導体膜の密着性向上、酸化防止としての効果を奏する。

【0038】

このようにゲート絶縁膜表面に極薄膜の窒化珪素膜のような窒化膜を形成することで微結晶半導体膜の密着性を向上することができる。窒化膜はプラズマCVD法により成膜してもよく、マイクロ波による高密度で低温なプラズマ処理によって窒化処理を行ってもよい。また、反応室にシランフラッシュ処理を行う際に窒化珪素膜、窒化酸化珪素膜を形成してもよい。

10

【0039】

ここでは、酸化窒化珪素膜とは、その組成として、窒素よりも酸素の含有量が多いものであって、濃度範囲として酸素が55～65原子%、窒素が1～20原子%、Siが25～35原子%、水素が0.1～10原子%の範囲で含まれるものをいう。また、窒化酸化珪素膜とは、その組成として、酸素よりも窒素の含有量が多いものであって、濃度範囲として酸素が15～30原子%、窒素が20～35原子%、Siが25～35原子%、水素が15～25原子%の範囲で含まれるものをいう。

【0040】

20

一導電型を付与する不純物が添加された非晶質半導体膜55は、nチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてリンを添加すれば良く、水素化珪素に PH_3 などの不純物気体を加えれば良い。また、pチャネル型の薄膜トランジスタを形成する場合には、代表的な不純物元素としてボロンを添加すれば良く、水素化珪素に B_2H_6 などの不純物気体を加えれば良い。一導電型を付与する不純物が添加された非晶質半導体膜55は、微結晶半導体膜、または非晶質半導体膜で形成することができる。一導電型を付与する不純物が添加された非晶質半導体膜55は膜厚2～50nm（好ましくは10～30nm）とすればよい。

【0041】

微結晶半導体膜53、非晶質半導体膜54、及び一導電型を付与する不純物が添加された非晶質半導体膜55上にマスク56を形成する（図1（B）参照。）。マスク56は、フォトリソグラフィ技術またはインクジェット法により形成する。

30

【0042】

次に、マスク56を用いて微結晶半導体膜53、非晶質半導体膜54、及び一導電型を付与する不純物が添加された非晶質半導体膜55をエッチングし分離して、微結晶半導体膜57、非晶質半導体膜58、及び一導電型を付与する不純物が添加された非晶質半導体膜69を形成する（図1（C）参照。）。この後、マスク56を除去する。なお、図1（C）は、図4（B）のA1-B1の断面図に相当する。

【0043】

微結晶半導体膜57、非晶質半導体膜58、及び一導電型を付与する不純物が添加された非晶質半導体膜69の端部をテーパを有する形状にエッチングしてもよい。端部のテーパ角は $90^\circ \sim 30^\circ$ 、好ましくは $80^\circ \sim 45^\circ$ とする。これにより、段差形状による配線の段切れを防ぐことができる。

40

【0044】

次に、微結晶半導体膜57、非晶質半導体膜58、一導電型を付与する不純物が添加された非晶質半導体膜69及びゲート絶縁膜52b上に導電膜65aを形成する（図1（D）参照。）。）。。

【0045】

導電膜65aにレーザ光60を照射し、一導電型を付与する不純物が添加された非晶質半導体膜69及び非晶質半導体膜58を結晶化（微結晶化）し、一導電型を付与する不純物

50

が添加された微結晶半導体膜 6 3、及び微結晶半導体層 6 2 を形成する（図 1（E）参照。）。

【 0 0 4 6 】

レーザ光 6 0 により微結晶半導体膜 5 7 上の非晶質半導体膜 5 8 は結晶化し、成膜法による微結晶半導体膜 5 7 を含む微結晶半導体層 6 2 を形成することができる。成膜法による微結晶半導体膜 5 7 は、非晶質半導体膜 5 8 の結晶成長の核となりうる。

【 0 0 4 7 】

導電膜 6 5 a はレーザ光 6 0 の照射工程において、下層の半導体膜の酸化、汚染等を防ぐ保護膜としても機能する。従って、工程時における半導体膜の酸化等の劣化を防止できるため、信頼性が向上する。従って信頼性の高い薄膜トランジスタを有する表示装置を作製することができる。

10

【 0 0 4 8 】

また、一導電型を付与する不純物が添加された微結晶半導体膜をソース領域及びドレイン領域として用いるため、ソース領域及びドレイン領域を低抵抗化でき、薄膜トランジスタの電気特性を向上させることができる。

【 0 0 4 9 】

さらに本発明では、レーザ光を照射された導電膜をエッチングし、ソース電極及びドレイン電極を形成する。従って、微結晶半導体層を形成するレーザ照射工程のための導電膜の形成、除去を行わないので、工程が簡略化できる。従って歩留まりも向上し量産性高く薄膜トランジスタ、及び該薄膜トランジスタを有する表示装置を作製することができる。

20

【 0 0 5 0 】

レーザ光を照射する導電膜 6 5 a は、タングステン（W）、クロム（Cr）、タンタル（Ta）、窒化タンタルまたはモリブデン（Mo）などの高融点金属、又は高融点金属を主成分とする合金もしくは化合物（例えば、これらの金属元素の窒化物）を用いることが好ましい。

【 0 0 5 1 】

導電膜に照射する光は導電膜に高いエネルギーを与えられるものであればよく、好適にはレーザ光を用いることができる。

【 0 0 5 2 】

光の波長は、導電膜に吸収される波長とする。その波長は、光の表皮深さ（skin depth）などを考慮して決定することができる。また、光のエネルギーは、光の波長、光の表皮深さ、照射する導電膜の膜厚などを考慮して決定することができる。導電膜に光が吸収されるように、導電膜の材料や光の波長や照射条件は適宜設定すればよい。

30

【 0 0 5 3 】

レーザ光を発振するレーザは、連続発振レーザ、疑似連続発振レーザ及びパルス発振レーザを用いることができる。例えば、KrFレーザなどのエキシマレーザ、Arレーザ、Krレーザなどの気体レーザがある。その他、固体レーザとして、YAGレーザ、YVO₄レーザ、YLFレーザ、YAlO₃レーザ、GdVO₄レーザ、KGWレーザ、KYWレーザ、アレキサンドライトレーザ、Ti：サファイアレーザ、Y₂O₃レーザなどがある。なお、エキシマレーザはパルス発振レーザであるが、YAGレーザなどの固体レーザには、連続発振レーザにも、疑似連続発振レーザにも、パルス発振レーザにもなるものがある。なお、固体レーザにおいては、基本波の第2高調波～第5高調波を適用するのが好ましい。また、GaN、GaAs、GaAlAs、InGaAsP等の半導体レーザも用いることができる。

40

【 0 0 5 4 】

また、ランプ光を用いてもよい。例えば、紫外線ランプ、ブラックライト、ハロゲンランプ、メタルハライドランプ、キセノンアークランプ、カーボンアークランプ、高圧ナトリウムランプ、または高圧水銀ランプから射出された光を用いてもよい。上記ランプ光を用いたフラッシュアニールを用いてもよい。ハロゲンランプやキセノンランプなどを好適に用いて行うフラッシュアニールは極短時間の処理でよいいため、支持基板の温度上昇を抑え

50

ることができる。

【 0 0 5 5 】

光の形状や光の進路を調整するため、シャッター、ミラー又はハーフミラー等の反射体、シリンドリカルレンズや凸レンズなどによって構成される光学系が設置されていてもよい。

【 0 0 5 6 】

なお、光の照射方法は、選択的に光を照射してもよいし、光を X Y 軸方向に走査して光を照射することができる。この場合、光学系にポリゴンミラーやガルバノミラーを用いることが好ましい。

【 0 0 5 7 】

微結晶半導体層 6 2 は、ギブスの自由エネルギーを考慮すれば非晶質と単結晶の中間的な準安定状態に属するものである。すなわち、自由エネルギー的に安定な第 3 の状態を有する半導体であって、短距離秩序を持ち格子歪みを有する。柱状または針状結晶が基板表面に対して法線方向に成長している。微結晶半導体の代表例である微結晶シリコンは、そのラマンスペクトルが単結晶シリコンを示す 520 cm^{-1} よりも低周波数側に、シフトしている。即ち、単結晶シリコンを示す 520 cm^{-1} とアモルファスシリコンを示す 480 cm^{-1} の間に微結晶シリコンのラマンスペクトルのピークがある。また、未結合手（ダングリングボンド）を終端するため水素またはハロゲンを少なくとも 1 原子%またはそれ以上含ませている。さらに、ヘリウム、アルゴン、クリプトン、ネオンなどの希ガス元素を含ませて格子歪みをさらに助長させることで、安定性が増し良好な微結晶半導体膜が得られる。

【 0 0 5 8 】

この微結晶半導体層は、周波数が数十 MHz ~ 数百 MHz の高周波プラズマ CVD 法、または周波数が 1 GHz 以上のマイクロ波プラズマ CVD 装置により形成することができる。代表的には、 SiH_4 、 Si_2H_6 、 SiH_2Cl_2 、 SiHCl_3 、 SiCl_4 、 SiF_4 などの水素化珪素を水素で希釈して形成することができる。また、水素化珪素及び水素に加え、ヘリウム、アルゴン、クリプトン、ネオンから選ばれた一種または複数種の希ガス元素で希釈して微結晶半導体膜を形成することができる。これらのときの水素化珪素に対して水素の流量比を 5 倍以上 200 倍以下、好ましくは 50 倍以上 150 倍以下、更に好ましくは 100 倍とする。

【 0 0 5 9 】

また、微結晶半導体層は、価電子制御を目的とした不純物元素を意図的に添加しないときに弱い n 型の電気伝導性を示すので、薄膜トランジスタのチャネル形成領域として機能する微結晶半導体層に対しては、p 型を付与する不純物元素を、成膜と同時に、或いは成膜後に添加することで、しきい値制御をすることが可能となる。p 型を付与する不純物元素としては、代表的には硼素であり、 B_2H_6 、 BF_3 などの不純物気体を 1 ppm ~ 1000 ppm、好ましくは 1 ~ 100 ppm の割合で水素化珪素に混入させると良い。そしてボロンの濃度を、例えば $1 \times 10^{14} \sim 6 \times 10^{16} \text{ atoms/cm}^3$ とすると良い。

【 0 0 6 0 】

また、微結晶半導体層の酸素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 以下、好ましくは $1 \times 10^{19} \text{ atoms/cm}^3$ 以下、窒素及び炭素の濃度それぞれを $1 \times 10^{18} \text{ atoms/cm}^3$ 以下とすることが好ましい。酸素、窒素、及び炭素が微結晶半導体膜に混入する濃度を低減することで、微結晶半導体膜が n 型化になることを防止することができる。

【 0 0 6 1 】

本発明において、微結晶半導体層 6 2 は、成膜法による微結晶半導体膜 5 3 及び非晶質半導体膜 5 4 がレーザ光照射工程によって微結晶化した微結晶半導体膜により形成されている。よって微結晶半導体層 6 2 の膜厚は結晶成長の核となる成膜法による微結晶半導体膜 5 3 と非晶質半導体膜 5 4 のほぼ合計となる。微結晶半導体層 6 2 の膜厚は、25 ~ 30

10

20

30

40

50

0 nm (好ましくは30 ~ 150 nm)程度とすればよい。また、成膜法による微結晶半導体膜53は非晶質半導体膜54の結晶成長の核として機能すればよいので、膜厚は薄くても良く、極薄膜でも構わない。非晶質半導体膜54は、微結晶半導体膜53上に積層した状態で結晶化されるため、高い電気特性及び信頼性を有する微結晶状態の微結晶半導体層とすることができる。

【0062】

また、微結晶半導体層62を、0 nmより厚く50 nm以下、好ましくは0 nmより厚く20 nm以下で形成してもよい。微結晶半導体層62は後に形成される薄膜トランジスタのチャネル形成領域として機能する。微結晶半導体層62の厚さを上記の範囲内とすることで、後に形成される薄膜トランジスタは、完全空乏型とすることができる。

10

【0063】

また、微結晶半導体層は微結晶で構成されているため、非晶質半導体膜と比較して抵抗が低い。このため、微結晶半導体膜を用いた薄膜トランジスタは、電流電圧特性を示す曲線の立ち上がり部分の傾きが急峻となり、スイッチング素子としての応答性が優れ、高速動作が可能となる。また、薄膜トランジスタのチャネル形成領域に微結晶半導体層を用いることで、薄膜トランジスタの閾値の変動を抑制することが可能である。このため、電気特性のばらつきの少ない表示装置を作製することができる。

【0064】

また、微結晶半導体膜は非晶質半導体膜と比較して移動度が高い。このため、表示素子のスイッチングとして、チャネル形成領域が微結晶半導体膜で形成される薄膜トランジスタを用いることで、チャネル形成領域の面積、即ち薄膜トランジスタの面積を縮小することが可能である。このため、一画素あたりに示す薄膜トランジスタの面積が小さくなり、画素の開口率を高めることが可能である。この結果、解像度の高い装置を作製することができる。

20

【0065】

また、微結晶半導体膜は下側から縦方向に成長し、針状結晶である。微結晶半導体膜には非晶質と結晶構造が混在しており、結晶領域と非晶質領域との間に局部応力でクラックが発生し、隙間ができやすい。この隙間に新たなラジカルが介入して結晶成長を起こしうる。しかし上方の結晶面が大きくなるため、針状に上方に成長しやすい。このように微結晶半導体膜は縦方向に成長しても、非晶質半導体膜の成膜速度に比べて1/10 ~ 1/100の早さである。

30

【0066】

本発明では、成膜法による微結晶半導体膜上に非晶質半導体膜を結晶化した微結晶半導体膜を形成し、微結晶半導体層を形成するため、膜厚の厚い微結晶半導体層でも長い工程時間を要しないで形成することができる。よって、微結晶半導体層を有する薄膜トランジスタの形成工程にかかる時間を短縮することができ、生産性が向上する。

【0067】

導電膜65aに対するレーザ光照射工程を行った後、導電膜65aと同様にソース電極及びドレイン電極となり配線としても機能する導電膜65b及び導電膜65cを積層する(図2(A)参照。)。

40

【0068】

導電膜は、アルミニウム、若しくは銅、シリコン、チタン、ネオジウム、スカンジウム、モリブデンなどの耐熱性向上元素若しくはヒロック防止元素が添加されたアルミニウム合金の単層または積層で形成することが好ましい。また、一導電型を付与する不純物が添加された半導体膜と接する側の導電膜65aを、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で形成し、その上にアルミニウムまたはアルミニウム合金を形成した積層構造としても良い。更には、アルミニウムまたはアルミニウム合金の上面及び下面を、チタン、タンタル、モリブデン、タングステン、またはこれらの元素の窒化物で挟んだ積層構造としてもよい。ここでは、導電膜としては、導電膜65a ~ 65c 3層が積層した構造の導電膜を示し、導電膜65a、65cにモリブデン膜、導電膜65

50

bにアルミニウム膜を用いた積層導電膜や、導電膜65a、65cにチタン膜、導電膜65bにアルミニウム膜を用いた積層導電膜を示す。本実施の形態のように、レーザ光を照射される導電膜65aに溶融しにくいモリブデンのような高融点材料を用い、一方レーザ光を照射されない導電膜65bには、低融点材料であっても抵抗が低く導電性の高いアルミニウムのような導電性材料を用いることで、高信頼性化、高性能化を両方付与することができる。

【0069】

導電膜65a～65cは、スパッタリング法や真空蒸着法で形成する。また、CVD法を用いてもよい。さらに、導電膜65a～65cは、銀、金、銅などの導電性ナノペーストを用いてスクリーン印刷法、インクジェット法等を用いて吐出し焼成して形成しても良い。

10

【0070】

次に導電膜65a～65c上にマスク66を形成する。マスク66は、マスク56と同様に形成することができる。

【0071】

マスク66を用いて導電膜65a～65cをエッチングし分離して、ソース電極及びドレイン電極71a～71cを形成する(図2(B)参照。)。本実施の形態のように導電膜65a～65cをウエットエッチングすると、導電膜65a～65cは等方的にエッチングされるため、マスク66の端部と、ソース電極及びドレイン電極71a～71cの端部はより一致せずより後退している。次に、マスク66を用いて一導電型を付与する不純物が添加された微結晶半導体膜63及び微結晶半導体層62をエッチングして、ソース領域及びドレイン領域72、微結晶半導体層73を形成する(図2(C)参照。)。なお、微結晶半導体層73は一部のみがエッチングされ、溝部(凹部)を有する微結晶半導体層である。

20

【0072】

微結晶半導体層73は一部エッチングされ、ソース電極及びドレイン電極71a～71c間に溝部が形成されている。この微結晶半導体層73の溝部の端部は、ソース領域及びドレイン領域72の端部とほぼ一致している。この溝部はソース領域及びドレイン領域72を形成するエッチングと同一エッチングプロセスで形成される。従って同一フォトリソマスクであるマスク66の開口部と概略一致している、セルフアラインプロセスである。

30

【0073】

ソース電極及びドレイン電極71a～71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれており、ソース電極及びドレイン電極71a～71cの端部の外側に、ソース領域及びドレイン領域72の端部が形成される。この後、マスク66を除去する。なお、図2(C)は、図4(C)のA1-B1の断面図に相当する。図4(C)に示すように、ソース領域及びドレイン領域72の端部は、ソース電極及びドレイン電極71cの端部の外側に位置することが分かる。また、ソース電極またはドレイン電極の一方は、ソース配線またはドレイン配線としても機能する。

40

【0074】

図2(C)に示すように、ソース電極及びドレイン電極71a～71cの端部と、ソース領域及びドレイン領域72の端部は一致せずずれた形状となることで、ソース電極及びドレイン電極71a～71cの端部の距離が離れるため、ソース電極及びドレイン電極間のリーク電流やショートを防止することができる。このため、信頼性が高く、且つ耐圧の高い薄膜トランジスタを作製することができる。

【0075】

以上の工程により、チャネルエッチ型の薄膜トランジスタ74を形成することができる。

【0076】

次に、ソース電極及びドレイン電極71a～71c、ソース領域及びドレイン領域72、微結晶半導体膜61、及びゲート絶縁膜52b上に絶縁膜76を形成する(図2(D)参

50

照。)。絶縁膜76は、ゲート絶縁膜52a、52bと同様に形成することができる。なお、絶縁膜76は、大気中に浮遊する有機物や金属物、水蒸気などの汚染不純物の侵入を防ぐためのものであり、緻密な膜が好ましい。

【0077】

次に、絶縁膜76にコンタクトホールを形成し、当該コンタクトホールにおいてソース電極及びドレイン電極71cに接する画素電極77を形成する。なお、図3(A)は、図4(D)のA1-B1の断面図に相当する。

【0078】

画素電極77は、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物(以下、ITOと示す。)、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性材料を用いることができる。

10

【0079】

また、画素電極77として、導電性高分子(導電性ポリマーともいう)を含む導電性組成物を用いて形成することができる。導電性組成物を用いて形成した画素電極は、シート抵抗が $10000 \text{ } \Omega / \square$ 以下、波長550nmにおける透光率が70%以上であることが好ましい。また、導電性組成物に含まれる導電性高分子の抵抗率が $0.1 \text{ } \Omega \cdot \text{cm}$ 以下であることが好ましい。

【0080】

20

導電性高分子としては、いわゆる電子共役系導電性高分子が用いることができる。例えば、ポリアニリンまたはその誘導体、ポリピロールまたはその誘導体、ポリチオフェンまたはその誘導体、若しくはこれらの2種以上の共重合体などがあげられる。

【0081】

また、ソース領域及びドレイン領域72の端部とソース電極及びドレイン電極71a~71cの端部を一致する形状としてもよい。図3(B)にソース領域及びドレイン領域72の端部とソース電極及びドレイン電極71a~71cの端部が一致する形状のチャンネルエッチ型の薄膜トランジスタ79を示す。ソース電極及びドレイン電極71a~71cのエッチング及びソース領域及びドレイン領域72のエッチングをドライエッチングで行うと薄膜トランジスタ79のような形状にすることができる。また、一導電型を付与する不純物が添加された半導体膜をソース電極及びドレイン電極71a~71cをマスクとしてエッチングし、ソース領域及びドレイン領域72を形成しても薄膜トランジスタ79のような形状にすることができる。

30

【0082】

チャンネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャンネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線(ゲート線)側の駆動回路を形成する素子として利用することができる。

【0083】

40

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を量産性高く作製することができる。

【0084】

(実施の形態2)

本実施の形態は、実施の形態1において、薄膜トランジスタの形状が異なる例である。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【0085】

本実施の形態では、表示装置に用いられる薄膜トランジスタ及びその作製工程について、図5乃至図8を用いて説明する。図5乃至図7は、薄膜トランジスタ及び画素電極の作製

50

方法を示す断面図であり、図 8 は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図である。図 5 乃至図 7 は、図 8 における線 A 2 - B 2 の薄膜トランジスタ及びその作製工程を示す断面図に相当する。

【 0 0 8 6 】

基板 2 5 0 上にゲート電極 2 5 1 を形成する。次に、ゲート電極 2 5 1 上に、ゲート絶縁膜 2 5 2 a、2 5 2 b、微結晶半導体膜 2 5 3、非晶質半導体膜 2 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 2 5 5、導電膜 2 6 5 a を順に形成する（図 5（A）及び図 8（A）参照。）。図 5（A）は、図 8（A）の A 2 - B 2 の断面図に相当する。

【 0 0 8 7 】

本実施の形態では、レーザ光照射工程の後、微結晶半導体層、一導電型を付与する不純物が添加された微結晶半導体膜のエッチング工程をソース電極及びドレイン電極と同工程で行う例を示す。従って、微結晶半導体層、一導電型を付与する不純物が添加された微結晶半導体膜、ソース電極及びドレイン電極は同じマスク形状を反映して形成される。

【 0 0 8 8 】

ゲート絶縁膜 2 5 2 a、2 5 2 b、微結晶半導体膜 2 5 3、及び非晶質半導体膜 2 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 2 5 5 を大気に触れさせることなく連続的に形成してもよい。さらに導電膜 2 6 5 a まで大気に触れさせることなく連続的に形成してもよい。ゲート絶縁膜 2 5 2 a、2 5 2 b、微結晶半導体膜 2 5 3、非晶質半導体膜 2 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 2 5 5（及び導電膜 2 6 5 a）を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【 0 0 8 9 】

導電膜 2 6 5 a にレーザ光 2 6 0 を照射し、一導電型を付与する不純物が添加された非晶質半導体膜 2 5 5 及び非晶質半導体膜 2 5 4 を結晶化（微結晶化）し、一導電型を付与する不純物が添加された微結晶半導体膜 2 8 3、及び微結晶半導体層 2 8 2 を形成する（図 5（B）参照。）。

【 0 0 9 0 】

レーザ光 2 6 0 により微結晶半導体膜 2 5 3 上の非晶質半導体膜 2 5 4 は結晶化し、成膜法による微結晶半導体膜 2 5 3 を含む微結晶半導体層 2 8 2 を形成することができる。成膜法による微結晶半導体膜 2 5 3 は、非晶質半導体膜 2 5 4 の結晶成長の核となりうる。

【 0 0 9 1 】

導電膜 2 6 5 a はレーザ光 2 6 0 の照射工程において、下層の半導体膜の酸化、汚染等を防ぐ保護膜としても機能する。従って、工程時における半導体膜の酸化等の劣化を防止できるため、信頼性が向上する。従って信頼性の高い薄膜トランジスタを有する表示装置を作製することができる。

【 0 0 9 2 】

さらに本発明では、レーザ光 2 6 0 を照射された導電膜 2 6 5 a をエッチングし、ソース電極及びドレイン電極を形成する。従って、微結晶半導体層を形成するレーザ光照射工程のための導電膜の形成、除去を行わないので、工程が簡略化できる。従って歩留まりも向上し量産性高く薄膜トランジスタ、及び該薄膜トランジスタを有する表示装置を作製することができる。

【 0 0 9 3 】

本実施の形態では、マスク 2 5 6 を形成するために高階調マスクを用いた露光を行う例を示す。マスク 2 5 6 を形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【 0 0 9 4 】

次に、フォトマスクとして多階調マスク 5 9 を用いて、レジストに光を照射して、レジストを露光する。

10

20

30

40

50

【0095】

ここで、多階調マスク59を用いた露光について、図11を用いて説明する。

【0096】

多階調マスクとは、露光部分、中間露光部分、及び未露光部分に3つの露光レベルを行うことが可能なマスクであり、一度の露光及び現像工程により、複数（代表的には二種類）の厚さの領域を有するレジストマスクを形成することが可能である。このため、多階調マスクを用いることで、フォトマスクの枚数を削減することが可能である。

【0097】

多階調マスクの代表例としては、図11(A)に示すようなグレートーンマスク59a、図11(C)に示すようなハーフトーンマスク59bがある。

10

【0098】

図11(A)に示すように、グレートーンマスク59aは、透光性を有する基板163及びその上に形成される遮光部164並びに回折格子165で構成される。遮光部164においては、光の透過量（透光量）が0%である。一方、回折格子165はスリット、ドット、メッシュ等の光透過部の間隔を、露光に用いる光の解像度限界以下の間隔とすることにより、光の透過量を制御することができる。なお、回折格子165は、周期的なスリット、ドット、メッシュ、または非周期的なスリット、ドット、メッシュどちらも用いることができる。

【0099】

透光性を有する基板163は、石英等の透光性を有する基板を用いることができる。遮光部164及び回折格子165は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

20

【0100】

グレートーンマスク59aに露光光を照射した場合、図11(B)に示すように、遮光部164においては、光透過量166は0%であり、遮光部164及び回折格子165が設けられていない領域では光透過量166は100%である。また、回折格子165においては、10~70%の範囲で調整可能である。回折格子165における光の透過量の調整は、回折格子のスリット、ドット、またはメッシュの間隔及びピッチの調整により可能である。

【0101】

30

図11(C)に示すように、ハーフトーンマスク59bは、透光性を有する基板163及びその上に形成される半透過部167並びに遮光部168で構成される。半透過部167は、MoSiN、MoSi、MoSiO₂、MoSiON、CrSiなどを用いることができる。遮光部168は、クロムや酸化クロム等の光を吸収する遮光材料を用いて形成することができる。

【0102】

ハーフトーンマスク59bに露光光を照射した場合、図11(D)に示すように、遮光部168においては、光透過量169は0%であり、遮光部168及び半透過部167が設けられていない領域では光透過量169は100%である。また、半透過部167においては、10~70%の範囲で調整可能である。半透過部167に於ける光の透過量の調整は、半透過部167の材料により調整により可能である。

40

【0103】

多階調マスク59を用いて露光した後、現像することで、図5(C)に示すように、膜厚の異なる領域を有するマスク256を形成することができる。

【0104】

次に、マスク256により、微結晶半導体層282、一導電型を付与する不純物が添加された微結晶半導体膜283、及び導電膜265aをエッチングし分離する。この結果、微結晶半導体層262、一導電型を付与する不純物が添加された微結晶半導体膜263、及び導電膜264を形成することができる（図5(D)参照。）。

【0105】

50

次に、マスク 256 をアッシングする。この結果、マスクの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスクのレジスト（ゲート電極 251 の一部と重畳する領域）は除去され、分離されたマスク 266 を形成することができる（図 6（A）参照。）。

【0106】

マスク 266 を用いて導電膜 264 をエッチングし、ソース電極及びドレイン電極 271 a を形成する。本実施の形態のように導電膜 264 をウエットエッチングすると、導電膜 264 は等方的にエッチングされるため、マスク 266 の端部と、ソース電極及びドレイン電極 271 a の端部は一致せずより後退し、ソース電極及びドレイン電極 271 a の外側に一導電型を付与する不純物が添加された微結晶半導体膜 263 及び微結晶半導体層 262 が突出した形状となる。次に、マスク 266 を用いて一導電型を付与する不純物が添加された微結晶半導体膜 263 及び微結晶半導体層 262 をエッチングして、ソース領域及びドレイン領域 272、微結晶半導体層 273 を形成する（図 6（B）参照。）。なお、微結晶半導体層 273 は一部のみがエッチングされ、溝部を有する微結晶半導体層である。

10

【0107】

ソース領域及びドレイン領域 272 の形成工程と、微結晶半導体層 273 の溝部とを同一工程で形成することができ、同様に、微結晶半導体層 273 の端部が、一部エッチングされ露出した形状となる。この後、マスク 266 を除去する。

【0108】

次に、ソース電極及びドレイン電極 271 a、ソース領域及びドレイン領域 272、微結晶半導体層 273、及びゲート絶縁膜 252 b 上に絶縁膜 276 を形成する（図 6（C）参照。）。

20

【0109】

次に、絶縁膜 276 にコンタクトホール 284 a、284 b を形成する（図 6（D）及び図 8（B）参照。）。なお、図 6（D）は、図 8（B）の A2 - B2 の断面図に相当する。

【0110】

コンタクトホール 284 a にソース電極及びドレイン電極 271 a に接する配線 271 b、271 c を形成する（図 7（A）及び図 8（C）参照。）。なお、図 7（A）は、図 8（C）の A2 - B2 の断面図に相当する。配線 271 b、271 c はソース配線として機能する。以上の工程により、チャネルエッチ型の薄膜トランジスタ 274 を形成することができる。

30

【0111】

コンタクトホール 284 b においてソース電極及びドレイン電極 271 a に接する画素電極 277 を形成する（図 7（B）及び図 8（D）参照。）。なお、図 7（B）は、図 8（D）の A2 - B2 の断面図に相当する。

【0112】

また、ソース領域及びドレイン領域 272 の端部とソース電極及びドレイン電極 271 a の端部を一致する形状としてもよい。図 7（C）にソース領域及びドレイン領域 272 の端部とソース電極及びドレイン電極 271 a の端部が一致する形状のチャネルエッチ型の薄膜トランジスタ 279 を示す。ソース電極及びドレイン電極 271 a のエッチング及びソース領域及びドレイン領域 272 のエッチングをドライエッチングで行うと薄膜トランジスタ 279 のような形状にすることができる。また、一導電型を付与する不純物が添加された半導体膜をソース電極及びドレイン電極 271 a をマスクとしてエッチングし、ソース領域及びドレイン領域 272 を形成しても薄膜トランジスタ 279 のような形状にすることができる。

40

【0113】

チャネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot$

50

s e c の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

【 0 1 1 4 】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を量産性高く作製することができる。

【 0 1 1 5 】

（実施の形態 3）

本実施の形態は、実施の形態 1 において、薄膜トランジスタの形状が異なる例である。従って、他は実施の形態 1 と同様に行うことができ、実施の形態 1 と同一部分又は同様な機能

10

【 0 1 1 6 】

本実施の形態では、表示装置に用いられる薄膜トランジスタ及びその作製工程について、図 2 6 乃至図 2 9 を用いて説明する。図 2 6 乃至図 2 8 は、薄膜トランジスタ及び画素電極の作製方法を示す断面図であり、図 2 9 は一画素における薄膜トランジスタ及び画素電極の接続領域の平面図である。図 2 6 乃至図 2 8 は、図 2 9 における線 A 3 - B 3 の薄膜トランジスタ及びその作製工程を示す断面図に相当する。

【 0 1 1 7 】

基板 3 5 0 上にゲート電極 3 5 1 を形成する。次に、ゲート電極 3 5 1 上に、ゲート絶縁膜 3 5 2 a、3 5 2 b、微結晶半導体膜 3 5 3、非晶質半導体膜 3 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 3 5 5、導電膜 3 6 5 a を順に形成する（図 2 6（A）及び図 2 9（A）参照。）。図 2 6（A）は、図 2 9（A）の A 3 - B 3 の断面図に相当する。

20

【 0 1 1 8 】

本実施の形態では、レーザ光照射工程の後、微結晶半導体層、一導電型を付与する不純物が添加された微結晶半導体膜のエッチング工程をソース電極及びドレイン電極と同工程で行う例を示す。従って、微結晶半導体層、一導電型を付与する不純物が添加された微結晶半導体膜、ソース電極及びドレイン電極は同じマスク形状を反映して形成される。

【 0 1 1 9 】

ゲート絶縁膜 3 5 2 a、3 5 2 b、微結晶半導体膜 3 5 3、及び非晶質半導体膜 3 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 3 5 5 を大気に触れさせることなく連続的に形成してもよい。さらに導電膜 3 6 5 a まで大気に触れさせることなく連続的に形成してもよい。ゲート絶縁膜 3 5 2 a、3 5 2 b、微結晶半導体膜 3 5 3、非晶質半導体膜 3 5 4、一導電型を付与する不純物が添加された非晶質半導体膜 3 5 5（及び導電膜 3 6 5 a）を大気に触れさせることなく連続成膜することで、大気成分や大気中に浮遊する汚染不純物元素に汚染されることがなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

30

【 0 1 2 0 】

導電膜 3 6 5 a にレーザ光 3 6 0 を照射し、一導電型を付与する不純物が添加された非晶質半導体膜 3 5 5 及び非晶質半導体膜 3 5 4 を結晶化（微結晶化）し、一導電型を付与する不純物が添加された微結晶半導体膜 3 8 3、及び微結晶半導体層 3 8 2 を形成する（図 2 6（B）参照。）。

40

【 0 1 2 1 】

レーザ光 3 6 0 により微結晶半導体膜 3 5 3 上の非晶質半導体膜 3 5 4 は結晶化し、成膜法による微結晶半導体膜を含む微結晶半導体層 3 8 2 を形成することができる。成膜法による微結晶半導体膜 3 5 3 は、非晶質半導体膜 3 5 4 の結晶成長の核となりうる。

【 0 1 2 2 】

導電膜 3 6 5 a はレーザ光 3 6 0 の照射工程において、下層の半導体膜の酸化、汚染等を防ぐ保護膜としても機能する。従って、工程時における半導体膜の酸化等の劣化を防止できるため、信頼性が向上する。従って信頼性の高い薄膜トランジスタを有する表示装置を

50

作製することができる。

【0123】

さらに本発明では、レーザ光360を照射された導電膜365aをエッチングし、ソース電極及びドレイン電極を形成する。従って、微結晶半導体層を形成するレーザ光照射工程のための導電膜の形成、除去を行わないので、工程が簡略化できる。従って歩留まりも向上し量産性高く薄膜トランジスタ、及び該薄膜トランジスタを有する表示装置を作製することができる。

【0124】

導電膜365a上に導電膜365b、365cを積層する(図26(C)参照。)

【0125】

本実施の形態では、マスク356を形成するために高階調マスクを用いた露光を行う例を示す。マスク356を形成するためレジストを形成する。レジストは、ポジ型レジストまたはネガ型レジストを用いることができる。ここでは、ポジ型レジストを用いて示す。

【0126】

次に、フォトマスクとして多階調マスク359を用いて、レジストに光を照射して、レジストを露光する。

【0127】

多階調マスク359を用いて露光した後、現像することで、図26(D)に示すように、膜厚の異なる領域を有するマスク356を形成することができる。

【0128】

次に、マスク356により、微結晶半導体層382、一導電型を付与する不純物が添加された微結晶半導体膜383、及び導電膜365a~365cをエッチングし分離する。この結果、微結晶半導体層362、一導電型を付与する不純物が添加された微結晶半導体膜363、及び導電膜364a~364cを形成することができる(図27(A)参照。)

【0129】

次に、マスク356をアッシングする。この結果、マスクの面積が縮小し、厚さが薄くなる。このとき、膜厚の薄い領域のマスクのレジスト(ゲート電極351の一部と重畳する領域)は除去され、分離されたマスク366を形成することができる(図27(B)参照。)

【0130】

マスク366を用いて導電膜364a~364cをエッチングし、ソース電極及びドレイン電極371a~371cを形成する。本実施の形態のように導電膜364a~364cをウエットエッチングすると、導電膜364a~364cは等方的にエッチングされるため、マスク366の端部と、ソース電極及びドレイン電極371a~371cの端部は一致せずより後退し、ソース電極及びドレイン電極371a~371cの外側に一導電型を付与する不純物が添加された微結晶半導体膜363及び微結晶半導体層362が突出した形状となる。次に、マスク366を用いて一導電型を付与する不純物が添加された微結晶半導体膜363及び微結晶半導体層362をエッチングして、ソース領域及びドレイン領域372、微結晶半導体層373を形成する(図27(C)参照。)。なお、微結晶半導体層373は一部のみがエッチングされ、溝部を有する微結晶半導体層である。

【0131】

ソース領域及びドレイン領域の形成工程と、微結晶半導体層の溝部とを同一工程で形成することができる。同様に、微結晶半導体層373の端部が、一部エッチングされ露出した形状となる。この後、マスク366を除去する。

【0132】

次に、ソース電極及びドレイン電極371a、ソース領域及びドレイン領域372、微結晶半導体層373、及びゲート絶縁膜352b上に絶縁膜376を形成する(図27(D)及び図29(B)参照。)。なお、図27(D)は、図29(B)のA3-B3の断面図に相当する。以上の工程により、チャネルエッチ型の薄膜トランジスタ374を形成す

10

20

30

40

50

ることができる。

【0133】

次に、絶縁膜376にコンタクトホールを形成し、該コンタクトホールにおいてソース電極及びドレイン電極371cに接する画素電極377を形成する(図28(A)及び図29(C)参照。)。なお、図28(A)は、図29(C)のA3-B3の断面図に相当する。

【0134】

また、ソース領域及びドレイン領域372の端部とソース電極及びドレイン電極371a~371cの端部を一致する形状としてもよい。図28(B)にソース領域及びドレイン領域372の端部とソース電極及びドレイン電極371a~371cの端部が一致する形状のチャンネルエッチ型の薄膜トランジスタ379を示す。ソース電極及びドレイン電極371a~371cのエッチング及びソース領域及びドレイン領域372のエッチングをドライエッチングで行うと薄膜トランジスタ379のような形状にすることができる。また、一導電型を付与する不純物が添加された半導体膜をソース電極及びドレイン電極371a~371cをマスクとしてエッチングし、ソース領域及びドレイン領域372を形成しても薄膜トランジスタ379のような形状にすることができる。

【0135】

チャンネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャンネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線(ゲート線)側の駆動回路を形成する素子として利用することができる。

【0136】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を量産性高く作製することができる。

(実施の形態4)

本実施の形態は、実施の形態1において、薄膜トランジスタのゲート絶縁膜の形状が異なる例である。従って、他は実施の形態1と同様に行うことができ、実施の形態1と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【0137】

本実施の形態では、ゲート絶縁膜として3層積層構造を有する例を示す。

【0138】

基板50上にゲート電極51を形成し、ゲート電極51上に、ゲート絶縁膜52a、52b、52cを積層する(図36(A)参照。)。

【0139】

ゲート絶縁膜52a、52b、52cはそれぞれ、CVD法やスパッタリング法等を用いて、酸化珪素膜、窒化珪素膜、酸化窒化珪素膜、または窒化酸化珪素膜で形成することができる。本実施の形態で示すように、ゲート絶縁膜を2層とせず、基板側から窒化珪素膜または窒化酸化珪素膜と、酸化珪素膜または酸化窒化珪素膜と、窒化珪素膜または窒化酸化珪素膜との順に3層積層して形成することができる。更には、周波数が1GHzのマイクロ波プラズマCVD装置を用いてゲート絶縁膜を形成することが好ましい。マイクロ波プラズマCVD装置で形成した酸化窒化珪素膜、窒化酸化珪素膜は、耐圧が高く、後に形成される薄膜トランジスタの信頼性を高めることができる。

【0140】

本実施の形態では、ゲート絶縁膜の3層積層構造の例として、ゲート電極51上にゲート絶縁膜52aとして窒化珪素膜または窒化酸化珪素膜と、ゲート絶縁膜52bとして酸化窒化珪素膜と、ゲート絶縁膜52cとして窒化珪素膜とを積層とし、最上層の窒化珪素膜上に微結晶半導体膜を形成する。この場合、ゲート絶縁膜52aの窒化珪素膜または窒化酸化珪素膜は膜厚が50nmより厚い方がよく、ナトリウムなどの不純物を遮断するバリア、ゲート電極のヒロックの防止、ゲート電極の酸化防止などの効果を奏する。ゲート絶

縁膜 5 2 c の窒化珪素膜は微結晶半導体膜の密着性向上、酸化防止としての効果を奏する。

【 0 1 4 1 】

このようにゲート絶縁膜の表面のゲート絶縁膜 5 2 c として極薄膜の窒化珪素膜のような窒化膜を形成することで微結晶半導体膜の密着性を向上することができる。窒化膜はプラズマ C V D 法により成膜してもよく、マイクロ波による高密度で低温なプラズマ処理によって窒化処理を行ってもよい。また、反応室にシランフラッシュ処理を行う際に窒化珪素膜、窒化酸化珪素膜を形成してもよい。

【 0 1 4 2 】

以降の工程は、実施の形態 1 と同様に行えば良く、図 3 6 (B) に示すように、3 層構造のゲート絶縁膜を有する薄膜トランジスタ 7 4 及び、画素電極 7 7 を有する表示装置を作製することができる。

10

【 0 1 4 3 】

チャネルエッチ型の薄膜トランジスタは、作製工程数が少なく、コスト削減が可能である。また、微結晶半導体膜でチャネル形成領域を構成することにより $1 \sim 20 \text{ cm}^2 / \text{V} \cdot \text{s} \cdot \text{e} \cdot \text{c}$ の電界効果移動度を得ることができる。従って、この薄膜トランジスタを画素部の画素のスイッチング用素子として、さらに走査線（ゲート線）側の駆動回路を形成する素子として利用することができる。

【 0 1 4 4 】

本実施の形態により、電気特性が高く信頼性のよい薄膜トランジスタを有する表示装置を量産性高く作製することができる。

20

【 0 1 4 5 】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【 0 1 4 6 】

（実施の形態 5）

本実施の形態は、実施の形態 1 乃至 4 において、表示装置の作製工程の例を詳細に説明する。従って、実施の形態 1 乃至 4 と同一部分又は同様な機能を有する部分、及び工程の繰り返しの説明は省略する。

【 0 1 4 7 】

30

実施の形態 1 乃至 4 において、微結晶半導体膜を形成する前に、反応室のクリーニング、及びフラッシング（洗浄）処理（水素をフラッシュ物質として用いた水素フラッシュ、シランをフラッシュ物質として用いたシランフラッシュなど）を行ってもよい。フラッシング処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

【 0 1 4 8 】

フラッシング処理により、反応室の酸素、窒素、フッ素などの不純物を除去することができる。例えば、プラズマ C V D 装置を用いて、モノシランをフラッシュ物質として用い、ガス流量 $8 \sim 10 \text{ S L M}$ をチャンバに $5 \sim 20$ 分間、好ましくは 10 分 ~ 15 分間導入し続けることでシランフラッシュ処理を行う。なお、 1 S L M は 1000 s c c m 、即ち、 $0.06 \text{ m}^3 / \text{h}$ である。

40

【 0 1 4 9 】

クリーニングは、例えばフッ素ラジカルで行うことができる。なお、フッ素ラジカルは、反応室の外側に設けられたプラズマ発生器に、フッ化炭素、フッ化窒素、またはフッ素を導入し、解離し、フッ素ラジカルを反応室に導入することで、反応室内をクリーニングすることができる。

【 0 1 5 0 】

フラッシング処理は、ゲート絶縁膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜の成膜前にも行ってもよい。なお、フラッシング処理はクリーニング後に行うと効果的である。

50

【0151】

反応室は基板を搬入して成膜する前に、各反応室の内壁を成膜する種類の膜で保護膜を形成し、コーティングする（プリコート処理ともいう）を行ってよい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内を保護膜によって薄く覆う処理である。例えば、微結晶半導体膜として微結晶シリコン膜を形成する前に、反応室内を0.2～0.4 μmの非晶質シリコン膜で覆うプリコート処理を行えばよい。プリコート処理後にもフラッシング処理（水素フラッシュ、シランフラッシュなど）を行ってもよい。クリーニング処理及びプリコート処理を行う場合は反応室内より基板を搬出しておく必要があるが、フラッシング処理（水素フラッシュ、シランフラッシュなど）を行う場合はプラズマ処理を行わないため基板を搬入した状態でもよい。

10

【0152】

微結晶シリコン膜を成膜する反応室内に非晶質シリコン膜の保護膜を形成しておき、成膜前に水素プラズマ処理をすると、保護膜がエッチングされて極少量のシリコンが基板上に堆積して結晶成長の核となりうる。

【0153】

プリコート処理により、反応室の酸素、窒素、フッ素などの不純物による成膜する膜への汚染を防ぐことができる。

【0154】

プリコート処理は、ゲート絶縁膜、一導電型を付与する不純物が添加された半導体膜の成膜前にも行ってもよい。

20

【0155】

さらに、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、及び一導電型を付与する不純物が添加された半導体膜の形成方法の例を詳細に説明する。

【0156】

本発明に用いることのできるプラズマCVD装置の例について図10(A)(B)を用いて説明する。図10(A)(B)は連続成膜することが可能なマイクロ波プラズマCVD装置である。図10(A)(B)はマイクロ波プラズマCVD装置の平面を示す模式図であり、共通室1120の周りに、ロード室1110、アンロード室1115、反応室(1)～反応室(4)1111～1114を備えた構成となっている。共通室1120と各室の間にはゲートバルブ1122～1127が備えられ、各室で行われる処理が、相互に干渉しないように構成されている。なお、反応室の数は4つに限定されず、より少なくても多くてもよい。反応室が多いと積層する膜の種類ごとに反応室を分けられるため、反応室のクリーニングの回数を減らすことができる。図10(A)は反応室を4つ有する例であり、図10(B)は反応室を3つ有する例である。

30

【0157】

図10(A)(B)のプラズマCVD装置を用いて、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、及び一導電型を付与する不純物が添加された半導体膜の形成例を説明する。基板はロード室1110、アンロード室1115のカセット1128、1129に装填され、共通室1120の搬送手段1121により反応室(1)～反応室(4)1111～1114へ運ばれる。この装置では、堆積膜種ごとに反応室をあてがうことが可能であり、複数の異なる被膜を大気に触れさせることなく連続して形成することができる。また、反応室は成膜工程の他、エッチング工程やレーザ照射工程を行う反応室として用いてもよい。各種工程を行う反応室を設けると、複数の異なる工程を大気に触れさせることなく行うことができる。例えば、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、一導電型を付与する不純物が添加された半導体膜、及び導電膜の成膜工程を行う反応室と、レーザ照射工程を行えるようレーザ照射装置を有する反応室とを設けるとゲート絶縁膜から導電膜を積層し、導電膜にレーザ光を照射するまでの工程を大気に曝さずに連続的に行うことができる。よって、薄膜表面の酸化や汚染を防止することができ、信頼性が向上する。

40

【0158】

反応室(1)～反応室(4)それぞれにおいて、ゲート絶縁膜、微結晶半導体膜、非晶質

50

半導体膜、及び一導電型を付与する不純物が添加された半導体膜を積層形成する。この場合は、原料ガスの切り替えにより異なる種類の膜を連続的に複数積層することができる。この場合、ゲート絶縁膜を形成した後、反応室内にシラン等の水素化珪素を導入し、残留酸素及び水素化珪素を反応させて、反応物を反応室外に排出することで、反応室内の残留酸素濃度を低減させることができる。この結果、微結晶半導体膜に含まれる酸素の濃度を低減することができる。また、微結晶半導体膜に含まれる結晶粒の酸化を防止することができる。

【0159】

または、反応室(1)及び反応室(3)でゲート絶縁膜、微結晶半導体膜、及び非晶質半導体膜を形成し、反応室(2)及び反応室(4)で一導電型を付与する不純物が添加された半導体膜を形成する。一導電型を付与する不純物が添加された半導体膜のみ単独で成膜することにより、チャンバに残存する一導電型を付与する不純物が他の膜に混入することを防ぐことができる。

10

【0160】

また、プラズマCVD装置において、生産性を向上させるため、複数の反応室で同じ膜を形成することとしてもよい。複数の反応室で同じ膜を形成できると、複数の基板に同時に膜を形成することができる。例えば、図10(A)において、反応室(1)及び反応室(2)を微結晶半導体膜を形成する反応室とし、反応室(3)を非結晶半導体膜を形成する反応室とし、反応室(4)を一導電型を付与する不純物が添加された半導体膜を形成する反応室とする。反応室(1)又は反応室(2)で微結晶半導体膜を形成した基板は、反応室(3)で非晶質半導体膜を形成し、反応室(4)で一導電型を付与する不純物が添加された半導体膜を形成する。反応室(3)で非晶質半導体膜と一導電型を付与する不純物が添加された半導体膜を連続して成膜してもよく、この場合、反応室が3つの図10(B)のプラズマCVD装置を用いればよい。このように、複数の基板を同時に処理する場合、成膜速度の遅い膜の形成する反応室を複数設けることによって生産性を向上させることができる。

20

【0161】

反応室は基板を搬入して成膜する前に、クリーニング、フラッシング(洗浄)処理(水素フラッシュ、シランフラッシュなど)、各反応室の内壁を成膜する種類の膜で保護膜を形成し、コーティングする(プリコート処理ともいう)と好ましい。プリコート処理は反応室内に成膜ガスを流しプラズマ処理することによって、あらかじめ反応室内を保護膜によって薄く覆う処理である。例えば、微結晶半導体膜として微結晶シリコン膜を形成する前に、反応室内を0.2~0.4 μ mの非晶質シリコン膜で覆うプリコート処理を行えばよい。プリコート処理後にもフラッシング処理(水素フラッシュ、シランフラッシュなど)を行ってもよい。クリーニング処理及びプリコート処理を行う場合は反応室内より基板を搬出しておく必要があるが、フラッシング処理(水素フラッシュ、シランフラッシュなど)を行う場合はプラズマ処理を行わないため基板を搬入した状態でもよい。

30

【0162】

微結晶シリコン膜を成膜する反応室内に非晶質シリコン膜の保護膜を形成しておき、成膜前に水素プラズマ処理をすると、保護膜がエッチングされて極少量のシリコンが基板上に堆積して結晶成長の核となりうる。

40

【0163】

このように、複数のチャンバが接続されたマイクロ波プラズマCVD装置で、同時にゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、及び一導電型を付与する不純物が添加された半導体膜を成膜することができるため、量産性を高めることができる。また、ある反応室がメンテナンスやクリーニングを行っていても、残りの反応室において成膜処理が可能となり、成膜のタクトを向上させることができる。また、大気成分や大気中に浮遊する汚染不純物元素に汚染されることなく各積層界面を形成することができるので、薄膜トランジスタ特性のばらつきを低減することができる。

【0164】

50

このような構成のマイクロ波プラズマCVD装置を用いれば、各反応室で種類の類似する膜または種類の膜を成膜することが可能であり、且つ大気に曝すことなく連続して形成することができるため、前に成膜した膜の残留物や大気に浮遊する不純物元素に汚染されることなく、各積層界面を形成することができる。

【0165】

さらには、マイクロ波発生器と共に高周波発生器を設け、ゲート絶縁膜、微結晶半導体膜、非晶質半導体膜、および一導電型を付与する不純物が添加された半導体膜をマイクロ波プラズマCVD法で形成し、非晶質半導体膜を高周波プラズマCVD法で形成してもよい。

【0166】

なお、図10に示すマイクロ波プラズマCVD装置には、ロード室及びアンロード室が別々に設けられているが、一つとしロード/アンロード室としてもよい。また、マイクロ波プラズマCVD装置に予備室を設けてもよい。予備室で基板を予備加熱することで、各反応室において成膜までの加熱時間を短縮することが可能であるため、スループットを向上させることができる。これらの成膜処理は、その目的に応じて、ガス供給部から供給するガスを選択すれば良い。

【0167】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0168】

(実施の形態6)

次に、表示装置の作製工程について、図30及び図31を用いて説明する。表示装置の有する表示素子としては、ここではエレクトロルミネッセンスを利用する発光素子を用いて示す。エレクトロルミネッセンスを利用する発光素子は、発光材料が有機化合物であるか、無機化合物であるかによって区別され、一般的に、前者は有機EL素子、後者は無機EL素子と呼ばれている。また、表示装置に用いられる薄膜トランジスタ85、86は、実施の形態1乃至4で示す薄膜トランジスタ74、274、及び374と同様な構造及び方法で作製でき、簡略化した工程で量産性高く作製することのできる電気特性及び信頼性の高い薄膜トランジスタである。図30及び図31の薄膜トランジスタ85、86、7001、7011、及び7021は実施の形態1の薄膜トランジスタ74の同様な構造及び作製方法を用いている例である。

【0169】

有機EL素子は、発光素子に電圧を印加することにより、一对の電極から電子および正孔がそれぞれ発光性の有機化合物を含む層に注入され、電流が流れる。そして、それらキャリア（電子および正孔）が再結合することにより、発光性の有機化合物が励起状態を形成し、その励起状態が基底状態に戻る際に発光する。このようなメカニズムから、このような発光素子は、電流励起型の発光素子と呼ばれる。

【0170】

無機EL素子は、その素子構成により、分散型無機EL素子と薄膜型無機EL素子とに分類される。分散型無機EL素子は、発光材料の粒子をバインダ中に分散させた発光層を有するものであり、発光メカニズムはドナー準位とアクセプター準位を利用するドナー-アクセプター再結合型発光である。薄膜型無機EL素子は、発光層を誘電体層で挟み込み、さらにそれを電極で挟んだ構造であり、発光メカニズムは金属イオンの内殻電子遷移を利用する局在型発光である。なお、ここでは、発光素子として有機EL素子を用いて説明する。また、発光素子の駆動を制御する薄膜トランジスタとして、図3に示すチャンネルエッチ型の薄膜トランジスタを用いて示す。

【0171】

図1乃至図4と同様の工程を経て、図30に示すように基板100上に薄膜トランジスタ85、86を形成し、薄膜トランジスタ85、86上に保護膜として機能する絶縁膜87を形成する。次に、絶縁膜87上に平坦化膜111を形成し、平坦化膜111上に薄膜ト

10

20

30

40

50

ランジスタ 86 のソース電極またはドレイン電極に接続する画素電極 112 を形成する。

【0172】

平坦化膜 111 は、アクリル、ポリイミド、ポリアミドなどの有機樹脂、またはシロキサンを用いて形成することが好ましい。

【0173】

図 30 (A) では画素の薄膜トランジスタが n 型であるので、画素電極 112 として、陰極を用いるのが望ましいが、逆に p 型の場合は陽極を用いるのが望ましい。具体的には、陰極としては、仕事関数が小さい材料、例えば、Ca、Al、CaF、MgAg、AlLi 等を用いることができる。

【0174】

次に図 30 (B) に示すように、平坦化膜 111 及び画素電極 112 の端部上に、隔壁 113 を形成する。隔壁 113 は開口部を有しており、該開口部において画素電極 112 が露出している。隔壁 113 は、有機樹脂膜、無機絶縁膜または有機ポリシロキサンを用いて形成する。特に感光性の材料を用い、画素電極上に開口部を形成し、その開口部の側壁が連続した曲率を持って形成される傾斜面となるように形成することが好ましい。

【0175】

次に、隔壁 113 の開口部において画素電極 112 と接するように、発光層 114 を形成する。発光層 114 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。

【0176】

そして発光層 114 を覆うように、陽極を用いた共通電極 115 を形成する。共通電極 115 は、実施の形態 1 に画素電極 77 として列挙した透光性を有する導電性材料を用いた透光性導電膜で形成することができる。共通電極 115 として上記透光性導電膜の他に、窒化チタン膜またはチタン膜を用いても良い。図 30 (B) では、共通電極 115 としITOを用いている。隔壁 113 の開口部において、画素電極 112 と発光層 114 と共通電極 115 が重なり合うことで、発光素子 117 が形成されている。この後、発光素子 117 に酸素、水素、水分、二酸化炭素等が侵入しないように、共通電極 115 及び隔壁 113 上に保護膜 116 を形成することが好ましい。保護膜 116 としては、窒化珪素膜、窒化酸化珪素膜、DLC 膜等を形成することができる。

【0177】

さらに、実際には、図 30 (B) まで完成したら、さらに外気に曝されないように気密性が高く、脱ガスの少ない保護フィルム（貼り合わせフィルム、紫外線硬化樹脂フィルム等）やカバー材でパッケージング（封入）することが好ましい。

【0178】

次に、発光素子の構成について、図 31 を用いて説明する。ここでは、駆動用 TFT が n 型の場合を例に挙げて、画素の断面構造について説明する。図 31 (A) (B) (C) の表示装置に用いられる駆動用 TFT 7001、7011、7021 は、簡略化した工程で量産性高く作製でき、電気特性及び信頼性の高い薄膜トランジスタである。

【0179】

発光素子は発光を取り出すために少なくとも陽極又は陰極の一方が透明であればよい。そして、基板上に薄膜トランジスタ及び発光素子を形成し、基板とは逆側の面から発光を取り出す上面射出や、基板側の面から発光を取り出す下面射出や、基板側及び基板とは反対側の面から発光を取り出す両面射出構造の発光素子があり、本発明の画素構成はどの射出構造の発光素子にも適用することができる。

【0180】

上面射出構造の発光素子について図 31 (A) を用いて説明する。

【0181】

図 31 (A) に、駆動用 TFT 7001 が n 型で、発光素子 7002 から発せられる光が陽極 7005 側に抜ける場合の、画素の断面図を示す。図 31 (A) では、発光素子 7002 の陰極 7003 と駆動用 TFT 7001 が電氣的に接続されており、陰極 7003 上

10

20

30

40

50

に発光層 7004、陽極 7005 が順に積層されている。陰極 7003 は仕事関数が小さく、なおかつ光を反射する導電膜であれば公知の材料を用いることができる。例えば、Ca、Al、CaF、MgAg、AlLi 等が望ましい。そして発光層 7004 は、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。複数の層で構成されている場合、陰極 7003 上に電子注入層、電子輸送層、発光層、ホール輸送層、ホール注入層の順に積層する。なおこれらの層を全て設ける必要はない。陽極 7005 は光を透過する透光性を有する導電性材料を用いて形成し、例えば酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム錫酸化物（以下、ITO と示す。）、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの透光性を有する導電性導電膜を用いても良い。

10

【0182】

陰極 7003 及び陽極 7005 で発光層 7004 を挟んでいる領域が発光素子 7002 に相当する。図 31 (A) に示した画素の場合、発光素子 7002 から発せられる光は、矢印で示すように陽極 7005 側に射出する。

【0183】

次に、下面射出構造の発光素子について図 31 (B) を用いて説明する。駆動用 TFT 7011 が n 型で、発光素子 7012 から発せられる光が陰極 7013 側に射出する場合、画素の断面図を示す。図 31 (B) では、駆動用 TFT 7011 と電気的に接続された透光性を有する導電膜 7017 上に、発光素子 7012 の陰極 7013 が成膜されており、陰極 7013 上に発光層 7014、陽極 7015 が順に積層されている。なお、陽極 7015 が透光性を有する場合、陽極上を覆うように、光を反射または遮蔽するための遮蔽膜 7016 が成膜されていてもよい。陰極 7013 は、図 31 (A) の場合と同様に、仕事関数が小さい導電性材料であれば様々な材料を用いることができる。ただしその膜厚は、光を透過する程度（好ましくは、5 nm ~ 30 nm 程度）とする。例えば 20 nm の膜厚を有するアルミニウム膜を、陰極 7013 として用いることができる。そして発光層 7014 は、図 31 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7015 は光を透過する必要はないが、図 31 (A) と同様に、透光性を有する導電性材料を用いて形成することができる。そして遮蔽膜 7016 は、例えば光を反射する金属等を用いることができるが、金属膜に限定され

20

30

【0184】

陰極 7013 及び陽極 7015 で、発光層 7014 を挟んでいる領域が発光素子 7012 に相当する。図 31 (B) に示した画素の場合、発光素子 7012 から発せられる光は、矢印で示すように陰極 7013 側に射出する。

【0185】

次に、両面射出構造の発光素子について、図 31 (C) を用いて説明する。図 31 (C) では、駆動用 TFT 7021 と電気的に接続された透光性を有する導電性材料 7027 上に、発光素子 7022 の陰極 7023 が成膜されており、陰極 7023 上に発光層 7024、陽極 7025 が順に積層されている。陰極 7023 は、図 31 (A) の場合と同様に、仕事関数が小さい導電膜であれば公知の材料を用いることができる。ただしその膜厚は、光を透過する程度とする。例えば 20 nm の膜厚を有する Al を、陰極 7023 として用いることができる。そして発光層 7024 は、図 31 (A) と同様に、単数の層で構成されていても、複数の層が積層されるように構成されていてもどちらでも良い。陽極 7025 は、図 31 (A) と同様に、光を透過する透光性を有する導電性材料を用いて形成することができる。

40

【0186】

陰極 7023 と、発光層 7024 と、陽極 7025 とが重なっている部分が発光素子 7022 に相当する。図 31 (C) に示した画素の場合、発光素子 7022 から発せられる光は、矢印で示すように陽極 7025 側と陰極 7023 側の両方に射出する。

50

【 0 1 8 7 】

なお、ここでは、発光素子として有機 E L 素子について述べたが、発光素子として無機 E L 素子を設けることも可能である。

【 0 1 8 8 】

なお本実施の形態では、発光素子の駆動を制御する薄膜トランジスタ（駆動用 T F T ）と発光素子が電氣的に接続されている例を示したが、駆動用 T F T と発光素子との間に電流制御用 T F T が接続されている構成であってもよい。

【 0 1 8 9 】

なお本実施の形態で示す表示装置は、図 3 1 に示した構成に限定されるものではなく、本発明の技術的思想に基づく各種の変形が可能である。

10

【 0 1 9 0 】

以上の工程により、表示装置として発光装置を作製することができる。本実施の形態の発光装置は、電気特性及び信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い発光装置である。また、簡略化した工程を用いているために、量産性高く表示装置を作製することができる。

【 0 1 9 1 】

（実施の形態 7 ）

本実施の形態では、実施の形態 1 乃至 4 で示す薄膜トランジスタを有する表示装置について、以下に示す。本実施の形態は、表示素子として液晶素子を用いた液晶表示装置の例を図 1 2 乃至図 2 5 用いて説明する。図 1 2 乃至図 2 5 の液晶表示装置に用いられる T F T 6 2 8、6 2 9 は、実施の形態 1 乃至 4 で示す薄膜トランジスタ 7 4、2 7 4、及び 3 7 4 と同様な構造及び方法で作製でき、簡略化した工程で量産性高く作製することのできる電気特性及び信頼性の高い薄膜トランジスタである。また、画素電極、及び対向電極は、実施の形態 1 で示す画素電極 7 7 と同材料及び工程を用いて形成することができる。

20

【 0 1 9 2 】

はじめに V A（V e r t i c a l A l i g n m e n t）型の液晶表示装置について示す。V A 型の液晶表示装置とは、液晶表示パネルの液晶分子の配列を制御する方式の一種である。V A 型の液晶表示装置は、電圧が印加されていないときにパネル面に対して液晶分子が垂直方向を向く方式である。本実施の形態では、特に画素（ピクセル）をいくつかの領域（サブピクセル）に分け、それぞれ別の方向に分子を倒すよう工夫されている。これをマルチドメイン化あるいはマルチドメイン設計という。以下の説明では、マルチドメイン設計が考慮された液晶表示装置について説明する。

30

【 0 1 9 3 】

図 1 3 及び図 1 4 は、それぞれ画素電極及び対向電極を示している。なお、図 1 3 は画素電極が形成される基板側の平面図であり、図中に示す切断線 G - H に対応する断面構造を図 1 2 に表している。また、図 1 4 は対向電極が形成される基板側の平面図である。以下の説明ではこれらの図を参照して説明する。

【 0 1 9 4 】

図 1 2 は、T F T 6 2 8 とそれに接続する画素電極 6 2 4、及び保持容量部 6 3 0 が形成された基板 6 0 0 と、対向電極 6 4 0 等が形成される対向基板 6 0 1 とが重ね合わせられ、液晶が注入された状態を示している。

40

【 0 1 9 5 】

対向基板 6 0 1 においてスペーサ 6 4 2 が形成される位置には、遮光膜 6 3 2、第 1 の着色膜 6 3 4、第 2 の着色膜 6 3 6、第 3 着色膜 6 3 8、対向電極 6 4 0 が形成されている。この構造により、液晶の配向を制御するための突起 6 4 4 とスペーサ 6 4 2 の高さを異ならせている。画素電極 6 2 4 上には配向膜 6 4 8 が形成され、同様に対向電極 6 4 0 上にも配向膜 6 4 6 が形成されている。この間に液晶層 6 5 0 が形成されている。

【 0 1 9 6 】

スペーサ 6 4 2 はここでは柱状スペーサを用いて示したがビーズスペーサを散布してもよい。さらには、スペーサ 6 4 2 を基板 6 0 0 上に形成される画素電極 6 2 4 上に形成して

50

もよい。

【0197】

基板600上には、TFT628とそれに接続する画素電極624、及び保持容量部630が形成される。画素電極624は、TFT628、配線、及び保持容量部630を覆う絶縁膜620、絶縁膜620を覆う第3絶縁膜622をそれぞれ貫通するコンタクトホール623で、配線618と接続する。TFT628は実施の形態1で示す薄膜トランジスタを適宜用いることができる。また、保持容量部630は、TFT628のゲート配線602と同様に形成した第1の容量配線604と、ゲート絶縁膜606と、配線616、618と同様に形成した第2の容量配線617で構成される。

【0198】

画素電極624と液晶層650と対向電極640が重なり合うことで、液晶素子が形成されている。

【0199】

図13に基板600上の構造を示す。画素電極624は実施の形態1で示した材料を用いて形成する。画素電極624にはスリット625を設ける。スリット625は液晶の配向を制御するためのものである。

【0200】

図13に示すTFT629とそれに接続する画素電極626及び保持容量部631は、それぞれ画素電極624及び保持容量部630と同様に形成することができる。TFT628とTFT629は共に配線616と接続している。この液晶表示パネルの画素（ピクセル）は、画素電極624と画素電極626により構成されている。画素電極624と画素電極626はサブピクセルである。

【0201】

図14に対向基板側の構造を示す。遮光膜632上に対向電極640が形成されている。対向電極640は、画素電極624と同様の材料を用いて形成することが好ましい。対向電極640上には液晶の配向を制御する突起644が形成されている。また、遮光膜632の位置に合わせてスペーサ642が形成されている。

【0202】

この画素構造の等価回路を図15に示す。TFT628とTFT629は、共にゲート配線602、配線616と接続している。この場合、容量配線604と容量配線605の電位を異ならせることで、液晶素子651と液晶素子652の動作を異ならせることができる。すなわち、容量配線604と容量配線605の電位を個別に制御することにより液晶の配向を精密に制御して視野角を広げている。

【0203】

スリット625を設けた画素電極624に電圧を印加すると、スリット625の近傍には電界の歪み（斜め電界）が発生する。このスリット625と、対向基板601側の突起644とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することで、液晶が配向する方向を場所によって異ならせている。すなわち、マルチドメイン化して液晶表示パネルの視野角を広げている。

【0204】

次に、上記とは異なるVA型の液晶表示装置について、図16乃至図19を用いて説明する。

【0205】

図16と図17は、VA型液晶表示パネルの画素構造を示している。図17は基板600の平面図であり、図中に示す切断線Y-Zに対応する断面構造を図16に表している。以下の説明ではこの両図を参照して説明する。

【0206】

この画素構造は、一つの画素に複数の画素電極が有り、それぞれの画素電極にTFTが接続されている。各TFTは、異なるゲート信号で駆動されるように構成されている。すなわち、マルチドメイン設計された画素において、個々の画素電極に印加する信号を、独立

10

20

30

40

50

して制御する構成を有している。

【0207】

画素電極624はコンタクトホール623において、配線618でTFT628と接続している。また、画素電極626はコンタクトホール627において、配線619でTFT629と接続している。TFT628のゲート配線602と、TFT629のゲート配線603には、異なるゲート信号を与えることができるように分離されている。一方、データ線として機能する配線616は、TFT628とTFT629で共通に用いられている。また、容量配線690が設けられている。

【0208】

画素電極624と画素電極626の形状は異なり、スリット625によって分離されている。V字型に広がる画素電極624の外側を囲むように画素電極626が形成されている。画素電極624と画素電極626に印加する電圧のタイミングを、TFT628及びTFT629により異ならせることで、液晶の配向を制御している。この画素構造の等価回路を図19に示す。TFT628はゲート配線602と接続し、TFT629はゲート配線603と接続している。ゲート配線602とゲート配線603は異なるゲート信号を与えることで、TFT628とTFT629の動作タイミングを異ならせることができる。

10

【0209】

対向基板601には、遮光膜632、第2の着色膜636、対向電極640が形成されている。また、第2の着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。図18に対向基板側の構造を示す。対向電極640は異なる画素間で共通化されている電極であるが、スリット641が形成されている。このスリット641と、画素電極624及び画素電極626側のスリット625とを交互に咬み合うように配置することで、斜め電界が効果的に発生させて液晶の配向を制御することができる。これにより、液晶が配向する方向を場所によって異ならせることができ、視野角を広げている。

20

【0210】

画素電極624と液晶層650と対向電極640が重なり合うことで、第1の液晶素子が形成されている。また、画素電極626と液晶層650と対向電極640が重なり合うことで、第2の液晶素子が形成されている。また、一画素に第1の液晶素子と第2の液晶素子が設けられたマルチドメイン構造である。

30

【0211】

次に、横電界方式の液晶表示装置について示す。横電界方式は、セル内の液晶分子に対して水平方向に電界を加えることで液晶を駆動して階調表現する方式である。この方式によれば、視野角を約180度にまで広げることができる。以下の説明では、横電界方式を採用する液晶表示装置について説明する。

【0212】

図20は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側に有るので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

40

【0213】

基板600上には、第1の画素電極607及び第1の画素電極607に接続する容量配線604、並びに及び実施の形態1で示すTFT628が形成される。第1の画素電極607は、実施の形態1で示す画素電極77と同様の材料を用いることができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。なお、第1の画素電極607及び容量配線604上にはゲート絶縁膜606が形成される。

【0214】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線61

50

6は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、TFT628のソース領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0215】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホールにおいて、配線618に接続する第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。

【0216】

このようにして、基板600上にTFT628とそれに接続する第2の画素電極624が形成される。なお、保持容量は第1の画素電極607と第2の画素電極624の間で形成している。

【0217】

図21は、画素電極の構成を示す平面図である。図21に示す切断線O-Pに対応する断面構造を図20に表している。画素電極624にはスリット625が設けられる。スリット625は液晶の配向を制御するためのものである。この場合、電界は第1の画素電極607と第2の画素電極624の間で発生する。第1の画素電極607と第2の画素電極624の間にはゲート絶縁膜606が形成されているが、ゲート絶縁膜606の厚さは50~200nmであり、2~10μmである液晶層の厚さと比較して十分薄いので、実質的に基板600と平行な方向（水平方向）に電界が発生する。この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。また、第1の画素電極607と第2の画素電極624は共に透光性の電極であるので、開口率を向上させることができる。

【0218】

次に、横電界方式の液晶表示装置の他の一例について示す。

【0219】

図22と図23は、IPS(In-Plane Switching)型の液晶表示装置の画素構造を示している。図23は平面図であり、図中に示す切断線I-Jに対応する断面構造を図22に表している。以下の説明ではこの両図を参照して説明する。

【0220】

図22は、TFT628とそれに接続する画素電極624が形成された基板600と、対向基板601を重ね合わせ、液晶を注入した状態を示している。対向基板601には遮光膜632、第2の着色膜636、平坦化膜637などが形成されている。画素電極は基板600側にあるので、対向基板601側には設けられていない。基板600と対向基板601の間に液晶層650が形成されている。

【0221】

基板600上には、共通電位線609、及びTFT628が形成される。共通電位線609はTFT628のゲート配線602と同時に形成することができる。また、第1の画素電極607は略画素の形状に区画化した形状で形成する。

【0222】

TFT628の配線616、配線618がゲート絶縁膜606上に形成される。配線616は液晶表示パネルにおいてビデオ信号をのせるデータ線であり一方向に伸びる配線であると同時に、TFT628のソース領域と接続し、ソース及びドレインの一方の電極となる。配線618はソース及びドレインの他方の電極となり、第2の画素電極624と接続する配線である。

【0223】

配線616、配線618上に第2の絶縁膜620が形成される。また、絶縁膜620上には、絶縁膜620に形成されるコンタクトホール623において、配線618に接続する

10

20

30

40

50

第2の画素電極624が形成される。画素電極624は実施の形態1で示した画素電極77と同様の材料を用いて形成する。なお、図23に示すように、画素電極624は、共通電位線609と同時に形成した櫛形の電極と横電界が発生するように形成される。また、画素電極624の櫛歯の部分が共通電位線609と同時に形成した櫛形の電極と交互に咬み合うように形成される。

【0224】

画素電極624に印加される電位と共通電位線609の電位との間に電界が生じると、この電界により液晶の配向が制御される。この基板と略平行な方向の電界を利用して液晶分子を水平に回転させる。この場合、液晶分子はどの状態でも水平であるため、見る角度によるコントラストなどの影響は少なく、視野角が広がることとなる。

10

【0225】

このようにして、基板600上にTFT628とそれに接続する画素電極624が形成される。保持容量は共通電位線609と容量電極615の間にゲート絶縁膜606を設け、それにより形成している。容量電極615と画素電極624はコンタクトホール633を介して接続されている。

【0226】

次に、TN型の液晶表示装置の形態について示す。

【0227】

図24と図25は、TN型の液晶表示装置の画素構造を示している。図25は平面図であり、図中に示す切断線K-Lに対応する断面構造を図24に表している。以下の説明ではこの両図を参照して説明する。

20

【0228】

画素電極624はコンタクトホール623により、配線618でTFT628と接続している。データ線として機能する配線616は、TFT628と接続している。

【0229】

対向基板601には、遮光膜632、第2の着色膜636、対向電極640が形成されている。また、第2の着色膜636と対向電極640の間には平坦化膜637が形成され、液晶の配向乱れを防いでいる。液晶層650は画素電極624と対向電極640の間に配向膜648及び配向膜646を介して形成されている。

【0230】

画素電極624と液晶650と対向電極640が重なり合うことで、液晶素子が形成されている。

30

【0231】

また、基板600または対向基板601にカラーフィルタや、ディスクリネーションを防ぐための遮蔽膜（ブラックマトリクス）などが形成されていても良い。また、基板600の薄膜トランジスタが形成されている面とは逆の面に偏光板を貼り合わせ、また対向基板601の対向電極640が形成されている面とは逆の面に、偏光板を貼り合わせておく。

【0232】

以上の工程により、表示装置として液晶表示装置を作製することができる。本実施の形態の液晶表示装置は、オフ電流が少なく、電気特性及び信頼性の高い薄膜トランジスタを用いているため、コントラストが高く、視認性の高い液晶表示装置である。

40

【0233】

（実施の形態8）

次に、本発明の表示装置の一形態である表示パネルの構成について、以下に示す。本実施の形態では、表示素子として液晶素子を有する液晶表示装置の一形態である液晶表示パネル（液晶パネルともいう）、表示素子として発光素子を有する表示装置の一形態である発光表示パネル（発光パネルともいう）について説明する。

【0234】

図9（A）に、信号線駆動回路6013のみを別途形成し、基板6011上に形成された画素部6012と接続している発光表示パネルの形態を示す。画素部6012及び走査線

50

駆動回路 6014 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。微結晶半導体膜を用いた薄膜トランジスタよりも高い移動度が得られるトランジスタで信号線駆動回路を形成することで、走査線駆動回路よりも高い駆動周波数が要求される信号線駆動回路の動作を安定させることができる。なお、信号線駆動回路 6013 は、単結晶の半導体を用いたトランジスタ、多結晶の半導体を用いた薄膜トランジスタ、または S O I を用いたトランジスタであっても良い。画素部 6012 と、信号線駆動回路 6013 と、走査線駆動回路 6014 とに、それぞれ電源の電位、各種信号等が、F P C 6015 を介して供給される。

【0235】

なお、信号線駆動回路及び走査線駆動回路を、共に画素部と同じ基板上に形成しても良い。

10

【0236】

また、駆動回路を別途形成する場合、必ずしも駆動回路が形成された基板を、画素部が形成された基板上に貼り合わせる必要はなく、例えば F P C 上に貼り合わせるようにしても良い。図 9 (B) に、信号線駆動回路 6023 のみを別途形成し、基板 6021 上に形成された画素部 6022 及び走査線駆動回路 6024 と接続している発光装置パネルの形態を示す。画素部 6022 及び走査線駆動回路 6024 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路 6023 は、F P C 6025 を介して画素部 6022 と接続されている。画素部 6022 と、信号線駆動回路 6023 と、走査線駆動回路 6024 とに、それぞれ電源の電位、各種信号等が、F P C 6025 を介して供給

20

【0237】

また、信号線駆動回路の一部または走査線駆動回路の一部のみを、微結晶半導体膜を用いた薄膜トランジスタを用いて画素部と同じ基板上に形成し、残りを別途形成して画素部と電氣的に接続するようにしても良い。図 9 (C) に、信号線駆動回路が有するアナログスイッチ 6033a を、画素部 6032、走査線駆動回路 6034 と同じ基板 6031 上に形成し、信号線駆動回路が有するシフトレジスタ 6033b を別途異なる基板に形成して貼り合わせる発光装置パネルの形態を示す。画素部 6032 及び走査線駆動回路 6034 は、微結晶半導体膜を用いた薄膜トランジスタを用いて形成する。信号線駆動回路が有するシフトレジスタ 6033b は、F P C 6035 を介して画素部 6032 と接続されている。画素部 6032 と、信号線駆動回路と、走査線駆動回路 6034 とに、それぞれ電源の電位、各種信号等が、F P C 6035 を介して供給される。

30

【0238】

図 9 に示すように、本発明の発光装置は、駆動回路の一部または全部を、画素部と同じ基板上に、微結晶半導体膜を用いた薄膜トランジスタを用いて形成することができる。

【0239】

なお、別途形成した基板の接続方法は、特に限定されるものではなく、C O G 方法、ワイヤボンディング方法、或いは T A B 方法などを用いることができる。また接続する位置は、電氣的な接続が可能であるならば、図 9 に示した位置に限定されない。また、コントローラ、C P U、メモリ等を別途形成し、接続するようにしても良い。

40

【0240】

なお本発明で用いる信号線駆動回路は、シフトレジスタとアナログスイッチのみを有する形態に限定されない。シフトレジスタとアナログスイッチに加え、バッファ、レベルシフタ、ソースフォロワ等、他の回路を有していても良い。また、シフトレジスタとアナログスイッチは必ずしも設ける必要はなく、例えばシフトレジスタの代わりにデコーダ回路のような信号線の選択ができる別の回路を用いても良いし、アナログスイッチの代わりにラッチ等を用いても良い。

【0241】

次に、本発明の表示装置の一形態に相当する発光表示パネルの外観及び断面について、図 32 を用いて説明する。図 32 は、第 1 の基板上に形成された微結晶半導体膜を用いた薄

50

膜トランジスタ及び発光素子を、第2の基板との間にシール材によって封止した、パネルの上面図であり、図32(B)は、図32(A)のE-Fにおける断面図に相当する。

【0242】

第1の基板4501上に設けられた画素部4502と、走査線駆動回路4504とを囲むようにして、シール材4505が設けられている。また画素部4502と、走査線駆動回路4504の上に第2の基板4506が設けられている。よって画素部4502と、走査線駆動回路4504とは、第1の基板4501とシール材4505と第2の基板4506とによって、充填材4507と共に密封されている。また第1の基板4501上のシール材4505によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4503が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4501に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図32では、信号線駆動回路4503に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4509を例示する。

10

【0243】

また第1の基板4501上に設けられた画素部4502と、走査線駆動回路4504は、薄膜トランジスタを複数有しており、図32(B)では、画素部4502に含まれる薄膜トランジスタ4510とを例示している。なお本実施の形態では、薄膜トランジスタ4510が駆動用TFTであると仮定するが、薄膜トランジスタ4510は電流制御用TFTであっても良いし、消去用TFTであっても良い。薄膜トランジスタ4510は微結晶半導体膜を用いた薄膜トランジスタに相当し、実施の形態1乃至4に示す工程で同様に作製することができる。

20

【0244】

また4511は発光素子に相当し、発光素子4511が有する画素電極4520は、薄膜トランジスタ4510のソース電極またはドレイン電極と、配線4517を介して電氣的に接続されている。そして本実施の形態では、発光素子4511の共通電極と透光性を有する導電性材料よりなる導電膜4512が電氣的に接続されている。図32の発光素子4511は画素電極4520、発光層4521、導電膜4512で構成されている例を示すが、発光素子4511の構成は、本実施の形態に示した構成に限定されない。発光素子4511から取り出す光の方向や、薄膜トランジスタ4510の極性などに合わせて、発光素子4511の構成は適宜変えることができる。

30

【0245】

また、別途形成された信号線駆動回路4503と、走査線駆動回路4504または画素部4502に与えられる各種信号及び電位は、図32(B)に示す断面図では図示されていないが、引き回し配線4514及び4515を介して、FPC4518から供給されている。

【0246】

本実施の形態では、接続端子4516が、薄膜トランジスタ4510が有するゲート電極と同じ導電膜から形成されている。また、引き回し配線4514、4515は、配線4517と同じ導電膜から形成されている。

40

【0247】

接続端子4516は、FPC4518が有する端子と、異方性導電膜4519を介して電氣的に接続されている。

【0248】

発光素子4511からの光の取り出し方向に位置する基板には、第2の基板は透明でなければならない。その場合には、ガラス板、プラスチック板、ポリエステルフィルムまたはアクリルフィルムのような透光性を有する材料を用いる。

【0249】

また、充填材4507としては窒素やアルゴンなどの不活性な気体の他に、紫外線硬化樹脂または熱硬化樹脂を用いることができ、PVC(ポリビニルクロライド)、アクリル、

50

ポリイミド、エポキシ樹脂、シリコン樹脂、PVB（ポリビニルブチラル）またはEVA（エチレンビニルアセテート）を用いることができる。本実施の形態は充填材として窒素を用いた。

【0250】

また、必要であれば、発光素子の射出面に偏光板、又は円偏光板（楕円偏光板を含む）、位相差板（ $\lambda/4$ 板、 $\lambda/2$ 板）、カラーフィルタなどの光学フィルムを適宜設けてもよい。また、偏光板又は円偏光板に反射防止膜を設けてもよい。例えば、表面の凹凸により反射光を拡散し、映り込みを低減できるアンチグレア処理を施すことができる。

【0251】

なお、図32では、信号線駆動回路4503を別途形成し、第1の基板4501に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0252】

次に、本発明の液晶表示装置の一形態に相当する液晶表示パネルの外観及び断面について、図33を用いて説明する。図33(A)は、第1の基板4001上に形成された微結晶半導体膜を有する薄膜トランジスタ4010及び液晶素子4013を、第2の基板4006との間にシール材4005によって封止した、パネルの上面図であり、図33(B)は、図33(A)のM-Nにおける断面図に相当する。

【0253】

第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004とを囲むようにして、シール材4005が設けられている。また画素部4002と、走査線駆動回路4004の上に第2の基板4006が設けられている。よって画素部4002と、走査線駆動回路4004とは、第1の基板4001とシール材4005と第2の基板4006とによって、液晶4008と共に封止されている。また第1の基板4001上のシール材4005によって囲まれている領域とは異なる領域に、別途用意された基板上に多結晶半導体膜で形成された信号線駆動回路4003が実装されている。なお本実施の形態では、多結晶半導体膜を用いた薄膜トランジスタを有する信号線駆動回路を、第1の基板4001に貼り合わせる例について説明するが、単結晶半導体を用いたトランジスタで信号線駆動回路を形成し、貼り合わせるようにしても良い。図33では、信号線駆動回路4003に含まれる、多結晶半導体膜で形成された薄膜トランジスタ4009を例示する。

【0254】

また第1の基板4001上に設けられた画素部4002と、走査線駆動回路4004は、薄膜トランジスタを複数有しており、図33(B)では、画素部4002に含まれる薄膜トランジスタ4010とを例示している。薄膜トランジスタ4010は微結晶半導体膜を用いた薄膜トランジスタに相当し、実施の形態1乃至4に示す工程で同様に作製することができる。

【0255】

また4011は液晶素子に相当し、液晶素子4013が有する画素電極4030は、薄膜トランジスタ4010と配線4040を介して電氣的に接続されている。そして液晶素子4013の対向電極4031は第2の基板4006上に形成されている。画素電極4030と対向電極4031と液晶4008とが重なっている部分が、液晶素子4013に相当する。なお、画素電極4030と液晶4008との間には配向膜4032、対向電極4031と液晶4008との間には配向膜4033が設けられている。

【0256】

なお、第1の基板4001、第2の基板4006としては、ガラス、金属（代表的にはステンレス）、セラミックス、プラスチックを用いることができる。プラスチックとしては、FRP（Fiberglass-Reinforced Plastics）板、PVF（ポリビニルフルオライド）フィルム、ポリエステルフィルムまたはアクリル樹脂フィルムを用いることができる。また、アルミニウムホイルをPVFフィルムやポリエステル

10

20

30

40

50

フィルムで挟んだ構造のシートを用いることもできる。

【0257】

また4035は球状のスペーサであり、画素電極4030と対向電極4031との間の距離（セルギャップ）を制御するために設けられている。なお絶縁膜を選択的にエッチングすることで得られるスペーサを用いても良い。

【0258】

また別途形成された信号線駆動回路4003と、走査線駆動回路4004または画素部4002に与えられる各種信号及び電位は、引き回し配線4014、4015を介して、FPC4018から供給されている。

【0259】

本実施の形態では、接続端子4016が、液晶素子4013が有する画素電極4030と同じ導電膜から形成されている。また、引き回し配線4014、4015は、配線4041と同じ導電膜で形成されている。

【0260】

接続端子4016は、FPC4018が有する端子と、異方性導電膜4019を介して電氣的に接続されている。

【0261】

なお図示していないが、本実施の形態に示した液晶表示装置は偏光板を有し、更にカラーフィルタや遮蔽膜を有していても良い。

【0262】

また図33でも、信号線駆動回路4003を別途形成し、第1の基板4001に実装している例を示しているが、本実施の形態はこの構成に限定されない。走査線駆動回路を別途形成して実装しても良いし、信号線駆動回路の一部または走査線駆動回路の一部のみを別途形成して実装しても良い。

【0263】

本実施の形態は、他の実施の形態に記載した構成と適宜組み合わせることで実施することが可能である。

【0264】

（実施の形態9）

本発明により得られる表示装置等は、表示モジュール（アクティブマトリクス型ELモジュール又は液晶モジュール）に用いることができる。即ち、それらを表示部に組み込んだ電子機器全てに本発明を実施できる。

【0265】

その様な電子機器としては、ビデオカメラ、デジタルカメラ等のカメラ、ヘッドマウントディスプレイ（ゴーグル型ディスプレイ）、カーナビゲーション、プロジェクタ、カーステレオ、パーソナルコンピュータ、携帯情報端末（モバイルコンピュータ、携帯電話または電子書籍等）などが挙げられる。それらの一例を図35に示す。

【0266】

図35（A）はテレビジョン装置である。表示モジュールを、図35（A）に示すように、筐体に組みこんで、テレビジョン装置を完成させることができる。FPCまで取り付けられた表示パネルのことを表示モジュールとも呼ぶ。表示モジュールにより主画面2003が形成され、その他付属設備としてスピーカ部2009、操作スイッチなどが備えられている。このように、テレビジョン装置を完成させることができる。

【0267】

図35（A）に示すように、筐体2001に表示素子を利用した表示用パネル2002が組みこまれ、受信機2005により一般のテレビ放送の受信をはじめ、モデム2004を介して有線又は無線による通信ネットワークに接続することにより一方向（送信者から受信者）又は双方向（送信者と受信者間、又は受信者間同士）の情報通信をすることもできる。テレビジョン装置の操作は、筐体に組みこまれたスイッチ又は別体のリモコン操作機2006により行うことが可能であり、このリモコン装置にも出力する情報を表示する表

10

20

30

40

50

示部 2 0 0 7 が設けられていても良い。

【 0 2 6 8 】

また、テレビジョン装置にも、主画面 2 0 0 3 の他にサブ画面 2 0 0 8 を第 2 の表示用パネルで形成し、チャンネルや音量などを表示する構成が付加されていても良い。この構成において、主画面 2 0 0 3 を視野角の優れた発光表示パネルで形成し、サブ画面を低消費電力で表示可能な液晶表示パネルで形成しても良い。また、低消費電力化を優先させるためには、主画面 2 0 0 3 を液晶表示パネルで形成し、サブ画面を発光表示パネルで形成し、サブ画面は点滅可能とする構成としても良い。

【 0 2 6 9 】

図 3 4 はテレビ装置の主要な構成を示すブロック図を示している。表示パネルには、画素部 9 0 1 が形成されている。信号線駆動回路 9 0 2 と走査線駆動回路 9 0 3 は、表示パネルに C O G 方式により実装されていても良い。

10

【 0 2 7 0 】

その他の外部回路の構成として、映像信号の入力側では、チューナ 9 0 4 で受信した信号のうち、映像信号を増幅する映像信号増幅回路 9 0 5 と、そこから出力される信号を赤、緑、青の各色に対応した色信号に変換する映像信号処理回路 9 0 6 と、その映像信号をドライバ I C の入力仕様に換するためのコントロール回路 9 0 7 などを有している。コントロール回路 9 0 7 は、走査線側と信号線側にそれぞれ信号が出力する。デジタル駆動する場合には、信号線側に信号分割回路 9 0 8 を設け、入力デジタル信号を m 個に分割して供給する構成としても良い。

20

【 0 2 7 1 】

チューナ 9 0 4 で受信した信号のうち、音声信号は、音声信号増幅回路 9 0 9 に送られ、その出力は音声信号処理回路 9 1 0 を経てスピーカ 9 1 3 に供給される。制御回路 9 1 1 は受信局（受信周波数）や音量の制御情報を入力部 9 1 2 から受け、チューナ 9 0 4 や音声信号処理回路 9 1 0 に信号を送出する。

【 0 2 7 2 】

勿論、本発明はテレビジョン装置に限定されず、パーソナルコンピュータのモニタをはじめ、鉄道の駅や空港などにおける情報表示盤や、街頭における広告表示盤など大面積の表示媒体としても様々な用途に適用することができる。

【 0 2 7 3 】

30

図 3 5 (B) は携帯電話機 2 3 0 1 の一例を示している。この携帯電話機 2 3 0 1 は、表示部 2 3 0 2、操作部 2 3 0 3 などを含んで構成されている。表示部 2 3 0 2 においては、上記実施の形態で説明した表示装置を適用することで、量産性を高めることができる。

【 0 2 7 4 】

また、図 3 5 (C) に示す携帯型のコンピュータは、本体 2 4 0 1、表示部 2 4 0 2 等を含んでいる。表示部 2 4 0 2 に、上記実施の形態に示す表示装置を適用することにより、量産性を高めることができる。

【 0 2 7 5 】

図 3 5 (D) は卓上照明器具であり、照明部 2 5 0 1、傘 2 5 0 2、可変アーム 2 5 0 3、支柱 2 5 0 4、台 2 5 0 5、電源 2 5 0 6 を含む。本発明の製造装置を用いて形成される表示装置を照明部 2 5 0 1 に用いることにより作製される。なお、照明器具には天井固定型の照明器具または壁掛け型の照明器具なども含まれる。本発明の量産性が高い表示装置の作製方法により製造コストの低減を図ることができ、安価な卓上照明器具を提供することができる。

40

【図面の簡単な説明】

【 0 2 7 6 】

【図 1】本発明の表示装置の作製方法を説明する図。

【図 2】本発明の表示装置の作製方法を説明する図。

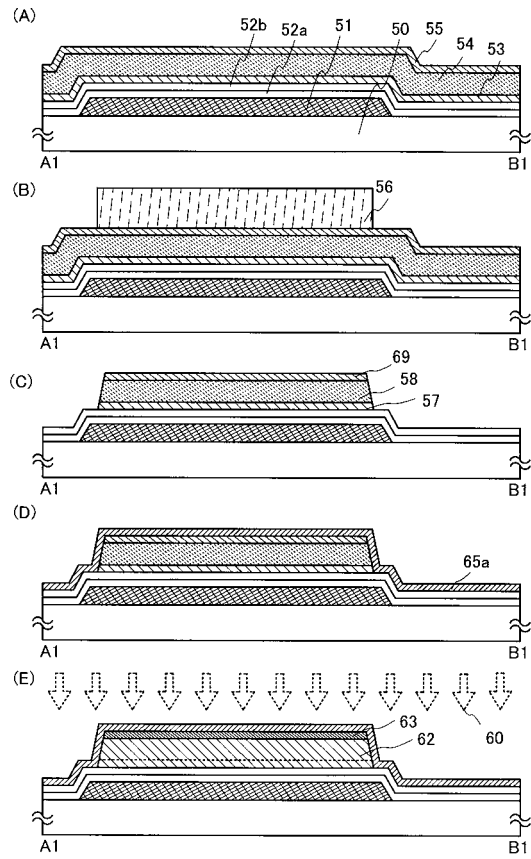
【図 3】本発明の表示装置の作製方法を説明する図。

【図 4】本発明の表示装置の作製方法を説明する図。

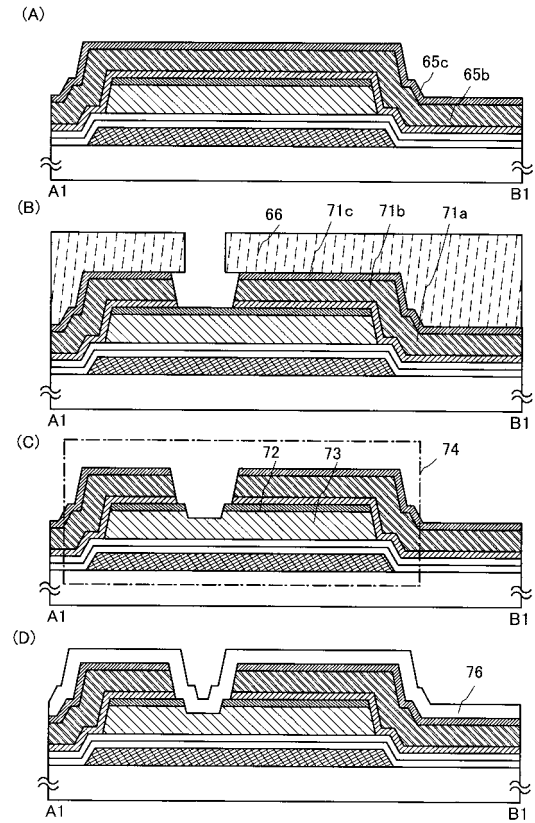
50

- 【図 5】本発明の表示装置の作製方法を説明する図。
- 【図 6】本発明の表示装置の作製方法を説明する図。
- 【図 7】本発明の表示装置の作製方法を説明する図。
- 【図 8】本発明の表示装置の作製方法を説明する図。
- 【図 9】本発明の表示パネルを説明する斜視図。
- 【図 10】本発明に適用することのできるプラズマ C V D 装置を説明する平面図である。
- 【図 11】本発明に適用可能な多階調マスクを説明する図。
- 【図 12】本発明の表示装置を説明する図。
- 【図 13】本発明の表示装置を説明する図。
- 【図 14】本発明の表示装置を説明する図。 10
- 【図 15】本発明の表示装置を説明する図。
- 【図 16】本発明の表示装置を説明する図。
- 【図 17】本発明の表示装置を説明する図。
- 【図 18】本発明の表示装置を説明する図。
- 【図 19】本発明の表示装置を説明する図。
- 【図 20】本発明の表示装置を説明する図。
- 【図 21】本発明の表示装置を説明する図。
- 【図 22】本発明の表示装置を説明する図。
- 【図 23】本発明の表示装置を説明する図。
- 【図 24】本発明の表示装置を説明する図。 20
- 【図 25】本発明の表示装置を説明する図。
- 【図 26】本発明の表示装置の作製方法を説明する図。
- 【図 27】本発明の表示装置の作製方法を説明する図。
- 【図 28】本発明の表示装置の作製方法を説明する図。
- 【図 29】本発明の表示装置の作製方法を説明する図。
- 【図 30】本発明の表示装置を説明する図。
- 【図 31】本発明の表示装置を説明する図。
- 【図 32】本発明の表示装置を説明する図。
- 【図 33】本発明の表示装置を説明する図。
- 【図 34】本発明が適用される電子機器の主要な構成を示すブロック図。 30
- 【図 35】本発明が適用される電子機器を示す図。
- 【図 36】本発明の表示装置を説明する図。

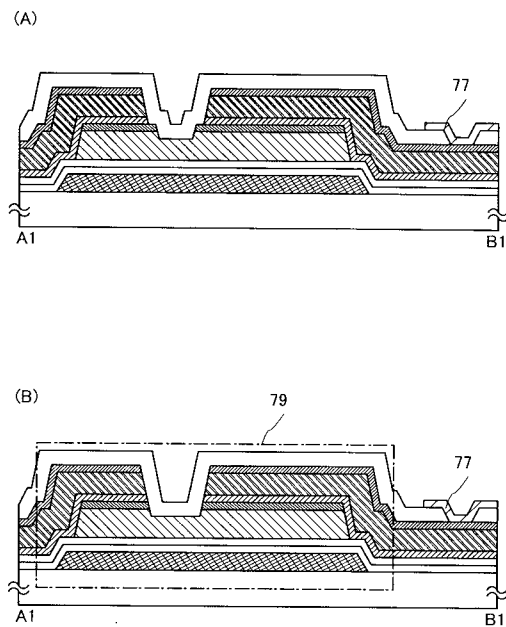
【図 1】



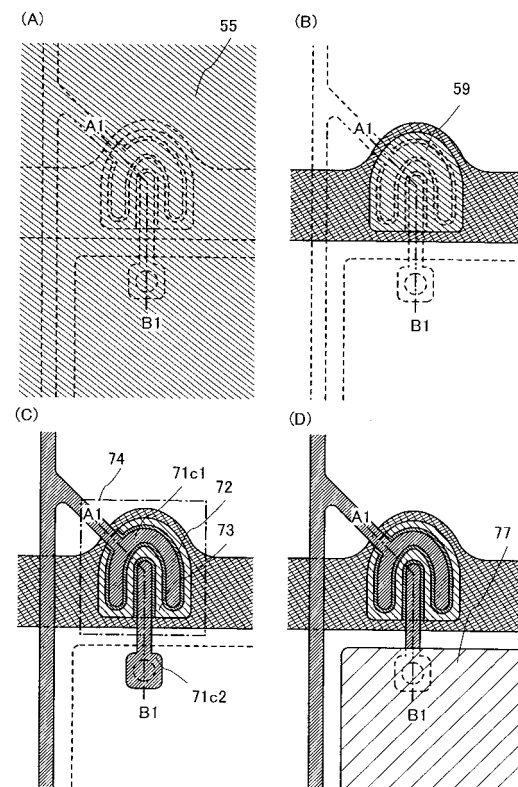
【図 2】



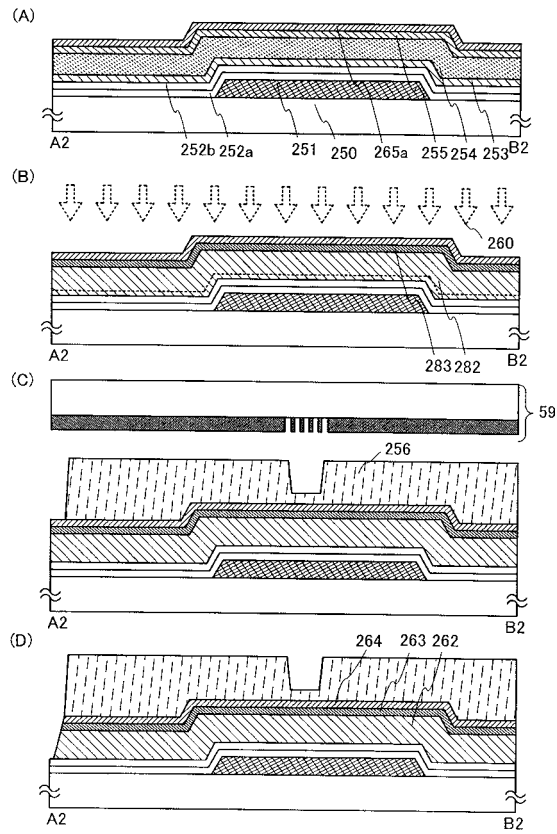
【図 3】



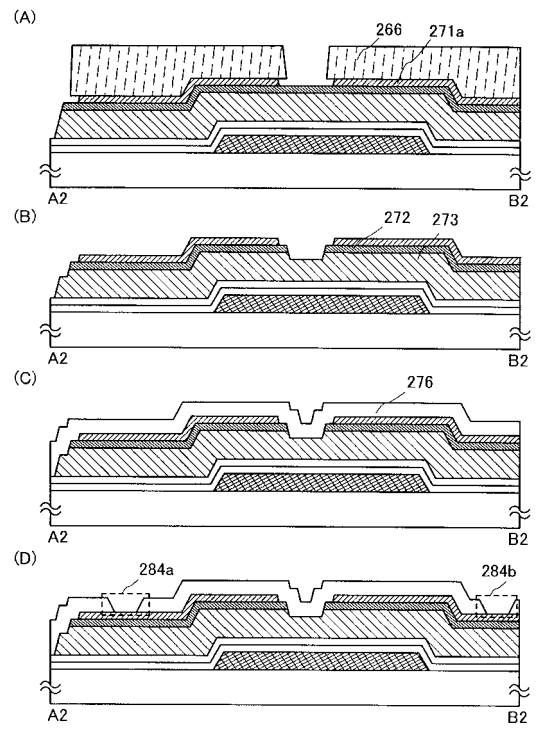
【図 4】



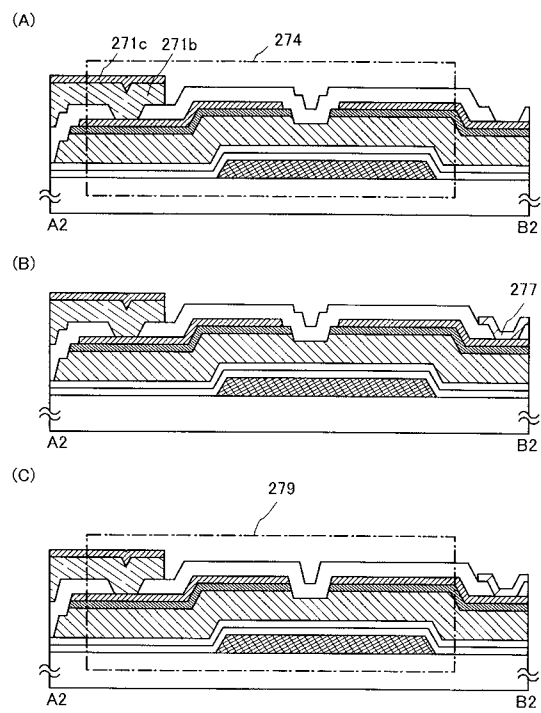
【図 5】



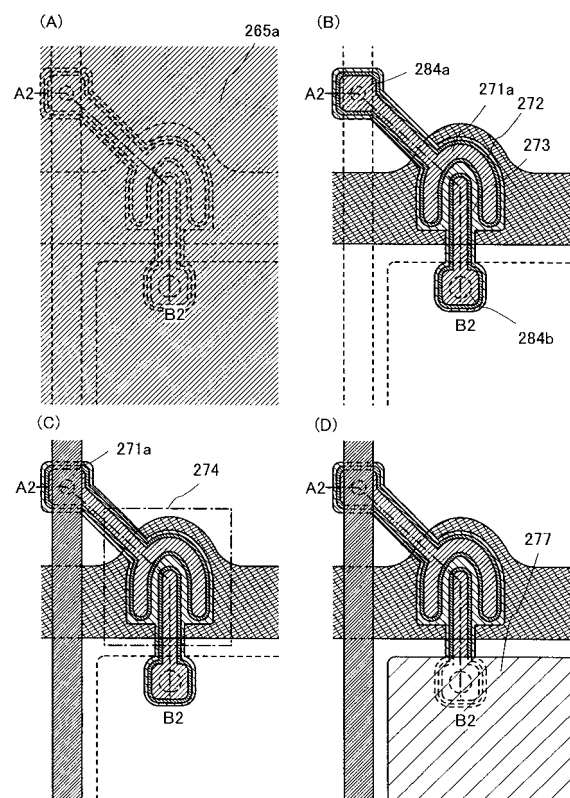
【図 6】



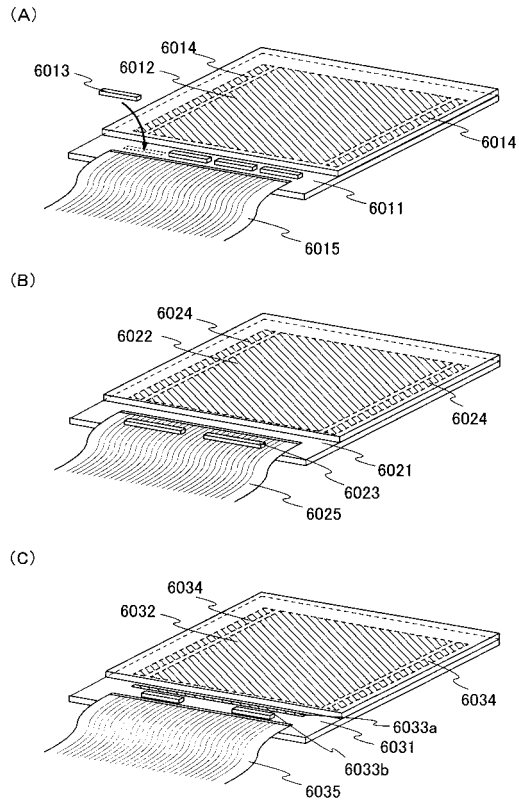
【図 7】



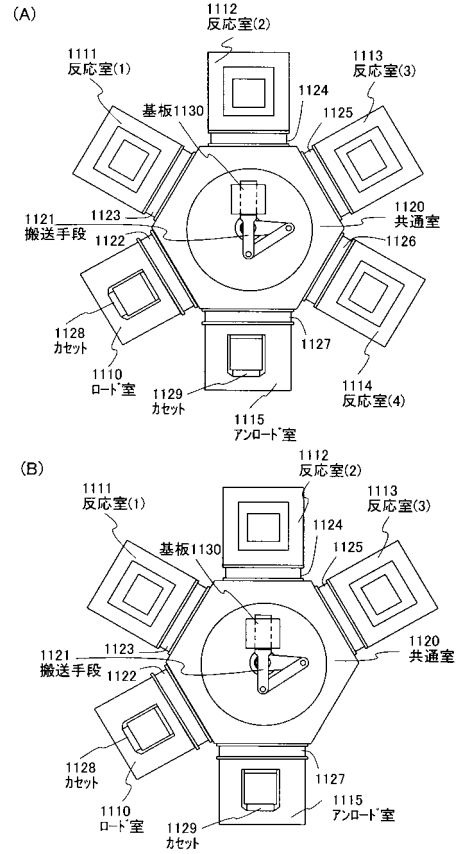
【図 8】



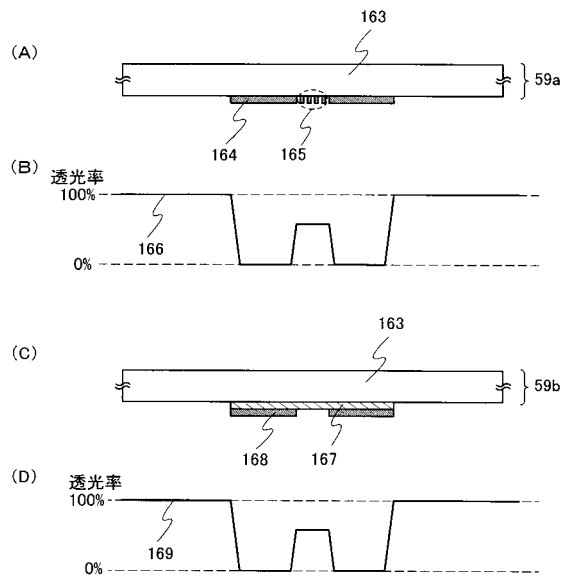
【図 9】



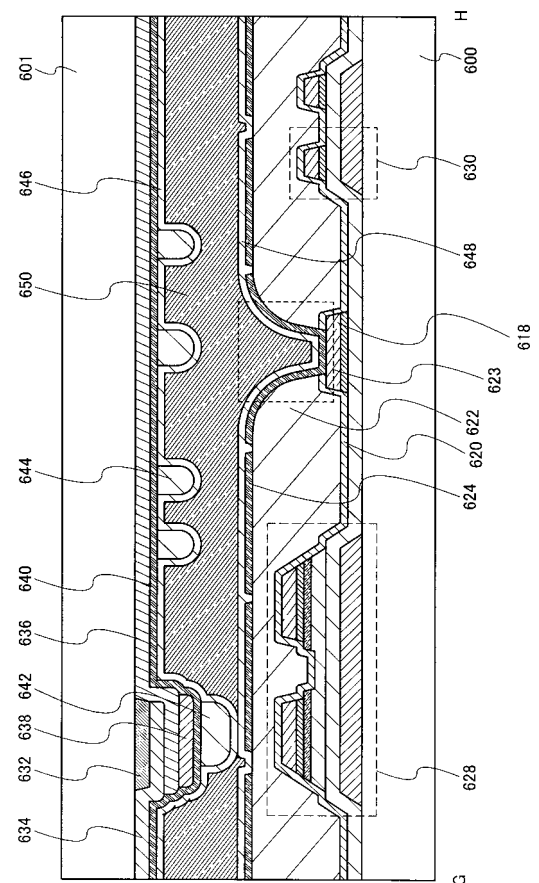
【図 10】



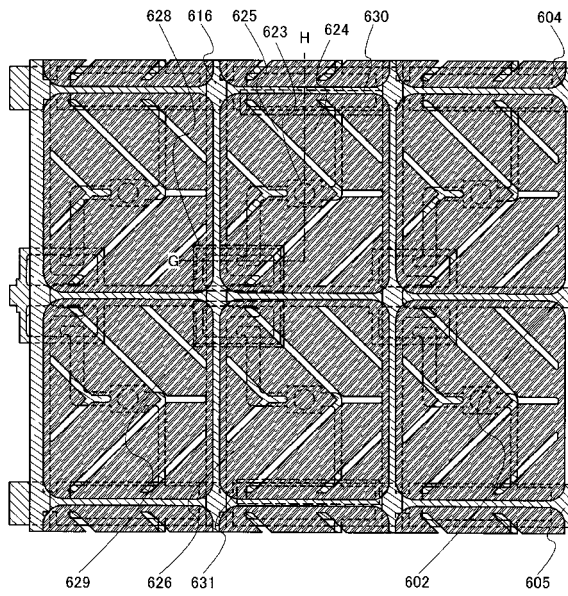
【図 11】



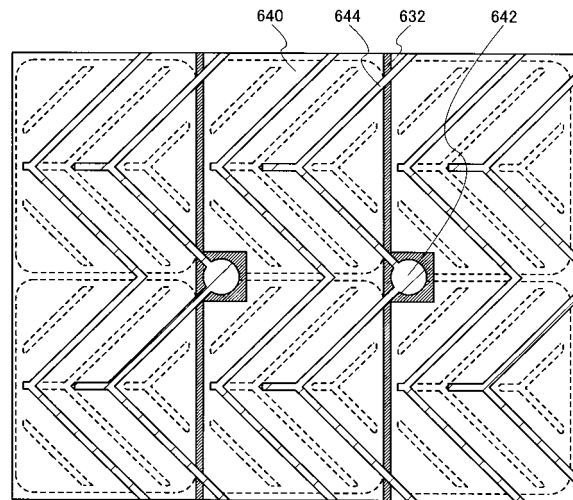
【図 12】



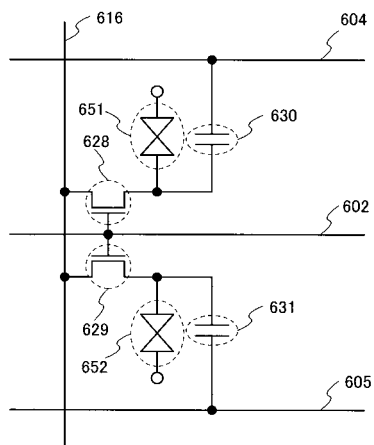
【図 13】



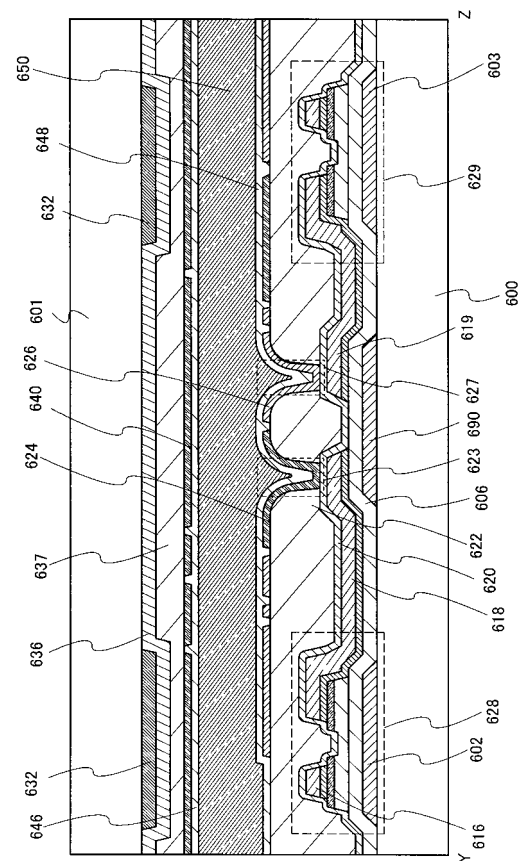
【図 14】



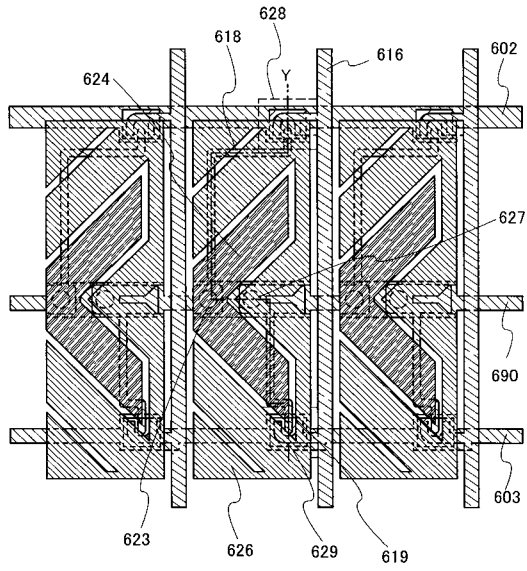
【図 15】



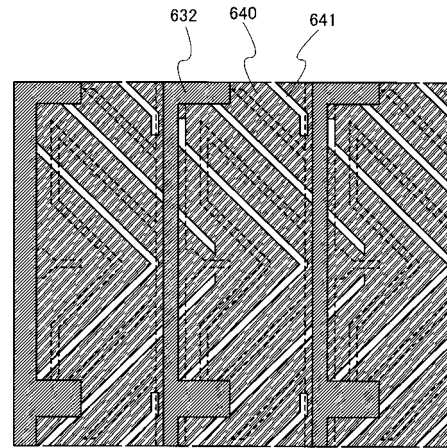
【図 16】



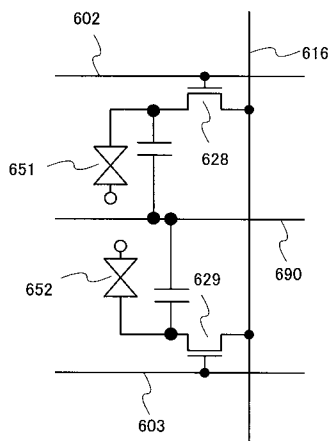
【図 17】



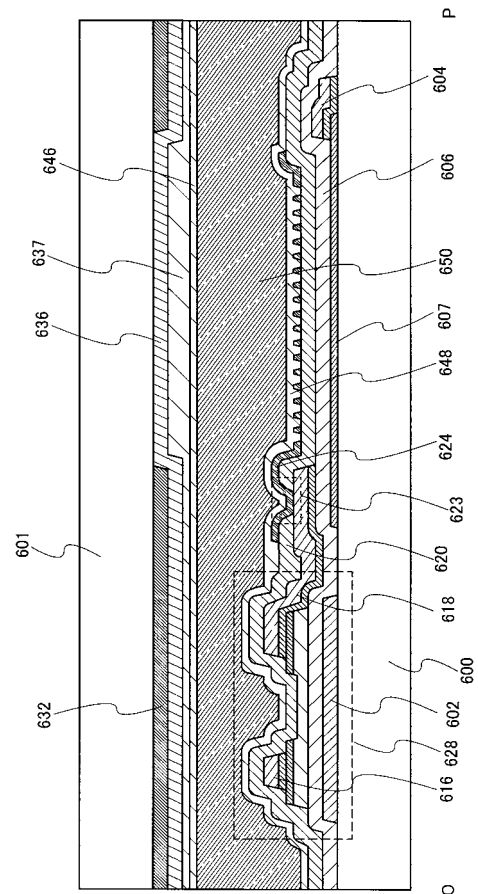
【図 18】



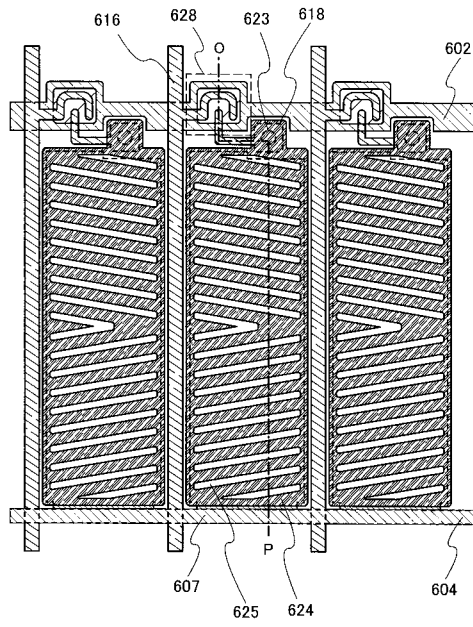
【図 19】



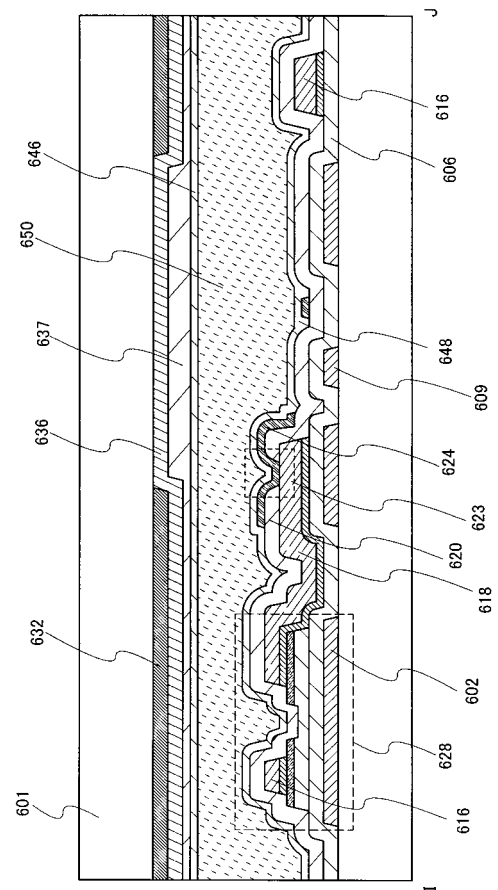
【図 20】



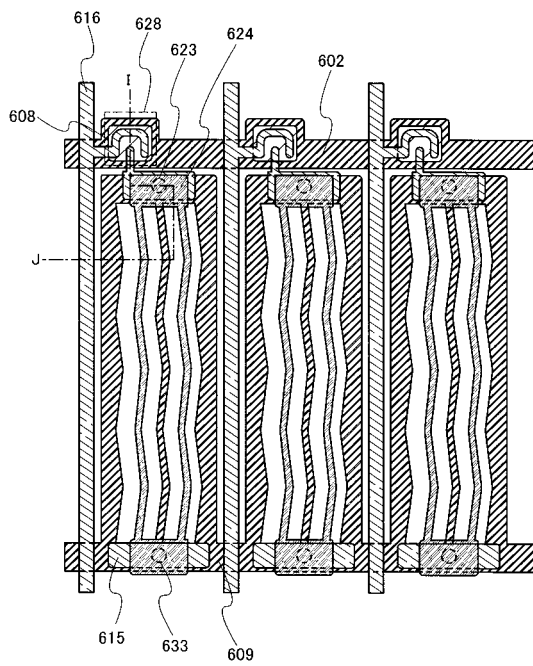
【図 2 1】



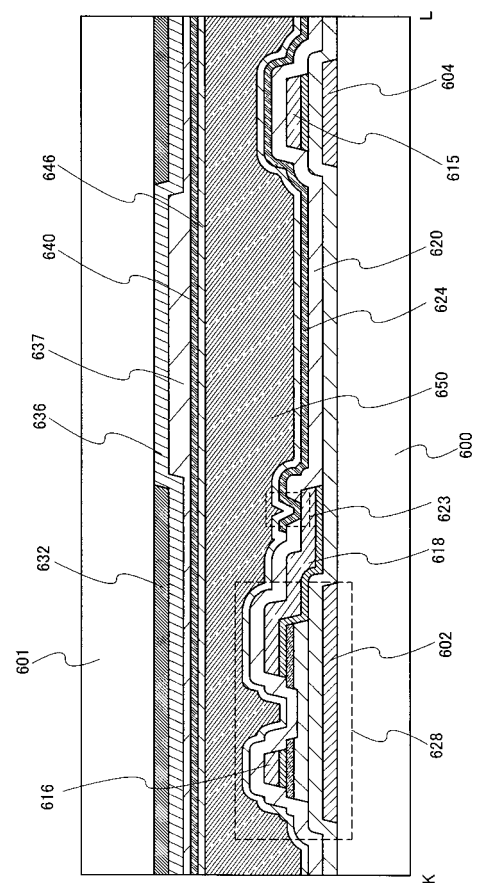
【図 2 2】



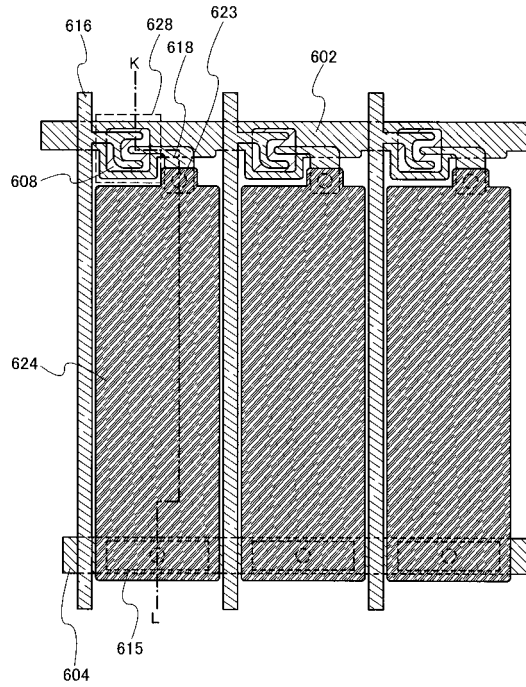
【図 2 3】



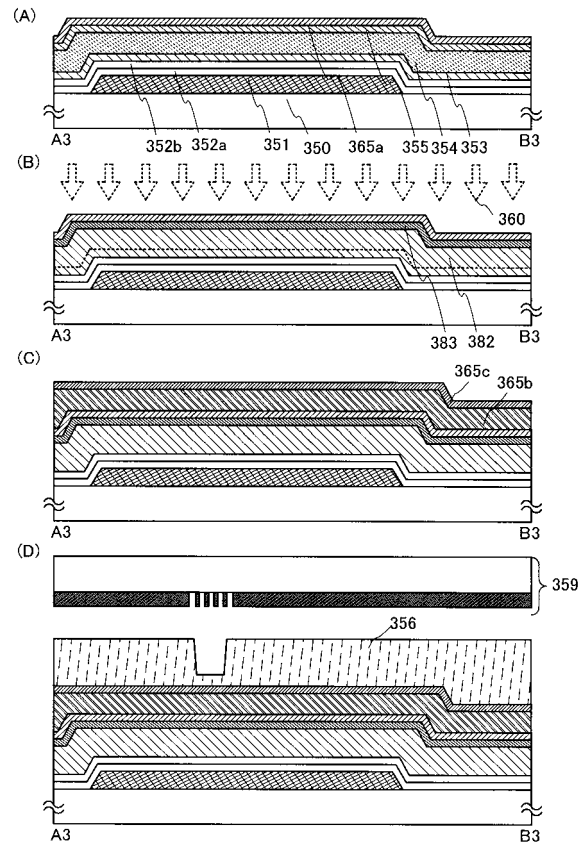
【図 2 4】



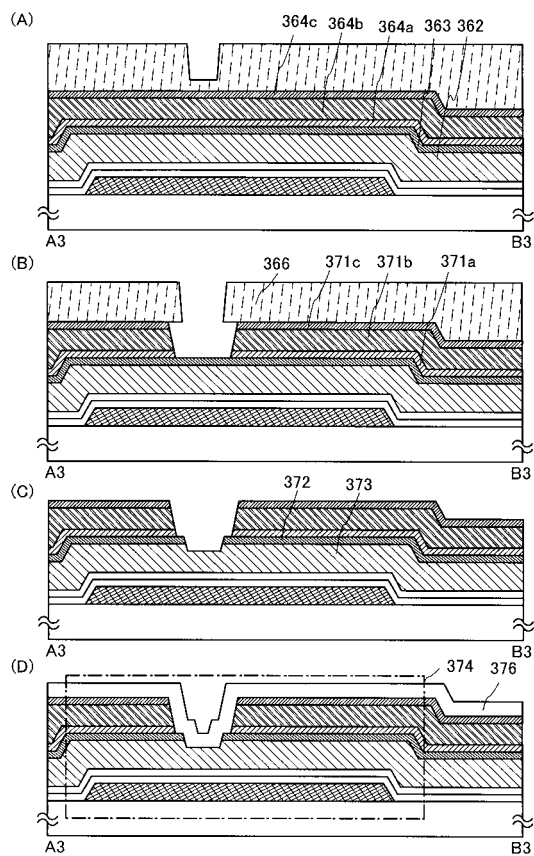
【 図 2 5 】



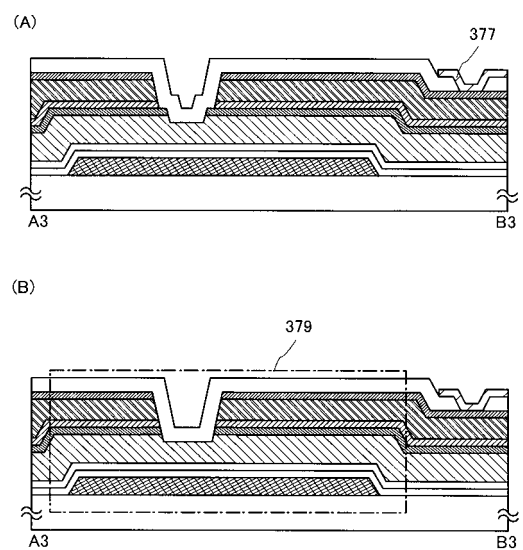
【 図 2 6 】



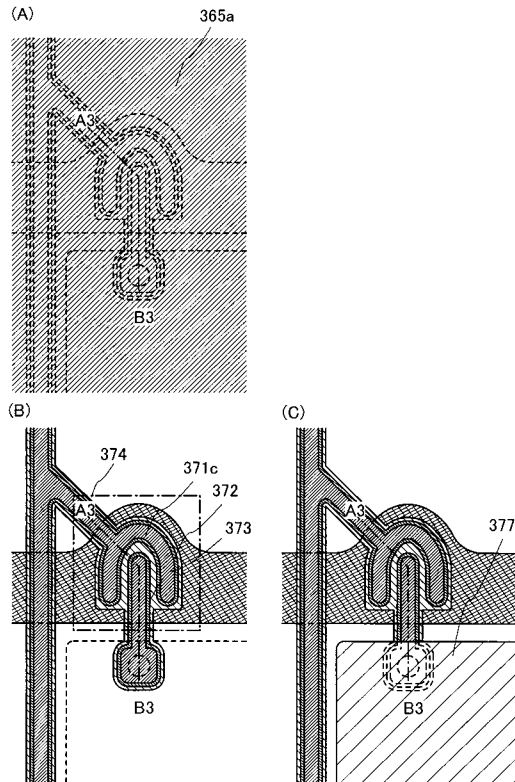
【圖 27】



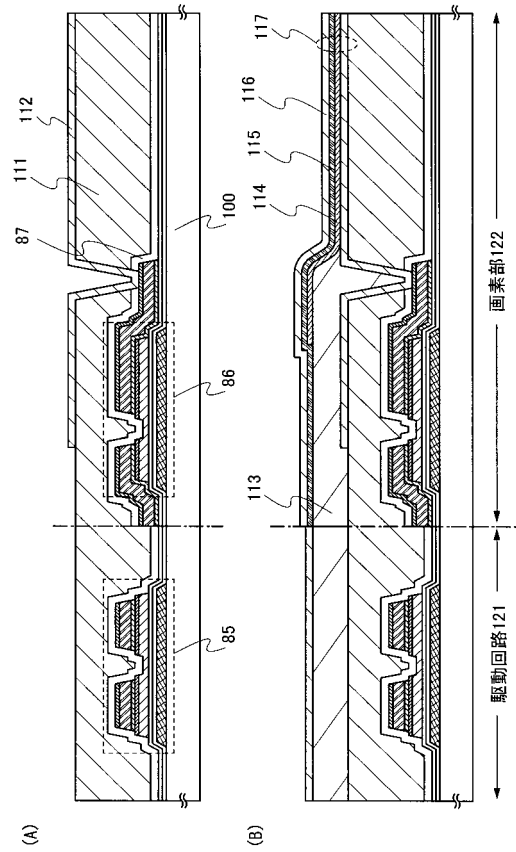
【 図 2 8 】



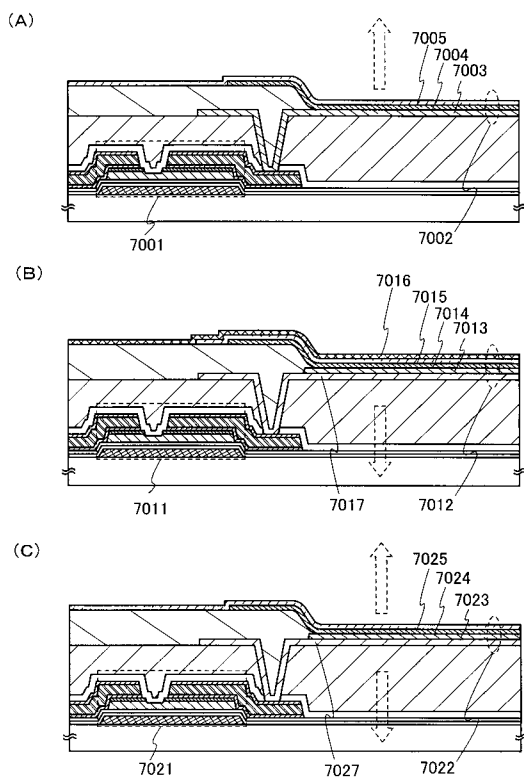
【図 29】



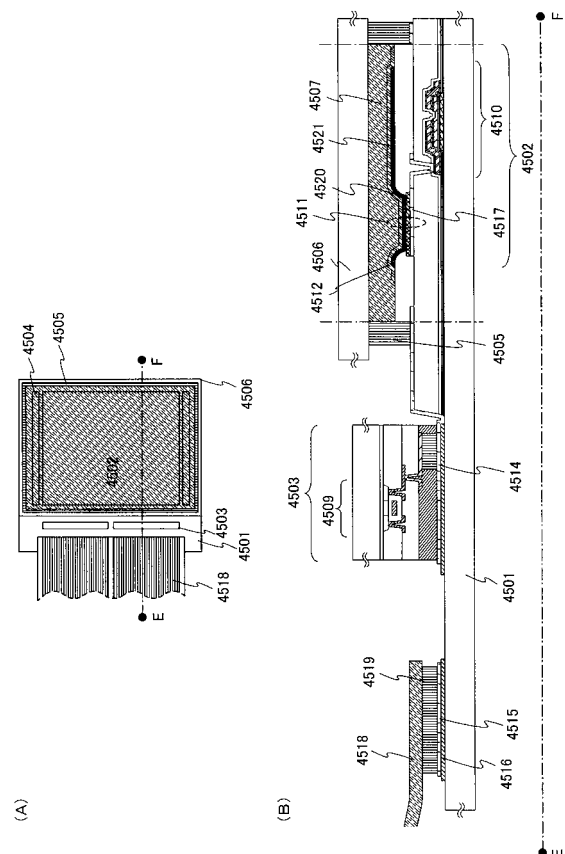
【図 30】



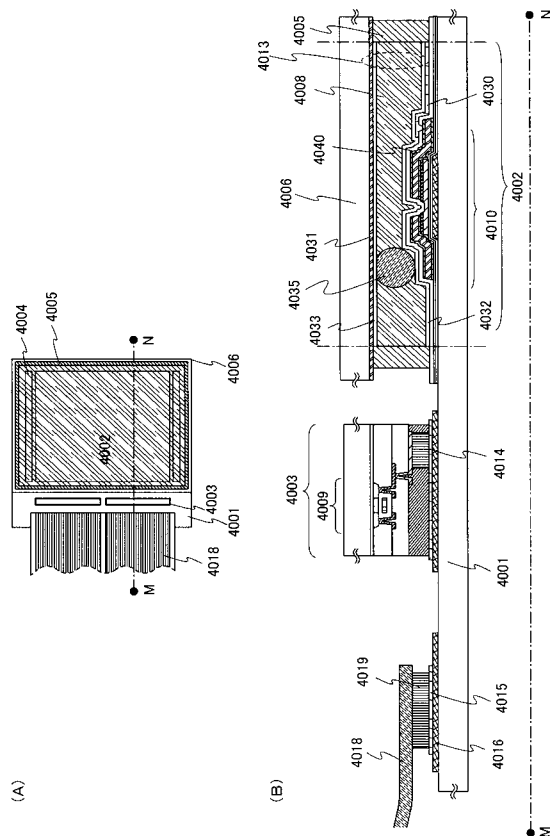
【図 31】



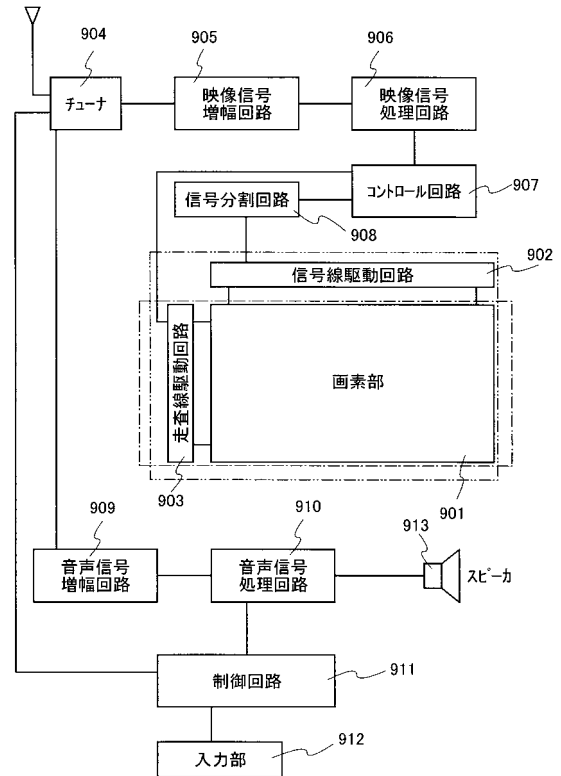
【図 32】



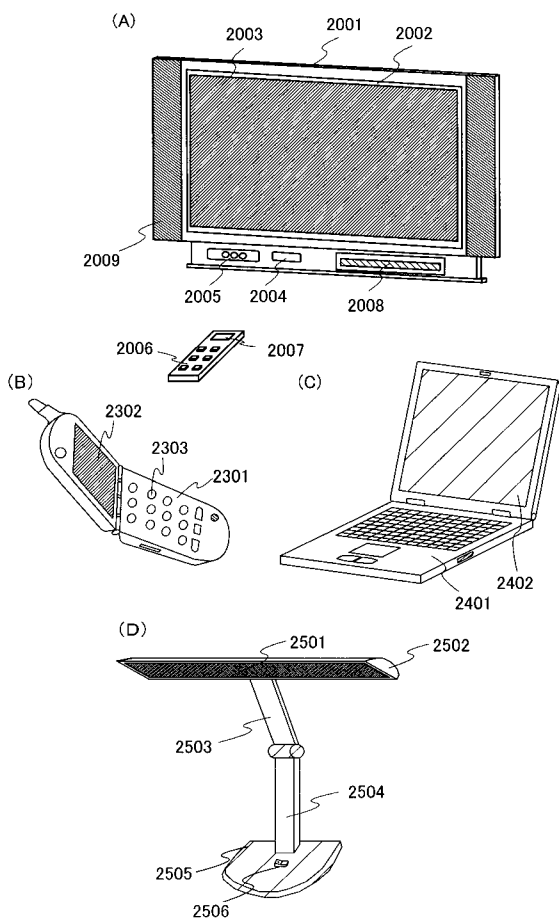
【図 3 3】



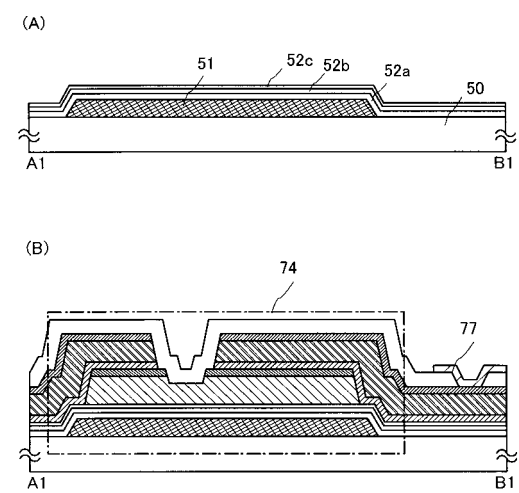
【図 3 4】



【図 3 5】



【図 3 6】



フロントページの続き

(51)Int.Cl.

F I

H 0 1 L 29/78 6 1 6 K

(58)調査した分野(Int.Cl. , D B 名)

H 0 1 L 2 1 / 3 3 6

H 0 1 L 2 9 / 7 8 6