



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2018-0066708
(43) 공개일자 2018년06월19일

(51) 국제특허분류(Int. Cl.)
H01L 29/772 (2006.01) H01L 21/311 (2006.01)
H01L 29/10 (2006.01) H01L 29/40 (2006.01)
H01L 29/66 (2006.01) H01L 29/73 (2006.01)

(52) CPC특허분류
H01L 29/772 (2013.01)
H01L 21/31144 (2013.01)

(21) 출원번호 10-2016-0167850
(22) 출원일자 2016년12월09일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)

(72) 발명자
허연철
경기도 수원시 영통구 센트럴타운로 76 e편한세상
광고 6111동 2802호

(74) 대리인
특허법인 고려

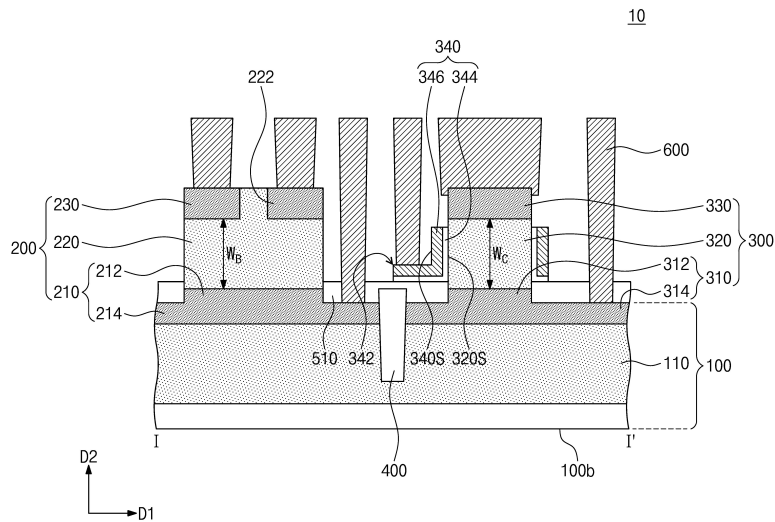
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 반도체 장치 및 그 제조 방법

(57) 요약

반도체 장치는 기관, 기관 상에, 기관의 상면에 평행한 제1 방향으로 서로 이격되는 한 쌍의 제1 도핑 영역들, 한 쌍의 제1 도핑 영역들 상에 각각 제공되는 베이스 영역 및 채널 영역, 베이스 영역 및 채널 영역 상에 각각 제공되는 한 쌍의 제2 도핑 영역들, 및 채널 영역의 측벽 상에 제공되는 게이트 구조체를 포함하되, 베이스 영역의 기관의 상면에 수직인 제2 방향을 따른 두께는 채널 영역의 제2 방향을 따른 두께와 동일하거나 그보다 크다.

대표도 - 도1b



(52) CPC특허분류

H01L 29/1025 (2013.01)

H01L 29/408 (2013.01)

H01L 29/66045 (2013.01)

H01L 29/66234 (2013.01)

H01L 29/6656 (2013.01)

H01L 29/73 (2013.01)

명세서

청구범위

청구항 1

기관;

상기 기관 상에, 상기 기관의 상면에 평행한 제1 방향으로 서로 이격되는 한 쌍의 제1 도핑 영역들;

상기 한 쌍의 제1 도핑 영역들 상에 각각 제공되는 베이스 영역 및 채널 영역;

상기 베이스 영역 및 상기 채널 영역 상에 각각 제공되는 한 쌍의 제2 도핑 영역들; 및

상기 채널 영역의 측벽 상에 제공되는 게이트 구조체를 포함하되,

상기 베이스 영역의 상기 기관의 상면에 수직한 제2 방향을 따른 두께는 상기 채널 영역의 상기 제2 방향을 따른 두께와 동일하거나 그보다 큰 반도체 장치.

청구항 2

제 1 항에 있어서,

상기 한 쌍의 제2 도핑 영역들은 상기 제2 방향을 따른 두께들을 가지고,

상기 제2 도핑 영역들의 상기 두께들은 서로 동일한 반도체 장치.

청구항 3

제 1 항에 있어서,

상기 한 쌍의 제1 도핑 영역들의 각각은 가장자리부 및 상기 가장자리부로부터 상기 제2 방향을 따라 돌출된 중심부를 포함하는 반도체 장치.

청구항 4

제 1 항에 있어서,

상기 베이스 영역 상에 제공되는 베이스 접촉 영역을 더 포함하되,

상기 베이스 접촉 영역은 이에 바로 인접한 제2 도핑 영역으로부터 상기 기관의 상면에 평행한 제1 방향으로 이격되고,

상기 베이스 영역 및 상기 베이스 접촉 영역은 제1 도전형을 갖고,

상기 한 쌍의 제1 도핑 영역들 및 상기 한 쌍의 제2 도핑 영역들은 상기 제1 도전형과 다른 제2 도전형을 갖는 반도체 장치.

청구항 5

제 1 항에 있어서,

상기 채널 영역의 측벽을 따라 연장되어, 상기 채널 영역을 둘러싸는 채널 게이트 구조체를 더 포함하되,

상기 채널 게이트 구조체는 채널 게이트 도전막 및 상기 채널 게이트 도전막과 상기 채널 영역 사이의 채널 게이트 절연막을 포함하는 반도체 장치.

청구항 6

제 1 항에 있어서,

상기 기관은 매립 절연층을 포함하되,

상기 한 쌍의 제1 도핑 영역들은 상기 매립 절연층 상에 제공되는 반도체 장치.

청구항 7

그 내부에 소자 분리막을 포함하는 기판을 제공하는 것;

상기 기판 상에, 상기 소자 분리막을 사이에 두고 상기 기판의 상면에 평행한 제1 방향으로 서로 이격된 제1 반도체 패턴 및 제2 반도체 패턴을 형성하는 것; 및

상기 제2 반도체 패턴의 측벽 상에 채널 게이트 구조체를 형성하는 것을 포함하되,

상기 제1 및 제2 반도체 패턴들의 각각은 그 하부와 상부에 제2 도전형을 갖는 제1 도핑 영역 및 제2 도핑 영역을 포함하고,

상기 제1 반도체 패턴은, 상기 제1 및 제2 도핑 영역들 사이에 제공되고, 상기 제2 도전형과 다른 제1 도전형을 갖는 베이스 영역을 포함하는 반도체 장치 제조 방법.

청구항 8

제 7 항에 있어서,

상기 제1 및 제2 반도체 패턴들을 형성하는 것은:

상기 기판의 상부에 상기 제1 방향으로 서로 이격된 한 쌍의 제1 도핑 영역들을 형성하는 것;

상기 기판 상에, 상기 한 쌍의 제1 도핑 영역들을 덮는 반도체 막을 형성하는 것;

상기 반도체 막의 상부에, 상기 한 쌍의 제1 도핑 영역들과 각각 수직적으로 중첩하는 한 쌍의 제2 도핑 영역들을 형성하는 것; 및

식각 마스크를 이용하여, 상기 반도체 막 및 상기 제1 도핑 영역의 상부를 패터닝하는 것을 포함하는 반도체 장치 제조 방법.

청구항 9

제 8 항에 있어서,

상기 한 쌍의 제2 도핑 영역들을 형성하는 것은 상기 반도체 막의 상기 상부에 상기 제2 도전형의 불순물을 주입하는 공정을 포함하되,

상기 한 쌍의 제2 도핑 영역들은 동시에 형성되는 반도체 장치 제조 방법.

청구항 10

제 7 항에 있어서,

상기 제2 반도체 패턴의 측벽 상에 채널 게이트 구조체를 형성하는 것은:

상기 제1 및 2 반도체 패턴을 덮는 게이트 절연막을 형성하는 것;

상기 게이트 절연막 상에 게이트 도전막을 형성하는 것; 및

상기 게이트 도전막 및 상기 게이트 절연막을 패터닝하여, 상기 제2 반도체 패턴의 상기 측벽 상에 채널 게이트 도전막 및 채널 게이트 절연막을 형성하는 것을 포함하는 반도체 장치 제조 방법.

발명의 설명

기술 분야

[0001] 본 발명은 반도체 장치 및 그 제조 방법에 관한 것으로, 상세하게는 제조 효율이 최대화되는 반도체 장치 및 그 제조 방법에 관한 것이다.

배경 기술

[0002] 소형화, 다기능화 및/또는 낮은 제조 단가 등의 특성들로 인하여 반도체 장치는 전자 산업에서 중요한 요소로 각광 받고 있다. 반도체 장치들은 논리 데이터를 저장하는 반도체 기억 장치, 논리 데이터를 연산 처리하는 반도체 논리 장치, 및 기억 요소와 논리 요소를 포함하는 하이브리드(hybrid) 반도체 장치 등으로 구분될 수 있다.

[0003] 반도체 소자는 빠른 동작 속도 및/또는 낮은 동작 전압 등이 요구되고 있다. 이러한 요구 특성들을 충족시키기 위하여 반도체 장치는 보다 고집적화 되고 있다. 반도체 장치의 고집적화가 심화될수록, 반도체 장치의 신뢰성이 저하될 수 있다. 하지만, 전자 산업이 고도로 발전함에 따라, 반도체 장치의 높은 신뢰성에 대한 요구가 증가되고 있다. 따라서, 반도체 장치의 신뢰성을 향상시키기 위한 많은 연구가 진행되고 있다.

발명의 내용

해결하려는 과제

[0004] 본 발명이 해결하고자 하는 일 과제는 반도체 장치의 공정 효율을 높이는 것에 있다.

[0005] 본 발명이 해결하고자 하는 일 과제는 반도체 장치의 제조 비용을 최소화하는 것에 있다.

[0006] 다만, 본 발명이 해결하고자 하는 과제는 상기 개시에 한정되지 않는다.

과제의 해결 수단

[0007] 상기 과제를 해결하기 위한 본 발명의 예시적인 실시예들에 따른 반도체 장치는 기판; 상기 기판 상에, 상기 기판의 상면에 평행한 제1 방향으로 서로 이격되는 한 쌍의 제1 도핑 영역들; 상기 한 쌍의 제1 도핑 영역들 상에 각각 제공되는 베이스 영역 및 채널 영역; 상기 베이스 영역 및 상기 채널 영역 상에 각각 제공되는 한 쌍의 제2 도핑 영역들; 및 상기 채널 영역의 측벽 상에 제공되는 게이트 구조체를 포함하되, 상기 베이스 영역의 상기 기판의 상면에 수직인 제2 방향을 따른 두께는 상기 채널 영역의 상기 제2 방향을 따른 두께와 동일하거나 그보다 클 수 있다.

[0008] 상기 과제를 해결하기 위한 본 발명의 예시적인 실시예들에 따른 반도체 장치의 제조 방법은 그 내부에 소자 분리막을 포함하는 기판을 제공하는 것; 상기 기판 상에, 상기 소자 분리막을 사이에 두고 상기 기판의 상면에 평행한 제1 방향으로 서로 이격된 제1 반도체 패턴 및 제2 반도체 패턴을 형성하는 것; 및 상기 제2 반도체 패턴의 측벽 상에 채널 게이트 구조체를 형성하는 것을 포함하되, 상기 제1 및 제2 반도체 패턴들의 각각은 그 하부와 상부에 제2 도전형을 갖는 제1 도핑 영역 및 제2 도핑 영역을 포함하고, 상기 제1 반도체 패턴은, 상기 제1 및 제2 도핑 영역들 사이에 제공되고, 상기 제2 도전형과 다른 제1 도전형을 갖는 베이스 영역을 포함할 수 있다.

발명의 효과

[0009] 일반적으로, BJT는 기판 내에 형성되고, MOSFET은 기판 상에 형성될 수 있다. 이에 따라, BJT와 MOSFET은 서로 다른 공정에 의해 형성될 수 있다. 본 발명의 예시적인 실시예들에 따른 반도체 장치에서, BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 기판(100) 상에 제공될 수 있다. 이에 따라, BJT와 MOSFET은 동일한 공정에 의해 형성될 수 있다. 이에 따라, 공정 효율성이 최대화될 수 있다.

[0010] 다만, 본 발명의 효과는 상기 개시에 한정되지 않는다.

도면의 간단한 설명

[0011] 도 1a는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 평면도이다.

도 1b는 도 1a의 I-I'선을 따른 단면도이다.

도 2a, 3a, 4a, 및 5a는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이다.

도 2b, 3b, 4b, 및 5b는 도 2a, 3a, 4a, 및 5a의 I-I'선들에 따른 단면도들이다.

도 6은 도 1a의 I-I'선에 대응하는 단면도이다.

도 7은 본 발명의 예시적인 실시예들에 따른 반도체 장치의 도 1a의 I-I'선에 대응하는 단면도이다.

도 8a는 본 발명의 예시적인 실시예들에 따른 반도체 장치(14)의 평면도이다. 도 8b는 도 8a의 I-I'선에 따른 단면도이다.

도 9는 본 발명의 예시적인 실시예들에 따른 반도체 장치(16)의 도 8a의 I-I'선에 대응하는 단면도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] 도 1a는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 평면도이다. 도 1b는 도 1a의 I-I'선을 따른 단면도이다. 설명의 간결함을 위하여, 콘택들(600)은 도 1b에만 도시되었다.
- [0013] 도 1a 및 도 1b를 참조하면, 기관(100)을 포함하는 반도체 장치(10)가 제공될 수 있다. 예를 들어, 기관(100)은 실리콘(Si) 기관, 저마늄(Ge) 기관, 실리콘-저마늄 기관, II-VI족 화합물 반도체 기관, 또는 III-V족 화합물 반도체 기관일 수 있다.
- [0014] 기관(100)은 제1 도전형의 불순물 웰(well)(110)을 포함할 수 있다. 불순물 웰(110)은 반도체 기관에 제1 도전형의 불순물(미도시)이 주입된 영역일 수 있다. 예를 들어, 불순물 웰(110)은 n형 불순물을 포함할 수 있다. 다만, 이는 예시적인 것이다. 다른 예시적인 실시예들에서, 제1 도전형은 p형일 수 있다. 제1 도전형이 n형으로 한정되지 않는다는 것은 이하에서 동일하므로, 다시 언급되지 않는다.
- [0015] 불순물 웰(110) 상에 기관(100)의 바닥면(100b)에 평행한 제1 방향(D1)으로 서로 이격된 제1 반도체 패턴(200) 및 제2 반도체 패턴(300)이 제공될 수 있다. 제1 및 제2 반도체 패턴들(200, 300)은 기관(100)의 바닥면(100b)에 수직인 제2 방향(D2)을 따른 두께들을 가질 수 있다. 제1 및 제2 반도체 패턴들(200, 300)의 두께들은 실질적으로 서로 동일할 수 있다. 제1 반도체 패턴(200)의 상면의 높이는 제2 반도체 패턴(300)의 상면의 높이와 실질적으로 동일할 수 있다. 예시적인 실시예들에서, 제1 반도체 패턴(200)은 바이폴라 정션 트랜지스터(bipolar junction transistor, 이하, BJT)를 포함할 수 있고, 제2 반도체 패턴(300)은 금속-산화물-반도체 전계효과트랜지스터(metal-oxide-semiconductor field effect transistor, 이하 MOSFET)의 소스, 드레인, 및 채널 영역을 포함할 수 있다. BJT는 MOSFET에 인가되는 전압의 크기를 안정적으로 유지하여, 반도체 소자의 신뢰도를 최대화시킬 수 있다. 예시적인 실시예들에서, MOSFET은 수직형 MOSFET(vertical MOSFET)일 수 있다. 수직형 MOSFET은 그 내부를 통과하는 전류가 기관(100)의 바닥면(100b)에 수직인 방향으로 흐르는 수직형 채널을 갖는 MOSFET을 지칭하는 것일 수 있다.
- [0016] 제1 반도체 패턴(200)은 상기 제1 도전형과 다른 제2 도전형을 갖는 제1 도핑 영역(210), 제1 도핑 영역(210) 상에 제공되는 베이스 영역(220), 베이스 영역(220) 상에 제공되는 제2 도핑 영역(230)을 포함할 수 있다.
- [0017] 제1 도핑 영역(210)은 불순물 웰(110) 상에 제공될 수 있다. 예를 들어, 제1 도핑 영역(210)은 불순물 웰(110) 상부에 제2 도전형의 불순물을 주입하여 형성될 수 있다. 예를 들어, 제2 도전형은 p형일 수 있다. 다만, 이는 예시적인 것이다. 다른 예시적인 실시예들에서, 제2 도전형은 n형일 수 있다. 제2 도전형이 p형으로 한정되지 않는다는 것은 이하에서도 같으므로, 다시 언급되지 않는다. 제1 도핑 영역(210)은 중심부(212) 및 중심부(212)의 측벽으로부터 돌출된 가장자리부(214)를 포함할 수 있다. 평면적 관점에서, 제1 도핑 영역(210)의 가장자리부(214)는 중심부(212)를 둘러쌀 수 있다. 제1 도핑 영역(210)은 제2 방향(D2)을 따른 두께를 가질 수 있다. 제1 도핑 영역(210)의 중심부(212)는 가장자리부(214)의 상면으로부터 돌출될 수 있다. 제1 도핑 영역(210)의 중심부(212)의 두께는 가장자리부(214)의 두께보다 두꺼울 수 있다. 즉, 제1 도핑 영역(210)의 중심부(212)의 상면은 가장자리부(214)의 상면보다 높은 준위를 가질 수 있다. 제1 도핑 영역(210)은 BJT의 에미터(emitter) 영역 또는 콜렉터(collector) 영역일 수 있다.
- [0018] 베이스 영역(220)은 제1 도핑 영역(210)의 중심부(212) 상에 제공될 수 있다. 베이스 영역(220)은 제1 도전형(예를 들어, n형)의 불순물을 포함할 수 있다. 베이스 영역(220) 상에 베이스 접촉 영역(222)이 제공될 수 있다. 베이스 접촉 영역(222)은 제1 도전형(예를 들어, n형)의 불순물을 베이스 영역(220)보다 더 포함할 수 있다. 베이스 접촉 영역(222)의 제1 도전형의 불순물의 농도는 베이스 영역(220)의 제1 도전형의 불순물의 농도보다 더 높을 수 있다. 베이스 영역(220) 및 베이스 접촉 영역(222)은 제1 방향(D1)을 따른 폭들을 가질 수 있다. 베이스 접촉 영역(222)의 폭은 베이스 영역(220)의 폭보다 작을 수 있다. 베이스 영역(220) 및 베이스 접촉 영역(222)은 BJT의 베이스(base) 영역일 수 있다. BJT 동작 시, 베이스 영역(220)에 인가되는 전압을 조절하여,

BJT의 콜렉터와 에미터 사이에 흐르는 전류 양을 조절할 수 있다.

- [0019] 베이스 영역(220) 상에 베이스 접촉 영역(222)으로부터 이격되는 제2 도핑 영역(230)이 제공될 수 있다. 베이스 접촉 영역(222)은 제2 도핑 영역(230)으로부터 제1 방향(D1)으로 이격될 수 있다. 제2 도핑 영역(230)과 베이스 접촉 영역(222)은 그 사이에서 베이스 영역(220)의 상면을 노출할 수 있다. 제2 도핑 영역(230)은 제2 도전형을 가질 수 있다. 예를 들어, 제2 도핑 영역(230)은 베이스 영역(220)의 상부에 제2 도전형의 불순물을 주입하여 형성될 수 있다. 예를 들어, 제2 도전형은 p형일 수 있다. 제2 도핑 영역(230)은 제2 방향(D2)을 따른 두께를 가질 수 있다. 제2 도핑 영역(230)의 두께는 베이스 영역(220)의 두께보다 작을 수 있다. 제2 도핑 영역(230)은 제1 방향(D1)을 따른 폭을 가질 수 있다. 예를 들어, 제2 도핑 영역(230)의 폭은 베이스 영역(220)의 폭보다 작을 수 있다. 제2 도핑 영역(230)은 베이스 영역(220)에 직접 접할 수 있다. 제2 도핑 영역(230)은 BJT의 콜렉터 영역 또는 에미터 영역일 수 있다. 예를 들어, 제1 도핑 영역(210)이 에미터 영역일 경우, 제2 도핑 영역(230)은 콜렉터 영역일 수 있다. 반대로, 제1 도핑 영역(210)이 콜렉터 영역일 경우, 제2 도핑 영역(230)은 에미터 영역일 수 있다.
- [0020] 제2 반도체 패턴(300)은 제2 도전형을 갖는 제3 도핑 영역(310), 제3 도핑 영역(310) 상에 제공되는 채널 영역(320), 채널 영역(320) 상에 제공되는 제4 도핑 영역(330)을 포함할 수 있다.
- [0021] 제3 도핑 영역(310)은 불순물 웰(110) 상에 제공될 수 있다. 예를 들어, 제3 도핑 영역(310)은 불순물 웰(110) 상부에 제2 도전형(예를 들어, p형)의 불순물을 주입하여 형성될 수 있다. 제3 도핑 영역(310)은 중심부(312) 및 중심부(312)의 측벽으로부터 돌출된 가장자리부(314)를 포함할 수 있다. 평면적 관점에서, 제3 도핑 영역(310)의 가장자리부(314)는 중심부(312)를 둘러쌀 수 있다. 제3 도핑 영역(310)은 제2 방향(D2)을 따른 두께를 가질 수 있다. 제3 도핑 영역(310)의 중심부(312)는 가장자리부(314)의 상면으로부터 돌출될 수 있다. 제3 도핑 영역(310)의 중심부(312)의 두께는 가장자리부(314)의 두께보다 두꺼울 수 있다. 즉, 제3 도핑 영역(310)의 중심부(312)의 상면은 가장자리부(314)의 상면보다 높은 준위를 가질 수 있다. 제3 도핑 영역(310)은 MOSFET의 소스(source) 영역 또는 드레인(drain) 영역일 수 있다.
- [0022] 채널 영역(320)은 제3 도핑 영역(310)의 중심부(312) 상에 제공될 수 있다. 채널 영역(320)은 진성(intrinsic) 반도체 영역일 수 있다. 즉, 채널 영역(320)은 불순물을 포함하지 않을 수 있다. 다만, 이는 예시적인 것이다. 다른 예시적인 실시예들에서, 채널 영역(320)은 제1 도전형(예를 들어, n형)의 불순물을 포함할 수 있다. 채널 영역(320)은 제2 방향(D2)을 따른 두께를 가질 수 있다. 예시적인 실시예들에서, 채널 영역(320)의 두께는 제1 및 2 도핑 영역들(210, 230) 사이의 베이스 영역(220)의 두께와 실질적으로 같거나, 그보다 작을 수 있다. 예시적인 실시예들에서, 채널 영역(320)의 바닥면은 베이스 영역(220)의 바닥면과 동일한 준위 또는 그보다 높은 준위를 가질 수 있다. 채널 영역(320)은 MOSFET의 채널일 수 있다. 채널 영역(320)을 통해 소스와 드레인 사이에서 캐리어가 이동할 수 있다.
- [0023] 제4 도핑 영역(330)은 채널 영역(320)의 상면을 덮을 수 있다. 예를 들어, 평면적 관점에서, 제4 도핑 영역(330)과 채널 영역(320)은 완전히 중첩될 수 있다. 제4 도핑 영역(330)은 제2 방향(D2)을 따른 두께를 가질 수 있다. 예시적인 실시예들에서, 제4 도핑 영역(330)의 두께는 제2 도핑 영역(230)의 두께와 실질적으로 동일할 수 있다. 제4 도핑 영역(330)의 바닥면의 준위는 제2 도핑 영역(230)의 바닥면의 준위와 실질적으로 동일할 수 있다. 제4 도핑 영역(330)은 제2 도전형(예를 들어, p형)의 불순물을 포함할 수 있다. 예시적인 실시예들에서, 제4 도핑 영역(330)의 제2 도전형의 불순물의 농도는 제2 도핑 영역(230)의 제2 도전형의 불순물의 농도와 실질적으로 서로 동일할 수 있다. 제4 도핑 영역(330)은 MOSFET의 드레인 영역 또는 소스 영역일 수 있다. 예를 들어, 제3 도핑 영역(310)이 소스 영역인 경우, 제4 도핑 영역(330)은 드레인 영역일 수 있다. 반대로, 제3 도핑 영역(310)이 드레인 영역인 경우, 제4 도핑 영역(330)은 소스 영역일 수 있다.
- [0024] 채널 영역(320)의 측벽(320s) 상에 채널 게이트 구조체(340)가 제공될 수 있다. 채널 게이트 구조체(340)는 채널 영역(320)의 측벽(320s)을 따라 연장되어, 채널 영역(320)의 측벽(320s)을 둘러쌀 수 있다. 채널 게이트 구조체(340)는 채널 영역(320)의 측벽(320s)을 따라 연장되는 고리 형상을 가질 수 있다. 채널 게이트 구조체(340)는 채널 영역(320)과 수평적으로 중첩될 수 있다. 채널 게이트 구조체(340)는 제2 방향(D2)을 따른 두께를 가질 수 있다. 채널 게이트 구조체(340)의 최대 두께는 채널 영역(320)의 두께보다 작을 수 있다. 채널 게이트 구조체(340)는 제3 및 제4 도핑 영역들(310, 330)로부터 이격될 수 있다. 채널 게이트 구조체(340)는 제3 및 제4 도핑 영역들(310, 330)으로부터 제2 방향(D2)을 따라 이격될 수 있다. 채널 게이트 구조체(340)는 제3 및 제4 도핑 영역들(310, 330)과 수평적으로 중첩되지 않을 수 있다. 채널 게이트 구조체(340)는 제3 도핑 영역(310)의 상면 및 제4 도핑 영역(330)의 바닥면 사이의 준위를 가질 수 있다. 채널 게이트 구조체(340)의 바닥면은 제3

도핑 영역(310)의 상면보다 높은 준위를 가질 수 있다. 채널 게이트 구조체(340)의 상면은 제4 도핑 영역(330)의 바닥면보다 낮은 준위를 가질 수 있다. 채널 게이트 구조체(340)는 채널 게이트 구조체(340)의 측벽(340s)으로부터 돌출된 패드부(342)를 가질 수 있다. 패드부(342)는 후술되는 콘택(600)이 제공되는 부분일 수 있다. 채널 게이트 구조체(340)는 MOSFET의 게이트(gate)일 수 있다.

[0025] 채널 게이트 구조체(340)는 채널 게이트 절연막(344) 및 채널 게이트 절연막(344) 상에 제공되는 채널 게이트 도전막(346)을 포함할 수 있다. 채널 게이트 절연막(344)은 채널 게이트 도전막(346)과 채널 영역(320) 사이에 제공될 수 있다. 즉, 채널 게이트 도전막(346)은 채널 게이트 절연막(344)에 의해 채널 영역(320)으로부터 전기적으로 분리될 수 있다. 채널 게이트 절연막(344)은 유전 물질을 포함할 수 있다. 예를 들어, 채널 게이트 절연막(344)은 고유전(high-K) 물질(예를 들어, 알루미늄옥사이드(Al_2O_3), hafnium옥사이드(HfO_2), 지르코늄옥사이드(ZrO_2), hafnium알루미늄옥사이드($HfAlO$), hafnium실리콘옥사이드($HfSiO$))을 포함할 수 있다. 채널 게이트 도전막(346)은 도전 물질을 포함할 수 있다. 예를 들어, 채널 게이트 도전막(346)은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리사이드), 또는 이들의 조합을 포함할 수 있다.

[0026] 제1 및 제2 반도체 패턴들(200, 300) 사이에 소자 분리막(400)이 제공될 수 있다. 평면적 관점에서, 제1 및 제2 반도체 패턴들(200, 300)은 소자 분리막(400)을 사이에 두고 서로 제1 방향(D1)으로 이격될 수 있다. 소자 분리막(400)은 기판(100) 상부에 제공될 수 있다. 소자 분리막(400)은 기판(100)의 상면으로부터 기판(100)의 내부로 수직적으로 연장될 수 있다. 소자 분리막(400)의 하부는 기판(100)의 불순물 웰(110) 내에 배치될 수 있다. 소자 분리막(400)의 바닥면은 기판(100)의 불순물 웰(110)의 바닥면보다 높은 준위를 가질 수 있다. 소자 분리막(400)의 상부는 기판(100)의 상면으로부터 돌출될 수 있다. 소자 분리막(400)의 상면은 기판(100)의 상면보다 높은 준위를 가질 수 있다. 소자 분리막(400)의 상면은 제1 도핑 영역(210)의 중심부(212)의 상면과 실질적으로 동일한 준위 또는 그보다 높은 준위를 가질 수 있다. 소자 분리막(400)의 상면은 제3 도핑 영역(310)의 중심부(312)의 상면과 실질적으로 동일한 준위를 가질 수 있다. 소자 분리막(400)의 제1 방향(D1)을 따른 양 측면들 상에 제1 및 제3 도핑 영역들(210, 310)이 각각 제공될 수 있다. 소자 분리막(400)은 제1 및 제3 도핑 영역들(210, 310)을 서로 전기적으로 분리시킬 수 있다. 이에 따라, 제1 및 제2 반도체 패턴들(200, 300)은 서로 전기적으로 분리될 수 있다.

[0027] 제1 및 제3 도핑 영역들(210, 310) 및 소자 분리막(400) 상에 하부 절연막(510)이 제공될 수 있다. 하부 절연막(510)은 제1 및 제3 도핑 영역들(210, 310) 및 소자 분리막(400)을 덮을 수 있다. 하부 절연막(510)은 채널 게이트 구조체(340)와 제3 도핑 영역(310) 사이에 제공될 수 있다. 하부 절연막(510)은 채널 게이트 구조체(340)의 바닥면을 따라 연장되어, 제3 도핑 영역(310)과 채널 영역(320)의 경계를 덮을 수 있다. 하부 절연막(510)은 채널 게이트 구조체(340)가 제3 도핑 영역(310)에 끼치는 영향을 최소화할 수 있다. 하부 절연막(510)의 상면은 채널 게이트 구조체(340)의 바닥면에 접할 수 있다. 하부 절연막(510)의 상면은 제1 및 제3 도핑 영역들(210, 310)의 중심부들(212, 312)의 상면들보다 높은 준위를 가질 수 있다. 소자 분리막(400)의 상부는 하부 절연막(510)의 하부를 관통할 수 있다. 예를 들어, 하부 절연막(510)은 산화막(예를 들어, 실리콘 산화막), 질화막(예를 들어, 실리콘 질화막), 산화질화막(예를 들어, 실리콘 산화질화막), 또는 이들의 조합을 포함할 수 있다.

[0028] 제1 내지 제4 도핑 영역들(210, 230, 310, 330), 베이스 접촉 영역(222), 및 채널 게이트 구조체(340)의 패드부(342) 상에 콘택들(600)이 각각 제공될 수 있다. 콘택들(600)은 제1 내지 제4 도핑 영역들(210, 230, 310, 330), 베이스 접촉 영역(222), 및 채널 게이트 구조체(340)의 패드부(342)에 전기적으로 각각 연결될 수 있다. 콘택들(600)은 도전 물질을 포함할 수 있다. 예를 들어, 콘택들(600)은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리사이드), 또는 이들의 조합을 포함할 수 있다.

[0029] 콘택들(600) 사이에 상부 절연막(미도시)이 제공될 수 있다. 상부 절연막은 콘택들(600) 사이를 채울 수 있다. 상부 절연막은 서로 전기적으로 분리된 구성들 사이에 전기적 단락이 발생하는 것을 방지할 수 있다. 예를 들어, 상부 절연막은 산화막(예를 들어, 실리콘 산화막), 질화막(예를 들어, 실리콘 질화막), 산화질화막(예를 들어, 실리콘 산화질화막), 또는 이들의 조합을 포함할 수 있다.

[0030] 일반적으로, BJT는 기판 내에 형성되고, MOSFET은 기판 상에 형성될 수 있다. 이에 따라, BJT와 MOSFET은 서로

다른 공정에 의해 형성될 수 있다.

- [0031] 본 발명의 예시적인 실시예들에 따른 반도체 장치에서, BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 기판(100) 상에 제공될 수 있다. 이에 따라, BJT와 MOSFET은 동일한 공정에 의해 형성될 수 있다. 이에 따라, 공정 효율성이 최대화될 수 있다.
- [0033] 도 2a, 3a, 4a, 및 5a는 본 발명의 예시적인 실시예들에 따른 반도체 장치의 제조 방법을 설명하기 위한 평면도들이다. 도 2b, 3b, 4b, 및 5b는 도 2a, 3a, 4a, 및 5a의 I-I'선들에 따른 단면도들이다. 도 6은 도 1a의 I-I'선에 대응하는 단면도이다.
- [0034] 도 2a 및 도 2b를 참조하면, 기판(100)이 준비될 수 있다. 기판(100)은 반도체 물질을 포함할 수 있다. 예를 들어, 기판(100)은 실리콘(Si) 기판, 저마늄(Ge) 기판, 실리콘-저마늄 기판, II-VI족 화합물 반도체 기판, 또는 III-V족 화합물 반도체 기판일 수 있다.
- [0035] 소자 분리막(400)이 기판(100) 내에 형성될 수 있다. 예시적인 실시예들에서, 소자 분리막(400)을 형성하는 것은 기판(100)의 일부를 식각하여, 트렌치(미도시)를 형성하는 공정 및 상기 트렌치를 절연 물질로 채우는 공정을 포함할 수 있다. 다만, 소자 분리막(400)을 형성하는 방법에 대한 상기 개시는 예시적인 것이며, 한정적인 것이 아니다. 다른 예시적인 실시예들에서, 소자 분리막(400)을 형성하는 것은 국소적 산화 공정(LOCOS)을 포함할 수 있다.
- [0036] 불순물 웰(110)이 기판(100) 내에 형성될 수 있다. 예시적인 실시예들에서, 불순물 웰(110)을 형성하는 것은 기판(100)에 제1 도전형의 불순물을 주입하는 공정을 포함할 수 있다. 예를 들어, 제1 도전형은 n형일 수 있다.
- [0037] 제1 도핑 영역(210) 및 제3 도핑 영역(310)이 기판(100) 상부에 형성될 수 있다. 제1 및 제3 도핑 영역들(210, 310)을 형성하는 것은 기판(100)에 제1 도전형과 다른 제2 도전형(예를 들어, p형)의 불순물을 주입하는 공정을 포함할 수 있다. 제1 및 제3 도핑 영역들(210, 310)은 동시에 형성될 수 있다.
- [0038] 기판(100) 상에 반도체 막(20)이 형성될 수 있다. 예를 들어, 반도체 막(20)을 형성하는 것은 에피택시(epitaxy) 공정을 수행하는 것을 포함할 수 있다. 반도체 막(20)은 진성 반도체 막일 수 있다. 즉, 반도체 막(20)은 불순물을 포함하지 않을 수 있다. 다만, 이는 예시적인 것이다. 다른 예시적인 실시예들에서, 반도체 막(20)은 제1 도전형(예를 들어, n형)의 불순물을 포함할 수 있다.
- [0039] 제1 도핑 영역(210) 상에 베이스 영역(220)이 형성될 수 있다. 베이스 영역(220)을 형성하는 것은 반도체 막(20)에 제1 도전형(예를 들어, n형)의 불순물을 주입하는 공정을 포함할 수 있다. 이때, 반도체 막(20) 상에 마스크(미도시)가 제공되어, 제1 도전형의 불순물이 주입될 영역을 정의할 수 있다. 마스크는 제1 도전형의 불순물을 주입하는 공정 후 제거될 수 있다. 제1 도전형의 불순물은 반도체 막(20)의 상면부터 바닥면까지 주입될 수 있다. 이에 따라, 베이스 영역(220)은 반도체 막(20)을 관통하여 제1 도핑 영역(210)에 접하도록 형성될 수 있다.
- [0040] 도 3a 및 3b를 참조하면, 반도체 막(20)의 상부에 제2 도핑 영역(230) 및 제4 도핑 영역(330)이 형성될 수 있다. 제2 도핑 영역(230)을 형성하는 것은 베이스 영역(220)에 제2 도전형의 불순물을 주입하는 공정을 포함할 수 있다. 제4 도핑 영역(330)을 형성하는 것은 반도체 막(20)에 제2 도전형의 불순물을 주입하는 공정을 포함할 수 있다. 이때, 반도체 막(20) 상에 마스크(미도시)가 제공되어, 제2 도전형의 불순물이 주입될 영역을 정의할 수 있다. 마스크는 제2 도전형의 불순물을 주입하는 공정 후, 제거될 수 있다. 제2 및 제4 도핑 영역들(230, 330)은 동시에 형성될 수 있다. 제2 및 제4 도핑 영역들(230, 330)은 각각 제1 및 제3 도핑 영역들(210, 310)에 수직적으로 중첩될 수 있다.
- [0041] 베이스 영역(220) 상에 베이스 접촉 영역(222)이 형성될 수 있다. 베이스 접촉 영역(222)을 형성하는 것은 베이스 영역(220)의 상부에 제1 도전형의 불순물을 주입하는 공정을 포함할 수 있다. 이때, 반도체 막(20) 상에 마스크(미도시)가 제공되어, 제1 도전형의 불순물이 주입될 영역을 정의할 수 있다. 마스크는 제1 도전형의 불순물을 주입하는 공정 후, 제거될 수 있다. 베이스 접촉 영역(222)의 제1 도전형의 불순물의 농도는 베이스 영역(220)의 제1 도전형의 불순물의 농도보다 높을 수 있다.
- [0042] 도 4a 및 4b를 참조하면, 반도체 막(도 3b의 20)과 기판(100)을 패터닝하여, 소자 분리막(400)의 상부를 노출시킬 수 있다. 상기 패터닝 공정은 식각 마스크(미도시)를 이용하여, 반도체 막(도 3b의 20)의 상부부터 기판

(100)의 상부까지 이방성 식각하는 것을 포함할 수 있다.

- [0043] 상기 패터닝 공정을 통해, 제1 및 제3 도핑 영역들(210, 310)의 중심부들(212, 312) 및 가장자리부들(214, 314)이 정의될 수 있다. 제1 및 제3 도핑 영역들(210, 310)의 중심부들(212, 312) 및 가장자리부들(214, 314)은 도 1a 및 1b를 참조하여 설명된 것과 실질적으로 동일할 수 있다.
- [0044] 상기 패터닝 공정을 통해, 상기 제1 반도체 패턴(200) 및 제2 반도체 패턴(300)이 형성될 수 있다. 제1 반도체 패턴(200)은 제1 도핑 영역(210), 베이스 영역(220), 및 제2 도핑 영역(230)을 포함할 수 있다. 제2 반도체 패턴(300)은 제3 도핑 영역(310), 채널 영역(320), 및 제4 도핑 영역(330)을 포함할 수 있다. 제1 및 제2 반도체 패턴들(200, 300)은 도 1a 및 도 1b를 참조하여 설명된 것과 실질적으로 동일할 수 있다.
- [0045] 제1 및 제3 도핑 영역들(210, 310) 및 소자 분리막(400) 상에 하부 절연막(510)이 형성될 수 있다. 예시적인 예들에서, 하부 절연막(510)을 형성하는 것은 기판(100) 상에 절연 물질을 증착하여 절연막을 형성하는 공정 및 상기 절연막의 일부를 식각하는 공정을 포함할 수 있다. 하부 절연막(510)은 도 1a 및 도 1b를 참조하여 설명된 것과 실질적으로 동일할 수 있다. 예를 들어, 하부 절연막(510)은 산화막(예를 들어, 실리콘 산화막), 질화막(예를 들어, 실리콘 질화막), 산화질화막(예를 들어, 실리콘 산화질화막), 또는 이들의 조합을 포함할 수 있다.
- [0046] 도 5a 및 도 5b를 참조하면, 제1 및 제2 반도체 패턴들(200, 300) 및 하부 절연막(510) 상에 게이트 절연막(30)이 형성될 수 있다. 예시적인 실시예들에서, 게이트 절연막(30)을 형성하는 것은 제1 및 제2 반도체 패턴들(200, 300) 및 하부 절연막(510) 상에 절연 물질을 증착하는 공정을 포함할 수 있다. 예시적인 실시예들에서, 게이트 절연막(30)은 제1 및 제2 반도체 패턴들(200, 300) 및 하부 절연막(510)의 표면들을 컨포멀하게 덮을 수 있다. 게이트 절연막(30)은 유전 물질을 포함할 수 있다. 예를 들어, 게이트 절연막(30)은 고유전(high-K) 물질(예를 들어, 알루미늄옥사이드(Al_2O_3), 하프늄옥사이드(HfO_2), 지르코늄옥사이드(ZrO_2), 하프늄알루미늄옥사이드($HfAlO$), 하프늄실리콘옥사이드($HfSiO$))를 포함할 수 있다.
- [0047] 게이트 절연막(30) 상에 게이트 도전막(40)이 형성될 수 있다. 예시적인 실시예들에서, 게이트 도전막(40)을 형성하는 것은 게이트 절연막(30) 상에 도전 물질을 증착하는 공정을 포함할 수 있다. 예를 들어, 게이트 도전막(40)은 게이트 절연막(30)의 상면을 컨포멀하게 덮을 수 있다. 예를 들어, 게이트 도전막(40)은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리사이드), 또는 이들의 조합을 포함할 수 있다.
- [0048] 도 1a 및 도 6을 참조하면, 게이트 도전막(도 5b의 40) 및 게이트 절연막(도 5b의 30)이 패터닝되어, 채널 영역(320)의 측벽 상에 채널 게이트 구조체(340)를 형성할 수 있다. 게이트 도전막(도 5b의 40) 및 게이트 절연막(도 5b의 30)을 패터닝하는 것은 식각 마스크(미도시)를 이용하여 게이트 도전막(도 5b의 40) 및 게이트 절연막(도 5b의 30)을 이방성 식각하는 것을 포함할 수 있다. 게이트 도전막(도 5b의 40) 및 게이트 절연막(도 5b의 30)이 패터닝되어, 채널 게이트 도전막(346) 및 채널 게이트 절연막(344)을 형성할 수 있다. 채널 게이트 구조체(340)는 채널 게이트 절연막(344) 및 채널 게이트 절연막(344) 상의 채널 게이트 도전막(346)을 포함할 수 있다. 채널 게이트 구조체(340), 채널 게이트 절연막(344), 및 채널 게이트 도전막(346)은 도 1a 및 도 1b를 참조하여 설명된 것들과 실질적으로 동일할 수 있다. 상기 패터닝 공정을 통해 하부 절연막(510)의 상면이 노출될 수 있다.
- [0049] 도 1a 및 도 1b를 다시 참조하면, 제1 및 제2 반도체 패턴들(200, 300) 및 하부 절연막(510) 상에 상부 절연막이 형성될 수 있다. 예시적인 실시예들에서, 상부 절연막을 형성하는 것은 제1 및 제2 반도체 패턴들(200, 300) 및 하부 절연막(510) 상에 절연 물질을 증착하는 공정을 포함할 수 있다. 예를 들어, 상부 절연막은 산화막, 질화막, 산화질화막, 또는 이들의 조합을 포함할 수 있다.
- [0050] 상부 절연막 내에 제1 내지 제4 도핑 영역들(210, 230, 310, 330), 베이스 접촉 영역(222) 및 채널 게이트 도전막(346)에 각각 전기적으로 연결되는 콘택들(600)이 형성될 수 있다. 예시적인 실시예들에서, 콘택들(600)을 형성하는 것은 식각 마스크(미도시)를 이용하여 상부 절연막을 식각하여 콘택홀들(미도시)을 형성하는 공정 및 상기 콘택홀들을 도전 물질로 채우는 공정을 포함할 수 있다. 예를 들어, 도전 물질은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리사이드), 또는 이들의 조합을 포함할 수 있다.
- [0051] 본 발명의 예시적인 실시예들에 따른 BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패

턴(300)은 동일한 공정에 의해 형성될 수 있다. 이에 따라, 공정 효율성이 최대화될 수 있다.

- [0053] 도 7은 본 발명의 예시적인 실시예들에 따른 반도체 장치의 도 1a의 I-I'선에 대응하는 단면도이다. 설명의 간결함을 위하여, 도 1a 및 1B를 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다. 도 7을 참조하여 설명되는 반도체 장치(12)는 기판(100) 및 소자 분리막(400)을 제외하면, 도 1a 도 1b를 참조하여 설명된 반도체 장치(10)와 실질적으로 동일할 수 있다. 따라서, 이하에서 기판(100) 및 소자 분리막(400)에 대해 설명된다.
- [0054] 도 1a 및 7을 참조하면, 기판(100)을 포함하는 반도체 장치(12)가 제공될 수 있다. 도 2b와 달리, 기판(100)은 SOI(silicon on insulator) 기판일 수 있다. 이에 따라, 기판(100)은 불순물 웰(도 1b의 110) 대신 매립 절연층(120)을 포함할 수 있다. 매립 절연층(120)은 기판(100)의 바닥면(100b)에 평행할 수 있다. 예를 들어, 매립 절연층(120)은 산화물을 포함할 수 있다. 매립 절연층(120)은 BOX(buried oxide) 층으로 지칭될 수 있다.
- [0055] 매립 절연층(120) 상에 제1 도핑 영역(210) 및 제3 도핑 영역(310)이 제공될 수 있다. 제1 및 제3 도핑 영역들(210, 310)은 제1 방향(D1)으로 서로 이격될 수 있다. 제1 및 제3 도핑 영역들(210, 310)의 바닥면들은 매립 절연층(120)의 상면에 직접 접할 수 있다. 일반적으로, 반도체 장치(12)가 작동될 때, 제1 및 제3 도핑 영역들(210, 310)의 바닥면들을 통해 누설 전류가 흐를 수 있다. 본 발명의 예시적인 실시예들에 따른 매립 절연층(120)은 제1 및 제3 도핑 영역들(210, 310)의 바닥면들을 통과하는 누설 전류를 차단할 수 있다.
- [0056] 제1 및 제3 도핑 영역들(210, 310) 사이에 소자 분리막(400)이 제공될 수 있다. 소자 분리막(400)은 제1 및 제3 도핑 영역들(210, 310)을 서로 전기적으로 분리시킬 수 있다. 소자 분리막(400)은 매립 절연층(120) 상에 제공될 수 있다. 도 1b와 달리, 소자 분리막(400)의 하부는 제1 및 제3 도핑 영역들(210, 310)과 수평적으로 중첩될 수 있다. 소자 분리막(400)의 바닥면은 제1 및 제3 도핑 영역들(210, 310)의 바닥면들과 공면을 이룰 수 있다.
- [0057] 일반적으로, BJT와 MOSFET는 별도의 공정을 통해 형성될 수 있다. 이때, 다수의 불순물 주입 공정이 수행되어, 높은 공정 비용이 요구될 수 있다.
- [0058] 본 발명의 예시적인 실시예들에 따른 BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 동일한 공정을 통해 형성될 수 있다. 이에 따라, 요구되는 불순물 주입 공정이 줄어들어, 공정 비용이 최소화되고, 공정 효율이 최대화될 수 있다.
- [0059] 이하에서, 도 7을 참조하여 설명된 반도체 장치(12)의 제조 방법이 설명된다. 설명의 간결함을 위해, 도 2a 내지 도 6을 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다. 도 7을 참조하여 설명된 반도체 장치(12)의 제조 방법은 기판(100)을 준비하는 것 및 소자 분리막(400), 제1 도핑 영역(210), 및 제3 도핑 영역(310)을 형성하는 것을 제외하면, 도 2a 내지 도 6을 참조하여 설명된 반도체 장치(10)의 제조 방법과 실질적으로 동일할 수 있다.
- [0060] 기판(100)이 준비될 수 있다. 도 2b와 달리, 기판(100)은 SOI(silicon on insulator) 기판(100)을 포함할 수 있다. 기판(100)은 내부에 매립 절연층(120)을 포함할 수 있다. 기판(100)은 매립 절연층(120)을 사이에 두고 서로 이격된 상부 및 하부 반도체 층들(미도시)을 포함할 수 있다. 즉, 매립 절연층(120)의 상면과 바닥면 상에 상부 및 하부 반도체 층들이 각각 제공될 수 있다. 매립 절연층(120) 상의 상부 반도체 층 내에 소자 분리막(400)이 형성될 수 있다. 소자 분리막(400)을 형성하는 것은 매립 절연층(120) 상의 상부 반도체 층을 식각하여 트렌치(미도시)를 형성하는 공정 및 상기 트렌치를 절연 물질로 채우는 공정을 포함할 수 있다.
- [0061] 매립 절연층(120) 상에 제1 도핑 영역(210) 및 제3 도핑 영역(310)이 형성될 수 있다. 제1 및 제3 도핑 영역들(210, 310)을 형성하는 것은 매립 절연층(120) 상의 상부 반도체 층에 제2 도전형(예를 들어, p형)의 불순물을 주입하는 공정을 포함할 수 있다.
- [0062] 이후, 도 2a 내지 도 6을 참조하여 설명된 반도체 장치(10)의 제조 공정과 실질적으로 동일한 공정을 통해 도 7을 참조하여 설명된 반도체 장치(12)가 형성될 수 있다.
- [0063] 본 발명의 예시적인 실시예들에 따른 BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 동일한 공정에 의해 형성될 수 있다. 이에 따라, 공정 효율성이 최대화될 수 있다.
- [0065] 도 8a은 본 발명의 예시적인 실시예들에 따른 반도체 장치(14)의 평면도이다. 도 8b는 도 8a의 I-I'선에 따른

단면도이다. 설명의 간결함을 위하여, 도 1a 및 도 1b를 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다. 도 8a 및 도 8b를 참조하여 설명되는 반도체 장치(14)는 베이스 영역(220)의 측벽 상에 제공되는 베이스 게이트 구조체(240) 및 베이스 게이트 구조체(240) 상에 제공되는 콘택(600)을 제외하면, 도 1a 및 도 1b를 참조하여 설명된 반도체 장치(10)와 실질적으로 동일할 수 있다. 이하에서, 베이스 게이트 구조체(240) 및 베이스 게이트 구조체(240) 상에 제공되는 콘택(600)이 설명된다.

[0066] 도 8a 및 도 8b를 참조하면, 베이스 영역(220)의 측벽(220s) 상에 베이스 게이트 구조체(240)가 제공될 수 있다. 베이스 게이트 구조체(240)는 베이스 영역(220)의 측벽(220s)을 따라 연장되어, 베이스 영역(220)의 측벽(220s)을 둘러쌀 수 있다. 베이스 게이트 구조체(240)는 베이스 영역(220)의 측벽(220s)을 따라 연장되는 고리 형상을 가질 수 있다. 베이스 게이트 구조체(240)는 베이스 영역(220)과 수평적으로 중첩될 수 있다. 베이스 게이트 구조체(240)는 제2 방향(D2)을 따른 두께를 가질 수 있다. 베이스 게이트 구조체(240)의 최대 두께는 베이스 영역(220)의 두께보다 작을 수 있다. 베이스 게이트 구조체(240)는 제1 및 제2 도핑 영역들(210, 230)로부터 이격될 수 있다. 베이스 게이트 구조체(240)는 제1 및 제2 도핑 영역들(210, 230)으로부터 제2 방향(D2)을 따라 이격될 수 있다. 베이스 게이트 구조체(240)는 제1 및 제2 도핑 영역들(210, 230)과 수평적으로 중첩되지 않을 수 있다. 베이스 게이트 구조체(240)는 제1 도핑 영역(210)의 상면 및 제2 도핑 영역(230)의 바닥면 사이의 준위를 가질 수 있다. 베이스 게이트 구조체(240)의 바닥면은 제1 도핑 영역(210)의 상면보다 높은 준위를 가질 수 있다. 베이스 게이트 구조체(240)의 상면은 제2 도핑 영역(230)의 바닥면보다 낮은 준위를 가질 수 있다. 베이스 게이트 구조체(240)는 베이스 게이트 구조체(240)의 측벽(240s)으로부터 돌출된 패드부(242)를 가질 수 있다. 패드부(242)는 후술되는 콘택(600)이 제공되는 부분일 수 있다. 베이스 게이트 구조체(240)는 베이스 게이트 구조체(240)는 BJT의 베이스를 흐르는 전류를 조절하는 컨트롤 게이트(control gate)일 수 있다.

[0067] 베이스 게이트 구조체(240)는 베이스 게이트 절연막(244) 및 베이스 게이트 절연막(244) 상에 제공되는 베이스 게이트 도전막(246)을 포함할 수 있다. 베이스 게이트 절연막(244)은 베이스 게이트 도전막(246)과 베이스 영역(220) 사이에 제공될 수 있다. 베이스 게이트 도전막(246)은 베이스 게이트 절연막(244)에 의해 베이스 영역(220)으로부터 전기적으로 분리될 수 있다. 베이스 게이트 절연막(244)은 유전 물질을 포함할 수 있다. 예를 들어, 베이스 게이트 절연막(244)은 고유전(high-K) 물질(예를 들어, 알루미늄옥사이드(Al_2O_3), hafnium옥사이드(HfO_2), zirconium옥사이드(ZrO_2), hafnium알루미늄옥사이드($HfAlO$), hafnium실리콘옥사이드($HfSiO$))를 포함할 수 있다. 베이스 게이트 도전막(246)은 도전 물질을 포함할 수 있다. 예를 들어, 베이스 게이트 도전막(246)은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리콘사이드), 또는 이들의 조합을 포함할 수 있다.

[0068] 콘택(600)이 베이스 게이트 구조체(240)의 패드부(242) 상에 제공될 수 있다. 콘택(600)은 베이스 게이트 도전막(246)에 전기적으로 연결될 수 있다. 콘택(600)은 도전 물질을 포함할 수 있다. 예를 들어, 콘택(600)은 도핑된 반도체 물질(예를 들어, 도핑된 실리콘), 금속(예를 들어, 텅스텐(W), 티타늄(Ti), 탄탈륨(Ta)), 도전성 금속 질화물(예를 들어, 티타늄 질화물, 탄탈륨 질화물, 텅스텐 질화물), 금속-반도체 화합물(예를 들어, 금속 실리콘사이드), 또는 이들의 조합을 포함할 수 있다.

[0069] 이하에서, 도 8a 및 도 8b를 참조하여 설명된 반도체 장치(14) 제조 방법이 설명된다. 설명의 간결함을 위해, 도 2a 내지 도 6을 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다. 도 8a 및 도 8b를 참조하여 설명된 반도체 장치(14)의 제조 방법은 베이스 게이트 구조체(240)를 형성하는 것을 제외하면, 도 2a 내지 도 6을 참조하여 설명된 반도체 장치(10)의 제조 방법과 실질적으로 동일할 수 있다.

[0070] 도 6을 다시 참조하면, 게이트 절연막(30) 및 게이트 도전막(40)은 패터닝될 수 있다. 다만, 도 6에 도시된 바와 달리, 베이스 영역(220) 및 채널 영역(320)의 각각의 측벽 상의 게이트 절연막(30) 및 게이트 도전막(40)은 식각되지 않을 수 있다. 이에 따라, 베이스 영역(220)의 측벽 상에 베이스 게이트 구조체(240)가 형성될 수 있고, 채널 영역(320)의 측벽 상에 채널 게이트 구조체(340)가 형성될 수 있다. 베이스 게이트 구조체(240)는 베이스 게이트 절연막(244) 및 베이스 게이트 절연막(244) 상의 베이스 게이트 도전막(246)을 포함할 수 있다. 채널 게이트 구조체(340)는 채널 게이트 절연막(344) 및 채널 게이트 절연막(344) 상의 채널 게이트 도전막(346)을 포함할 수 있다.

[0071] 본 발명의 예시적인 실시예들에 따른 BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 동일한 공정을 통해 형성될 수 있다. 이에 따라, 공정 효율성이 최대화될 수 있다.

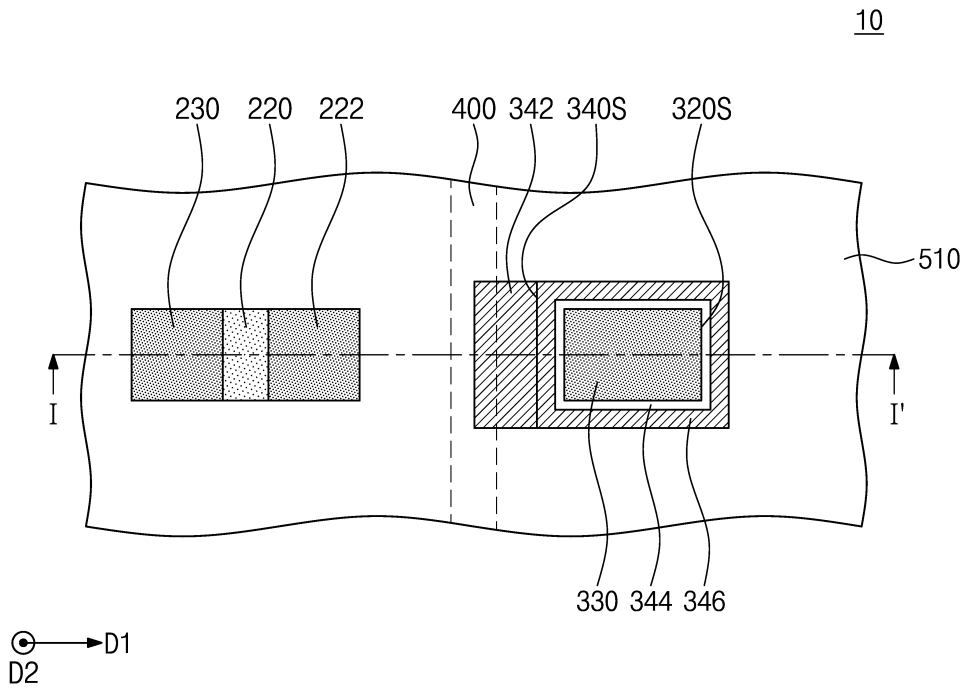
- [0073] 도 9는 본 발명의 예시적인 실시예들에 따른 반도체 장치(16)의 도 8a의 I-I'선에 대응하는 단면도이다. 설명의 간결함을 위하여, 도 8a 및 도 8b를 참조하여 설명된 것과 실질적으로 동일한 내용은 설명되지 않을 수 있다. 도 9를 참조하여 설명되는 반도체 장치(16)는 기판(100) 및 소자 분리막(400)을 제외하면, 도 8a 도 8b를 참조하여 설명된 반도체 장치(14)와 실질적으로 동일할 수 있다. 따라서, 이하에서 기판(100) 및 소자 분리막(400)에 대해 설명된다.
- [0074] 도 8a 및 9를 참조하면, 기판(100)을 포함하는 반도체 장치(16)가 제공될 수 있다. 기판(100)은 SOI(silicon on insulator) 기판일 수 있다. 이에 따라, 기판(100)은 불순물 웰(도 1b의 110) 대신 매립 절연층(120)을 포함할 수 있다. 매립 절연층(120)은 기판(100)의 바닥면(100b)에 평행할 수 있다. 예를 들어, 매립 절연층(120)은 산화물을 포함할 수 있다. 매립 절연층(120)은 BOX(buried oxide) 층으로 지칭될 수 있다.
- [0075] 매립 절연층(120) 상에 제1 도핑 영역(210) 및 제3 도핑 영역(310)이 제공될 수 있다. 제1 및 제3 도핑 영역들(210, 310)은 제1 방향(D1)으로 서로 이격될 수 있다. 제1 및 제3 도핑 영역들(210, 310)의 바닥면들은 매립 절연층(120)의 상면에 직접 접할 수 있다. 일반적으로, 반도체 장치(12)가 작동될 때, 제1 및 제3 도핑 영역들(210, 310)의 바닥면들을 통해 누설 전류가 흐를 수 있다. 본 발명의 예시적인 실시예들에 따른 매립 절연층(120)은 제1 및 제3 도핑 영역들(210, 310)의 바닥면들을 통과하는 누설 전류를 차단할 수 있다.
- [0076] 제1 및 제3 도핑 영역들(210, 310) 사이에 소자 분리막(400)이 제공될 수 있다. 소자 분리막(400)은 제1 및 제3 도핑 영역들(210, 310)을 서로 전기적으로 분리시킬 수 있다. 소자 분리막(400)은 매립 절연층(120) 상에 제공될 수 있다. 도 8b와 달리, 소자 분리막(400)의 하부는 제1 및 제3 도핑 영역들(210, 310)과 수평적으로 중첩될 수 있다. 소자 분리막(400)의 바닥면은 제1 및 제3 도핑 영역들(210, 310)의 바닥면들과 공면을 이룰 수 있다.
- [0077] 본 발명의 예시적인 실시예들에 따른 BJT를 포함하는 제1 반도체 패턴(200)과 MOSFET을 포함하는 제2 반도체 패턴(300)은 동일한 공정을 통해 형성될 수 있다. 이에 따라, 공정 비용이 최소화되고, 공정 효율이 최대화될 수 있다.
- [0079] 본 발명의 실시예들에 대한 이상의 설명은 본 발명의 설명을 위한 예시를 제공한다. 따라서 본 발명은 이상의 실시예들에 한정되지 않으며, 본 발명의 기술적 사상 내에서 당해 기술 분야의 통상의 지식을 가진 자에 의하여 상기 실시예들을 조합하여 실시하는 등 여러 가지 많은 수정 및 변경이 가능함은 명백하다.

부호의 설명

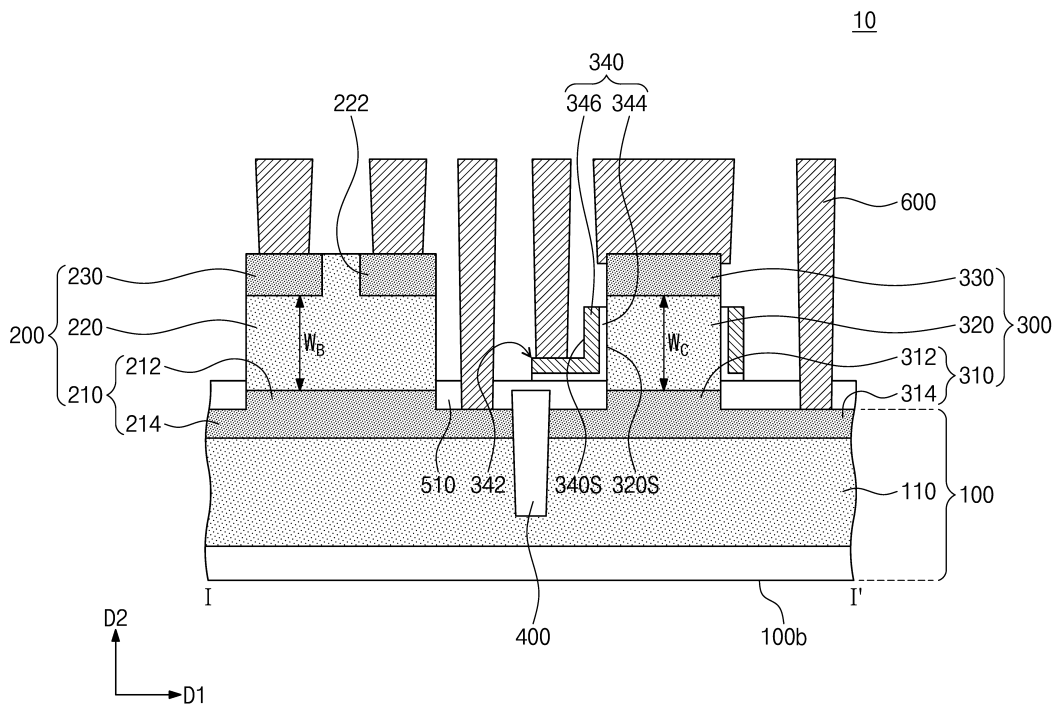
- [0081] 100:기판
- 200:제1 반도체 패턴
- 210, 220, 310, 330 : 제1 내지 제4 도핑 영역들
- 220:베이스 영역
- 222:베이스 접촉 영역
- 320:채널 영역
- 340:채널 게이트 구조체
- 400:소자 분리막
- 510:하부 절연막

도면

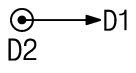
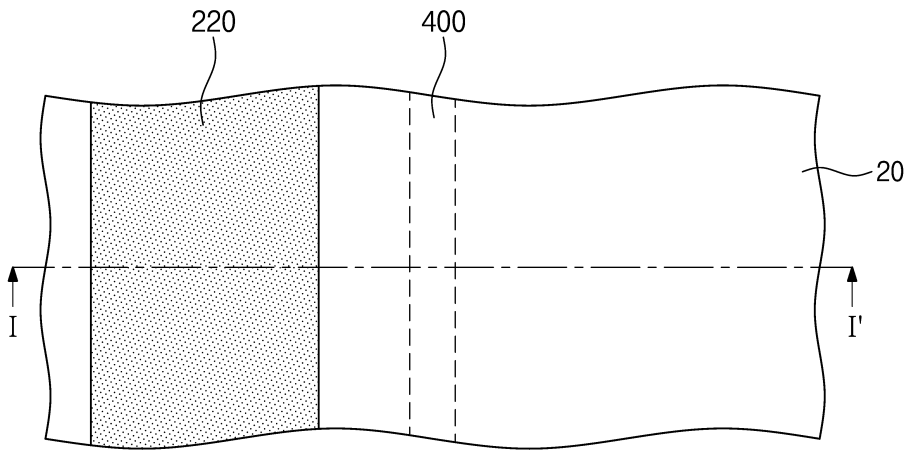
도면1a



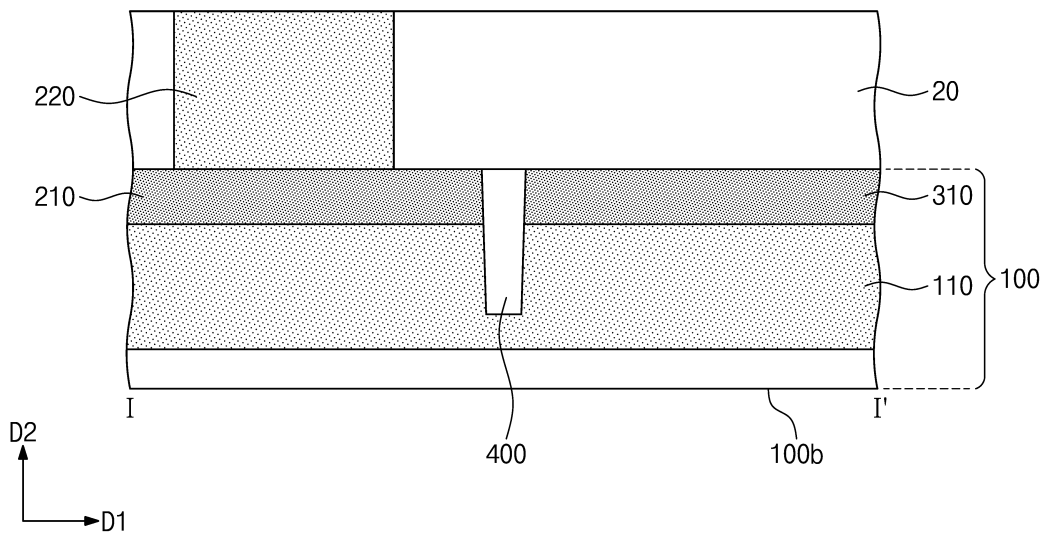
도면1b



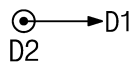
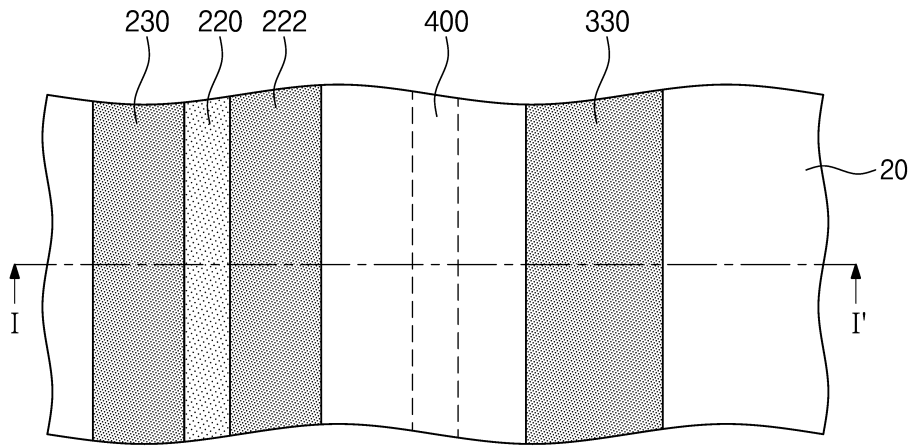
도면2a



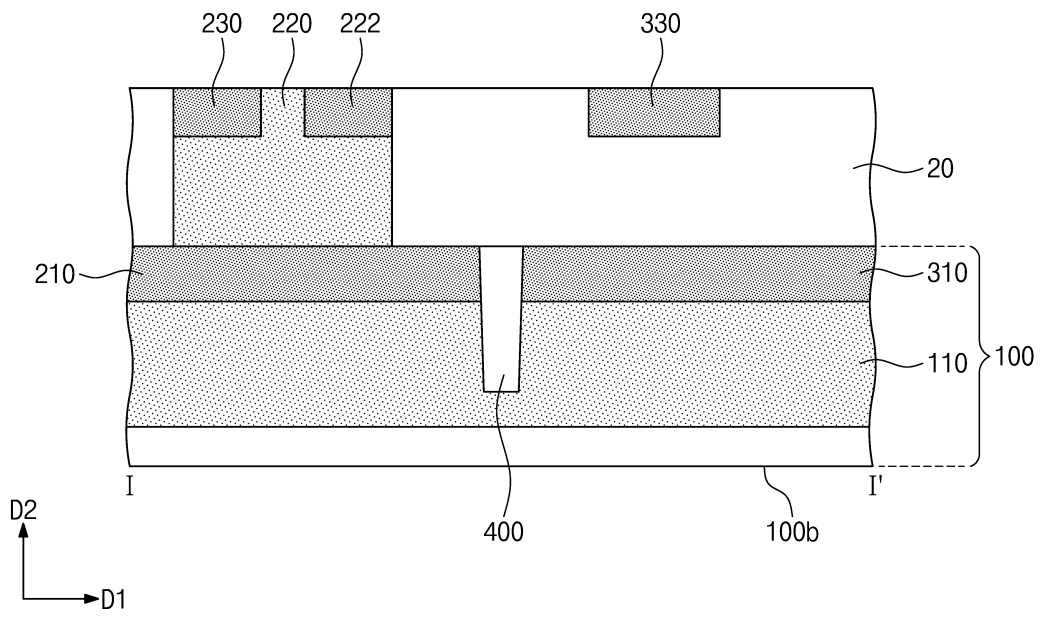
도면2b



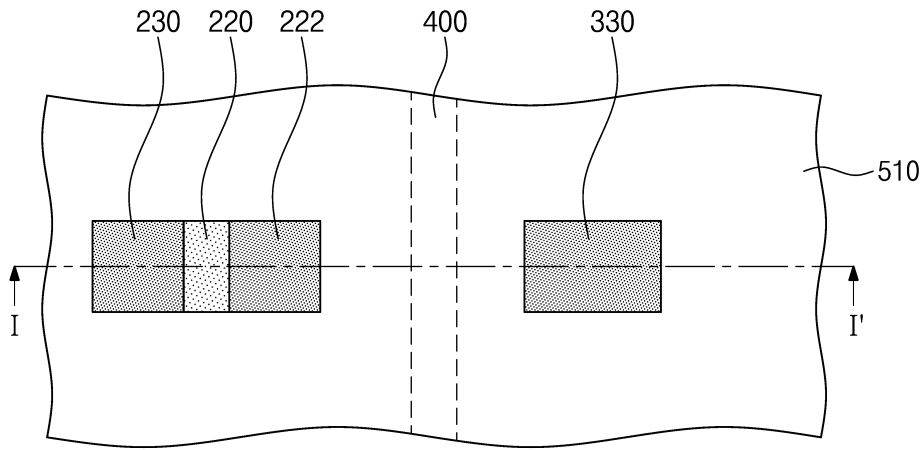
도면3a



도면3b

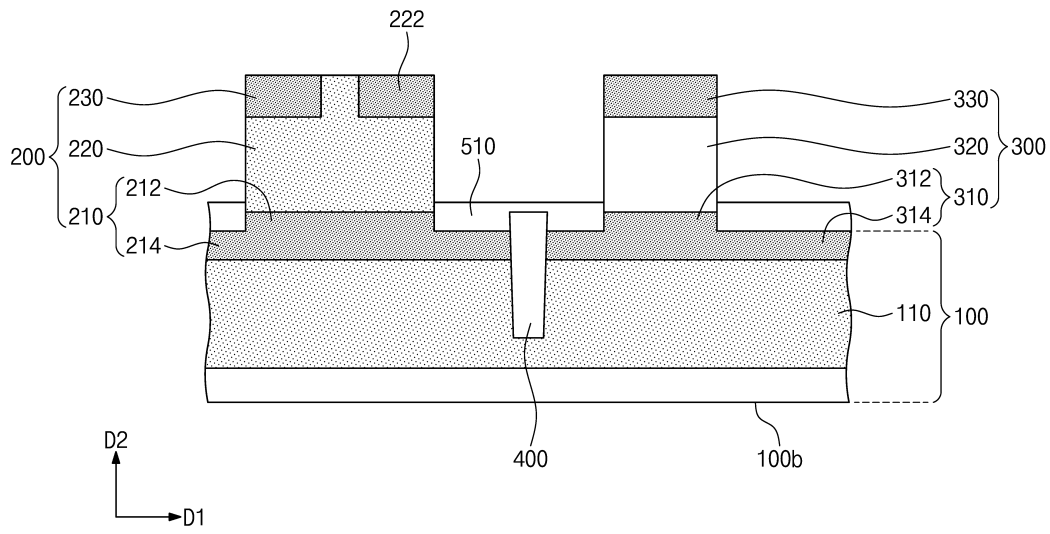


도면4a



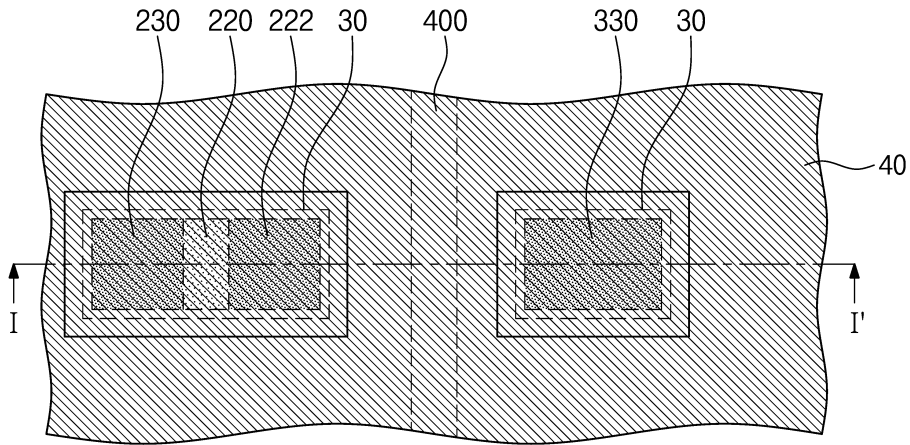
⊙ → D1
D2

도면4b



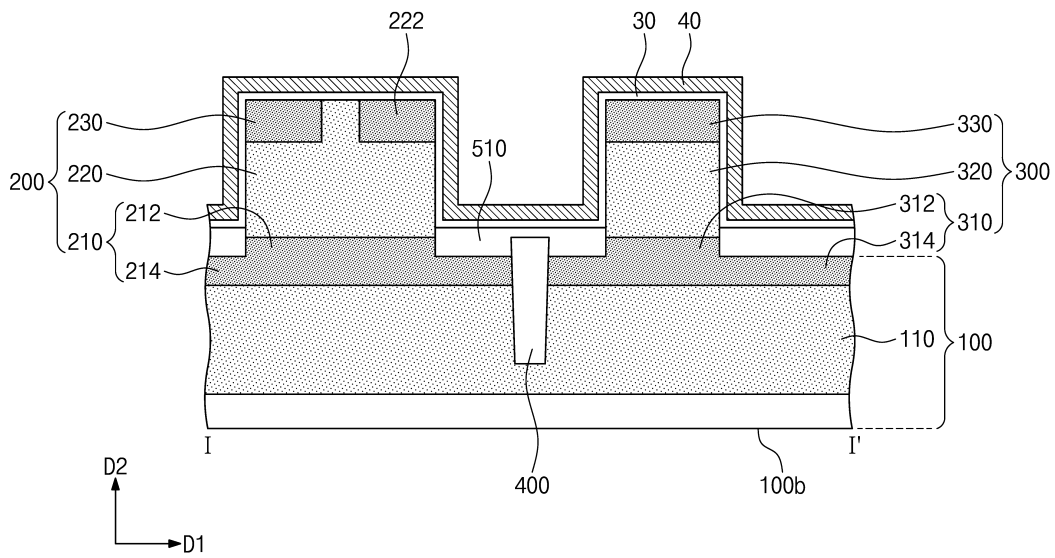
D2
D1

도면5a

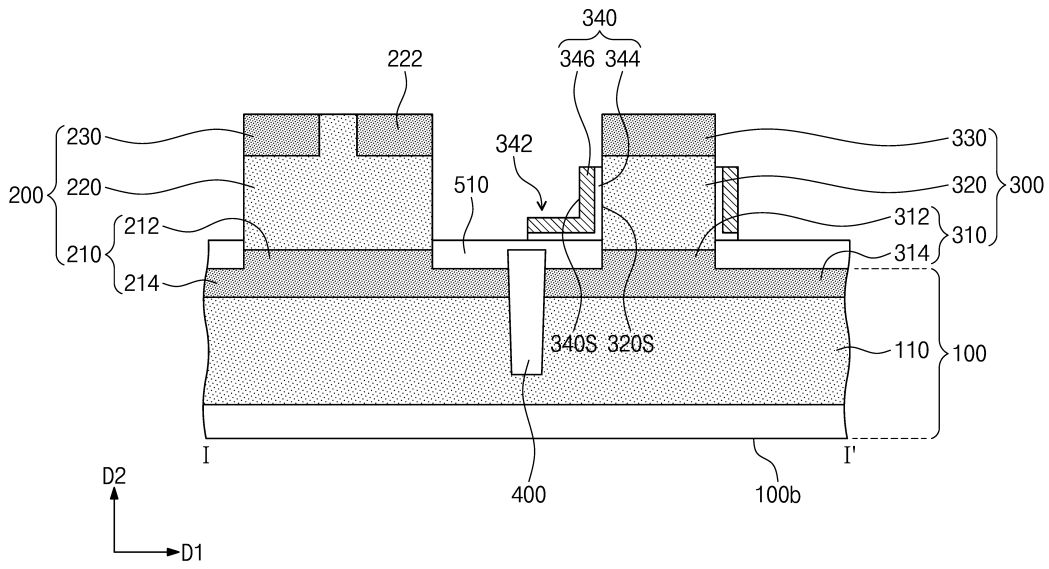


⊙ → D1
D2

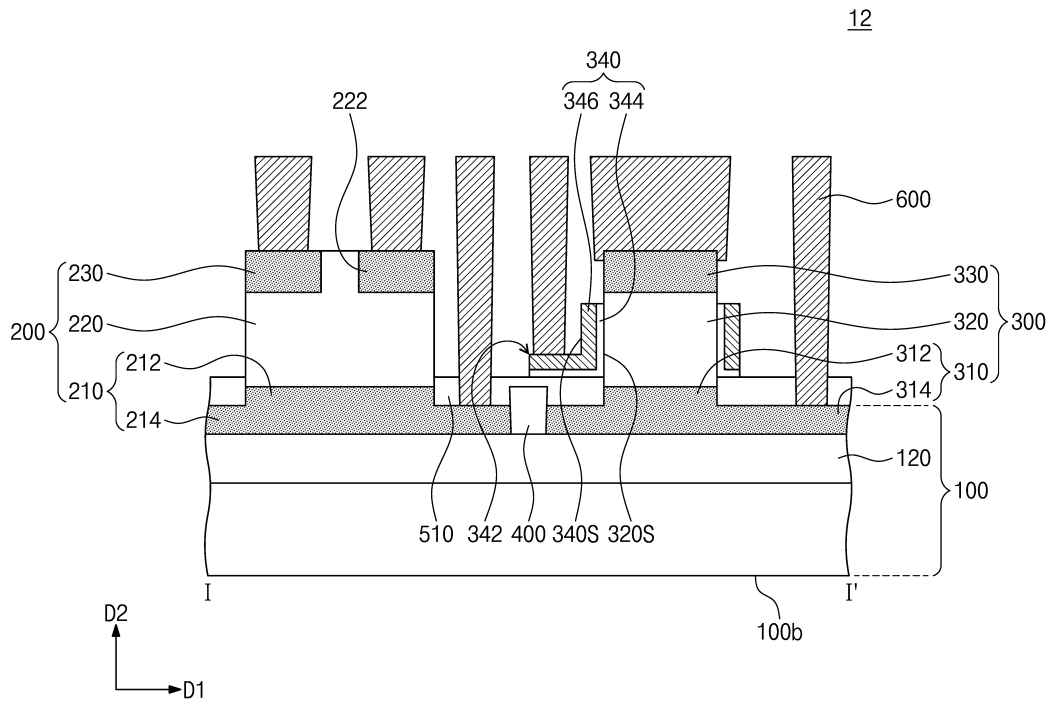
도면5b



도면6

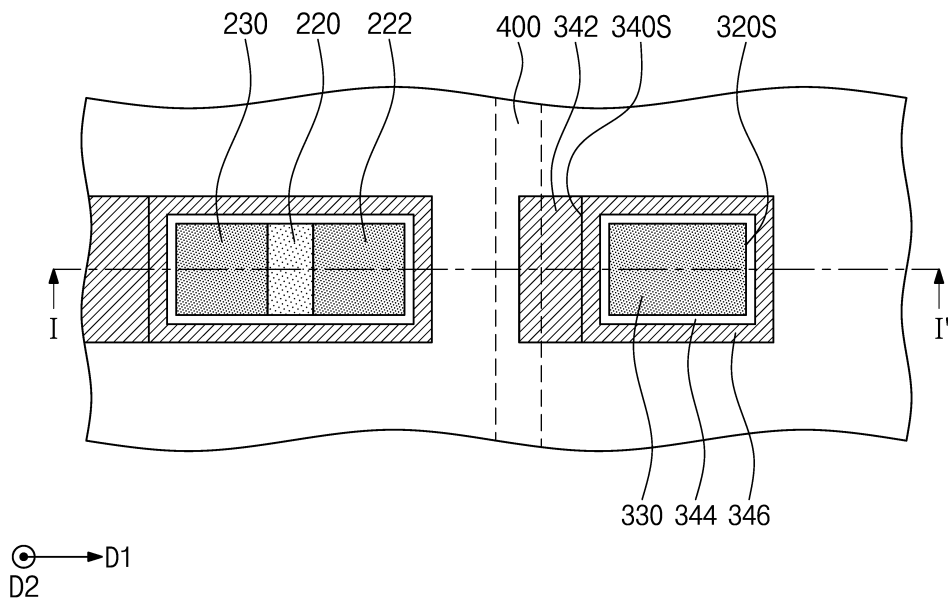


도면7



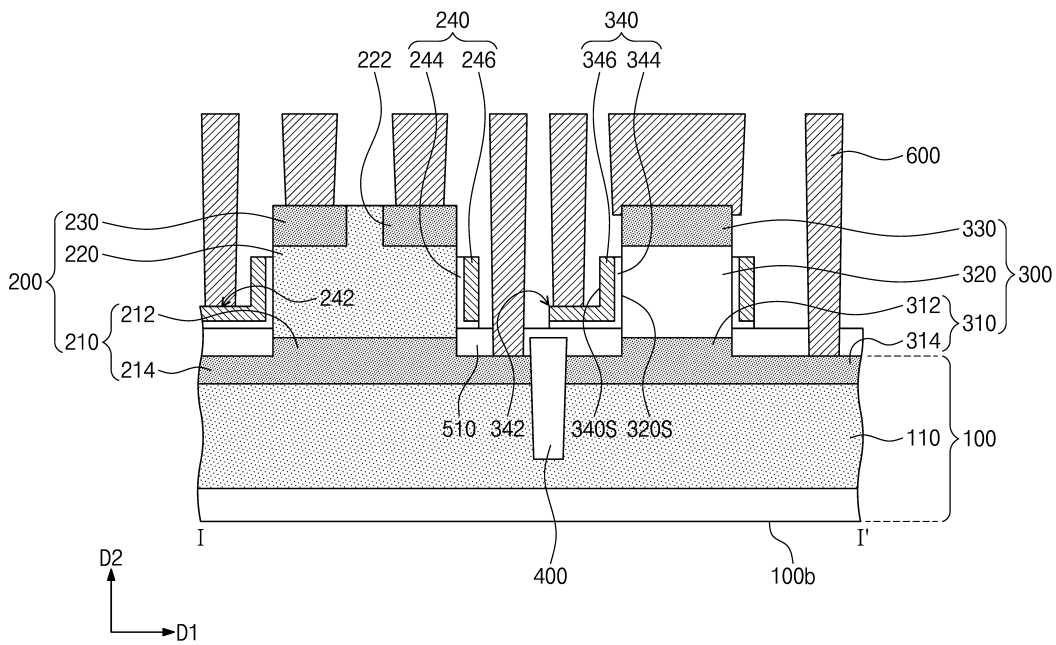
도면8a

14



도면8b

14



도면9

