



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2014년09월17일

(11) 등록번호 10-1441159

(24) 등록일자 2014년09월05일

(51) 국제특허분류(Int. Cl.)

H01L 51/05 (2006.01) H01L 29/786 (2006.01)

H01L 51/50 (2006.01)

(21) 출원번호 10-2009-7022309

(22) 출원일자(국제) 2008년03월25일

심사청구일자 2013년03월04일

(85) 번역문제출일자 2009년10월26일

(65) 공개번호 10-2009-0128511

(43) 공개일자 2009년12월15일

(86) 국제출원번호 PCT/JP2008/055570

(87) 국제공개번호 WO 2008/123244

국제공개일자 2008년10월16일

(30) 우선권주장

JP-P-2007-082278 2007년03월27일 일본(JP)

(56) 선행기술조사문현

JP2006005329 A

JP2006093652 A

JP2006186332 A

전체 청구항 수 : 총 12 항

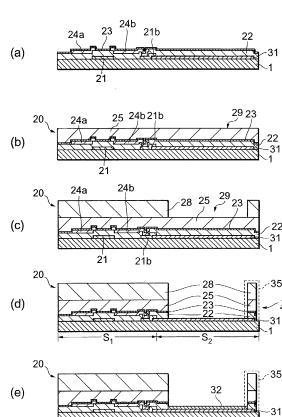
심사관 : 유창훈

(54) 발명의 명칭 유기 박막 트랜지스터 기판 및 그의 제조 방법, 및 화상 표시 패널 및 그의 제조 방법

(57) 요 약

본 발명은 트랜지스터 소자로서 유기 박막 트랜지스터를 갖는 유기 박막 트랜지스터 기판의 제조 방법으로서, 뱅크의 형성을 보다 적은 공정에서 행하는 것이 가능한 제조 방법을 제공하는 것을 목적으로 한다. 본 발명의 유기 박막 트랜지스터 기판의 제조 방법은 기판 상의 제1 영역에 유기 박막 트랜지스터가 형성되고, 제1 영역에 인접하여 발광 소자를 형성하기 위한 제2 영역을 갖고 있고, 제2 영역의 주연부에 뱅크부가 형성된 유기 박막 트랜지스터 기판의 제조 방법으로서, 기판 상의 제1 영역에 유기 박막 트랜지스터를 형성함과 동시에, 이 유기 박막 트랜지스터가 갖는 게이트 절연층 및 유기 반도체층 중 적어도 한쪽을 제2 영역에까지 형성하여, 제2 영역에 해당 영역 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층을 형성하는 제1 공정, 및 뱅크 전구체층에 있어서의 주연부 이외의 영역을 제거하여, 잔존한 뱅크 전구체층을 포함하는 뱅크부를 형성하는 제2 공정을 갖는다.

대 표 도 - 도3



특허청구의 범위

청구항 1

기판 상의 제1 영역에 유기 박막 트랜지스터가 형성되고, 상기 제1 영역에 인접하여 발광 소자를 형성하기 위한 제2 영역을 갖고 있고, 상기 제2 영역의 주연부에 뱅크부가 형성된 유기 박막 트랜지스터 기판의 제조 방법으로서,

상기 기판 상의 상기 제1 영역에 게이트 전극, 게이트 절연층, 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성되어 상기 소스 전극 및 상기 드레인 전극의 양쪽에 접하는 유기 반도체층을 포함하는 유기 박막 트랜지스터를 형성함과 동시에, 상기 게이트 절연층 및 상기 유기 반도체층 중의 적어도 한쪽을 상기 제2 영역에까지 형성하여, 상기 제2 영역에 해당 영역 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층을 형성하는 제1 공정과,

상기 뱅크 전구체층에 있어서의 상기 주연부 이외의 영역을 선택적으로 제거하여, 잔존한 상기 뱅크 전구체층으로 이루어지는 상기 뱅크부를 형성하는 제2 공정을 갖는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 2

제1항에 있어서, 상기 제1 공정에서,

상기 기판 상의 상기 제1 영역에 게이트 전극을 형성하고,

상기 기판 상의 상기 제1 영역 및 상기 제2 영역에 상기 게이트 전극을 덮도록 게이트 절연층을 형성하고,

상기 제1 영역의 상기 게이트 절연층 상에 소스 전극 및 드레인 전극을 형성하고,

상기 제1 및 제2 영역의 상기 게이트 절연층 상에 상기 소스 전극 및 상기 드레인 전극을 덮도록 유기 반도체층을 형성하고,

상기 제1 영역과, 상기 제2 영역에서의 상기 주연부를 포함하는 영역의 상기 유기 반도체층 상에 마스크층을 형성하고,

상기 제2 공정에서,

예칭을 행함으로써 상기 마스크층으로 덮여지지 않은 영역의 상기 뱅크 전구체층을 선택적으로 제거하는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 3

제2항에 있어서, 상기 제1 공정에서,

적어도 상기 게이트 절연층을 형성하기 전에, 상기 기판 상의 상기 제2 영역에 상기 발광 소자용의 하부 전극을 형성하고,

상기 게이트 절연층을 형성한 후에, 상기 게이트 절연층의 일부에 개구를 설치하고,

상기 드레인 전극의 형성시 또는 형성 후에, 상기 개구에 의해 상기 드레인 전극과 상기 하부 전극을 접속시키고,

상기 제2 공정에서,

상기 제2 영역의 상기 하부 전극 상에 형성된 상기 뱅크 전구체층을 선택적으로 제거하는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 4

제2항 또는 제3항에 있어서, 상기 제1 공정에서, 상기 유기 반도체층과 상기 마스크층과의 사이에 보호층을 형성하는 것을 특징으로 하는 유기 박막 트랜지스터의 제조 방법.

청구항 5

제1항에 있어서, 상기 제1 공정에서,

상기 기판 상의 상기 제1 영역에 상기 소스 전극 및 상기 드레인 전극을 형성하고,

상기 기판 상의 상기 제1 및 제2 영역에 상기 소스 전극 및 상기 드레인 전극을 덮도록 상기 유기 반도체층을 형성하고,

상기 제1 및 제2 영역의 상기 유기 반도체층 상에 상기 게이트 절연층을 형성하고,

상기 제1 영역의 상기 게이트 절연층 상에 상기 게이트 전극을 형성하고,

상기 제1 영역과, 상기 제2 영역에서의 상기 주연부를 포함하는 영역의 상기 게이트 절연층 상에 상기 게이트 전극을 덮도록 마스크층을 형성하고,

상기 제2 공정에서,

예칭을 행함으로써 상기 마스크층으로 덮여지지 않은 영역의 상기 뱅크 전구체층을 선택적으로 제거하는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 6

제5항에 있어서, 상기 제1 공정에서,

적어도 상기 유기 반도체층을 형성하기 전에, 상기 기판 상의 상기 제2 영역에 상기 발광 소자용의 하부 전극을 형성하고,

상기 드레인 전극의 형성시 또는 형성 후에, 상기 드레인 전극과 상기 하부 전극을 접속시키고,

상기 제2 공정에서,

상기 제2 영역의 상기 하부 전극 상에 형성된 상기 뱅크 전구체층을 선택적으로 제거하는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 7

제5항 또는 제6항에 있어서, 상기 제1 공정에서, 상기 게이트 절연층과 상기 마스크층과의 사이에 보호층을 형성하는 것을 특징으로 하는 유기 박막 트랜지스터 기판의 제조 방법.

청구항 8

기판 상의 제1 영역에 유기 박막 트랜지스터가 형성되고, 상기 제1 영역에 인접하여 발광 소자를 형성하기 위한 제2 영역을 갖고 있고, 상기 제2 영역의 주연부에 뱅크부가 형성된 유기 박막 트랜지스터 기판으로서,

상기 유기 박막 트랜지스터는 게이트 전극, 게이트 절연층, 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성되어 상기 소스 전극 및 상기 드레인 전극의 양쪽에 접하는 유기 반도체층을 포함하는 것이며,

상기 뱅크부는 상기 게이트 절연층 및 상기 유기 반도체층 중의 적어도 한쪽의 층과 동일한 재료로 구성되는 층을 포함하는 것을 특징으로 하는 유기 박막 트랜지스터 기판.

청구항 9

제8항에 있어서, 상기 뱅크부는 상기 게이트 절연층과 동일한 재료로 구성되는 층 및 상기 유기 반도체층과 동일한 재료로 구성되는 층 모두를 포함하는 것을 특징으로 하는 유기 박막 트랜지스터 기판.

청구항 10

제8항 또는 제9항에 있어서, 상기 기판 상의 상기 제2 영역에는 상기 발광 소자용의 하부 전극이 형성되어 있는 것을 특징으로 하는 유기 박막 트랜지스터 기판.

청구항 11

기판과, 상기 기판 상의 제1 영역에 형성된 유기 박막 트랜지스터와, 상기 기판 상의 상기 제1 영역에 인접하는 제2 영역에 형성된 발광 소자와, 상기 기판 상의 상기 제2 영역의 주연부에 상기 발광 소자를 둘러싸도록 형성된 뱅크부를 갖는 화상 표시 패널의 제조 방법으로서,

상기 기판 상의 상기 제1 영역에 게이트 전극, 게이트 절연층, 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성되어 상기 소스 전극 및 상기 드레인 전극의 양쪽에 접하는 유기 반도체층을 포함하는 유기 박막 트랜지스터를 형성함과 동시에, 상기 기판 상의 상기 제2 영역에 상기 발광 소자용의 하부 전극을 형성한 후, 상기 게이트 절연층 및 상기 유기 반도체층 중의 적어도 한쪽의 층을 상기 제2 영역에까지 형성하여, 상기 제2 영역의 상기 하부 전극 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층을 형성하는 제1 공정과,

상기 뱅크 전구체층에 있어서의 상기 주연부 이외의 영역을 선택적으로 제거하여, 잔존한 상기 뱅크 전구체층으로 이루어지는 상기 뱅크부를 형성하여 유기 박막 트랜지스터 기판을 얻는 제2 공정과,

상기 하부 전극 상의 상기 뱅크부에 둘러싸인 영역에, 적어도 발광층 및 상기 발광 소자용의 상부 전극을 순차 형성하여 상기 발광 소자를 형성하는 제3 공정을 갖는 것을 특징으로 하는 화상 표시 패널의 제조 방법.

청구항 12

기판과, 상기 기판 상의 제1 영역에 형성된 유기 박막 트랜지스터와, 상기 기판 상의 상기 제1 영역에 인접하는 제2 영역에 형성된 발광 소자와, 상기 기판 상의 상기 제2 영역의 주연부에 상기 발광 소자를 둘러싸도록 형성된 뱅크부를 갖는 화상 표시 패널로서,

상기 유기 박막 트랜지스터는 게이트 전극, 게이트 절연층, 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 상기 게이트 절연층의 상기 게이트 전극에 대하여 반대측에 형성되어 상기 소스 전극 및 상기 드레인 전극의 양쪽에 접하는 유기 반도체층을 포함하고 있으며,

상기 뱅크부는 상기 게이트 절연층 및 상기 유기 반도체층 중의 적어도 한쪽의 층과 동일한 재료로 구성되는 층을 포함하는 것을 특징으로 하는 화상 표시 패널.

명세서

기술 분야

[0001] 본 발명은 유기 박막 트랜지스터 기판 및 그의 제조 방법, 및 화상 표시 패널 및 그의 제조 방법에 관한 것이다.

배경 기술

[0002] 디스플레이로서 이용되는 화상 표시 패널은, 통상 발광 소자 및 트랜지스터 소자를 포함하는 단위 화소가 다수 배치된 구성을 갖는다. 이러한 화상 표시 패널에서는 개개의 화소에 있어서 트랜지스터 소자에 의해 발광 소자의 발광이 제어되고, 이에 따라 화상이 표시된다.

[0003] 종래, 화상 표시 패널에는 트랜지스터 소자로서, a-Si(비정질 실리콘)나 p-Si(다결정 실리콘)를 포함하는 무기 반도체 박막을 이용한 박막 트랜지스터(TFT)가 많이 이용되어 왔다. 그러나, 무기 반도체 박막을 이용한 TFT의 제조에는, 통상 대규모의 전공 처리 설비나 고온 처리 설비를 구비하는 장치가 필요로 되는 점에서, 제조 비용이 높아지는 경향에 있었다. 특히, 최근에는 디스플레이의 대화면화가 진행되고 있다는 점에서, 제조 비용의 증대는 현저해지고 있었다.

[0004] 따라서, 최근에는 화상 표시 패널에 대하여, 무기 반도체 박막 대신에 유기 반도체 박막을 이용한 박막 트랜지스터(유기 박막 트랜지스터)를 적용하는 것이 검토되고 있다. 유기 박막 트랜지스터는 비교적 저온의 공정에서 유기 반도체 박막을 형성가능하다는 점에서 제조 공정을 간편화할 수 있고, 제조 비용의 감소를 도모할 수 있다. 또한, 저온 공정화에 따라서 비교적 열에 약한 수지 기판의 적용도 가능해지는 점에서, 화상 표시 패널 전체의 경량화 등도 도모할 수 있다. 또한, 유연성을 갖는 수지 기판을 이용하면 연성 패널을 얻을 수도 있다. 또한, 유기 반도체 박막은, 대기압하, 인쇄나 도포라고 하는 웨트 코팅에 의한 제조도 가능하고, 이 경우에는 매우 생산성 좋고 저비용으로 화상 표시 패널을 제조할 수 있다.

[0005] 그런데, 상기한 바와 같은 화상 표시 패널은 일반적으로 트랜지스터 소자를 형성한 후에 발광 소자를 형성함으

로써 제조된다. 이러한 제조 방법시에, 각 화소에 있어서는 발광 소자의 형성 영역의 외주부에 뱅크라고 불리는 절연층이 형성되는 경우가 많다. 이 뱅크는 발광 소자가 갖는 전극 간의 단락을 방지함과 동시에, 발광 셀을 구획하기 위해서 설치된다. 또한, 이 뱅크는, 예를 들면 발광 소자로서 유기 EL 소자를 형성하는 경우, 고분자 재료로 이루어지는 발광층을 웨트 코팅법에 의해 형성할 때에, 재료 용액을 소정의 영역 내에 멈추게 하는 구획으로서도 기능한다. 이러한 뱅크는 폴리이미드나 포토레지스트 등으로 구성되지만, 패널의 구조물로서 남게 되기 때문에, 기계적 강도나 내열성이 우수한 재료를 포함하는 것이 선택된다.

[0006] 뱅크를 갖는 화상 표시 패널로서는, 예를 들면 각 화소에 박막 트랜지스터를 포함하는 도통 제어 회로 및 박막 발광 소자를 갖고, 박막 발광 소자의 유기 반도체막의 형성 영역이 유기 반도체막보다도 두꺼운 절연막에 의해 구획되고, 절연막이 무기 재료로 이루어지는 하층측 절연막과 유기 재료로 이루어지는 상층측 절연막에 의해 구성되어 있는 액티브 매트릭스형 표시 장치가 알려져 있다(특히 문헌 1 참조). 이러한 표시 장치에 있어서는 절연막이 뱅크로서 기능한다. 그리고, 상기한 구성을 갖는 절연막은 박막 발광 소자를 손상함 없이 두꺼운 막을 형성 가능한 것이 나타나고 있다.

[0007] 특허 문헌 1: 국제 공개 제98/10862호 공보

[0008] <발명의 개시>

[0009] <발명이 해결하고자 하는 과제>

[0010] 그러나, 상술한 바와 같은 뱅크를 형성하는 경우, 뱅크를 형성하기 위한 공정이 별도로 필요해지기 때문에, 그 만큼 화상 표시 패널의 제조 공정이 복잡해졌다. 특히, 상기 종래 기술과 같은 복수층을 포함하는 뱅크(절연막)를 형성하는 경우에는 뱅크를 형성하기 위한 공정이 증가하기 때문에, 제조 공정이 점점 더 복잡해지는 경향에 있었다. 그 때문에, 트랜지스터 소자로서 유기 박막 트랜지스터를 적용하여 제조 공정의 간편화·저비용화를 도모했다고 해도, 뱅크 형성의 공정 때문에 그의 효과가 충분히 얻어지지 않는 경우도 적지 않았다. 또한, 유기 박막 트랜지스터에 이용하는 유기 반도체 박막은 무기 반도체 박막과 비교하면, 강도나 내열성 등에 있어서 충분하지 않은 경우도 있기 때문에, 유기 반도체 박막으로의 손상을 억제한다는 관점에서도, 뱅크 형성에 요하는 공정은 가능한 한 적은 것이 바람직하다.

[0011] 따라서, 본 발명은 이러한 사정에 감안하여 이루어진 것으로, 트랜지스터 소자로서 유기 박막 트랜지스터를 갖는 유기 박막 트랜지스터 기판의 제조 방법으로서, 뱅크의 형성을 보다 적은 공정에서 행하는 것이 가능한 제조 방법을 제공하는 것을 목적으로 한다. 또한, 본 발명은 이러한 제조 방법에 의해서 얻어진 유기 박막 트랜지스터 기판, 이러한 유기 트랜지스터 기판을 이용한 화상 표시 패널 및 그의 제조 방법을 제공하는 것을 목적으로 한다.

[0012] <과제를 해결하기 위한 수단>

[0013] 상기 목적을 달성하기 위해서, 본 발명의 유기 박막 트랜지스터의 제조 방법은 기판 상의 제1 영역에 유기 박막 트랜지스터가 형성되고, 이 제1 영역에 인접하여 발광 소자를 형성하기 위한 제2 영역을 갖고 있고, 제2 영역의 주연부에 뱅크부가 형성된 유기 박막 트랜지스터 기판의 제조 방법으로서, 기판 상의 제1 영역에 게이트 전극, 게이트 절연층, 이 게이트 절연층의 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 게이트 절연층의 게이트 전극에 대하여 반대측에 형성되어 소스 전극 및 드레인 전극의 양쪽에 접하는 유기 반도체 층을 적어도 구비하는 유기 박막 트랜지스터를 형성함과 동시에, 게이트 절연층 및 유기 반도체층 중의 적어도 한쪽을 제2 영역에까지 형성하여, 제2 영역에 해당 영역 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층을 형성하는 제1 공정과, 뱅크 전구체층에 있어서의 주연부 이외의 영역을 선택적으로 제거하여, 잔존한 뱅크 전구체층을 포함하는 뱅크부를 형성하는 제2 공정을 갖는 것을 특징으로 한다.

[0014] 상기 본 발명의 제조 방법에 있어서는 유기 박막 트랜지스터를 형성함과 동시에, 그의 구성의 일부인 게이트 절연층 또는 유기 반도체층을 뱅크부의 형성 영역에까지 형성하고, 이들 층을 뱅크부의 적어도 일부에 적용하고 있는 점에서, 뱅크부를 형성하기 위한 공정의 일부 또는 전부를 생략할 수 있다. 그 결과, 유기 박막 트랜지스터 기판을 간편히 제조할 수 있게 되고, 또한 제조 비용을 감소하는 것이 가능해진다. 유기 박막 트랜지스터에 있어서의 게이트 절연층 및 유기 반도체층은 통상의 조건에서는 절연물로서 기능한다는 점에서, 이들 층을 포함하는 뱅크부는 발광 영역의 구획 등으로서 충분한 절연성을 갖는 것이 될 수 있다.

[0015] 또한, 상기 본 발명의 유기 박막 트랜지스터 기판의 제조 방법에 있어서는, 제1 공정에서, 기판 상의 제1 영역에 게이트 전극을 형성하고, 기판 상의 제1 영역 및 제2 영역에 게이트 전극을 덮도록 게이트 절연층을 형성하고, 제1 영역의 게이트 절연층 상에 소스 전극 및 드레인 전극을 형성하고, 제1 및 제2 영역의 게이트 절연층

상에 소스 전극 및 드레인 전극을 덮도록 유기 반도체층을 형성하고, 제1 영역과 제2 영역에서의 주연부를 포함하는 영역의 유기 반도체층 상에 마스크층을 형성하고, 제2 공정에서, 에칭을 행함으로써 마스크층으로 덮여지지 않은 영역의 뱅크 전구체층을 선택적으로 제거하는 것이 바람직하다.

[0016] 이러한 제조 방법에 따르면, 하측에 게이트 전극이 배치된 하부 게이트형의 유기 박막 트랜지스터가 얻어진다. 또한, 이러한 유기 박막 트랜지스터를 형성함과 동시에, 게이트 절연층, 유기 반도체층 및 마스크층을 포함하는 충분한 높이의 뱅크부를 형성할 수 있다. 이 뱅크부는 그것 자체가 뱅크로서 충분한 특성을 갖는다는 점에서, 상기한 제조 방법에 따르면, 뱅크를 형성하기 위한 공정은 별도로 필요하지 않으며, 제조 공정의 간략화를 더욱 도모하는 것이 가능해진다. 또한, 마스크를 이용한 에칭을 행함으로써, 발광 소자를 형성하기 위한 영역을 정밀도 있게 형성하는 것도 가능해진다.

[0017] 이러한 제조 방법의 경우, 제1 공정에서, 적어도 게이트 절연층을 형성하기 전에 기판 상의 제2 영역에 발광 소자용의 하부 전극을 형성하고, 게이트 절연층을 형성한 후에, 상기 게이트 절연층의 일부에 개구를 설치하고, 드레인 전극의 형성시 또는 형성 후에, 상기한 개구에 의해 드레인 전극과 하부 전극을 접속시키고, 제2 공정에서, 제2 영역의 하부 전극 상에 형성된 뱅크 전구체층을 선택적으로 제거하는 것이 바람직하다.

[0018] 이렇게 하면, 유기 박막 트랜지스터를 제조함과 동시에 발광 소자용의 하부 전극을 형성하고, 또한 이 하부 전극과 드레인 전극과의 접속을 행할 수 있다. 그 결과, 유기 박막 트랜지스터에 더하여, 발광 소자용의 하부 전극도 구비하는 유기 박막 트랜지스터 기판이 얻어진다. 이러한 유기 박막 트랜지스터 기판에 따르면, 하부 전극 상에 발광층이나 상부 전극이라고 한 발광 소자의 구성을 적층하는 것만으로 화상 표시 패널로 할 수 있고, 유기 박막 트랜지스터와 발광 소자를 전혀 별도로 형성하는 경우에 비하여, 제조 공정을 간략화할 수 있다.

[0019] 또한, 상기 제1 공정에서는, 유기 반도체층과 감광성 수지층과의 사이에 보호층을 형성하는 것이 바람직하다. 이렇게 하면, 유기 반도체층이 보호층에 의해서 보호되어, 보다 우수한 내구성을 갖는 유기 박막 트랜지스터 기판이 얻어지게 된다. 또한, 이러한 보호층도 뱅크부의 일부를 구성하는 것이 되어, 뱅크부에 의한 절연성 등의 기능을 보다 향상시키는 것이 가능해진다.

[0020] 또한, 상기 제1 공정에서는, 기판 상의 제1 영역에 소스 전극 및 드레인 전극을 형성하고, 기판 상의 제1 및 제2 영역에 소스 전극 및 드레인 전극을 덮도록 유기 반도체층을 형성하고, 제1 및 제2 영역의 유기 반도체층 상에 게이트 절연층을 형성하고, 제1 영역의 게이트 절연층 상에 게이트 전극을 형성하고, 제1 영역과 제2 영역에서의 주연부를 포함하는 영역의 게이트 절연층 상에 게이트 전극을 덮도록 마스크층을 형성하고, 제2 공정에서, 에칭을 행함으로써 마스크층으로 덮여지지 않은 영역의 뱅크 전구체층을 선택적으로 제거하도록 할 수도 있다.

[0021] 이러한 제조 공정에 따르면, 상측에 게이트 전극을 구비하는 톱게이트형의 유기 박막 트랜지스터가 형성된다. 또한, 이러한 유기 박막 트랜지스터를 형성함과 동시에, 유기 반도체층, 게이트 절연층 및 감광성 수지층을 포함하는 충분한 높이의 뱅크부를 형성할 수 있다. 그 결과, 상기와 동일하게, 뱅크를 형성하기 위한 공정을 생략하여 제조 공정의 간략화를 도모할 수 있음과 동시에, 마스크층을 이용한 에칭에 의해서 뱅크부를 정밀도 있게 형성하는 것이 가능해진다.

[0022] 이러한 제조 방법에 있어서도, 제1 공정에서, 적어도 유기 반도체층을 형성하기 전에 기판 상의 제2 영역에 발광 소자용의 하부 전극을 형성하고, 드레인 전극의 형성시 또는 형성 후에 드레인 전극과 하부 전극을 접속시키고, 제2 공정에서, 제2 영역의 하부 전극상에 형성된 뱅크 전구체층을 선택적으로 제거하는 것이 바람직하다. 이렇게 하면, 유기 박막 트랜지스터와 동시에 발광 소자용의 하부 전극을 형성할 수 있고, 이러한 유기 박막 트랜지스터 기판을 이용하면, 화상 표시 패널의 제조 공정을 보다 간략화하는 것이 가능해진다.

[0023] 이러한 제조 방법에 있어서는, 제1 공정에서 게이트 절연층과 감광성 수지층과의 사이에 보호층을 형성하는 것이 바람직하다. 이에 따라, 게이트 절연층의 상부가 보호층으로 덮여지고, 보다 내구성이 우수한 유기 박막 트랜지스터가 얻어짐과 동시에, 보호층을 포함함으로써 더욱 특성이 우수한 뱅크부가 얻어지게 된다.

[0024] 또한, 본 발명에 의한 유기 박막 트랜지스터 기판은 상기 본 발명의 제조 방법에 의해서 양호하게 얻어지는 것이며, 기판 상의 제1 영역에 유기 박막 트랜지스터가 형성되고, 제1 영역에 인접하여 발광 소자를 형성하기 위한 제2 영역을 갖고 있고, 제2 영역의 주연부에 뱅크부가 형성된 유기 박막 트랜지스터 기판으로서, 유기 박막 트랜지스터는 게이트 전극, 게이트 절연층, 이 게이트 절연층의 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 게이트 절연층의 게이트 전극에 대하여 반대측에 형성되어 소스 전극 및 드레인 전극의 양쪽에 접하는 유기 반도체층을 적어도 구비하는 것이며, 뱅크부는 게이트 절연층 및 유기 반도체층 중의 적어도 한쪽의 층과 동일한 재료로 구성되는 층을 포함하는 것을 특징으로 한다.

- [0025] 이러한 구성을 갖는 유기 박막 트랜지스터 기판은, 뱅크부가 유기 박막 트랜지스터가 갖는 게이트 절연층 및 유기 반도체층 중의 적어도 한쪽의 층과 동일한 재료로 구성되는 층을 포함한다는 점에서, 유기 박막 트랜지스터 및 뱅크부에서의 이를 층을 동시에 형성함으로써 뱅크부를 형성할 수 있기 때문에, 뱅크부를 가짐에도 불구하고 간편히 제조할 수 있다. 또한, 게이트 절연층 및 유기 반도체층은 통상에서는 충분한 절연성을 갖고 있다는 점에서, 본 발명의 유기 박막 트랜지스터 기판은 뱅크로서 충분히 기능할 수 있는 뱅크부를 갖는 것이 된다.
- [0026] 상기 본 발명의 유기 박막 트랜지스터 기판에 있어서, 뱅크부는 게이트 절연층과 동일한 재료로 구성되는 층 및 유기 반도체층과 동일한 재료로 구성되는 층 모두를 포함하는 것이 바람직하다. 이러한 뱅크부는 그것 자체가 뱅크로서 충분한 높이를 갖는 것이 된다는 점에서, 이러한 뱅크부를 갖는 본 발명의 유기박막 트랜지스터는 뱅크부를 형성하기 위한 공정이 별도로 필요로 되지 않고, 더욱 용이하게 제조 가능한 것이 된다.
- [0027] 또한, 본 발명의 유기 박막 트랜지스터 기판에 있어서, 기판 상의 제2 영역에는 발광 소자용의 하부 전극이 형성되어 있는 것이 바람직하다. 이와 같이 미리 발광 소자용의 하부 전극을 구비하는 유기 박막 트랜지스터 기판에 따르면, 이 하부 전극 상에 발광층이나 상부 전극 등의 발광 소자용의 구성을 적층하는 것만으로 화상 표시 패널이 얻어진다는 점에서, 화상 표시 패널의 제조를 간편히 행하는 것이 가능해진다.
- [0028] 또한 추가로, 본 발명에 의한 화상 표시 패널의 제조 방법은 상기 본 발명의 유기 박막 트랜지스터 기판의 제조 방법을 포함하는 방법으로, 기판과, 이 기판 상의 제1 영역에 형성된 유기 박막 트랜지스터와, 기판 상의 제1 영역에 인접하는 제2 영역에 형성된 발광 소자와, 기판 상의 제2 영역의 주연부에 발광 소자를 둘러싸도록 형성된 뱅크부를 갖는 화상 표시 패널의 제조 방법으로서, 기판 상의 제1 영역에 게이트 전극, 게이트 절연층, 이 게이트 절연층의 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 게이트 절연층의 게이트 전극에 대하여 반대측에 형성되어 소스 전극 및 드레인 전극의 양쪽에 접하는 유기 반도체층을 적어도 구비하는 유기박막 트랜지스터를 형성함과 동시에, 기판 상의 제2 영역에 발광 소자용의 하부 전극을 형성한 후, 게이트 절연층 및 유기 반도체층 중의 적어도 한쪽의 층을 제2 영역에까지 형성하고, 제2 영역의 하부 전극상에 형성된 적층 구조로 이루어지는 뱅크 전구체층을 형성하는 제1 공정과, 뱅크 전구체층에 있어서의 상기 주연부 이외의 영역을 선택적으로 제거하여, 잔존한 뱅크 전구체층을 포함하는 뱅크부를 형성하여 유기 박막 트랜지스터 기판을 얻는 제2 공정과, 상기 하부 전극 상의 뱅크부에 둘러싸인 영역에 발광층 및 발광 소자용의 상부 전극을 순차 형성하여 발광 소자를 형성하는 제3 공정을 갖는 것을 특징으로 한다.
- [0029] 이 화상 표시 패널의 제조 방법은 상기 본 발명의 유기 박막 트랜지스터 기판의 제조 방법을 포함한다. 따라서, 뱅크부를 유기 박막 트랜지스터와 동일 공정에서 형성할 수 있고, 이에 따라 얻어진 유기 박막 트랜지스터 기판에 발광층 및 상부 전극을 적층함으로써 화상 표시 패널이 얻어진다는 점에서, 종래에 비하여 제조 공정을 적게할 수 있고, 보다 간편하면서 저비용으로 화상 표시 패널을 제조할 수 있다.
- [0030] 또한, 본 발명에 의한 화상 표시 패널은 기판과, 이 기판 상의 제1 영역에 형성된 유기 박막 트랜지스터와, 기판 상의 제1 영역에 인접하는 제2 영역에 형성된 발광 소자와, 기판 상의 제2 영역의 주연부에 발광 소자를 둘러싸도록 형성된 뱅크부를 갖는 화상 표시 패널로서, 유기 박막 트랜지스터는 게이트 전극, 게이트 절연층, 이 게이트 절연층의 게이트 전극에 대하여 반대측에 형성된 소스 전극 및 드레인 전극, 및 게이트 절연층의 게이트 전극에 대하여 반대측에 형성되어 소스 전극 및 드레인 전극의 양쪽에 접하는 유기 반도체층을 적어도 구비하고 있고, 뱅크부는 게이트 절연층 및 유기 반도체층 중의 적어도 한쪽의 층과 동일한 재료로 구성되는 층을 포함하는 것을 특징으로 한다. 이러한 구성을 갖는 화상 표시 패널은 상기 본 발명의 제조 방법에 의해서 양호하게 제조 가능하고, 간편하면서 저비용으로 제조 가능하다.
- [0031] <발명의 효과>
- [0032] 본 발명에 따르면, 트랜지스터 소자로서 유기 박막 트랜지스터를 갖는 유기 박막 트랜지스터 기판의 제조 방법으로서, 뱅크의 형성을 보다 적은 공정에서 행하는 것이 가능한 제조 방법을 제공하는 것이 가능해진다. 또한, 본 발명에 따르면, 이러한 제조 방법에 의해서 얻어진 유기 박막 트랜지스터 기판, 이 유기 박막 트랜지스터 기판을 이용함으로써 제조 공정의 간편화 및 저비용화가 이루어진 화상 표시 패널 및 그의 제조 방법을 제공하는 것이 가능해진다.

발명의 상세한 설명

- [0043] <발명을 실시하기 위한 최선의 형태>
- [0044] 이하, 본 발명의 바람직한 실시 형태에 대해서 도면을 참조하여 상세히 설명한다. 도면의 설명에 있어서는 동

일한 요소에는 동일한 부호를 붙이고, 중복하는 설명에 대해서는 생략한다. 또한, 설명 중, 상하 좌우 등의 위치 관계는 모두 도면의 위치 관계에 기초하는 것으로 한다.

[0045] [제1 실시 형태]

도 1 내지 도 4는 제1 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다. 이하의 설명에서는 게이트 전극을 기판측에 갖는 하부 게이트형의 유기 박막 트랜지스터를 형성함과 동시에, 발광 소자로서 유기 전계발광(EL) 소자를 형성하는 예에 대해서 설명을 행하는 것으로 한다.

[0047] 우선, 제1 영역 S_1 및 제2 영역 S_2 를 갖는 기판 (1)을 준비하고, 이 기판 (1) 상의 제2 영역 S_2 에 발광 소자 (30)용의 양극(하부 전극) (31)을 형성한다. 구체적으로는, 예를 들면 기판 (1) 상의 제1 영역 S_1 및 제2 영역 S_2 에 양극 (31)을 형성하기 위한 도전막 (31a)를 적층한 후, 제2 영역 S_2 의 도전막 (31a) 상에 레지스트막 (4a)를 형성한다(도 1(a)). 이어서, 레지스트막 (4a)를 마스크로서, 이 레지스트막 (4a)가 형성되어 있지 않은 영역의 도전막 (31a)를 에칭 등에 의해 제거한다(도 1(b)). 그 후, 레지스트막 (4a)를 제거함으로써, 기판 (1) 상의 제2 영역 S_2 에 발광 소자 (30)용의 양극 (31)을 형성시킨다(도 1(c)). 또한, 기판 (1)의 제1 영역 S_1 및 제2 영역 S_2 는 특정한 경계에 의해서 명확하게 구획되는 영역이 아니고, 기판 (1) 상의 유기 박막 트랜지스터가 형성되는 영역과 발광 소자가 형성되는 영역을 편의적으로 구별한 것이다.

[0048] 여기서, 기판 (1)로서는 유리 기판 또는 플라스틱 기판이 바람직하다. 플라스틱 기판으로서는, 예를 들면 PEN (폴리에틸렌나프탈레이트), PC (폴리카르보네이트), TAC (트리아세틸셀룰로오스), PET (폴리에틸렌테레프탈레이트), PES (폴리에틸렌술폰) 등의 공지된 재료를 포함하는 것을 들 수 있다. 또한, 후술하는 발광 소자 (30)으로서 전면 발광 타입의 유기 EL 소자를 형성하는 경우에는, 기판 (1)은 불투광성의 것일 수 있고, 예를 들면 스테인리스 기판, 단결정성 반도체 기판 등을 적용할 수도 있다.

[0049] 도시의 기판 (1)은 단일의 층으로 구성되는 것이지만, 이것으로 한정되지 않고, 예를 들면 상술한 재료로 구성되는 기판 상에 추가로 절연성의 막이 형성된 것을 이용할 수도 있다. 이것은 기판 (1)과 그의 상부에 형성되는 소자와의 사이의 절연성을 높이기 위해서, 바탕이 되는 기판의 표면 조도가 큰 경우에 평탄성을 잘 하기 위해서, 또는 공정 중에 처리되는 약액이나 플라즈마 가스로부터 기판 (1) 표면의 변질을 보호하기 위해서 유효하다.

[0050] 이러한 절연막으로서는 SiO_2 , Si_3N_4 , Ta_2O_5 , Al_2O_3 , 산화질화규소, 산화질화알루미늄, 폴리파라크실릴렌 (poly-para-xylylene), 폴리이미드(PI), PVP (폴리-4-비닐페놀), 폴리비닐알코올(PVA), 폴리메틸메타크릴레이트 (PMMA), 벤조시클로부텐(BCB), 시아노에틸플루란, TEOS, SOG (Spin-on Glass; 스픬-온 글라스) 등을 포함하는 막을 바람직하게 사용할 수 있다.

[0051] 기판 상에 절연막을 형성하는 방법으로서는 플라즈마 CVD법, 스퍼터링법, 대향 타겟 스퍼터링법, 스플 코팅법, 슬릿 코팅법, Cat-CVD법, LPCVD법 등의 공지된 방법을 선택하여 적용할 수 있다. 기판이 금속 기판인 경우에는 기판 표면을 산화 또는 질화시킴으로써 절연막을 형성할 수도 있다. 또한, 기판 상에 일단 금속막이나 단원소 반도체막을 형성한 후, 막 표면을 산화 또는 질화시킴으로써 절연막을 형성할 수도 있다. 산화 또는 질화의 방법은 O 원소 또는 N 원소를 포함하는 플라즈마 가스 분위기에 기판을 노출하거나, O 원소 또는 N 원소를 포함하는 분위기속에서 열 처리하기도 하는 방법이 예시될 수 있다. 또한, 절연막은 단층막일 필요는 없고, 이종의 막에 의해서 구성되는 다층 적층막일 수도 있다.

[0052] 양극 (31)은, 예를 들면 전기 전도도가 높은 금속 산화물, 금속 황화물이나 금속의 박막으로 구성된다. 그 중에서도, 광이 투과율이 높은 것이 바람직하다. 구체적으로는 산화인듐, 산화아연, 산화주석, ITO, IZO나, 금, 백금, 은, 구리 등이 이용되고, ITO, 산화아연, IZO가 특히 바람직하다. 이러한 양극 (31)의 성막 방법으로서는 저항 가열 증착법, EB 증착법, 스퍼터링법, 이온 플레이팅법, 도금법, CVD법 등의 공지된 방법을 적용할 수 있다. 또한, 양극 (31)로서는 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체 등의 유기의 투명도전막을 적용할 수도 있다. 양극 (31)의 막 두께는 광의 투과성과 전기 전도도를 고려하여 적절하게 선택할 수 있지만, 예를 들면 10 nm 내지 1 μm 이면 바람직하고, 50 nm 내지 500 nm이면 보다 바람직하다.

[0053] 기판 (1) 상의 제2 영역에 양극 (31)을 형성할 때는 공지된 포토리소그래피법에 의해 레지스트막 (4a)를 형성하고, 공지된 에칭 등으로 도전막 (31a)를 패터닝한다. 예를 들면, 양극 (31)이 ITO인 경우, ITO를 포함하는 도전막 (31a) 상에 포토레지스트를 포함하는 레지스트막 (4a)를 형성한 후, 염산과 염화철을 주성분으로 하는 혼

합 용액으로 에칭한 후, 레지스트막 (4a)를 박리할 수 있다.

[0054] 화상 표시 패널 (10)의 제조에 있어서는, 이어서 기판 (1) 상의 제1 영역 S₁ 및 제2 영역 S₂에 게이트 전극 (21)이 되는 도전막 (21a)를 형성한 후, 이 도전막 (21a) 상의 원하는 영역에 레지스트막 (4b)를 형성한다(도 1(d)). 계속해서, 레지스트막 (4b)를 마스크로서 도전막 (21a)를 에칭 등에 의해 제거한다(도 1(e)). 그 후, 레지스트막 (4b)를 제거함으로써, 기판 (1) 상의 제1 영역에 게이트 전극 (21)을 형성함과 동시에, 양극 (31)과 후술하는 드레인 전극 (24b)와의 접속을 행하기 위한 단자 (21b)를 형성시킨다(도 1(f)). 이 단자 (21b)는 적어도 한쪽의 단부가 양극 (31)과 중첩되는도록 하여 제1 영역과 제2 영역과의 경계 부근에 형성한다.

[0055] 게이트 전극 (21) 및 단자 (21b)로서는 전기 전도도가 높은 금속, 금속 산화물, 금속 황화물 등의 박막으로 구성되는 것을 들 수 있다. 구체적으로는 Cr, Mo, Al, Cu, Au, Pt, Ag, Ti, Ta, Ni, W, Si, In, Ga의 금속이나 이들을 주성분으로 하는 합금 등을 포함하는 것이 바람직하다. 또한, ITO, IZO, 산화아연, 산화주석도 바람직하게 적용할 수 있다. 이들을 형성하기 위한 도전막 (21a)의 성막 방법으로서는 진공 증착법, 스퍼터링법, 이온 플레이팅법, 도금법, CVD법 등의 공지된 방법을 들 수 있다. 또한, 게이트 전극 (21) 및 단자 (21b)는 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체 등의 유기의 투명 도전막으로 구성될 수도 있다. 게이트 전극 (21) 및 단자 (21b)의 막 두께는 유기 박막 트랜지스터를 동작하는 데에 있어서 필요로 하는 전기 전도도를 고려하여 적절하게 선택할 수 있다. 예를 들면 10 nm 내지 1 μm이면 바람직하고, 50 nm 내지 500 nm이면 보다 바람직하다.

[0056] 게이트 전극 (21) 및 단자 (21b)의 형성 공정도, 공지된 리소그래피법 및 에칭법에 의해 행할 수 있다. 예를 들면, 게이트 전극 (21)로서 Cr막을 형성하는 경우, Cr을 포함하는 도전막 (21a) 상에 포토레지스트를 포함하는 레지스트막 (4b)를 형성한 후, 질산제2세륨암모늄과 과염소염산을 함유하는 혼합 용액으로 에칭하고, 그 후 레지스트막 (4b)를 박리한다.

[0057] 다음으로, 기판 (1) 상의 제1 영역 S₁ 및 제2 영역 S₂에 게이트 전극 (21), 단자 (21b) 및 양극 (31)을 덮도록 게이트 절연층 (22)를 형성한다(도 2(a)). 게이트 절연층 (22)는, 예를 들면 SiO₂, Si₃N₄, Ta₂O₅, Al₂O₃, 산화질화규소, 산화질화알루미늄, 폴리파라크실릴렌(poly-para-xylylene), 폴리이미드(PI), PVP(폴리-4-비닐페놀), 폴리비닐알코올(PVA), 폴리메틸메타크릴레이트(PMMA), 벤조시클로부텐(BCB), 시아노에틸플루란, TEOS, SOG(스핀-온 글라스) 등으로 구성된다.

[0058] 이러한 게이트 절연층 (22)의 성막 방법은 플라즈마 CVD법, 스퍼터링법, 대향 타겟 스퍼터링법, 스플릿 코팅법, Cat-CVD법, LPCVD법 등의 공지된 방법으로부터 선택할 수 있다. 또한, 게이트 절연층 (22)는 단층막일 필요는 없고, 이종의 막을 포함하는 다층 적층막일 수도 있다. 게이트 절연층 (22)의 막 두께는, 예를 들면 50 내지 1000 nm이고, 100 nm 내지 500 nm이면 바람직하다. 또한, 게이트 절연층 (22)는 절연 파괴 전계가 0.5 MV/cm 이상인 것이 바람직하고, 1.0 MV/cm 이상인 것이 보다 바람직하다. 이러한 절연 파괴 전계를 갖는 게이트 절연층 (22)에 따르면, 단락시키지 않고서 후술하는 유기 반도체층 (23)에 강한 전계를 인가할 수 있고, 유기 박막 트랜지스터 (20)에 있어서 우수한 이동도가 얻어지게 된다.

[0059] 계속해서, 게이트 절연층 (22)의 일부를 단자 (21b)가 노출하도록 개구시킴으로써 컨택트홀 (27)을 형성한다(도 2(b)). 또한, 1개의 화소 내에 복수의 유기 박막 트랜지스터를 형성하는 경우(도시하지 않음)는 이들 유기 박막 트랜지스터끼리의 전기적 접속을 위해, 게이트 절연층 (22)에 복수의 컨택트홀 (27)을 형성할 수도 있다.

[0060] 컨택트홀 (27)은, 예를 들면 포토리소그래피법으로 포토레지스트를 패턴 형성하고, 컨택트홀 (27) 부분의 절연막을 에칭에 의해 제거한 후, 포토레지스트를 박리함으로써 형성할 수 있다. 에칭 방법으로서는, 웨트 에칭법 및 드라이 에칭법의 양쪽을 적절하게 선택하여 적용할 수 있다. 또한, 레이저 박리법에 의해 게이트 절연층 (22)에 개구를 설치할 수도 있다. 또한, 예를 들면, 게이트 절연층 (22)의 형성시에, 메탈 마스크를 통한 성막을 행하는 것 등에 의해서, 일부에 개구(컨택트홀 (27))를 갖도록 할 수도 있다.

[0061] 다음으로, 제1 영역 S₁의 게이트 절연층 (22) 상에, 소스 전극 (24a) 및 드레인 전극 (24b)를 형성한다. 이 소스 전극 (24a) 및 드레인 전극 (24b)의 형성에 있어서는, 예를 들면 우선 제1 영역 S₁ 및 제2 영역 S₂의 게이트 절연층 (22) 상에 이들 전극을 형성하기 위한 도전막 (24c)를 형성한다(도 2(c)). 계속해서, 제1 영역 S₁의 소스 전극 (24a) 및 드레인 전극 (24b)를 형성하여야 할 영역에 레지스트막 (4c)를 형성한다(도 2(d)). 그 후, 이 레지스트막 (4c)를 마스크로서 도전막 (24c)를 에칭하고(도 2(e)), 레지스트막 (4c)를 제거한다(도 2(f)). 이 때, 드레인 전극 (24b)는 상술한 컨택트홀 (27)의 내부까지 형성하고, 이것이에 의해서 드레인 전극 (24b)와

단자 (21b)가 접속되도록 한다.

[0062] 소스 전극 (24a) 및 드레인 전극 (24b)는 전기 전도도가 높은 금속, 금속 산화물, 금속 황화물의 박막 등으로 구성된다. 소스 전극 (24a) 및 드레인 전극 (24b)에는, 구체적으로는 Cr, Mo, Al, Cu, Au, Pt, Ag, Ti, Ta, Ni, W, Si, In, Ga의 금속이나 이들을 주성분으로 하는 합금을 적용할 수 있다. 또한, ITO, IZO, 산화아연, 산화주석도 바람직하다. 도전막 (24c)의 성막 방법으로서는 저항 가열 증착법, EB 증착법, 스퍼터링법, 이온 플레이팅법, 도금법, CVD법 등의 공지된 방법을 적용할 수 있다. 또한, 소스 전극 (24a) 및 드레인 전극 (24b)은 폴리아닐린 또는 그의 유도체, 폴리티오펜 또는 그의 유도체 등의 유기의 투명 도전막으로 구성될 수도 있다. 소스 전극 (24a) 및 드레인 전극 (24b)의 막 두께는 유기 박막 트랜지스터 (20)을 동작시키는 데에 있어서 필요로 하는 전기 전도도를 고려하여 적절하게 선택하는 것 바람직하다. 예를 들면 10 nm 내지 1 μ m가 바람직하고, 50 nm 내지 500 nm가 보다 바람직하다.

[0063] 레지스트막 (4c)의 형성 및 도전막 (24c)의 예칭은 공지된 포토리소그래피법 및 예칭법을 적용하여 행할 수 있다. 예를 들면, Au를 포함하는 소스 전극 (24a) 및 드레인 전극 (24b)를 형성하는 경우, Au를 포함하는 도전막 (24c)를 형성한 후, 포토레지스트에 의한 패턴화된 레지스트막 (4c)를 형성하고, 이어서 요오드화칼륨과 요오드를 포함하는 혼합 용액으로 예칭한다.

[0064] 또한, 소스 전극 (24a) 및 드레인 전극 (24b)는 레이저 박리법에 의해서 패터닝함으로써 형성할 수도 있다. 또한, 성막시에 메탈 마스크를 통한 패턴 형성을 행하는 것 등에 의해서, 게이트 절연층 (22) 상에 직접 소스 전극 (24a) 및 드레인 전극 (24b)를 형성할 수도 있다. 다만, 소스 전극 (24a) 및 드레인 전극 (24b)는 게이트 전극 (21)에 대하여 미세하게 위치 정렬되어, 이에 따라 트랜지스터의 채널 길이와 채널 폭이 결정되기 때문에, 고정밀도로 패터닝될 필요가 있다. 따라서, 소스 전극 (24a) 및 드레인 전극 (24b)의 형성에는 보다 고정밀도로 패터닝을 행할 수 있는 포토리소그래피법을 이용하는 것이 바람직하다.

[0065] 화상 표시 장치의 제조에 있어서는, 이어서 제1 영역 S₁ 및 제2 영역 S₂의 게이트 절연층 (22) 상에 소스 전극 (24a) 및 드레인 전극 (24b)를 덮도록 유기 반도체층 (23)을 형성한다(도 3(a)). 유기 반도체층 (23)으로서는 저분자 유기 반도체 재료나 고분자 유기 반도체 재료를 포함하는 것을 특별히 제한없이 적용할 수 있다. 예를 들면, 펜타센 등의 저분자 유기 반도체 재료를 이용하는 경우, 유기 반도체층 (23)은 저항 가열 증착법으로 성막을 행함으로써 형성할 수 있다. 이 경우, 이동도가 높은 유기 반도체층 (23)을 형성하기 위해서는 유기 반도체 재료가 배향하고 있는 것이 바람직하다. 예를 들면, 게이트 절연층 (22)의 표면을 실란 커플링제 등으로 표면 처리하여 놓음으로써, 펜타센 등의 저분자 유기 반도체 재료를 셀프 배향시킬 수 있다.

[0066] 한편, 폴리-3-헥실티오펜(P3HT)이나 플루오렌디티오펜(F8T2) 등의 고분자 유기 반도체 재료를 이용하는 경우에는 이들을 용매에 용해하여, 스픬 코팅법, 캐스팅법, 마이크로 그라비아 코팅법, 그라비아 코팅법, 바 코팅법, 롤 코팅법, 와이어 바 코팅법, 침지 코팅법, 분무 코팅법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 잉크젯 인쇄법 등의 도포법을 행함으로써 유기 반도체층 (23)을 형성할 수 있다. 패턴 형성을 용이하게 행하는 관점에서는 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법 또는 잉크젯 인쇄법이 바람직하다. 또한, 저분자 유기 반도체 재료로서도, 용매에 용해 가능하게 하여 이를 도포법을 적용할 수도 있다.

[0067] 그 후, 제1 영역 S₁ 및 제2 영역 S₂의 유기 반도체층 (23) 상에, 패시베이션막(보호층) (25)를 형성한다(도 3(b)). 이에 따라, 기판 (1) 상의 제1 영역 S₁에 유기 박막 트랜지스터 (20)이 형성됨과 동시에, 제2 영역 S₂의 양극 (31) 상에 게이트 절연층 (22), 유기 반도체층 (23) 및 패시베이션막 (25)가 적층된 뱅크 전구체층 (29)가 형성된다.

[0068] 패시베이션막 (25)는 절연 재료로 구성된다. 예를 들면, SiO₂, Si₃N₄, Ta₂O₅, Al₂O₃, 산화질화규소, 산화질화알루미늄, 폴리파라크실릴렌(poly-para-xylylene), 폴리이미드(PI), PVP(폴리-4-비닐페놀), 폴리비닐알코올(PVA), 폴리메틸메타크릴레이트(PMMA), 벤조시클로부텐(BCB), 시아노에틸플루란, TEOS, SOG(스핀-온 글라스)를 포함하는 것이 바람직하다.

[0069] 패시베이션막 (25)는, 예를 들면 플라즈마 CVD법, 스퍼터링법, 대향 타겟 스퍼터링법, 스픬 코팅법, 슬릿 코팅법, Cat-CVD법, LPCVD법 등의 공지된 방법에 의해서 상술한 재료를 적층함으로써 형성할 수 있다. 이 패시베이션막 (25)의 막 두께는 10 내지 5000 nm이면 바람직하고, 200 내지 2000 nm이면 보다 바람직하다.

[0070] 이 패시베이션막 (25)는 단층막일 필요는 없고, 이중의 막이 적층된 다층막일 수도 있다. 예를 들면, 유기막과 무기막이 교대로 적층된 다층막이 바람직하다. 유기막과 무기막을 교대로 적층하는 경우에는, 우선 성막 챔버

내의 노즐에 가열한 단량체를 공급하여, 챔버 상부에 배치한 기판에 단량체를 증착한 후, 기판에 UV 광을 조사함으로써 단량체를 중합체로 변화시킨다. 이에 따라 막 중의 기포가 매립되어 기밀성이 향상된다. 다음으로, SiO_2 나 SiN_x 를 스퍼터링법 등으로 성막한다. 이에 따라 막 강도가 강화된다. 이러한 공정을 반복하여 행함으로써, 기밀성 및 막 강도가 우수한 유기·무기 다층막을 포함하는 패시베이션막 (25)를 형성할 수 있다.

[0071] 이와 같이 하여 패시베이션막 (25)를 형성한 후에는 이 위의 소정의 영역에 드라이 에칭 마스크(마스크층) (28)을 형성한다(도 3(c)). 드라이 에칭 마스크 (28)은 제1 영역 S_1 과, 제2 영역 S_2 에 있어서의 발광 소자 (30)을 형성하기 위한 영역을 제외하는 주연부로 형성된다. 이에 따라, 유기 박막 트랜지스터 (20)의 상부, 및 뱅크부 (35)의 형성 영역이 드라이 에칭 마스크 (28)에 의해서 덮여지게 된다. 드라이 에칭 마스크 (28)은 공지된 포토리소그래피법에 의해 감광성 수지막을 패터닝함으로써 형성할 수 있다.

[0072] 계속해서, 드라이 에칭 마스크 (28)을 보호막으로서 이용하여 드라이 에칭을 행하고, 드라이 에칭 마스크 (28)로 덮여져 있지 않은 영역의 뱅크 전구체층 (29)를 제거한다(도 3(d)). 이 드라이 에칭은 제2 영역 S_2 에 형성된 양극 (31)이 노출될 때까지 행한다. 이에 따라, 양극 (31) 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층 (29)가 제거되어, 제2 영역 S_2 에 발광 소자 (30)을 형성하기 위한 영역이 형성됨과 동시에, 에칭 후에 잔존한 주연부의 뱅크 전구체층 (29)로부터 뱅크부 (35)가 형성된다. 그 결과, 기판 (1) 상에 유기 박막 트랜지스터 (10) 및 뱅크부 (35)가 형성됨과 동시에, 발광 소자 (30)을 형성하기 위한 영역을 갖는 유기 박막 트랜지스터 기판 (2)가 얻어진다.

[0073] 드라이 에칭은 공지된 ICP 플라즈마 에칭법, RIE 에칭법, ECR 에칭법, 상압 플라즈마 에칭법 등에 의해 행할 수 있다. 예를 들면, 유기물로 이루어지는 층을 에칭하는 경우에는 산소를 함유하는 에칭 가스 분위기에서 에칭하는 것이 바람직하다. 또한, 무기물로 이루어지는 층을 에칭하는 경우, 층의 구성 재료에 따라 에칭 가스 조건을 바꾸는 것이 바람직하다. 예를 들면, SiO_2 막의 경우에는 CF_4 가스나 CHF_3 가스가 바람직하고, Al_2O_3 막의 경우에는 CCl_4 가스나 BCl_3 가스를 함유하는 에칭 가스가 바람직하다. 또한, 뱅크 전구체층 (29)가 이들 양쪽을 포함하는 다층막인 경우에는 에칭 가스나 에칭 조건을 전환하면서, 연속적으로 에칭할 수도 있다.

[0074] 또한, 이 드라이 에칭에 있어서는 도시하지 않지만, 유기 박막 트랜지스터 (20)의 각 전극(게이트 전극 (21), 소스 전극 (24a) 및 드레인 전극 (24b))과 외부의 배선과의 접촉을 가능하게 하기 위해서, 이들 접촉 영역 상에 형성된 각 층의 제거를 행할 수도 있다.

[0075] 유기 박막 트랜지스터 기판 (2)에 있어서, 뱅크부 (35)는 게이트 절연층 (22), 유기 반도체층 (23), 패시베이션막 (25) 및 드라이 에칭 마스크 (28)의 4층 구조를 갖는다. 즉, 뱅크부 (35)는 유기 박막 트랜지스터 (20)에 포함되는 4개의 층과 동일한 층을 갖는 것이 된다. 또한, 드라이 에칭 마스크 (28)은 뱅크부 (35)의 최상층에 남겨 놓을 필요는 반드시 없고, 드라이 에칭 후에 제거될 수도 있다.

[0076] 상기 구성을 갖는 뱅크부 (35)에 있어서, 게이트 절연층 (22), 패시베이션막 (25) 및 드라이 에칭 마스크 (28)은 그것 자체가 우수한 절연성을 갖고 있고, 또한 유기 반도체층 (23)은 전압이 인가되는 것이 없다는 점에서 양호한 절연성을 유지할 수 있다. 그 때문에, 뱅크부 (35)는 인접하는 화소 등과의 절연을 충분히 유지할 수 있는 등, 뱅크로서 우수한 특성을 갖는 것이 된다. 또한, 뱅크부 (35)가 상기한 바와 같은 적층 구조를 가짐으로써, 일부의 층에 편홀이 형성되어 있거나, 또는 일부의 층간에 이물이 혼입하여 있다고 해도, 전체로서 충분한 절연성을 유지할 수 있다. 이러한 뱅크부 (35)에 따르면, 인접하는 화소 등과의 사이에서의 누설 전류의 발생 등을 매우 적게 할 수 있다.

[0077] 이와 같이 하여 유기 박막 트랜지스터 기판 (2)를 제조한 후에는 상기 기판 (2)에 있어서의 발광 소자를 형성하기 위한 영역에 발광 소자 (30)를 형성한다. 구체적으로는, 우선 유기 박막 트랜지스터 기판 (2)의 기판 (1) 상에 형성한 양극 (31) 상에, 정공 주입층 (32)를 형성한다(도 3(e)). 여기서, 정공 주입층 (32)란, 양극 (31)로부터의 정공의 주입 효율을 향상할 수 있는 특성을 갖는 층이다.

[0078] 이러한 정공 주입층 (32)로서는 유기 EL 소자에 있어서 동일한 기능을 갖는 층을 특별히 제한 없이 적용할 수 있다. 예를 들면, 구리프탈로시아닌 등의 프탈로시아닌 학체, 4,4',4'''-트리스(3-메틸페닐페닐아미노)트리페닐아민 등의 방향족 아민 유도체, 히드라존 유도체, 카르바졸 유도체, 트리아졸 유도체, 이미다졸 유도체, 아미노기를 갖는 옥사디아졸 유도체, 폴리티오펜, PEDOT/PSS 등을 포함하는 층을 들 수 있다.

[0079] 정공 주입층 (32)를 고체 원료로 성막하는 경우, 저항 가열 증착, EB 증착법, MOCVD법이 바람직하고, 패턴 형성

하는 경우에는 메탈 마스크의 개구부를 통해 스루 증착 패터닝(through-evaporation patterning)하는 방법을 적용할 수 있다. 또한, 정공 주입층 (32)를 용액 원료로 성막하는 경우, 그의 방법으로서는 스픈 코팅법, 캐스팅법, 마이크로 그라비아 코팅법, 그라비아 코팅법, 바 코팅법, 롤 코팅법, 와이어 바 코팅법, 침지 코팅법, 분무 코팅법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 잉크젯 인쇄법 등의 도포법을 사용할 수 있다.

[0080] 정공 주입층 (32)의 두께는 5 내지 300 nm 정도인 것이 바람직하다. 이 두께가 너무 얕으면, 성막이 곤란해질 우려가 있다. 또한, 너무 두꺼우면, 발광층 (33)에 인가되는 전압이 과도하게 커지는 경우가 있다.

[0081] 또한, 본 실시 형태에서는 정공 주입층 (32)를 한층만 형성시켰지만, 예를 들면 이 정공 주입층 (32) 대신에 정공 수송층을 형성할 수도 있고, 정공 주입층 (32)와 조합하여 정공 수송층을 형성할 수도 있다. 여기서, 정공 수송층이란, 양극이나 정공 주입층 (32)로부터 발광층 (33)으로의 정공의 수송을 유리하게 하여 정공의 주입을 더욱 개선하는 특성을 갖는 층이다. 정공 주입층과 정공 수송층의 양쪽을 설치하는 경우에는 양극에 인접하는 층을 정공 주입층으로 하고, 그것 이외의 층을 정공 수송층으로 하는 것이 바람직하다.

[0082] 정공 수송층으로서는 특별히 제한되지 않지만, 예를 들면 N,N'-디페닐-N,N'-디(3-메틸페닐)4,4'-디아미노비페닐(TPD), 4,4'-비스[N-(1-나프틸)-N-페닐아미노]비페닐(NPB) 등의 방향족 아민 유도체 등을 포함하는 것을 적용할 수 있다. 정공 수송층의 바람직한 성막 방법이나 바람직한 두께는 정공 주입층 (32)와 동일하다.

[0083] 다음으로, 정공 주입층 (32) 상에 발광층 (33)을 형성한다(도 4(a)). 발광층 (33)은 유기 EL 소자의 발광층으로서 적용되는 공지된 층이고, 양극 (31) 및 음극 (34) 사이에 전압을 인가하거나 전류를 흘림으로써 발광을 발생할 수 있는 층이다. 발광층 (33)의 구성 재료로서는 이러한 특성을 갖는 것이면 특별히 제한 없이 적용할 수 있다. 예를 들면, 디스티릴비페닐계 재료, 디메시틸보릴계 재료, 스텔벤계 재료, 디페릴릴디시아노벤젠 재료, 벤즈옥사졸계 재료, 디스티릴계 재료, 카르바졸계 재료, 디벤조크리센계 재료, 아릴아민계 재료, 피렌 치환 올리고티오펜계 재료, PPV 올리고머계 재료, 카르바졸계 재료, 폴리플루오렌계 재료 등을 들 수 있다.

[0084] 발광층 (33)을 용액 원료로 성막하는 경우, 그의 방법으로서는 스픈 코팅법, 캐스팅법, 마이크로 그라비아 코팅법, 그라비아 코팅법, 바 코팅법, 롤 코팅법, 와이어 바 코팅법, 침지 코팅법, 분무 코팅법, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법, 잉크젯 인쇄법 등의 도포법을 사용할 수 있다. 그 중에서도, 패턴 형성이나 다색의 도분이 용이하다는 점에서, 스크린 인쇄법, 플렉소 인쇄법, 오프셋 인쇄법 또는 잉크젯 인쇄법이 바람직하다. 이와 같이 용액 원료로 성막하는 방법으로서는 용액을 도포한 후, 건조함으로써 용매를 제거하는 것만일 수 있고, 또한 발광층 (33)에 전하 수송 재료를 혼합한 경우라도 동일한 수법을 적용할 수 있기 때문에, 제조상 매우 유리하다. 발광층 (33)은 고체 원료로 성막할 수도 있으며, 이 경우 저항 가열 증착법, EB 증착법, MOCVD법을 적용할 수 있다. 패턴 형성이나 다색의 도분을 하는 경우에는 메탈 마스크의 개구부를 통해 스루 증착 패터닝을 행하는 것이 바람직하다.

[0085] 발광층 (33)의 두께는 특별히 제한되지 않고, 목적의 설계에 따라서 적절하게 변경할 수 있다. 예를 들면, 10 내지 200 nm 정도이면 바람직하다. 발광층 (33)의 두께가 너무 얕으면, 전자와 정공의 재결합이 충분히 발생하지 않고, 휘도가 충분히 얻어지지 않게 될 우려가 있다는 것 이외에, 성막이 곤란하게 되는 등의 문제점이 생길 우려가 있다. 한편, 너무 두꺼우면, 인가하는 전압이 과도하게 높아지고, 효율이 나빠지는 경향에 있다.

[0086] 계속해서, 제1 영역 S₁ 및 제2 영역 S₂의 전 영역을 덮도록 음극 (34)를 형성함으로써, 화상 표시 패널 (10)을 완성시킨다. 이와 같이 음극 (34)를 형성함으로써, 발광층 (33) 상에 음극 (34)가 배치되는 것이 되고, 제2 영역 S₂에는 기판 (1)측에서 양극 (31), 정공 주입층 (32), 발광층 (33) 및 음극 (34)를 구비하는 발광 소자 (30)이 형성된다.

[0087] 음극 (34)로서는 일함수가 작은 재료로 이루어지는 층이 바람직하다. 이러한 재료로서는, 예를 들면 리튬, 나트륨, 칼륨, 류비듐, 세슘, 베릴륨, 마그네슘, 칼슘, 스트론튬, 바륨, 알루미늄, 스칸듐, 바나듐, 아연, 이트륨, 인듐, 세륨, 사마륨, 유로퓸, 테르븀, 이테르븀 등의 금속이나 이들 중에서 2종 이상을 포함하는 합금, 또는 이들 중에서 1종 이상과, 금, 은, 백금, 구리, 망간, 티탄, 코발트, 니켈, 텉스텐, 주석 중 1종 이상과의 합금, 또는 흑연이나 흑연층간 화합물 등을 들 수 있다. 음극 (34)를 구성하는 합금의 예로서는 마그네슘-은 합금, 마그네슘-인듐 합금, 마그네슘-알루미늄 합금, 인듐-은 합금, 리튬-알루미늄 합금, 리튬-마그네슘 합금, 리튬-인듐 합금, 칼슘-알루미늄 합금 등을 들 수 있다.

[0088] 음극 (34)의 막 두께는 전기 전도도나 내구성을 고려하여 적절하게 선택할 수 있다. 예를 들면, 10 nm 내지 10 μ m이면 바람직하고, 20 nm 내지 1 μ m이면 보다 바람직하고, 50 nm 내지 500 nm이면 더욱 바람직하다. 음극

(34)는 상기한 재료를 저항 가열 증착법, EB 증착법, 스퍼터링법 등에 의해 성막함으로써 형성할 수 있다. 또한, 음극 (34)는 2층 이상의 적층 구조를 갖는 것일 수도 있다.

[0089] 또한, 발광 소자 (30)에 있어서, 발광층 (33)과 음극층 (34)와의 사이에는 적절하게 전자 주입층이 형성되어 있을 수도 있다(도시하지 않음). 전자 주입층은 음극 (34)로부터 발광층 (33)으로의 전자 주입 효과를 향상할 수 있는 특성을 갖는 층이다. 전자 주입층의 구성 재료로서는, 예를 들면 Ba, Ca, CaF, LiF, Li, NaF 등을 들 수 있다. 또한, 전자 주입층의 두께는 3 nm 내지 50 nm 정도이면 바람직하다. 이 두께가 너무 얇으면, 막 두께를 제어하기 어렵게 되어 안정된 제조가 곤란해지는 경향에 있다. 한편, 너무 두꺼우면, 발광층 (33)에 인가되는 전압이 너무 커지는 경향에 있다.

[0090] 이러한 제조 방법에 의해, 기판 (1) 상의 제1 영역 S₁에 유기 박막 트랜지스터 (20)이 형성되고, 제2 영역 S₂에 주위가 뱅크부 (35)로 둘러싸인 발광 소자 (30)이 형성된 화상 표시 패널 (10)이 얻어진다. 이 화상 표시 패널 (10)은 기판 (1) 상의 각 소자가 덮여지도록 밀봉된 구성을 갖는 것이 바람직하다(도시하지 않음). 이 경우, 밀봉은 음극 (34)의 형성 후에 즉시 행하는 것이 바람직하다.

[0091] 밀봉의 방법으로서는 공지된 방법을 적용할 수 있다. 예를 들면, 배면 캡 기판으로서, 메탈 캡 기판이나 유리 캡 기판을 이용하는 방법에서는 기판 (1)의 소자 측면에 밀봉 접착재를 도포하여 이를 기판을 접합시킨 후, UV 조사나 가열에 의해서 밀봉 접착재를 경화시킨다. 또한, 배면캡 기판에는 내부에 흡습재를 배치하기 위해서, 중공 구조의 가공품이 이용되는 경우도 있다. 그의 가공법으로서는 가공 성형법, 샌드 블러스트법, 웨트 에칭법 등을 들 수 있다.

[0092] 음극 (34)의 형성에 중착 장치를 이용하는 경우에는 밀봉 공정을 행하는 밀봉 장치를 중착 장치와 일체화함으로써, 기판 (1) 상의 각 소자를 대기에 노출시킴 없이 밀봉을 행하는 것이 바람직하다. 또한, 밀봉 방법으로서는 기판 (1) 상의 각 소자의 상부에 박막을 형성하여 밀봉을 행하는 방법도 들 수 있다. 이 박막에 의한 밀봉 방법은 유기막, SiO_x나 SiN_x 등의 무기 다층막, 유기막과 무기막의 다층 적층막 등을 소자 상부에 성막하여 가스 배리어층으로 하는 방법을 들 수 있다.

[0093] 이상, 제1 실시 형태의 화상 표시 패널의 제조 방법에 대해서 설명했지만, 상술한 공정은 본 발명의 범위에서 적절하게 변경할 수 있다. 예를 들면, 상술한 제조 방법에서는 양극 (31)을 형성한 후에 게이트 전극 (21) 및 단자 (21b)를 형성했지만, 이것으로 한정되지 않고, 게이트 전극 (21) 및 단자 (21b)를 형성한 후에 양극 (31)을 형성할 수도 있다. 이 순서는 후에 형성하는 전극 등의 에칭에 대하여, 먼저 형성하는 전극 등이 충분한 내성을 갖도록 선택하는 것이 바람직하다.

[0094] 또한, 상기에서는 양극 (31)과 게이트 전극 (21)의 쌍방 모두, 포토리소그래피법과 웨트 에칭법과의 조합에 의해 패턴 형성을 행했지만, 이것으로 한정되지 않고, 공지된 패턴 형성 방법을 적용할 수 있다. 예를 들면, 포토리소그래피법과 드라이 에칭법과의 조합으로 할 수도 있고, 레이저 박리법에 의해 패턴 형성할 수도 있다. 또한, 이들 성막시에 메탈 마스크를 통한 패턴 형성 등을 행함으로써, 소정의 패턴을 갖는 층을 형성하도록 할 수도 있다.

[0095] 또한, 게이트 전극 (21)과 양극 (31)과는 동일 구성 재료 및 동일 막 두께로 할 수도 있다. 이 경우, 게이트 전극 (21)과 양극 (31)을 동일한 공정에서 형성할 수 있기 때문에, 공정 수의 추가적인 삽감이 가능해진다. 또한, 게이트 전극 (21)과 함께 형성한 단자 (21b)는 드레인 전극 (24b)과 양극 (31)을 직접 접속할 수 있는 경우 등은 반드시 형성하지 않을 수도 있다.

[0096] 또한 추가로, 상기한 실시 형태에서는 패시베이션막 (25)와 드라이 에칭 마스크 (28)과의 양쪽을 형성했지만, 예를 들면 패시베이션막 (25)를 감광성 아크릴 수지 등의 포토리소그래피 가능한 재료로 구성함으로써, 패시베이션막 (25)가 드라이 에칭 마스크 (28)의 기능을 겸하도록 할 수도 있다.

[0097] 또한, 유기 박막 트랜지스터 기판 (2)의 제조에 있어서는 상기 패시베이션막 (25)와 드라이 에칭 마스크 (28)과의 사이에 금속층 또는 금속 산화물층을 형성할 수도 있다. 이 경우, 예를 들면 제1 및 제2 영역 S₁, S₂의 패시베이션막 (25) 상에 금속 또는 금속 산화물을 성막한 후, 이 위에 드라이 에칭 마스크 (28)을 패턴 형성하고, 이것을 마스크로서 금속층 또는 금속 산화물층을 공지된 웨트 에칭법 등에 의해 패터닝한다. 이와 같이 하여 형성된 금속층이나 금속 산화물층은 드라이 에칭 마스크 (28)과 함께, 뱅크 형성을 위한 드라이 에칭 마스크의 일부로서 사용할 수 있다.

[0098] 감광성 수지 등에 의해서 형성되는 드라이 에칭 마스크 (28)은 에칭 조건에 따라서는 손상될 가능성도 있지만,

이와 같이 금속층 및 금속 산화물층을 형성함으로써, 예칭에 의한 유기 박막 트랜지스터 (20)이나 뱅크 형성 영역을 한층 확실하게 보호하는 것이 가능해진다. 또한, 대기 중의 수분, 산소, 광 등이 패시베이션막 (25)를 투과하여 유기 박막 트랜지스터 (20)에 도달한 경우에는 이것이 유기 반도체층 (23) 등의 열화를 초래하여 특성 저하를 야기하는 원인으로도 될 수 있지만, 상기한 바와 같은 금속층이나 금속 산화물층을 형성함으로써, 상기한 수분 등의 투과를 방지할 수 있다. 이와 같이, 금속층 또는 금속 산화물층을 형성함으로써, 보다 신뢰성이 높은 유기 박막 트랜지스터 기판 (2) 및 화상 표시 패널 (10)의 제조가 가능해진다.

[0099] 금속층이나 금속 산화물층의 구성 재료로서는, 예를 들면 Ni, Au, Cr, Cu, Mo, W, Ti, Ta, Al, ITO, IZO, 산화 아연, 산화주석 등을 들 수 있다. 또한, 금속층 또는 금속 산화물층의 성막 방법으로서는 저항 가열 증착법, EB 증착법, 스퍼터링법, 이온 플레이팅법, 도금법, CVD법 등의 방법을 적용할 수 있다.

[0100] [제2 실시 형태]

[0101] 도 5 내지 도 8은 제2 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타내는 도면이다. 이하의 설명에서는 게이트 전극을 상부에 갖는 톱게이트형의 유기 박막 트랜지스터를 형성함과 동시에, 발광 소자로서 유기 EL 소자를 형성하는 예에 대해서 설명을 행하는 것으로 한다. 또한, 상기 제1 실시 형태와 동일한 구성에 대해서는 동일한 재료나 제조 방법을 적용할 수 있기 때문에, 이하에서는 설명을 생략한다.

[0102] 우선, 제1 실시 형태와 동일하게 하여, 제1 영역 S₁ 및 제2 영역 S₂를 갖는 기판 (1) 상의 제2 영역 S₂에 발광 소자 (30)용의 양극 (31)을 형성한다(도 5(a) 내지 (c)).

[0103] 다음으로, 기판 (1) 상의 제1 영역 S₁ 및 제2 영역 S₂에 소스 전극 (24a) 및 드레인 전극 (24b)가 되는 도전막 (24c)를 성막한 후, 그의 소스 전극 (24a) 및 드레인 전극 (24b)를 형성하여야 할 영역 상에 레지스트막 (4c)를 형성한다(도 5(d)). 그로부터, 레지스트막 (4c)를 마스크로서 도전막 (24c)를 예칭 등에 의해 제거한다(도 5(e)). 그 후, 레지스트막 (4c)를 제거함으로써, 기판 (1) 상의 제1 영역 S₁에 소스 전극 (24a) 및 드레인 전극 (24b)를 형성시킨다(도 5(f)). 이 때, 드레인 전극 (24b)는 한쪽의 단부가 양극 (31)과 중첩되도록 형성하고, 이에 따라 드레인 전극 (24b)와 양극 (31)이 전기적으로 접속되도록 한다.

[0104] 계속해서, 기판 (1) 상의 제1 영역 S₁ 및 제2 영역 S₂에 상기 제1 실시 형태와 동일하게 하여, 소스 전극 (24a), 드레인 전극 (24b) 및 양극 (31)을 덮도록 유기 반도체층 (23)을 형성한다(도 6(a)). 이어서, 이 유기 반도체막 (23) 상에 게이트 절연층 (22)를 형성한다(도 6(b)).

[0105] 이와 같이 게이트 절연층 (22)를 형성한 후에는 제1 영역 S₁의 게이트 절연층 (22) 상에 게이트 전극 (21)을 형성한다. 이 게이트 전극 (21)의 형성에 있어서는 우선 제1 영역 S₁ 및 제2 영역 S₂를 포함하는 영역의 게이트 절연층 (22) 상에 게이트 전극 (21)이 되는 도전막 (21a)를 형성한 후, 게이트 전극 (21)을 형성하여야 할 영역에 레지스트막 (4b)를 형성한다(도 6(c)). 이어서, 레지스트막 (4b)를 마스크로서 도전막 (21a)를 예칭 등에 의해 제거한다(도 6(d)). 그 후, 레지스트막 (4b)를 제거함으로써, 제1 영역의 게이트 절연층 (22) 상에 게이트 전극 (21)을 형성한다(도 6(e)).

[0106] 그로부터, 제1 영역 S₁ 및 제2 영역 S₂의 게이트 절연층 (22) 상에 게이트 전극 (21)을 덮도록 패시베이션막 (25)를 형성한다(도 7(a)). 이에 따라, 기판 (1) 상의 제1 영역 S₁에 유기 박막 트랜지스터 (50)이 형성됨과 동시에, 제2 영역 S₂의 양극 (31) 상에 게이트 절연층 (22), 유기 반도체층 (23) 및 패시베이션막 (25)가 적층된 뱅크 전구체층 (39)가 형성된다.

[0107] 계속해서, 이 패시베이션막 (25) 상의 소정 영역에 드라이 예칭 마스크 (28)을 형성한다(도 7(b)). 드라이 예칭 마스크 (28)은 상술한 제1 실시 형태와 동일하게, 제1 영역 S₁과, 제2 영역 S₂에 있어서의 발광 소자 (30)을 형성하기 위한 영역을 제외하는 주연부를 덮도록 형성한다.

[0108] 그 후, 드라이 예칭 마스크 (28)을 보호막으로서 이용하여 드라이 예칭을 행하고, 드라이 예칭 마스크 (28)로 덮여있지 않은 영역의 뱅크 전구체층 (39)를 제거한다(도 7(c)). 이 드라이 예칭은 제2 영역 S₂에 형성된 양극 (31)이 노출할 때까지 행한다. 이에 따라, 양극 (31) 상에 형성된 적층 구조로 이루어지는 뱅크 전구체층 (39)가 제거되고, 제2 영역 S₂에 발광 소자 (30)을 형성하기 위한 영역이 형성됨과 동시에, 예칭 후에 잔존한 주연부의 뱅크 전구체층 (29)로부터 뱅크부 (36)이 형성된다. 그 결과, 기판 (1) 상에 유기 박막 트랜지스터

(50) 및 뱅크부 (36)이 형성됨과 동시에, 발광 소자 (30)을 형성하기 위한 영역을 갖는 유기 박막 트랜지스터 기판 (42)가 얻어진다.

[0109] 이 유기 박막 트랜지스터 기판 (42)에 있어서, 뱅크부 (36)은 유기 반도체층 (23), 게이트 절연층 (22), 패시베이션막 (25) 및 드라이 에칭 마스크 (28)의 4층 구조를 갖는 것이 된다. 즉, 뱅크부 (36)은 유기 박막 트랜지스터 (50)에 포함되는 4개의 층과 동일한 층을 갖는 것이 된다. 그리고, 이러한 구성을 갖는 뱅크부 (36)은 상기 제1 실시 형태와 동일하게, 우수한 절연성을 발휘할 수 있다는 점에서, 뱅크로서 충분한 특성을 갖는 것이 된다.

[0110] 유기 박막 트랜지스터 기판 (42)의 형성 후에는 상기 기판 (42)에 있어서의 제2 영역 S_2 의 양극 (31) 상에 정공 주입층 (32)(도 7(d)) 및 발광층 (33)(도 8(a))을 순서대로 형성한 후, 제1 영역 S_1 및 제2 영역 S_2 의 전 영역을 덮도록 음극 (34)를 형성한다(도 8(b)). 이에 따라, 제2 영역 S_2 에는 기판 (1)측에서 순서대로 양극 (31), 정공 주입층 (32), 발광층 (33) 및 음극 (34)를 구비하는 발광 소자 (30)이 형성된다. 그 결과, 기판 (1) 상의 제1 영역 S_1 에 유기 박막 트랜지스터 (50)이 형성되고, 제2 영역 S_2 에 주위가 뱅크부 (36)에 둘러싸인 발광 소자 (30)이 형성된 화상 표시 패널 (40)이 얻어진다. 이러한 화상 표시 패널 (40)도, 제1 실시 형태의 화상 표시 패널 (10)과 동일하게, 각 소자가 덮여지도록 밀봉을 행하는 것이 바람직하다.

[0111] 상기 제2 실시 형태의 화상 표시 패널 (40)의 제조 방법에 있어서의 각 공정도, 상술한 제1 실시 형태와 동일하게, 본 발명의 범위 내에서 변경 가능하다. 예를 들면, 양극 (31)보다 먼저 소스 전극 (24a) 및 드레인 전극 (24b)를 형성할 수도 있고, 이들을 동일 재료로 구성하는 경우에는 동일 공정에서 형성할 수도 있다. 또한, 패시베이션막 (25)를 감광성 아크릴 수지 등의 포토리소그래피 가능한 재료로 구성함으로써, 드라이 에칭 마스크 (28)의 기능을 겸하도록 할 수도 있다.

[0112] 이상, 본 발명의 바람직한 화상 표시 패널(유기 박막 트랜지스터 기판)의 제조 방법에 대해서, 제1 및 제2의 실시 형태를 예를 들어 설명했지만, 이러한 제조 방법에 따르면, 유기 박막 트랜지스터를 제조함과 동시에 뱅크부를 형성할 수 있기 때문에, 종래와 같이 뱅크부를 별도로 형성하는 경우에 비하여, 화상 표시 패널이나 유기 박막 트랜지스터 기판을 간편하면서 저비용으로 형성할 수 있다. 그리고, 이와 같이 하여 형성된 뱅크부는 충분한 절연성을 갖는다는 점에서, 뱅크로서 충분한 특성을 갖는 것이 된다. 또한, 뱅크부는 상기 실시 형태와 같이 복수의 층으로 구성되는 경우에는 일부의 층에 핀홀의 발생이나 이물의 혼입이 있었다고 해도, 전체로서 충분한 절연성 등을 유지할 수 있고, 우수한 내구성도 갖는 효과를 발휘할 수 있다.

[0113] 또한, 본 발명의 화상 표시 패널이나 유기 박막 트랜지스터 기판의 제조 방법은 상술한 제1 및 제2 실시 형태로 한정되지 않고, 본 발명의 취지를 일탈하지 않는 범위에서 적절하게 변경을 행할 수 있다. 예를 들면, 상술한 실시 형태에서는 발광 소자로서 유기 EL 소자를 형성했지만, 이것으로 한정되지 않고, 유기 박막 트랜지스터와 함께 이용되는 그 밖의 발광 소자를 특별히 제한 없이 적용할 수 있다. 또한, 상기에서는 보텀(bottom)게이트 형 및 텁(top)게이트형의 유기 박막 트랜지스터의 예를 각각 설명했지만, 이를 이외의 형태를 갖는 유기 박막 트랜지스터를 적용할 수도 있다.

[0114] 또한, 상기 실시 형태에서는 화상 표시 패널에 있어서의 하나의 화소 영역에서의 제조 공정에 대해서 설명을 행했지만, 통상 화상 표시 패널은 다수의 화소가 배치되어 구성되는 것이다. 따라서, 실제의 화상 표시 패널의 제조에 있어서는 상술한 1 화소 영역에서의 공정을 기판 상의 복수 개소에서 평행하여 행할 수도 있다. 그리고, 그 때문에, 화상 표시 패널의 제조에 있어서는, 예를 들면 화소끼리의 접속을 행하는 등, 화소 사이에 특정한 구성을 설치하기 위한 공정이 상술한 실시 형태의 공정에 더하여 추가로 행해지는 경우도 있다.

도면의 간단한 설명

[0033] 도 1은 제1 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

[0034] 도 2는 제1 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

[0035] 도 3은 제1 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

[0036] 도 4는 제1 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

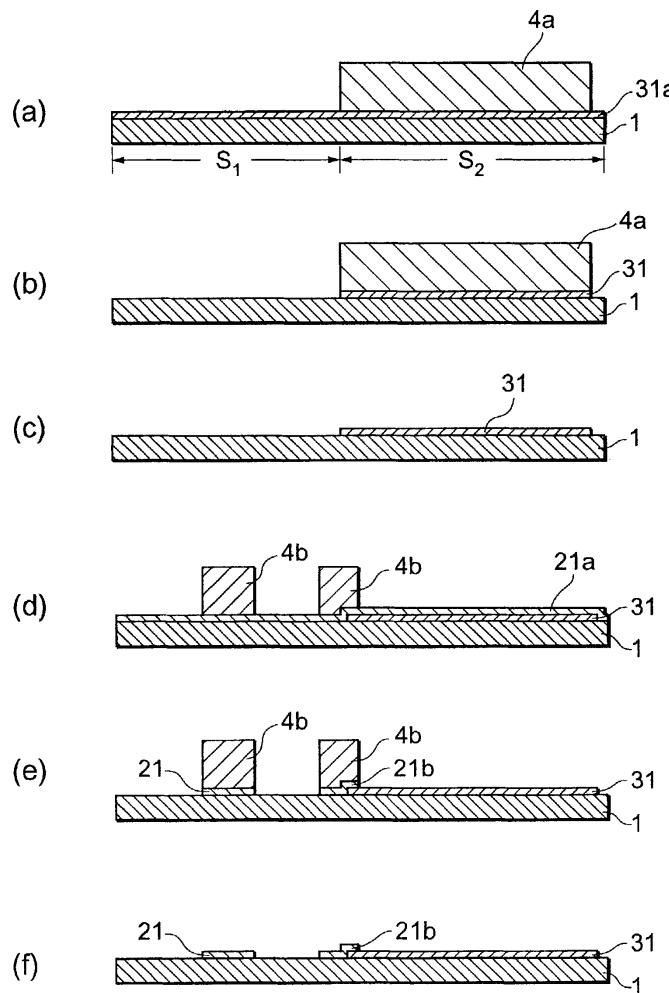
[0037] 도 5는 제2 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

[0038] 도 6은 제2 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.

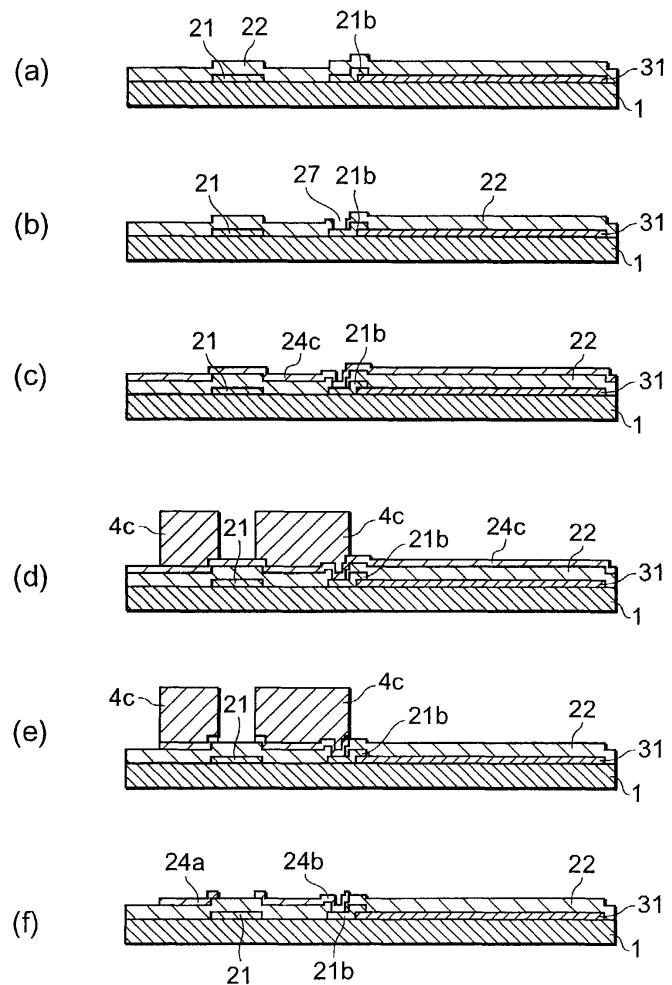
- [0039] 도 7은 제2 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.
- [0040] 도 8은 제2 실시 형태에 관한 화상 표시 패널의 제조 공정을 나타낸 도면이다.
- [0041] <도면의 주요 부분에 대한 부호의 간단한 설명>
- [0042] 1…기판, 10…화상 표시 패널, 31a…도전막, 4a, 4b, 4c…레지스트막, 20…유기 박막 트랜지스터, 21…케이트 전극, 21b…단자, 22…케이트 절연층, 23…유기 반도체층, 24a…소스 전극, 24b…드레인 전극, 24c…도전막, 25…패시베이션막, 27…컨택트홀, 28…드라이 에칭 마스크, 29…뱅크 전구체층, 30…발광 소자, 31…양극, 32…정공 주입층, 33…발광층, 34…음극, 35…뱅크부, 36…뱅크부, 39…뱅크 전구체층, 40…화상 표시 패널, 50…유기 박막 트랜지스터.

도면

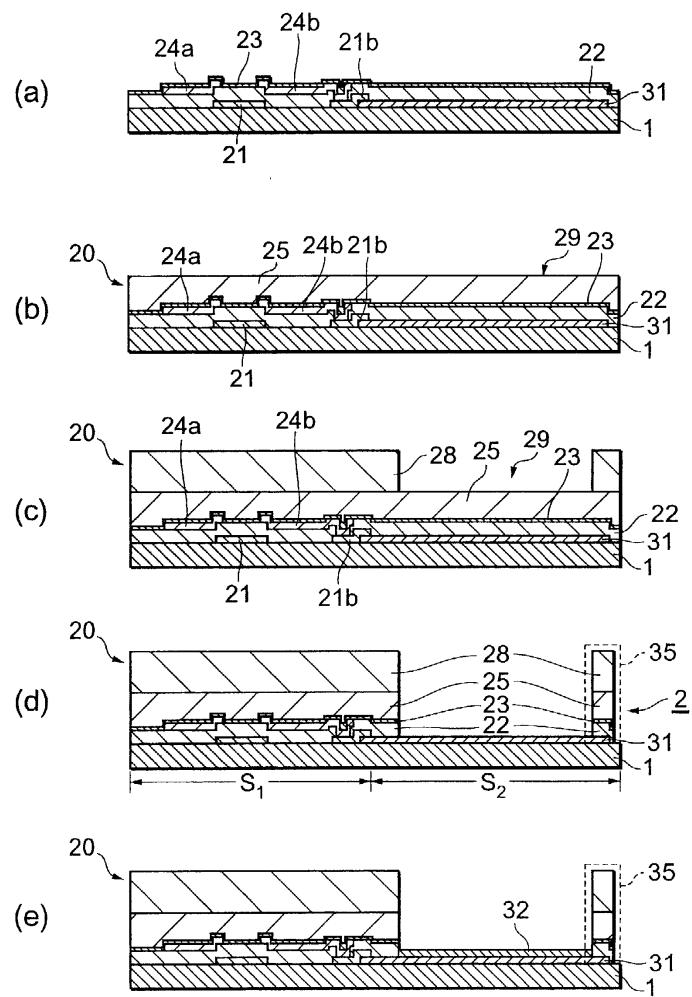
도면1



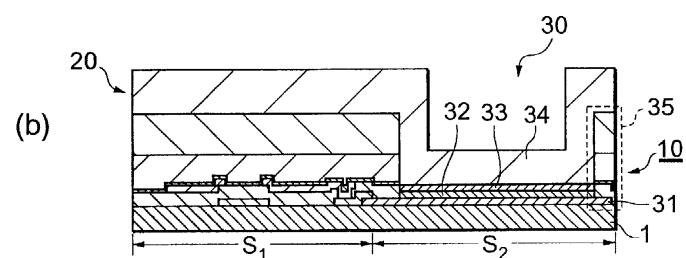
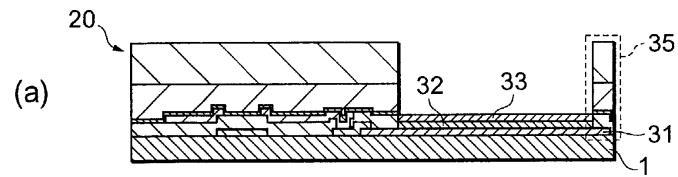
도면2



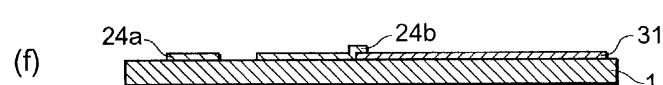
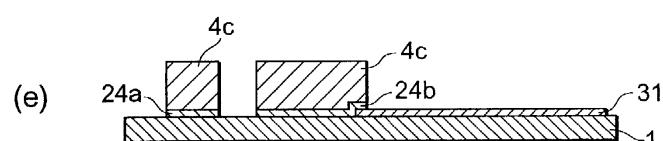
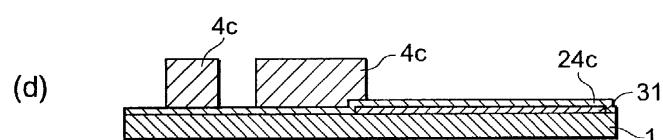
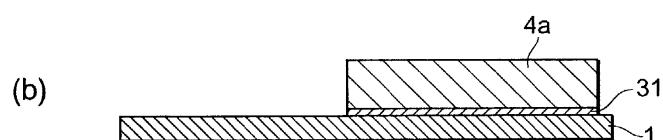
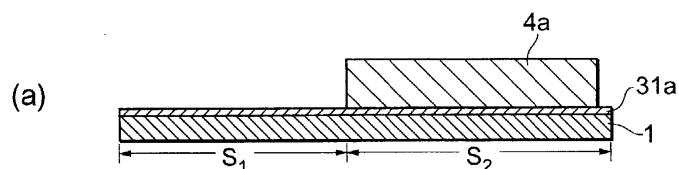
도면3



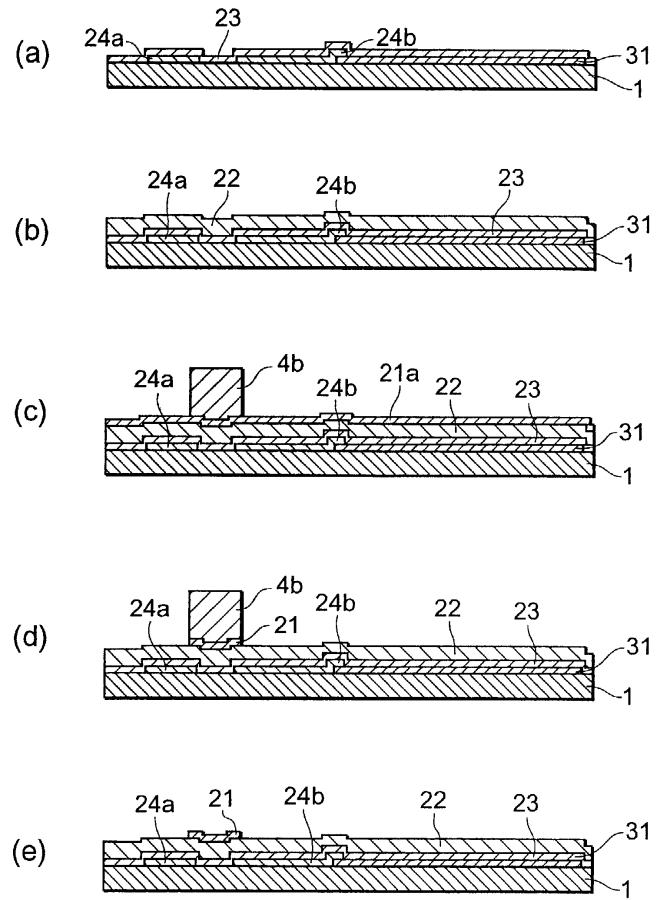
도면4



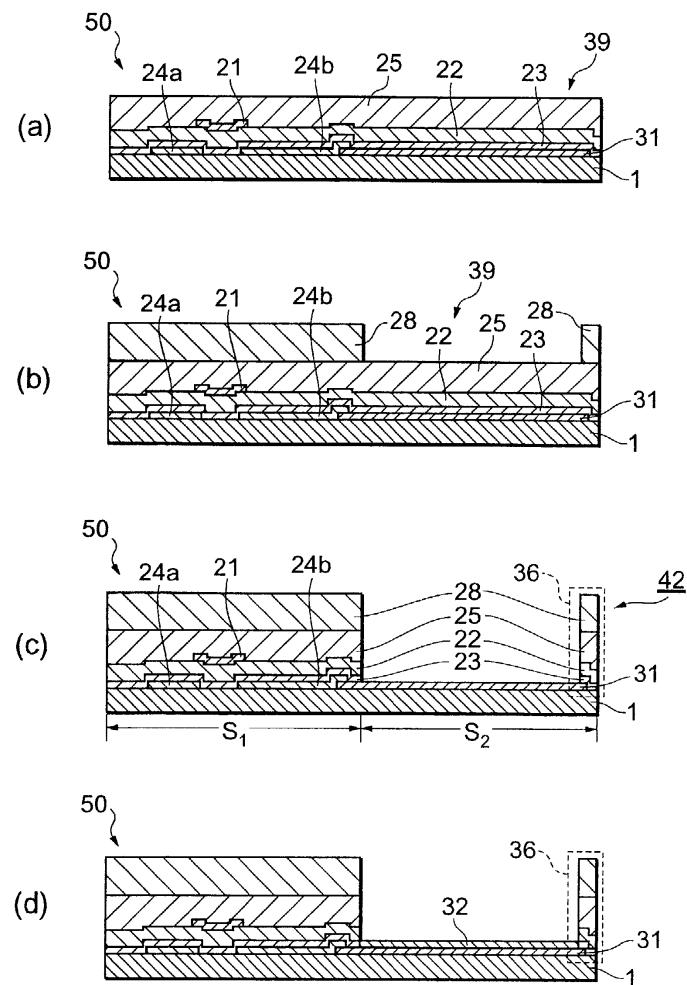
도면5



도면6



도면7



도면8

